

公告本

申請日期:

10.6.8

案號:

10113936

類別:

H01L 29/286

(以上各欄由本局填註)

發明專利說明書

488080

一、 發明名稱	中文	薄膜電晶體的製造方法
	英文	
二、 發明人	姓名 (中文)	1. 翁嘉璠
	姓名 (英文)	1. Jia-Fam Wong
	國籍	1. 中華民國
	住、居所	1. 新竹市豐功里25鄰建中一路25號12樓之2
三、 申請人	姓名 (名稱) (中文)	1. 達碁科技股份有限公司
	姓名 (名稱) (英文)	1.
	國籍	1. 中華民國
	住、居所 (事務所)	1. 新竹市科學工業園區力行路二十三號
	代表人 姓名 (中文)	1. 李焜耀
	代表人 姓名 (英文)	1.



本案已向

國(地區)申請專利

申請日期

案號

主張優先權

無

有關微生物已寄存於

寄存日期

寄存號碼

無

五、發明說明 (1)

【發明領域】

本發明係有關於一種薄膜電晶體 (thin-film transistor ; TFT) 的製造方法，特別是有關於一種利用多層光阻層，經曝光顯影形成多種厚度之光阻圖案，經由一次蝕刻將待蝕刻材蝕刻出多種深度。

【習知技術】

薄膜電晶體為液晶顯示器常用的主動元件 (active element)，藉由薄膜電晶體的使用，使得在影像的資料寫入期間 (address period)，使薄膜電晶體的半導體層成為低電阻狀態 (ON 狀態)，將影像資料 (image data) 傳達寫入至一電容中進而改變液晶的角度；而在保持期間 (sustain period)，能夠使半導體層成為高電阻狀態 (OFF 狀態)，而將該電容上所儲存的影像資料保持一定。

常見的應用於薄膜電晶體平面顯示器的薄膜電晶體結構如第1圖所示，其製造流程如下所述。在基板10上具有一電晶體區，在電晶體區中形成第一金屬層，利用第一道微影蝕刻製程將第一金屬層定義成橫向配置之閘極線12。接著於其上方依序沈積絕緣層14、半導體層 (通常指非晶矽層，amorphous silicon layer) 16、n型摻雜矽層18和第二金屬層20，並進行第二道微影蝕刻製程，定義電晶體中非晶矽層16、n型摻雜矽層18和第二金屬層20的圖案，直至暴露出絕緣層14的表面，並在電晶體區外使第二金屬層20在基板10上特定位置形成縱向配置之信號線 (未圖示

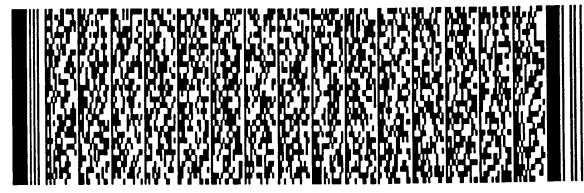
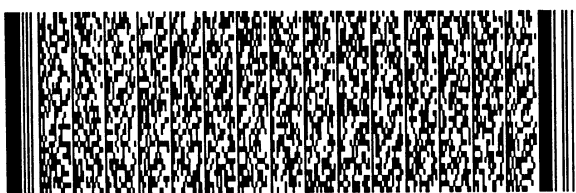


五、發明說明 (2)

)。接著，進行第三道微影蝕刻製程，以於電晶體區內將第二金屬層20和n型摻雜矽層18中定義一通道(channel)19，並使非晶矽層16的表面暴露於通道19中，藉以將非晶矽層16與第二金屬層20更進一步定義形成源極和汲極電極。

由於傳統之薄膜電晶體的製造方法，需要多道的微影蝕刻製程，因此相當耗時，且成本高。近來，有人提出利用深度不同的光阻來同時定義第二金屬層的圖案和通道，欲將第二道和第三道的微影蝕刻製程，縮減為同一道微影蝕刻製程，以減少製造生產時間和降低製程成本。而深度不同的光阻圖案可以利用不同的曝光方法達成。例如一種揭露於“FPT Intelligence”，1995年5月，第31頁之製程方法，其利用狹縫光罩曝光(slits mask exposure)來形成深度不同的光阻層。接著，藉由一道微影蝕刻製程即可定義薄膜電晶體之第二金屬層的圖案和通道。另外，還有揭露於“第四世代LCD製造·檢查技術”，第四期，第61頁之方法，其利用半透型光罩(halftone mask)來形成深度不同的光阻層。此外，還有人提出利用雙重曝光(double exposure)的技術，將同一材質的光阻材料定義形成深度不同的光阻層。

雖然上述這些方法可以藉由不同的的技術於光阻層中形成深度不同的圖案，再出一道微影蝕刻製程來定義第二金屬層的圖案和通道，但是要選擇適當的單一光阻材質來配合狹縫光罩曝光、半透型光罩或雙重曝光的技術並不容



五、發明說明 (3)

易，且圖案準確度較差，而且製程條件不易調整，製程誤差的容忍度小，因此會影響製程的良率。

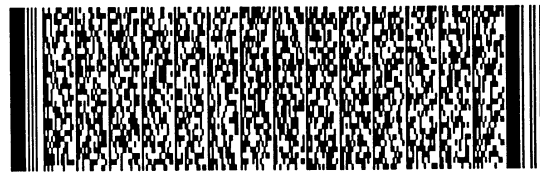
【發明之目的及概要】

有鑑於此，本發明的目的在於提供一種薄膜電晶體的製造方法，可將定義信號線和通道的微影蝕刻製程縮減為一道，以降低製程成本和時間。

此外，本發明的另一目的在於提供一種薄膜電晶體的製造方法，利用光吸收率不同之多層光阻層，來準確地曝光顯影出不同厚度的光阻圖案，再以一道蝕刻製程來定義信號線和通道。

再者，本發明的又一目的在於提供一種薄膜電晶體的製造方法，利用光敏感度不同之多層光阻層，來準確地曝光顯影出不同厚度的光阻圖案，再以一道蝕刻製程來定義信號線和通道。

因此，本發明提供一種薄膜電晶體的製造方法，其方法如下所述。首先於基板上依序形成閘極、絕緣層、半導體層、摻雜矽層和金屬層，之後於金屬層上覆蓋第一光阻層，並於第一光阻層上形成材質與第一光阻層不同之第二光阻層。接著對第一光阻層和第二光阻層進行一曝光製程和一顯影製程，使第一光阻層具有第一圖案，且同時第二光阻層具有第二圖案。進行一蝕刻製程，使半導體層、摻雜矽層和金屬層具有第一圖案，更將第二光阻層的第二圖案轉移至第一光阻層後，繼續使摻雜矽層和金屬層具有第二圖案。最後，將第一光阻層和第二光阻層移除。



五、發明說明 (4)

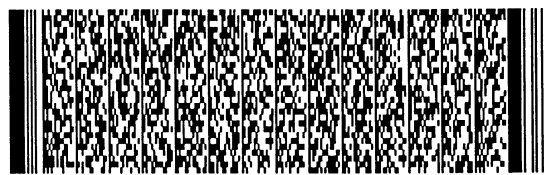
上述之第一光阻層和第二光阻層的光吸收率或光敏感度不同，為前者大於後者。此外，還可於第一光阻層和第二光阻層間形成一黏著層，藉以增加第一光阻層和第二光阻層之間的附着力。至於應用於第一光阻層和第二光阻層的曝光製程可為多次曝光製程、半透型曝光製程、或細縫型曝光製程。

上述製造方法中，定義半導體層、摻雜矽層和金屬層圖案的方法步驟如下：首先利用蝕刻製程將第一光阻層中的第一圖案藉由轉移至半導體層、摻雜矽層和金屬層；之後，繼續藉由蝕刻製程將第二光阻層之第二圖案轉移至第一光阻層中；接著，以具有第二圖案的第一光阻層為遮罩，再度藉由蝕刻將第二圖案轉移至摻雜矽層和金屬層中。

本發明並提供一種元件的製造方法，其方法如下所述。於待蝕刻材上形成第一光阻層，於第一光阻層上形成材質與第一光阻層不同之第二光阻層，進行一曝光製程和一顯影製程，同時使第一光阻層具有第一圖案，且第二光阻層具有第二圖案。接著，進行一蝕刻製程，使待蝕刻材具有第一圖案和第二圖案，最後，移除第一光阻層和第二光阻層。

為讓本發明之上述目的、特徵及優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

【圖式簡單說明】



五、發明說明 (5)

第1圖係繪示習知一種薄膜電晶體結構的剖面圖。

第2A圖至第2H圖係表示本發明之一種薄膜電晶體的製造方法流程剖面圖。

第3圖係表示具有不同光吸收率之光阻，經曝光顯影製程後，殘留之光阻層的厚度與曝光量的關係。

第4圖係表示本發明之另一種薄膜電晶體的製造方法示意圖。

【符號說明】

基板：10、100

閘極線：12、102

絕緣層：14、104

半導體層：16、106

n型摻雜矽層：18、108

通道：19、119

金屬層：20、110

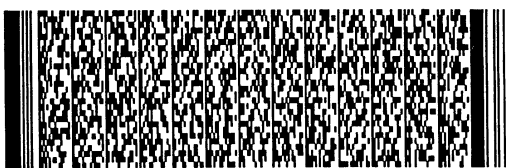
光阻層：112、114、116

圖案：113、115

黏著層：140

【發明的詳細說明】

本發明係利用顯像參數不同之多層光阻，來形成具有不同深度的光阻圖案。根據製程需求，可依光阻的光吸收率或光敏感度的不同，來選擇適合的光阻材質，並配合曝光量的控制，而於顯影後展現出多種厚度的光阻圖案。此種疊層光阻層之每一層光阻材質具有不同光吸收率或光敏



五、發明說明 (6)

感度，其光吸收率係由上往下遞減，光敏感度亦係由上往下遞減。

如第3圖所示，光阻材質經曝光顯影後，其殘留之光阻厚度會隨著曝光量的增加而降低。PR₁、PR₂、PR₃分別代表具有不同光吸收率的光阻材質，且其光吸收率為由低至高，即PR₁的光吸收率最低，而PR₃的光吸收率最高，經曝光顯影後，對不同的光阻層具有不同的殘留厚度。因此當採用曝光量E對光阻層曝光時，經顯影後，光阻PR₁殘留的光阻厚度為H_a；光阻PR₂殘留的光阻厚度為H_b；光阻PR₃的殘留光阻總厚度為H_c。假若光阻層係由下往上由PR₁、PR₂、PR₃所堆疊構成，則曝光顯影後將會產生三種不同厚度的光阻圖案，且H_a為最大，H_c為最小，H_b居中。

若以此具有三種不同厚度的光阻疊層為罩幕，置於一代蝕刻材上進行一蝕刻製程。首先將最上層的光阻PR₃的圖案轉移至待蝕刻材與光阻PR₂上，之後將光阻PR₂的圖案轉移至待蝕刻材與光阻PR₁，再將最下層光阻PR₁的圖案轉移至待蝕刻材中，使蝕刻材具有三種不同的蝕刻圖案。

〔第一實施例〕

第2A圖至第2H圖係表示本發明之一種薄膜電晶體的製造方法流程剖面圖。

請參照第2A圖，首先提供一基板100，其材質可為玻璃或是石英，並於基板100上形成第一金屬層。接著進行一微影蝕刻製程，將第一金屬層定義形成一閘極102與一橫向的閘極線（未圖示）。



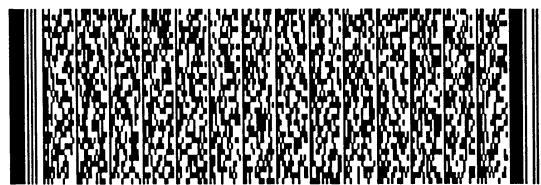
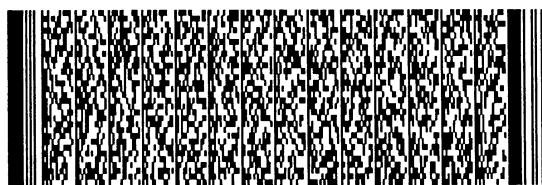
五、發明說明 (7)

接著請參照第2B圖，於閘極102上依序形成絕緣層104、半導體層106、摻雜矽層108、以及第二金屬層110。其中絕緣層104係為閘極絕緣層，其通常由氧化矽和氮化矽所構成，半導體層106可為非晶矽層，摻雜矽層108可由n型摻質之非晶矽層組成。

接著請參照第2C圖，於第二金屬層110上覆蓋第一光阻層112，並於第一光阻層112上再覆蓋一層材質不同之第二光阻層114。可依照製程條件的不同，選擇光吸收率不同的第一光阻層112和第二光阻層114。在此情況下，第一光阻層112的光吸收率小於第二光阻層114的光吸收率，較佳的情況是第一光阻層112的光吸收率為第二光阻層114的0.2~0.8倍。或者，以光敏感度的不同來做選擇，在此情況下，第一光阻層112的光敏感度小於第二光阻層114的光敏感度。

接著請參照第2D圖，進行曝光製程和顯影製程，同時使第一光阻層112具有一第一圖案113，且第二光阻層114具有一第二圖案115。將第一光阻層112和第二光阻層114圖案化的方法包含多次曝光製程、半透型曝光製程、或細縫型曝光製程。

在此實施例中，光阻材質經曝光顯影後，其殘留之厚度會隨著光線吸收量的增加而降低。如第3圖所示， PR_1 、 PR_2 、 PR_3 分別代表具有不同光吸收率的光阻，且其光吸收率為由高至低。當第一光阻層112採用光阻 PR_1 ，第二光阻層114選用光阻 PR_2 ，而曝光量設定為E時，第一光阻層112



五、發明說明 (8)

和 第二光阻層114的顯像程度會不同，因而可以對第一光阻層112或第二光阻層114進行選擇性地曝光。如果第一光阻層112採用光阻 PR_1 ，第二光阻層114選用光阻 PR_3 ，即兩者的光吸收率之差異更大，當曝光量為 E 時，經顯影後，在曝光區的部份，第二光阻層114可完全去除，而第一光阻層112則保留下來。

至於顯影方面，可用一次的顯影步驟同時去除曝光處理後的第一光阻層112和第二光阻層114。

第一光阻層112和第二光阻層114經曝光顯影後，第一光阻層112具有第一圖案113，第二光阻層114具有第二圖案115，則第一光阻層112和第二光阻層114可形成一個U形的光阻層116，如第2D圖所示。

接著請參照第2E圖，以U形光阻層116為罩幕，進行一蝕刻製程，使半導體層106、摻雜矽層108和第二金屬層110具有第一圖案113，用以定義出薄膜電晶體的島狀結構與位於電晶體之外，由第二金屬層110組成之信號線（未圖示）。之後，將第二光阻層114的第二圖案115轉移至第一光阻層112上，如第2F圖所示。其方法可為一乾蝕刻製程，例如以氧電漿將U形光阻層116部份灰化。

接著以具有第二圖案115的第一光阻層112為罩幕（可能還含有部份第二光阻層114），繼續進行蝕刻反應，使摻雜矽層108和第二金屬層110具有第二圖案115，並定義一通道119，如第2G圖所示。

完成蝕刻之後，將第一光阻層112和第二光阻層114移



五、發明說明 (9)

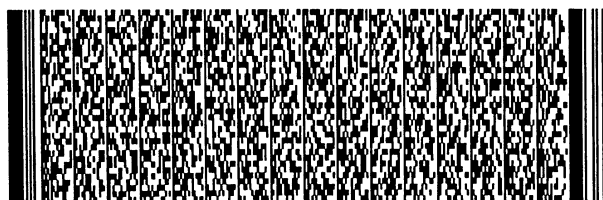
除，而形成如第2H圖所示的薄膜電晶體。

〔第二實施例〕

為了使第一光阻層112和第二光阻層114之間的附著力(adhesion)更好，因此本實施例於第一光阻層112和第二光阻層114之間形成一層黏著層140，如第4圖所示。其中黏著層140的材質可為六甲基二矽氮烷

(hexamethyldisilazane; HMDS)或其他介面活性劑。其後續之製程與第一實施例相同，即與第2D圖至第2H圖之說明相同，在此不多贅述。

雖然本發明已以較佳實施例揭露如上，然其並非用以限制本發明，任何熟習此項技藝者，在不脫離本發明之精神和範圍內，當可做更動與潤飾，因此本發明之保護範圍當事後附之申請專利範圍所界定者為準。



四、中文發明摘要 (發明之名稱：薄膜電晶體的製造方法)

本發明提供一種薄膜電晶體的製造方法。首先於基板上依序形成閘極、絕緣層、半導體層、摻雜矽層和金屬層。之後，於金屬層上覆蓋第一光阻層，並於第一光阻層上形成光吸收率較大之第二光阻層。接著對第一和第二光阻層進行一曝光製程和顯影製程，使第一和第二光阻層分別具有第一和第二圖案。進行一蝕刻製程，使半導體層、摻雜矽層和金屬層具有第一圖案，並使摻雜矽層和金屬層具有第二圖案，最後將第一光阻層和第二光阻層移除。

英文發明摘要 (發明之名稱：)



六、申請專利範圍

1. 一種薄膜電晶體的製造方法，包括：

於一基板上形成一閘極；

於該閘極上形成一絕緣層；

於該絕緣層上形成一半導體層；

於該半導體層上形成一摻雜矽層；

於該摻雜矽層上形成一金屬層；

於該金屬層上覆蓋一第一光阻層；

於該第一光阻層上形成一第二光阻層；

進行一曝光製程和一顯影製程，同時使該第一光阻層具有一第一圖案且使該第二光阻層具有一第二圖案；

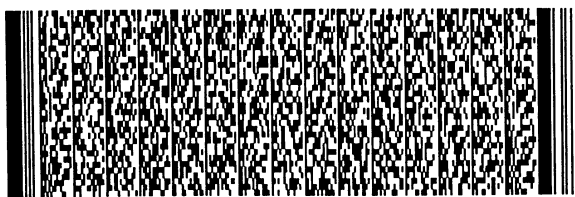
進行一蝕刻製程，定義該該半導體層、該摻雜矽層和該金屬層之圖案，使該半導體層、該摻雜矽層和該金屬層具有該第一圖案，且該摻雜矽層和該金屬層更具有該第二圖案；以及

移除該第一光阻層和該第二光阻層。

2. 如申請專利範圍第1項所述之薄膜電晶體的製造方法，其中該第一光阻層的光吸收率小於該第二光阻層的光吸收率。

3. 如申請專利範圍第2項所述之薄膜電晶體的製造方法，其中該第一光阻層的光吸收率為該第二光阻層的光吸收率之0.2~0.8倍。

4. 如申請專利範圍第1項所述之薄膜電晶體的製造方法，其中該第一光阻層的光敏感度小於該第二光阻層的光敏感度。



六、申請專利範圍

5. 如申請專利範圍第1項所述之薄膜電晶體的製造方法，更包括於該第一光阻層和該第二光阻層間形成一黏著層。

6. 如申請專利範圍第5項所述之薄膜電晶體的製造方法，其中該黏著層為六甲基二矽氮烷（HMDS）層。

7. 如申請專利範圍第1項所述之薄膜電晶體的製造方法，其中定義該第一光阻層和該第二光阻層圖案之該曝光製程為一多次曝光製程。

8. 如申請專利範圍第1項所述之薄膜電晶體的製造方法，其中定義該第一光阻層和該第二光阻層圖案之該曝光製程為一半透型（Halftone）曝光製程。

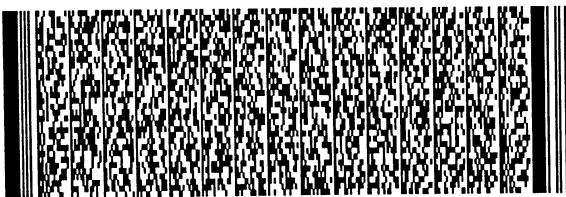
9. 如申請專利範圍第1項所述之薄膜電晶體的製造方法，其中定義該第一光阻層和該第二光阻層圖案之該曝光製程為一細縫型（Slid）曝光製程。

10. 如申請專利範圍第1項所述之薄膜電晶體的製造方法，其中定義該半導體層、該摻雜矽層和該金屬層圖案的方法，包括下列步驟：

以該第一光阻層和該第二光阻層為罩幕，蝕刻該半導體層、該摻雜矽層和該金屬層，使該半導體層、該摻雜矽層和該金屬層具有該第一圖案；

將該第二光阻層之該第二圖案轉移至該第一光阻層中；以及

以具有該第二圖案之該第一光阻層為罩幕，蝕刻該摻雜矽層和該金屬層，使該摻雜矽層和該金屬層更具有該第



六、申請專利範圍

二 圖 案 。

11. 一種元件的製造方法，包括：

於一待蝕刻材上形成一第一光阻層；

於該第一光阻層上形成材質與該第一光阻層不同之一第二光阻層；

進行一曝光製程和一顯影製程，同時使該第一光阻層具有一第一圖案，並使該第二光阻層具有一第二圖案；

進行一蝕刻製程，使該待蝕刻材具有該第一圖案和該第二圖案；以及

移除該第一光阻層和該第二光阻層。

12. 如申請專利範圍第11項所述之元件的製造方法，其中該第一光阻層的光吸收率小於該第二光阻層的光吸收率。

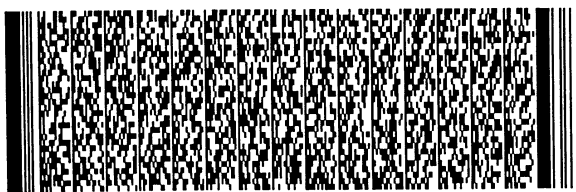
13. 如申請專利範圍第12項所述之元件的製造方法，其中該第一光阻層的光吸收率為該第二光阻層的光吸收率之0.2~0.8倍。

14. 如申請專利範圍第11項所述之元件的製造方法，其中該第一光阻層的光敏感度小於該第二光阻層的光敏感度。

15. 如申請專利範圍第11項所述之元件的製造方法，更包括於該第一光阻層和該第二光阻層間形成一黏著層。

16. 如申請專利範圍第15項所述之元件的製造方法，其中該黏著層為六甲基二矽氮烷（HMDS）層。

17. 如申請專利範圍第11項所述之元件的製造方法，



六、申請專利範圍

其中定義該第一光阻層和該第二光阻層圖案之該曝光製程為一多次曝光製程。

18. 如申請專利範圍第11項所述之元件的製造方法，其中定義該第一光阻層和該第二光阻層圖案之該曝光製程為一半透型（Halftone）曝光製程。

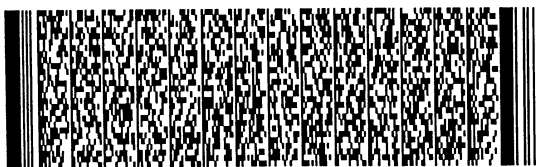
19. 如申請專利範圍第11項所述之元件的製造方法，其中定義該第一光阻層和該第二光阻層圖案之該曝光製程為一細縫型（Slid）曝光製程。

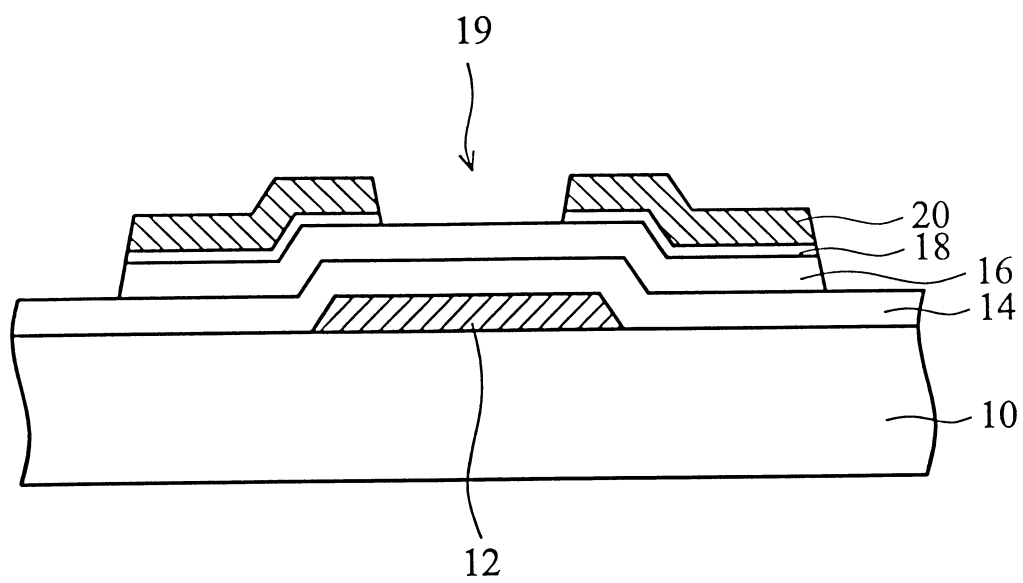
20. 如申請專利範圍第11項所述之元件的製造方法，其中使該待蝕刻材具有該第一圖案和該第二圖案的方法，包括：

以該第一光阻層和該第二光阻層為罩幕，蝕刻該待蝕刻材，使該待蝕刻材具有該第一圖案；

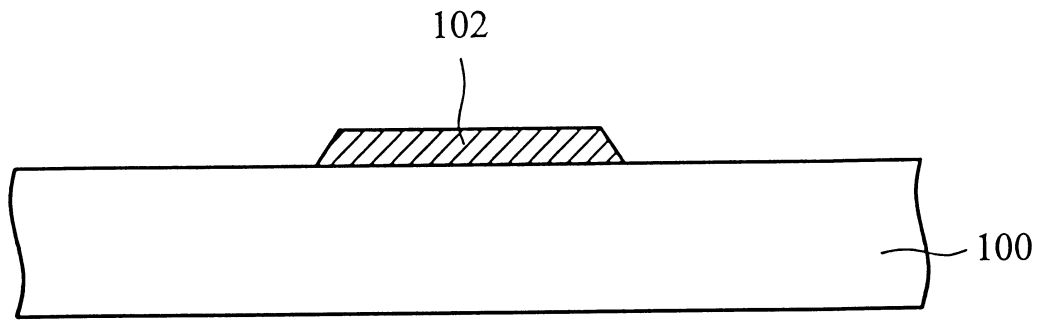
將該第二光阻層之該第二圖案轉移至該第一光阻層中；以及

以具有該第二圖案之該第一光阻層為罩幕，蝕刻該待蝕刻材，使該待蝕刻材具有該第二圖案。

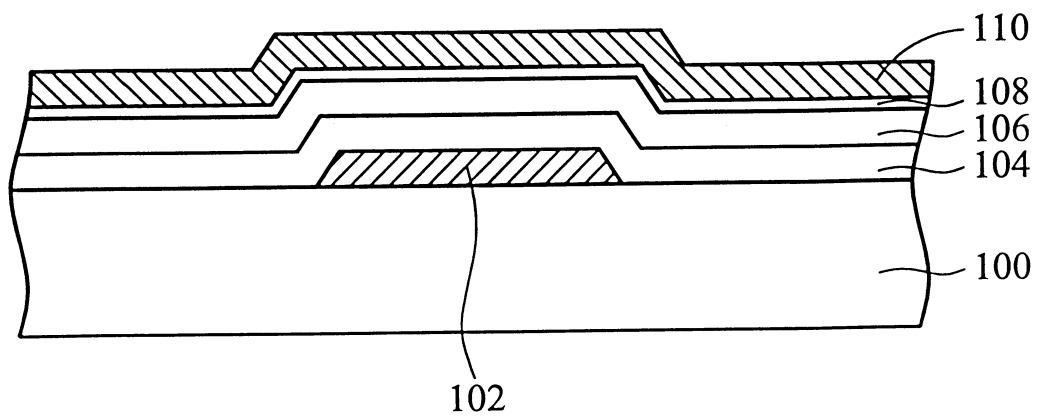




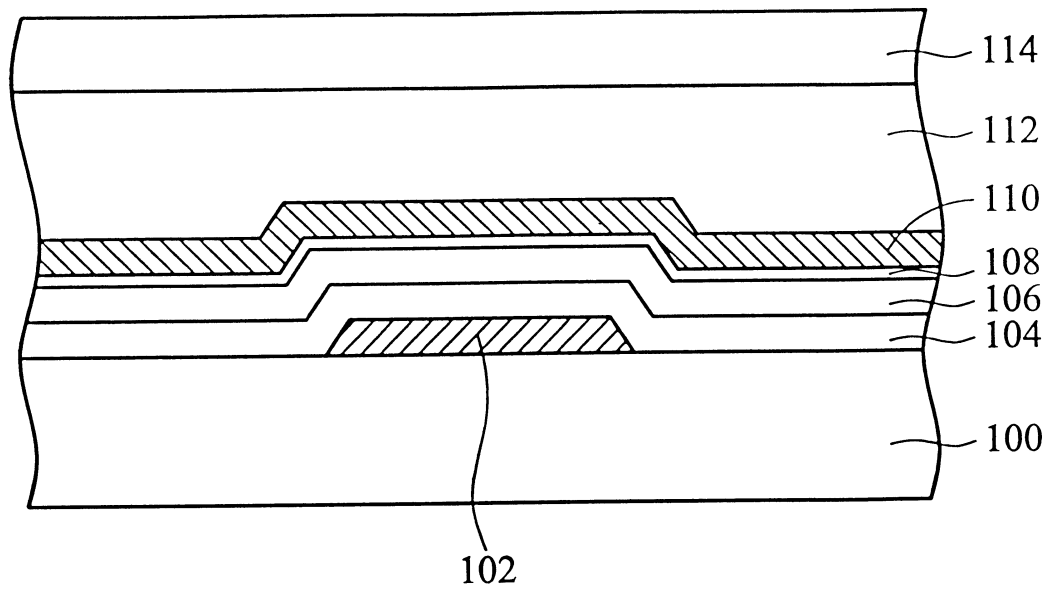
第 1 圖



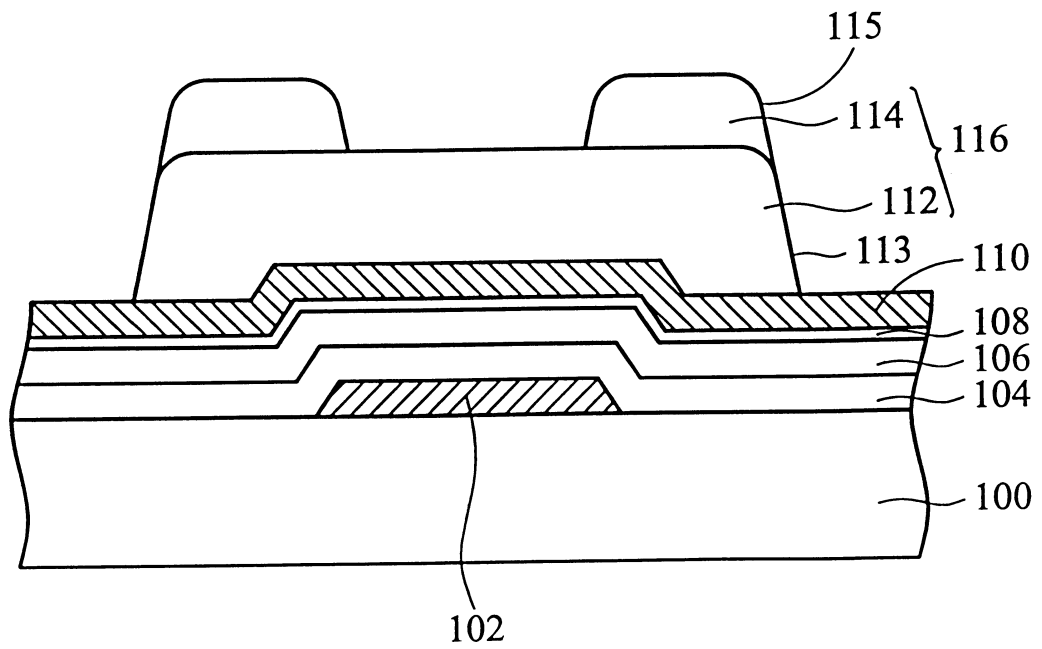
第2A圖



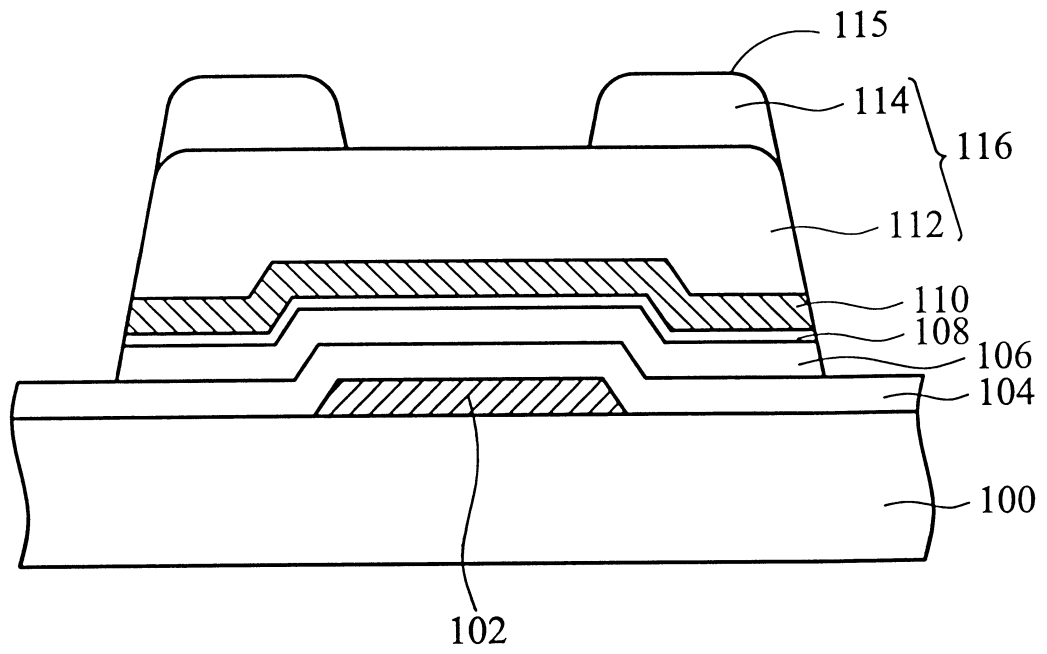
第2B圖



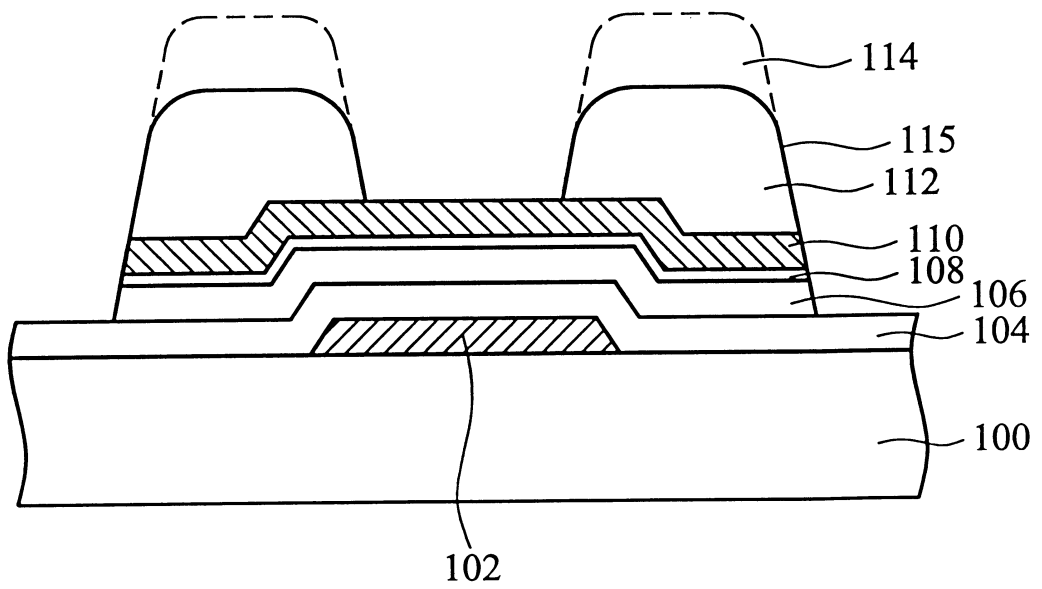
第 2C 圖



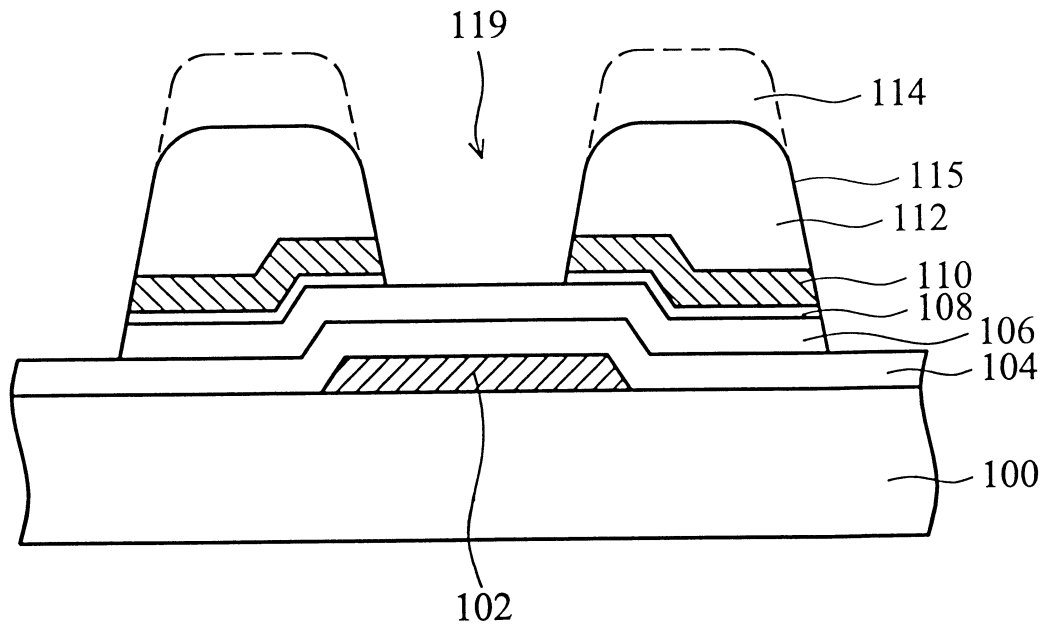
第 2D 圖



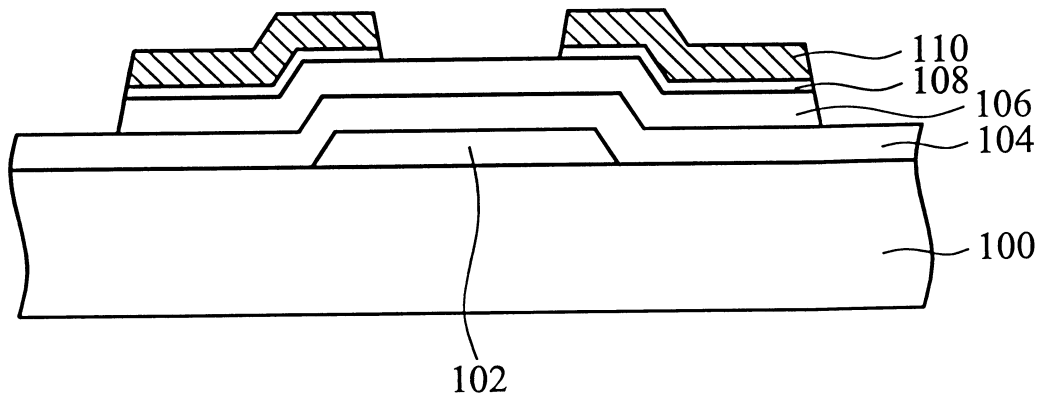
第2E圖



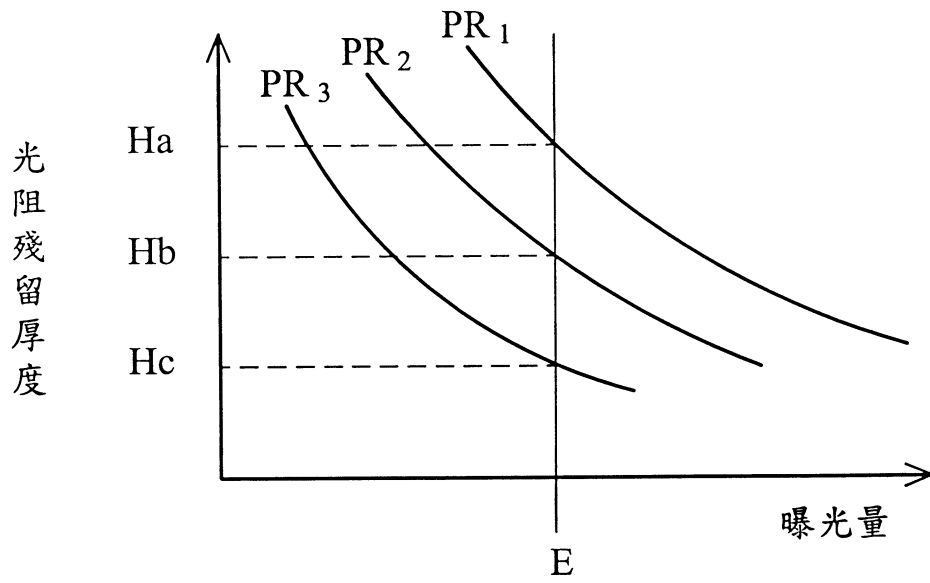
第2F圖



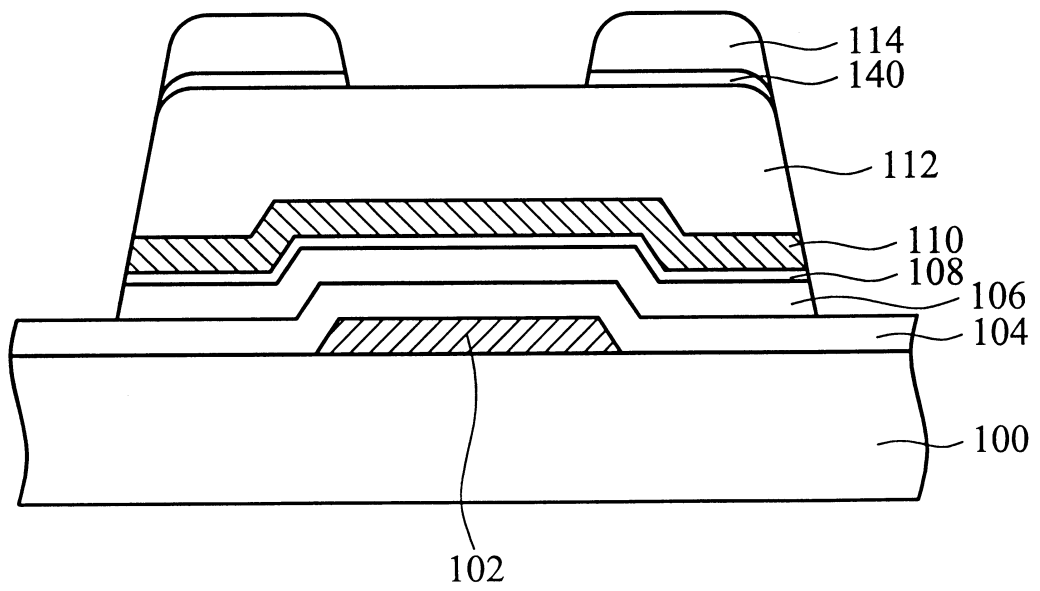
第2G圖



第2H圖



第 3 圖



第 4 圖