

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成19年1月25日(2007.1.25)

【公表番号】特表2006-516176(P2006-516176A)

【公表日】平成18年6月22日(2006.6.22)

【年通号数】公開・登録公報2006-024

【出願番号】特願2004-555528(P2004-555528)

【国際特許分類】

H 01 L 29/78 (2006.01)

【F I】

H 01 L 29/78 301D

【手続補正書】

【提出日】平成18年11月30日(2006.11.30)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

シリコン基板上の水平拡散MOS(LDMOS)トランジスタの製作において、

a) ゲート酸化物、該ゲート酸化物上の添加多結晶シリコン体、及び該添加多結晶シリコン体上の窒化物キャップ層を含むゲート構造を形成するステップと、

b) 前記ゲート構造のまわりにスペーサ酸化物を形成するステップと、

c) 前記ゲート構造のまわりの基板の露出されるシリコンの酸化によってシール酸化物を形成するステップと、

d) 前記窒化物キャップ層を取り除くステップと、

e) 前記スペーサ酸化物に接触するソース領域に対して、及び前記スペーサ酸化物から間隔をあけて配置されるドレイン領域に対して、フォトレジストマスクを用いてドーパントを注入し、前記ソース領域上及び前記ドレイン領域上から前記シール酸化物を取り除くステップと、

f) 前記ソース領域、前記ドレイン領域及び前記ゲートに対するシリサイド接触を形成するステップと、を含む製作方法。

【請求項2】

ステップe)は、前記シリサイド接触を形成する前に前記ソース領域上及び前記ドレイン上から酸化物を取り除くために前記フォトレジストマスクを用い、ソースシリサイドは前記ゲートに対して自己整列できるようにすることを含む請求項1に記載の製作方法。

【請求項3】

g) 前記ソース領域、前記ゲート構造、及び前記ドレイン領域の上に第1の層間絶縁膜を形成するステップと、

h) 前記第2の層間絶縁膜から前記シリサイド接触に対して第2の導電性バイアスを形成するステップと、をさらに含む請求項2に記載の製作方法。

【請求項4】

i) 前記第1の層間絶縁膜の上に第2の層間絶縁膜を形成するステップと、

j) 前記第1の導電性バイアスに対して第2の導電性バイアスを形成するステップと、

k) 導電性パターンを前記第2の層間絶縁膜に形成し、前記第2の導電性バイアスに接觸させるステップと、をさらに含む請求項3に記載の製作方法。

【請求項5】

ステップ k ) は、最初にシード金属層を形成し、その後、前記シード金属層の上に前記導電性パターンを形成することを含む請求項 4 に記載の製作方法。

【請求項 6】

1 ) 前記第 2 の層間絶縁膜の上に不活性化層を形成するステップをさらに含む請求項 5 に記載の製作方法。

【請求項 7】

水平拡散MOS ( LDMOS ) トランジスタの製作方法であって、

a ) ドープされたシンカー及びチャネル接触領域を有する素子領域を取り囲むフィールド酸化膜をシリコン基板の表面に形成するステップと、

b ) 前記表面の上にゲート酸化物層を形成するステップと、

c ) 添加多結晶シリコンを前記ゲート酸化物層の上に形成するステップと、

d ) 室化物層を前記多結晶シリコンの上に形成するステップと、

e ) フォトレジストマスクでゲート構造をマスクし、露出される室化物及び多結晶シリコン、及びゲート酸化物層を取り除くステップと、

f ) 前記ゲート構造の一部と接触し基礎をなす基板上にチャネル注入を形成し、前記チャネル接触領域に対して広げるステップと、

g ) 前記ゲート構造のまわりにスペーサ酸化物を形成するステップと、

h ) 前記ゲート構造のまわりの基板の露出されるシリコンの酸化によってシール酸化物を形成するステップと、

i ) 前記室化物キャップ層を前記ゲート構造から取り除くステップと、

j ) 前記スペーサ酸化物に接触するソース領域に対して、及び前記スペーサ酸化物から間隔を空けて配置されるドレイン領域に対して、フォトレジストマスクを用いてドーパントを注入し、前記ソース領域上及び前記ドレイン領域上から前記シール酸化物を取り除くステップと、

k ) 前記ソース領域、前記ドレイン領域及び前記ゲートに対するシリサイド接触を形成するステップと、を備える製作方法。

【請求項 8】

1 ) 前記ソース領域、前記ゲート構造、及び前記ドレイン領域の上に第 1 の層間絶縁膜を形成するステップと、

m ) 前記第 1 の層間絶縁膜から前記シリサイド接触に対して第 1 の導電性バイアスを形成するステップと、をさらに含む請求項 7 に記載の製作方法。

【請求項 9】

n ) 前記第 1 の層間絶縁膜の上に第 2 の層間絶縁膜を形成するステップと、

o ) 前記第 2 の層間絶縁膜から前記第 1 の導電性バイアスに対して第 2 の導電性バイアスを形成するステップと、

p ) 前記第 2 の層間絶縁膜の上に導電性パターンを形成し、前記第 2 の導電性バイアスに接触させるステップと、をさらに含む請求項 8 に記載の製作方法。

【請求項 10】

ステップ p ) は、最初にシード金属層を形成し、その後、前記シード金属層の上に前記導電性パターンを形成することを含む請求項 9 に記載の製作方法。

【請求項 11】

q ) 前記第 2 の層間絶縁膜の上に不活性化層を形成するステップをさらに含む請求項 1 に記載の製作方法。