(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2004-165605
(P2004-165605A)
(43)公開日　平成16年6月10日(2004.6.10)

(51)Int.Cl.[7]	F I		テーマコード（参考）
H01L 23/52	H01L 23/52	C	5B060
G06F 12/00	G06F 12/00	550K	
G06F 13/16	G06F 13/16	510A	
G11C 5/00	G11C 5/00	303Z	
H01L 23/12	H01L 23/12	Q	

審査請求 未請求　請求項の数 31　ＯＬ　（全 33 頁）　最終頁に続く

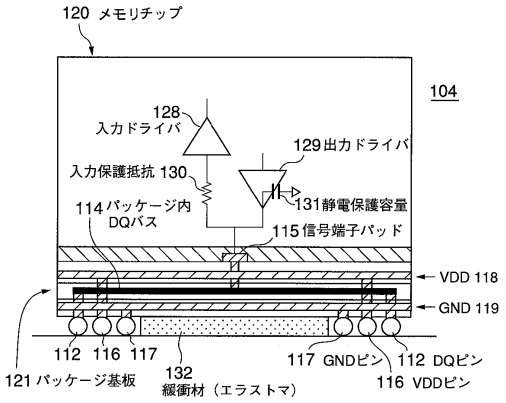
(21)出願番号　特願2003-103681(P2003-103681)
(22)出願日　平成15年4月8日(2003.4.8)
(31)優先権主張番号　特願2002-281593(P2002-281593)
(32)優先日　平成14年9月26日(2002.9.26)
(33)優先権主張国　日本国(JP)

(71)出願人　500174247
エルピーダメモリ株式会社
東京都中央区八重洲２－２－１
(71)出願人　000005108
株式会社日立製作所
東京都千代田区神田駿河台四丁目６番地
(71)出願人　000233527
株式会社ルネサス東日本セミコンダクタ
東京都青梅市藤橋三丁目３番地２
(74)代理人　100071272
弁理士　後藤　洋介
(74)代理人　100077838
弁理士　池田　憲保

最終頁に続く

(54)【発明の名称】半導体ユニット、半導体モジュール及びメモリシステム

(57)【要約】
【課題】信号配線中に存在する分岐配線の配線長を短縮し、高速動作が可能な半導体ユニットを提供する。
【解決手段】メモリデバイスを構成する半導体ユニット１０４は、メモリチップ１２０と、３つの配線層を有するパッケージ基板１２１とから成る。パッケージ基板１２１には、電源面１１８（ＶＤＤ面）及び１１９（ＧＮＤ面）が配線され、双方の電源面１１８、１１９の中間の配線層にパッケージ内ＤＱバス１１４が配線される。メモリデバイス１０４は、１つのパッケージ内ＤＱバス１１４に対して２つのＤＱピン１１２を備える。パッケージ内ＤＱバス１１４は、メモリチップ１２０の信号端子パッド１１５にビアを介して接続する。２つのＤＱピンから見て、パッケージ内ＤＱバス１１４から信号端子パッドに接続するビアが、分岐配線を構成する。
【選択図】　図３



【特許請求の範囲】
【請求項１】
１つの入出力信号に対して２つのデバイス端子を備える半導体ユニットであって、
該半導体ユニットは、信号配線層と電源又はグランド配線層とを含む少なくとも２層の配線層を有する積層基板と、入出力パッドを備え該入出力パッドを介して前記積層基板の表面に搭載される半導体チップとを備えており、
前記２つのデバイス端子は、前記積層基板上に配置されると共に前記信号配線層中の１つの信号配線の両端にそれぞれ接続されており、該１つの信号配線は、ビアホールを介して前記半導体チップの入出力パッドに接続されることを特徴とする半導体ユニット。
【請求項２】
前記半導体チップは、前記入出力パッドに対応して、入力バッファ及び出力バッファの少なくとも一方、入力保護抵抗、並びに、静電保護素子を有する入出力回路を備える請求項１に記載の半導体ユニット。
【請求項３】
１つの入出力信号に対して２つのデバイス端子を備える半導体ユニットであって、
該半導体ユニットは、信号配線層と電源又はグランド配線層とを含む少なくとも２層の配線層を有する積層基板と、入出力パッドを備え該入出力パッドを介して前記積層基板の表面に搭載される半導体チップとを備えており、
前記半導体チップは、１つのチップ内配線の両端に接続される２つの入出力パッドを備え、前記２つのデバイス端子はそれぞれ、前記信号配線層中の対応する信号配線及びビアホールを介して前記２つの入出力パッドに接続されることを特徴とする半導体ユニット。
【請求項４】
前記半導体チップは、前記２つの入出力パッドに対応して、入力バッファ及び出力バッファの少なくとも一方、入力保護抵抗、並びに、静電保護素子を有する１つの入出力回路を備え、該入出力回路は、別のチップ内配線を介して前記１つのチップ内配線に接続される請求項３に記載の半導体ユニット。
【請求項５】
前記信号配線層は、前記積層基板内のグランド配線層と共にマイクロストリップ線路を形成し、前記グランド配線層は、前記信号配線層と前記半導体チップとの間に配置される請求項１から４の何れかに記載の半導体ユニット。
【請求項６】
前記信号配線層は、前記積層基板内の電源層とグランド配線層との間に挟まれて、該電源層又はグランド配線層とストリップ線路を形成する請求項１から４の何れかに記載の半導体ユニット。
【請求項７】
前記積層基板は、前記半導体チップの平面サイズよりも大きく形成されており、前記積層基板の裏面に形成される前記２つのデバイス端子に対向して、前記積層基板の表面に形成される２つのデバイス端子を更に備える請求項１から６の何れかに記載の半導体ユニット。
【請求項８】
前記半導体ユニットは、クロック信号を入力して動作するように構成され、前記入出力回路と前記１つの信号配線までの距離Ｌは、半導体ユニットの製品仕様で決定されるクロックのサイクルタイムｔckとの間で、２×２Ｌ×７ｎｓ／ｍ＜ｔck／１０なる関係を満たす請求項２又は４に記載の半導体ユニット。
【請求項９】
コネクタ及び該コネクタに接続されるモジュール内配線を備えるモジュール基板と、該モジュール基板の表面及び裏面にそれぞれ搭載され前記モジュール内配線に接続される複数の半導体ユニットとを備える半導体モジュールであって、
前記半導体ユニットのそれぞれが、請求項１から８の何れかに記載の半導体ユニットとして構成され、

前記モジュール基板の表面及び裏面に対向して配置される２つの半導体ユニットの前記２つのデバイス端子の一方は、ビアホールを介して相互に接続され、前記２つのデバイス端子の他方はそれぞれ、前記モジュール基板の表面及び裏面に配置されるモジュール内配線を介して前記コネクタに接続されることを特徴とする半導体モジュール。

【請求項１０】

前記モジュール基板が、少なくとも２層の配線層を有する請求項９に記載の半導体モジュール。

【請求項１１】

コネクタ及び該コネクタに接続されるモジュール内配線を備えるモジュール基板と、該モジュール基板の表面及び裏面にそれぞれ搭載され前記モジュール内配線に接続される、請求項７に記載の複数の半導体ユニットとを備える半導体モジュールであって、

複数の半導体ユニットが積層されており、上層の半導体ユニットの裏面に形成されたデバイス端子と、下層の半導体ユニットの表面に形成されたデバイス端子とが接続もしくは共通化されることを特徴とする半導体モジュール。

【請求項１２】

前記モジュール基板の表面及び裏面に対向して配置される２つの半導体ユニットの前記２つのデバイス端子の一方は、ビアホールを介して相互に接続され、前記２つのデバイス端子の他方はそれぞれ、前記モジュール基板の表面及び裏面に配置されるモジュール内配線を介して前記コネクタに接続される請求項１１に記載の半導体モジュール。

【請求項１３】

前記半導体ユニットがメモリデバイスである、請求項９から１２の何れかに記載の半導体モジュール。

【請求項１４】

前記モジュール基板に搭載されるレジスタを更に備え、該レジスタと前記複数のメモリデバイスとの間の制御配線が、前記２つのデバイス端子の間を通過している請求項１３に記載の半導体モジュール。

【請求項１５】

マザーボード配線を有するマザーボードと、該マザーボードに搭載されるコントローラと、前記マザーボード上に順次に搭載され、前記マザーボード配線を介して前記コントローラと順次に接続される複数の半導体モジュールと、前記マザーボード配線の終端に接続される終端抵抗とを備えるメモリシステムであって、

前記半導体モジュールが、請求項１３又は１４に記載の半導体モジュールであり、前記マザーボード配線が、前記モジュール内配線を介して一連に接続されることを特徴とするメモリシステム。

【請求項１６】

前記１つの信号配線が、前記メモリデバイスからデータを読み出し、また、前記メモリデバイスにデータを書き込むためのデータバスである請求項１５に記載のメモリシステム。

【請求項１７】

１つの入出力信号に対して少なくとも２つのデバイス端子を備える半導体ユニットであって、

該半導体ユニットは前記半導体ユニットの左右もしくは前後もしくは表裏異なる側に前記２つのデバイス端子が一つずつ配置されており、前記２つのデバイス端子は半導体チップの対応する前記入出力信号の入出力パッドに配線されることを特徴とする半導体ユニット。

【請求項１８】

１つの入出力信号に対して２つのデバイス端子を備える半導体ユニットであって、

該半導体ユニットは前記半導体ユニットの左右異なる側に前記２つのデバイス端子が一つずつ配置されており、前記２つのデバイス端子のうち、片側のデバイス端子だけが半導体チップの対応する前記入出力信号の入出力パッドに配線されることを特徴とする半導体ユニット。

【請求項１９】
１つの入出力信号に対して２つのデバイス端子を備える半導体ユニットであって、
前記２つのデバイス端子のうち、片側のデバイス端子に接続されたパッケージ内配線だけが半導体チップの対応する前記入出力信号の入出力パッドにワイヤボンディングで接続されることを特徴とする請求項１８記載の半導体ユニット。
【請求項２０】
１つの入出力信号に対して２つのデバイス端子を備える半導体ユニットであって、
前記２つのデバイス端子のうち、片側のデバイス端子に接続されたパッケージ内配線だけが半導体チップの対応する前記入出力信号の入出力パッドにジャンパチップで接続されることを特徴とする請求項１８記載の半導体ユニット。
【請求項２１】
１つの入出力信号に対して２つのデバイス端子を備える半導体ユニットであって、
前記２つのデバイス端子が半導体チップの対応する前記入出力信号の入出力パッドにそれぞれパッケージ内配線で配線されており、前記２つのデバイス端子のうち、片側のデバイス端子に接続されたパッケージ内配線が切断されていることを特徴とする請求項１８記載の半導体ユニット。
【請求項２２】
１つの入出力信号に対して２つのデバイス端子を備える半導体ユニットであって、
該半導体ユニットは、信号配線層と電源又はグランド配線層とを含む少なくとも２層の配線層を有する積層基板と、入出力パッドを備え該入出力パッドを介して前記積層基板の表面に搭載される半導体チップとを備えており、前記２つのデバイス端子は、それぞれ前記積層基板の片側表裏面上に対向して配置されるとともに、間にビアホールを介して接続され、さらに該ビアホールは１本の配線で前記半導体チップの入出力パッドに接続されることを特徴とする半導体ユニット。
【請求項２３】
前記積層基板の表裏両面に半導体チップを備えた請求項２２記載の半導体ユニット。
【請求項２４】
請求項２２記載の半導体ユニットを積層し、上層の半導体ユニットの裏面のデバイス端子と下層の半導体ユニットの表面のデバイス端子を接続または共通化した請求項２２記載の半導体ユニット。
【請求項２５】
メモリとして１つの入出力信号に対して２つのデバイス端子を備える請求項１７乃至２１の半導体ユニットを備えたメモリモジュールであって、
該入出力信号の配線において、前記２つのデバイス端子のうち、前記配線が短く配線できる方のデバイス端子を選択して配線したことを特徴とするメモリモジュール。
【請求項２６】
メモリとして１つの入出力信号に対して２つのデバイス端子を備える請求項２２乃至２４の半導体ユニットを備えたメモリモジュールであって、
該入出力信号の配線において、前記２つのデバイス端子のうち、前記配線が短く配線できる方のデバイス端子を配線できるように、該半導体ユニットのメモリモジュール基板との接続を持つ面を選択して実装したことを特徴とするメモリモジュール。
【請求項２７】
少なくとも１つの信号に対して４つのデバイス端子を備え、前記４つのデバイス端子のうち第１と第２の端子はそれぞれ前記積層基板の左側表裏面上に対向して配置され、第３と第４の端子はそれぞれ前記積層基板の右側表裏面上に対向して配置され、第１及び第２の端子と第３及び第４の端子は前記積層基板の左右に対向して配置され、第１及び第２の端子の間は第１のビアホールを介して接続され、第３及び第４の端子の間は第２のビアホールを介して接続され、第１のビアホール及び第２のビアホールはそれぞれ１本の配線で前記半導体チップの対応する信号パッドに接続されていることを特徴とする請求項２３の半導体ユニット。

【請求項２８】
少なくとも１つの入出力信号に対して２つのデバイス端子を備え、信号配線層と電源又はグランド配線層とを含む少なくとも２層の配線層を有する積層基板と入出力パッドを備え、該入出力パッドを介して前記積層基板の片面もしくは両面に搭載される半導体チップとを備えており、前記２つのデバイス端子は、それぞれ前記積層基板の片側表裏面上に対向して配置されるとともに、間にビアホールを介して接続され、さらに該ビアホールは１本の配線で前記半導体チップの入出力パッドに接続され、また別の少なくとも１つの信号に対して４つのデバイス端子を備え、前記４つのデバイス端子のうち第１と第２の端子はそれぞれ前記積層基板の左側表裏面上に対向して配置され、第３と第４の端子はそれぞれ前記積層基板の右側表裏面上に対向して配置され、第１及び第２の端子と第３及び第４の端子は前記積層基板の左右に対向して配置され、第１及び第２の端子の間は第１のビアホールを介して接続され、第３及び第４の端子の間は第２のビアホールを介して接続され、第１のビアホール及び第２のビアホールはそれぞれ１本の配線で前記半導体チップの対応する信号パッドに接続されていることを特徴とする半導体ユニット。
【請求項２９】
請求項２７乃至２８記載の半導体ユニットをメモリとして搭載したメモリシステム。
【請求項３０】
１つの入出力信号に対してパッケージの表裏両面に少なくとも２つのボール端子接着用領域を有する半導体ユニットであって、前記パッケージの片方の面のボール端子接着用領域だけにボール端子が接着されていることを特徴とする半導体ユニット。
【請求項３１】
請求項３０記載の半導体ユニットを搭載したメモリシステムであって、少なくとも１つの前記半導体ユニットにおいて、前記メモリシステム上の入出力信号配線を短く配線できる方のボール端子接着用領域だけにボール端子が接着されていることを特徴とするメモリシステム。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明は、半導体ユニット、半導体モジュール及びメモリシステムに関し、特に、高速動作時にデータ信号等の劣化が少ない半導体ユニット、半導体モジュール、及び、メモリシステムに関する。
【０００２】
【従来の技術】
近年、メモリシステムでは、高速化への要求が益々高くなってきており、特に高速のメモリシステムには、例えば数百ＭＨｚ～数ＧＨｚといった高い周波数に対応する性能が要求される。一般に、メモリシステムでは、動作周波数が高くなると、信号が配線を伝播する際に波形が乱れやすくなるため、特許文献１乃至３に記載されるメモリシステムのように、信号配線には信号が高速かつ正確に伝播されるような工夫が施されている。
【０００３】
例えば、特許文献１には、高速動作が可能なメモリシステムとして、信号配線の分岐を削減し、配線の分岐で発生する信号の反射を低減する技術が記載されている。図１３は、特許文献１の図２１に記載のメモリシステムにおける信号配線経路を示している。メモリシステム２００は、メモリコントローラ２０１と、それぞれがメモリデバイス２０４を搭載する複数のメモリモジュール２０３及び終端抵抗２０５を備える。
【０００４】
メモリシステム２００は、マザーボード２０６上に搭載され、メモリシステム２００の各要素は、信号配線２０７及び図示しないコマンドアドレス配線で接続されている。モジュールソケット２０２は、対応するメモリモジュール２０３を保持する共に、信号配線２０７とモジュール内配線２０８とを接続する。各メモリモジュール２０３は、モジュール基板と、モジュール基板上に搭載された複数のメモリデバイス２０４を備える。

【０００５】
メモリコントローラ２０１は、信号配線２０７を介してメモリシステム２００全体を制御し、所望のメモリモジュール２０３に搭載されたメモリデバイス２０４からデータを読み出し、また、メモリデバイス２０４にデータを書き込む。信号配線２０７及びモジュール内配線２０８は、その配線インピーダンスが所望の値に制御され、インピーダンス不整合により生じる信号反射等を防止している。各メモリデバイス２０４は、例えば半田ボールで構成されるデバイス端子２０９を介してモジュール基板上のモジュール内配線２０８と接続する。終端抵抗２０５は、信号配線２０７を終端し、配線終端部における信号の反射を防止する。
【０００６】
図１４は、図１３のメモリデバイス２０４の詳細を示している。メモリデバイス２０４は、パッケージ基板２１１に搭載されたメモリチップ２１０として構成される。パッケージ基板２１１には、インピーダンスが所望の値に制御されたパッケージ内配線２１３が配線され、パッケージ内配線２１３の一端は、ビアを介してデバイス端子２０９と接続される。パッケージ内配線２１３の他端は、メモリチップ２１０の入出力端子として構成される信号端子パッド２１２と、ビアを介して接続される。
【０００７】
デバイス端子２０９と信号端子パッド２１２とは、１対１の関係を有し、あるデバイス端子２０９から入力した信号は、そのデバイス端子２０９に対応するパッケージ内配線２１３を介して信号端子パッド２１２に入力する。パッケージ内配線２１３は、デバイス端子２０９と、そのデバイス端子２０９に対応する信号端子パッド２１２との位置関係によって、その配線長が決定される。図１３のメモリシステム２００において、メモリコントローラ２０１から終端抵抗２０５までの配線中で、分岐配線を構成するのは、実質的に、パッケージ内配線２１３のみとなる。
【０００８】
上述のように、特許文献１に記載の技術では、高速動作を行なうメモリシステム２００において、メモリコントローラ２０１から終端抵抗２０５に至る信号経路を、分岐がない一筋（一連）の配線で構成することで配線分岐箇所で発生する信号の反射を少なくし、信号の乱れを最小限にして高速動作を可能としている。
【０００９】
また、特許文献３には高速動作が可能なメモリシステムとして、ＪＥＤＥＣ（米国電子工業会の下部組織）で標準化されたＳＳＴＬインターフェースによるメモリバスの例が記載されている（ＳＳＴＬ：Ｓｔｕｂ　Ｓｅｒｉｅｓ　Ｔｅｒｍｉｎａｔｅｄ　Ｌｏｇｉｃ）。このＳＳＴＬバスはバス配線の少なくとも一方の末端に終端用抵抗を備え、また信号配線の分岐点に伝送線の特性インピーダンスを整合するための抵抗（スタブ抵抗）を備えることで、配線の分岐で発生する信号の反射を低減する。
【００１０】
特許文献３の図２０には、バス配線の両端に終端抵抗を具備したＳＳＴＬバスの例が記載されている。図２３（ａ）はＳＳＴＬバスの実施例である。図に示されているように、ＳＳＴＬバスに於ては、マザーボード上幹線配線１０８にメモリモジュール上分岐配線１１０を接続する際、分岐配線の分岐個所に抵抗２３０１を挿入する。この抵抗２３０１の抵抗値Ｒｓは、分岐での特性インピーダンスを整合するためにＺ０／２　＋　Ｒｓ　＝　Ｚ１の関係を満たすものであることが望ましい（ここでＺ０はマザーボード上幹線配線１０８の特性インピーダンス、またＺ１はメモリモジュール上分岐配線１１０の特性インピーダンスである。）が、メモリ側出力時の信号振幅の確保のために上記より若干小さい値が用いられることもある。
【００１１】
この場合、分岐配線端で反射した信号が幹線配線に戻る際に、分岐配線と幹線配線との間でインピーダンスの不整合が緩和されているため反射が低減される。従って、反射の繰り返しによる波形の乱れを低減でき、高速なデータ転送が可能となる。さらに幹線配線の末

端は終端抵抗１０６を介して所定の終端電圧（例えば電源電圧の半分）に終端されており、終端抵抗の値を適切な値に設定することによって、幹線配線の終端に於ける信号の反射を防いでいる。

【００１２】

上述のように、特許文献３に記載の技術では、高速動作を行なう分岐を有するメモリシステムにおいて、信号配線の分岐点に伝送線の特性インピーダンスを整合するための抵抗（スタブ抵抗）を備えることで配線分岐箇所で発生する信号の反射の繰り返しによる信号の乱れを低減して高速動作を可能としている。

【００１３】

【特許文献１】

特開２００１－２５６７７２号公報

【００１４】

【特許文献２】

特開２００１－６８６１７号公報

【００１５】

【特許文献３】

特開平１０－０２０９７４号公報

【００１６】

【発明が解決しようとする課題】

上記したように、メモリシステム２００では、パッケージ内配線２１３が、信号配線２０７及びモジュール内配線２０８に対して分岐配線を構成する。パッケージ内配線２１３は、配線長が十分に短い配線として構成されるため、動作周波数がある程度低いときには、パッケージ内配線２１３の端部で生じる信号反射は問題とならない。しかし、メモリシステム２００が更に高速化すると、パッケージ内配線２１３の端部で反射した信号が、パッケージ内配線２１３を往復することによって発生する信号波形の乱れが問題になる。

【００１７】

例えば、パッケージ内配線２１３の配線長を１０ｍｍ、配線中を伝播する信号の単位距離当たりの伝播時間を６ｎｓ／ｍとすると、信号がパッケージ内配線２１３を往復するのに要する時間ｔＳは、１２０ｐｓとなる。伝播する信号の立ち上がり時間ｔＲが、信号往復時間ｔＳの２倍程度以下になると、信号波形に対する影響が大きくなり、信号反射による波形の乱れが顕在化してくる。信号の立ち上がり時間ｔＲが動作周波数の1／１０程度であるとすると、動作周波数が１００ＭＨｚのときの信号立ち上がり時間ｔＲは約１ｎｓとなり、１ＧＨｚのときは信号立ち上がり時間ｔＲは約１００ｐｓとなる。動作周波数が１００ＭＨｚ程度の場合には、信号往復時間ｔＳが立ち上がり時間ｔＲに比して十分に短く、波形の乱れは大きな問題にはならないが、動作周波数がＧＨｚオーダーに近づくにつれて、信号往復時間ｔＳと立ち上がり時間ｔＲとの差が小さくなり、信号波形の乱れが問題になってくる。

【００１８】

メモリシステム２００において安定した高速動作を実現するためには、分岐配線を構成するパッケージ内配線２１３の配線長を極力短くするとよい。しかし、パッケージ内配線２１３は、前述のように、デバイス端子２０９と、そのデバイス端子２０９に対応する信号端子パッド２１２との位置関係によって、その配線長が決定されるため、レイアウト上の制約があり、任意に配線長を設定することができなかった。このため、パッケージ内配線２１３が信号経路を分岐する従来のメモリシステム２００では、動作周波数の高速化に限界があった。

【００１９】

特許文献２には、１つのメモリモジュールに複数の半導体素子を積層する技術が記載されている。特許文献２に記載の技術では、半導体素子の直下に形成される基板の一端と他端とを接続する基板と平行方向の信号配線、及び、基板の一端と他端とに互い違いに配置されたビアによって形成される積層方向の信号配線が、一筋の配線として構成され、高速動

作に対応する。しかし、特許文献２では、基板平行方向の信号配線が、半導体素子直下を長い区間通過することになり、動作周波数が高速化すると、この信号配線から、半導体素子内の信号配線や電源配線にクロストークノイズ（電磁結合ノイズ）が乗るという問題がある。また、半導体素子の積層を行なうと、半導体素子から発生する熱が集中し、モジュールの温度を上昇させ、性能低下を引き起こすという問題もある。

【００２０】

高速動作するメモリモジュールでは、デバイスに到達する各種信号のタイミング制御を高精度に行なう必要がある。タイミング制御を高精度に行ない、データ配線及びコマンドアドレス配線の双方を、タイミングエラーや、信号反射、クロストークなどの観点から問題なく敷設するためには、レイアウト上で配線占有面積が増加し、配線の自由度が低下する。特にコマンドアドレス配線では、メモリモジュールに搭載されるレジスタから、全てのメモリデバイスに信号を分配する必要があり、モジュールの小型化や、メモリチップの大容量化、機能拡張によるコマンドアドレス配線数の増加などの要求によって、更に配線占有面積が増加して配線の自由度が低下し、レイアウトは更に厳しくなるという問題が発生する。

【００２１】

また、従来のメモリモジュールでは、配線すべきモジュール基板上の端子とそれに対応するメモリデバイス上の端子の位置関係の制約と、モジュール基板上に配置されたコマンド・アドレス信号用レジスタＩＣやクロックバッファ用ＰＬＬＩＣ（ＰＬＬ：Ｐｈａｓｅ－Ｌｏｃｋｅｄ　Ｌｏｏｐ）といった配線できない領域の制約により、メモリモジュール端子からメモリデバイス端子への信号配線の引き回しが複雑になり、信号配線の配線長が増大することがある。数百ＭＨｚオーダーの信号伝送を行う分岐を有するメモリシステムでは上記信号配線が分岐配線に該当し、その配線長の増大は分岐配線内の信号の反射・往復によって発生する信号波形の乱れを増大させるという問題があった。

【００２２】

本発明は上記問題点を解消し、メモリシステムにおけるパッケージやメモリモジュール内の分岐配線の配線長を短縮し、高速動作に際しても信号波形の乱れがメモリシステムの動作に不具合を与えず、配線の配線自由度の不足を緩和する半導体ユニット及び半導体モジュール並びにこのような半導体ユニットや半導体モジュールを備えるメモリシステムを提供することを目的とする。

【００２３】

また、本発明は、信号配線からメモリデバイスに載るクロストークノイズを低減でき、熱放散能力を向上してデバイス温度上昇によるデバイスの性能低下を抑える半導体ユニット、半導体モジュール及びメモリシステムを提供することを目的とする。

【００２４】

【課題を解決するための手段】

上記目的を達成するために、本発明の第１の視点の半導体ユニットは、１つの入出力信号に対して２つのデバイス端子を備える半導体ユニットであって、該半導体ユニットは、信号配線層と電源又はグランド配線層とを含む少なくとも２層の配線層を有する積層基板と、入出力パッドを備え該入出力パッドを介して前記積層基板の表面に搭載される半導体チップとを備えており、前記２つのデバイス端子は、前記積層基板上に配置されると共に前記信号配線層中の１つの信号配線の両端にそれぞれ接続されており、該１つの信号配線は、ビアホールを介して前記半導体チップの入出力パッドに接続されることを特徴とする。

【００２５】

本発明の第１の視点の半導体ユニットでは、１つの入出力信号に対応して２つのデバイス端子を備え、各デバイス端子は、積層基板（パッケージ基板）の信号配線層に配線される信号配線を介して相互に接続される。信号線は、所望の位置で、対応する半導体チップの入出力パッドにビア（スルーホール）を介して接続される。双方のデバイス端子から見ると、入出力パッドに接続される配線（ビア）は、デバイス端子間に形成される信号線に対して分岐配線を構成する。１つの入出力信号に対応して２つのデバイス端子を備えるため

、半導体ユニットでは、一方のデバイス端子から入力した信号を、半導体チップに分岐配線を介して入出力パッドから入力すると共に、他方のデバイス端子から取り出すことができる。このため、例えば、外部に形成されるデータバスから分岐して半導体ユニットに信号を入力するのに代えて、半導体ユニット内に形成される信号配線をデータバス中に挿入することができる。

【００２６】

１つの入出力パッドが１つのデバイス端子に接続される従来の構造では、デバイス端子から入出力パッドまでの半導体ユニット内の信号配線が、データバスに対して分岐ラインを構成していたが、本発明では、２つのデバイス端子間を接続する信号配線から半導体チップの入出力パッドまでの配線が分岐ラインを構成する。従来の半導体ユニットと比較して、データバスに対して分岐ラインを構成する配線の配線長が短縮でき、信号が分岐ラインを往復する時間が短くなるため、高速動作する半導体ユニットについても、分岐ラインで生じる信号反射の信号波形への影響が少なく、半導体ユニットの動作が不安定にならない。

【００２７】

また、パッケージ基板は、少なくとも２層の配線層を有し、電源配線層には、電源面（例えばＶＤＤ面）やグランド面（ＧＮＤ面）が配線される。信号配線層を電源配線層によってシールドすることで、入出力信号線から半導体チップに侵入するクロストークを低減することができる。上記分岐配線は、実質的に、ビアホールのみから構成されることが好ましい。

【００２８】

本発明の第２の視点の半導体ユニットは、１つの入出力信号に対して２つのデバイス端子を備える半導体ユニットであって、該半導体ユニットは、信号配線層と電源又はグランド配線層とを含む少なくとも２層の配線層を有する積層基板と、入出力パッドを備え該入出力パッドを介して前記積層基板の表面に搭載される半導体チップとを備えており、前記半導体チップは、１つのチップ内配線の両端に接続される２つの入出力パッドを備え、前記２つのデバイス端子はそれぞれ、前記信号配線層中の対応する信号配線及びビアホールを介して前記２つの入出力パッドに接続されることを特徴とする。

【００２９】

本発明の第２の視点の半導体ユニットでは、１つの入出力信号に対応して２つのデバイス端子を備え、各デバイス端子は、１つの入出力信号に対応して２つの入出力パッドを有する半導体チップの各入出力パッドに信号配線を介してそれぞれ接続される。半導体チップでは各入出力パッド間がチップ内配線で相互に接続されており、双方のデバイス端子間に形成された信号線は、一筋の配線として構成される。例えば、外部に形成されるデータバスから半導体チップの一方の入出力パッドに信号を入力する場合、入力信号は、一方の入出力パッドから半導体チップに入力されると共に、チップ内配線、他方の入出力パッドを介して、他方のデバイス端子から出力される。

【００３０】

このため、データバスに対して分岐ラインを構成する配線の配線長が更に短縮でき、信号が分岐ラインを往復する時間が更に短くなるので、高速動作する半導体ユニットについても、分岐ラインで生じる信号反射の信号波形への影響が少なく、半導体ユニットの動作が不安定にならない。また、パッケージ基板は、少なくとも２層の配線層を有し、電源配線層には、電源面（例えばＶＤＤ面）やグランド面（ＧＮＤ面）が配線される。信号配線層を、電源配線層によってシールドすることで、入出力信号線から半導体チップに侵入するクロストークを低減することができる。

【００３１】

本発明の第３の視点の半導体ユニットは、１つの入出力信号に対して該半導体ユニットに２つのデバイス端子を備える半導体ユニットであって、前記半導体ユニットは、半導体チップと前記半導体チップの少なくとも１つの入出力信号用チップパッドと前記チップパッドと対応する２つのデバイス端子のうち半導体モジュールと電気的接続を持つ１つのデバ

イス端子を選択的に接続する配線を備えたことを特徴とする。

【００３２】

本発明の第３の視点の半導体ユニットでは、１つの入出力信号に対応して２つのデバイス端子を備え、半導体モジュールと電気的に接続されるデバイス端子を選択できる。このため、半導体モジュール上配線長が短くできる方のデバイス端子を選択して配線できる。また、チップパッドと前記チップパッドと対応する２つのデバイス端子のうち半導体モジュールと電気的接続を持たないもう一方のデバイス端子との間に配線を持たないので余分な配線容量や配線インダクタンスを持たない。これによって信号反射を低減することができる。

【００３３】

本発明の第４の視点の半導体ユニットは、１つの入出力信号に対して該半導体ユニットに２つのデバイス端子を備える半導体ユニットであって、前記半導体ユニットは、半導体チップと前記半導体チップの少なくとも１つの入出力信号用チップパッドに接続された前記２つのデバイス端子を前記半導体ユニット片側の表面及び裏面に対向して１つずつ備えたことを特徴とする。

【００３４】

本発明の第４の視点の半導体ユニットでは、１つの入出力信号に対応して半導体ユニット片側の表裏それぞれの面に対向して１つずつデバイス端子を備え、半導体ユニットを半導体モジュールに実装する際、前記半導体ユニットの表面を上向きになるようにした場合と裏面を上向きになるようにした場合でデバイス端子の場所を変更することができる。このため、半導体モジュール上配線長が短くできる方の実装方法を選択して配線できる。また、チップパッドと前記チップパッドと対応する２つのデバイス端子のうちメモリモジュールと直接的に接続を持たないもう一方のデバイス端子との間の配線の長さは半導体ユニットの厚さ未満なので、半導体モジュールと直接的に接続されないデバイス端子への配線による余分な配線容量や配線インダクタンスも非常に小さい。これによって信号反射を低減することができる。

【００３５】

本発明の第１及び第２の視点の半導体ユニットでは、前記信号配線層は、前記積層基板内のグランド配線層と共にマイクロストリップ線路を形成し、前記グランド配線層は、前記信号配線層と前記半導体チップとの間に配置されてもよく、或いは、前記信号配線層は、前記積層基板内の電源層とグランド配線層との間に挟まれて、該電源層又はグランド配線層とストリップ線路を形成してもよい。これらの場合、半導体チップ近傍のパッケージ基板に含まれる金属の割合が大きくなるため、熱の放散をスムーズに行なうことができ、半導体チップの温度が上昇して動作が不安定になることを防止できる。

【００３６】

本発明の第１及び第２の視点の半導体ユニットでは、前記積層基板は、前記半導体チップの平面サイズよりも大きく形成されており、前記積層基板の裏面に形成される前記２つのデバイス端子に対向して前記積層基板の表面に形成される２つのデバイス端子を更に備える構成を採用することができる。この場合、半導体ユニットは、１つの入出力信号に対して最大４つのデバイス端子を有する。半導体ユニットを積層した際には、同じ入出力信号に対して、表面側の一方及び他方、並びに、裏面側の一方及び他方のデバイス端子のうち、２つのデバイス端子を組み合わせて接続することができる。半導体ユニットは、信号配線とは接続せず、表面側と裏面側とを直接にビアを介して接続するデバイス端子を備えていてもよい。

【００３７】

本発明の第１の視点の半導体ユニットでは、前記半導体チップは、前記入出力パッドに対応して、入力バッファ及び出力バッファの少なくとも一方、入力保護抵抗、並びに、静電保護素子を有する入出力回路を備える構成を採用することができる。

【００３８】

本発明の第２の視点の半導体ユニットでは、前記半導体チップは、前記２つの入出力パッ

ドに対応して、入力バッファ及び出力バッファの少なくとも一方、入力保護抵抗、並びに、静電保護素子を有する１つの入出力回路を備え、該入出力回路は、別のチップ内配線を介して前記１つのチップ内配線に接続される構成を採用することができる。

【００３９】

本発明の第１及び第２の視点の半導体ユニットは、クロック信号を入力して動作するように構成され、前記入出力回路と前記１つの信号配線までの距離Ｌは、半導体ユニットの製品仕様で決定されるクロックのサイクルタイムｔckとの間で、２×２Ｌ×７ｎｓ／ｍ＜ｔck／１０なる関係を満たすことが好ましい。一般に、信号立ち上がり時間をｔＲ、信号が分岐配線を往復する時間をｔＳとすると、信号立ち上がり時間がｔＲが、信号往復時間ｔＳの２倍以下、言い換えれば、信号往復時間ｔＳが、信号立ち上がり時間ｔＲの１／２以上となると、信号波形の乱れが顕在化する。信号が単位距離を伝播するのに要する時間が６～７（ｎｓ／ｍ）であり、信号立ち上がり時間ｔＲが動作クロックの周期の１／１０程度であった場合には、２×２Ｌ×７ｎｓ／ｍ＜ｔck／１０の関係を満たせば、信号波形の乱れが半導体ユニットの動作に影響を与えず、良好な動作が可能になる。

【００４０】

本発明の半導体モジュールは、コネクタ及び該コネクタに接続されるモジュール内配線を備えるモジュール基板と、該モジュール基板の表面及び裏面にそれぞれ搭載され前記モジュール内配線に接続される複数の半導体ユニットとを備える半導体モジュールであって、前記半導体ユニットのそれぞれが、上記本発明の第１又は第２の半導体ユニットとして構成され、前記モジュール基板の表面及び裏面に対向して配置される２つの半導体ユニットの前記２つのデバイス端子の一方は、ビアホールを介して相互に接続され、前記２つのデバイス端子の他方はそれぞれ、前記モジュール基板の表面及び裏面に配置されるモジュール内配線を介して前記コネクタに接続されることを特徴とする。

【００４１】

本発明の第１の視点の半導体モジュールでは、モジュール基板の表面及び裏面で、モジュール外配線とモジュール内配線とがコネクタでそれぞれ接続され、各モジュール内配線は、モジュール基板の表面及び裏面に搭載する上記第１又は第２の視点の半導体ユニットの一方のデバイス端子とそれぞれ接続される。表面及び裏面に搭載される半導体ユニットのそれぞれの他方のデバイス端子は、モジュール基板の表面及び裏面間を接続するビアを介して接続される。このため、表面側のコネクタから裏面側のコネクタに至る配線が、一筋の配線として構成でき、分岐箇所を削減して高速動作が可能になる。また、半導体ユニット直下では、半導体ユニットに入力した信号に対応するモジュール内配線を配線する必要がなくなるため、配線層を増加させることなく、ユニット直下に制御配線等の他の配線を配置することができ、配線レイアウト上の自由度が向上する。

【００４２】

本発明の第２の視点の半導体モジュールは、コネクタ及び該コネクタに接続されるモジュール内配線を備えるモジュール基板と、該モジュール基板の表面及び裏面にそれぞれ搭載され前記モジュール内配線に接続される、表面及び裏面にデバイス端子が形成できる複数の半導体ユニットとを備える半導体モジュールであって、複数の半導体ユニットが積層されており、上層の半導体ユニットの裏面に形成されたデバイス端子と、下層の半導体ユニットの表面に形成されたデバイス端子とが接続されることを特徴とする。

【００４３】

本発明の第２の視点の半導体モジュールでは、モジュール内配線は、モジュール基板の表面及び裏面に搭載する、上記表面及び裏面にデバイス端子が形成された半導体ユニットの裏面側の一方のデバイス端子と接続される。半導体ユニットはモジュール基板上に積層され、半導体ユニット内に形成される信号配線は、半導体ユニットの表面及び裏面に形成された一方及び他方のデバイス端子の接続を適切にすることで、一筋の配線となるように接続される。この場合、積層される半導体ユニット内の分岐箇所が削減して、高速動作が可能になる。

【００４４】

本発明の第２の視点の半導体モジュールでは、前記モジュール基板の表面及び裏面に対向して配置される２つの半導体ユニットの前記２つのデバイス端子の一方は、ビアホールを介して相互に接続され、前記２つのデバイス端子の他方はそれぞれ、前記モジュール基板の表面及び裏面に配置されるモジュール内配線を介して前記コネクタに接続されることが好ましい。この場合、モジュールの表面側のコネクタから、モジュールの裏面側のコネクタまでの信号配線が有する分岐配線の配線長を短くできるため、半導体ユニットが積層された場合であっても、高速動作が可能になる。また、半導体ユニット直下では、半導体ユニットに入力した信号に対応するモジュール内配線を配線する必要がなくなるため、配線層を増加させることなく、ユニット直下に制御配線等の他の配線を配置することができ、配線レイアウト上の自由度が向上する。

【００４５】

本発明の第１及び第２の視点の半導体モジュールでは、前記モジュール基板を、別の積層基板として構成することができる。この場合、モジュール内配線を電源面やグランド面でシールドし、ストリップラインやマイクロストリップラインを形成することができる。

【００４６】

本発明の第１及び第２の視点の半導体モジュールでは、前記半導体ユニットをメモリデバイスとして構成することができる。

【００４７】

本発明の第１及び第２の視点の半導体モジュールは、前記モジュール基板に搭載されるレジスタを更に備え、該レジスタと前記複数のメモリデバイスとの間の制御配線が、前記２つのデバイス端子の間を通過する構成を採用することができる。この場合、モジュール基板上で信号配線と制御配線とが交差しないため、制御配線のサイズを大きくして特性インピーダンスを低くすることができる。

【００４８】

本発明の第３の半導体モジュールは、コネクタ及び該コネクタに接続されるモジュール内配線を備えるモジュール基板と、該モジュール基板の表面及び裏面にそれぞれ搭載され前記モジュール内配線に接続される複数の半導体ユニットとを備える半導体モジュールであって、前記半導体ユニットが上記本発明の第１又は第３又は第４の半導体ユニットとして構成され、前記モジュールのモジュール端子から前記半導体ユニットに至る配線を該配線長が短くできるように、半導体ユニットのデバイス端子を選択して接続されていることを特徴とする。

【００４９】

本発明のメモリシステムは、マザーボード配線を有するマザーボードと、該マザーボードに搭載されるコントローラと、前記マザーボード上に順次に搭載され、前記マザーボード配線を介して前記コントローラと順次に接続される複数の半導体モジュールと、前記マザーボード配線の終端に接続される終端抵抗とを備えるメモリシステムであって、前記半導体モジュールが、第１又は第２の視点の半導体モジュールであり、前記マザーボード配線が、前記モジュール内配線を介して一連に接続されることを特徴とする。

【００５０】

本発明のメモリシステムでは、上記第１及び第２の半導体モジュールとして構成されるメモリモジュールを採用することで、メモリコントローラから終端抵抗に至る信号経路に存在する分岐配線の配線長を短くすることができ、高速動作が可能になる。

【００５１】

本発明のメモリシステムでは、前記１つの信号配線を、前記メモリデバイスからデータを読み出し、また、前記メモリデバイスにデータを書き込むためのデータバスとして構成することができる。メモリシステムにおいて、特にデータバスは、高速かつ正確な信号伝送が要求されるため、データバスを分岐が短い配線として構成することで、メモリシステムの高速化が可能となる。

【００５２】

なお、本発明で用いる用語「一筋の配線」とは、配線経路中に分岐やループがなく、１つ

の信号が信号経路を実質的に一方向にのみ伝播する信号配線を意味する。

【００５３】

【発明の実施の形態】

以下、図面を参照し、本発明の実施形態例に基づいて、本発明を更に詳細に説明する。図１は、本発明の一実施形態例のメモリシステムの構成を斜視図として示している。図２は、図１のメモリシステム１００のＤＱバス１０８方向に沿った断面を示している。メモリシステム１００は、メモリコントローラ１０１と、メモリデバイス１０４及びレジスタ１０５を備えるメモリモジュール１０３と、終端抵抗１０６とを有する。

【００５４】

メモリコントローラ１０１は、メモリシステム１００全体を制御する。メモリモジュール１０３は、レジスタ１０５、及び、複数のメモリデバイス１０４を搭載する。モジュールソケット１０２は、メモリモジュール１０３に対応して設けられ、コネクタにより、マザーボード１０７上の各配線とメモリモジュール１０３内の配線とを電気的に接続する。メモリコントローラ１０１は、所定データ長に対応した帯域のＤＱバス（データバス）１０８を介してメモリデバイス１０４に接続し、ＣＡバス（制御系信号バス）１０９を介してレジスタ１０５に接続する。

【００５５】

ＣＡバス１０９は、レジスタ１０５で分岐し、モジュール内ＣＡバス１１１によって、同じメモリモジュール１０３内のメモリデバイス１０４に分配される。ＤＱバス１０８は、複数の系統が配線され、各ＤＱバス１０８は、複数のメモリデバイス１０４を直列に（カスケード）接続する。図１の例では、４系統のＤＱバス１０８が配線され、各ＤＱバス１０８は、４つのメモリデバイス１０４を直列に接続している（図２）。

【００５６】

メモリコントローラ１０１から出力された信号は、ＤＱバス１０８及びＣＡバス１０９のそれぞれの終端部に配置された終端抵抗１０６で終端される。また、メモリモジュール１０３からメモリコントローラ１０１に向けて出力された信号は、メモリコントローラ１０１内、或いは、メモリコントローラ１０１の近傍に設けられた図示しない終端抵抗によって終端される。

【００５７】

メモリシステム１００内の信号配線は、全て同じインピーダンスとなるように配線され、終端抵抗１０６には、信号配線の特性インピーダンスに一致する抵抗値が採用される。モジュールソケット１０２など、局部的に、単独では信号配線とインピーダンスの整合が困難な構成要素が信号配線中に存在する箇所では、その近傍に容量素子などを付加することによって、実効的にインピーダンスが整合される。またメモリは容量負荷に見えるので、その近傍(loaded section)の配線のキャパシタンス成分を低く、又は、インダクタンス成分を高く、つまり、特性インピーダンスを高くすることによって、実効的にインピーダンスが整合される。

【００５８】

メモリシステム１００では、特にデータバス（ＤＱバス）において信号の反射が生じないようするために、信号配線のインピーダンスを正確に整合させて、高速な読み書きを可能としている。また、高速動作をするシステムにおいては、リターン電流のパスも重要であり、マザーボード１０７上、或いは、メモリモジュール１０３上の電源配線についても、不連続が生じないようにする。

【００５９】

図２に示すように、メモリモジュールは、モジュール基板１２２上に複数のメモリデバイス１０４を備える。各メモリデバイス１０４は、例えば半田ボールによって構成されるデバイス端子（ＤＱピン）１１２及びＣＡピン１１３を介してモジュール基板１２２上の対応する配線と電気的に接続する。ＣＡピン１１３は、メモリデバイス１０４とモジュール内ＣＡバス１１１とを接続する。図２の例では、１つのメモリモジュール１０３には２本のモジュール内ＣＡバス１１１が配線され、各モジュール内ＣＡバス１１１は、それぞれ

に対応するＣＡピン１１３を介してメモリデバイス１０４に制御系信号を供給する。

【００６０】

各メモリデバイス１０４は、１つのパッケージ内ＤＱバス１１４につき２つのＤＱピン１１２を備え、各ＤＱピン１１２は、モジュール内ＤＱバス１１０と、パッケージ内ＤＱバス１１４とを相互に接続する。メモリコントローラ１０１から終端抵抗１０６までのデータバスは、ＤＱバス１０８、モジュール内ＤＱバス１１０、ＤＱピン１１２、及び、パッケージ内ＤＱバス１１４によって分岐箇所がない一筋の配線として構成されている。

【００６１】

図３は、メモリデバイス１０４の詳細をメモリチップ１２０の入出力部分の等価回路と共に示している。メモリデバイス１０４は、データ記憶部として構成されるメモリチップ１２０と、メモリチップ１２０を搭載するパッケージ基板１２１とを備える。メモリチップ１２０は、入力ドライバ１２８と、出力ドライバ１２９と、入力保護抵抗１３０と、静電保護容量１３１と、メモリセルアレイを含む図示しない内部回路とを備える。なお、同図では、制御系信号の配線については省略して図示している。

【００６２】

メモリデバイス１０４は、緩衝材（エラストマ）１３２を介してモジュール基板１２２に貼り付けられる。パッケージ基板１２１は複数の配線層を有し、各配線層には、面状に配線されるパッケージ内電源プレーン（面）１１８（ＶＤＤ）及び１１９（ＧＮＤ）と、パッケージ内ＤＱバス１１４とがそれぞれ配線される。パッケージ内ＶＤＤ面１１８及びＧＮＤ面１１９は、それぞれ２つの電源ピン１１６（ＶＤＤピン）１１７（ＧＮＤピン）とビアを介して接続される。パッケージ内ＤＱバス１１４は、その両端で２つのＤＱピン１１２とそれぞれビアを介して接続される。パッケージ内ＤＱバス１１４は、ＶＤＤ面１１８と、ＧＮＤ面１１９との中間の配線層に配線される。

【００６３】

メモリチップ１２０は、信号入出力パッドとして構成される所定数の信号端子パッド１１５を備え、各信号端子パッド１１５は、所定の位置で、対応するパッケージ内ＤＱバス１１４にビアを介して接続される。入力ドライバ１２８は、信号端子パッド１１５から入力保護抵抗１３０を介して入力する信号を、電圧値を変換するなどしてメモリチップ１２０の内部回路に出力する。出力ドライバ１２９は、信号端子パッド１１５から、所定の電圧値で信号を出力する。このような構成を採用することで、例えば、信号端子バッド１１５から出力する信号は、１本のパッケージ内ＤＱバス１１４を介して２つのＤＱピン１１２から出力することができる。出力ドライバ１２９の出力用ＭＯＳトランジスタは、静電保護素子としても機能し、ＭＯＳトランジスタの寄生容量（静電保護容量）１３１は、静電気破壊現象から、メモリチップ１２０の内部回路を保護する。

【００６４】

図４は、図１及び図２に示すメモリモジュール１０３の詳細を示している。メモリモジュール１０３は、モジュール基板１２２のメモリコントローラ側及び終端抵抗側の面に、それぞれ図３に示すメモリデバイス（Ａ）、（Ｂ）１０４を搭載している。モジュール基板１２２は、メモリコントローラ側及び終端抵抗側に、接続端子１２５Ａ、１２５Ｂを備える。接続端子１２５Ａ、Ｂは、モジュールソケット１０２（図１）において、モジュール内ＤＱバス１１０Ａ、１１０Ｂと、マザーボード１０７上のＤＱバス１０８とをそれぞれ接続するための端子として構成される。

【００６５】

モジュール基板１２２は、内部に電源（モジュール内ＶＤＤ面１２３及びＧＮＤ面１２４）が配線される配線層を有する。モジュール内ＶＤＤ面１２３及びＧＮＤ面１２４は、メモリデバイス１０４のＶＤＤピン１１６、及び、ＧＮＤピン１１７並びにビアを介してパッケージ内ＶＤＤ面１１８及びＧＮＤ面１１９に接続される。モジュール基板１２２内の配線層では、基板表面側にそれぞれモジュール内ＧＮＤ面１２４が配線され、モジュール内ＧＮＤ面１２４の間にモジュール内ＶＤＤ面１２３が配線される。つまり、モジュール内ＶＤＤ面１２３は、２つのモジュール内ＧＮＤ面１２４によって挟み込まれた配線とし

て構成される。メモリデバイス１０４のＶＤＤピン１１６及びＧＮＤピン１１７は、ＤＱピン１１２の近傍に配置される。

【００６６】

モジュール基板１２２の表面には、モジュール内ＤＱバス１１０Ａ、１１０Ｂ、及び、ＣＡバス１１１が配線される。モジュール内ＤＱバス１１０Ａ、１１０Ｂは、それぞれメモリデバイス１０４のＤＱピン１１２及びビアを介してパッケージ内内ＤＱバス１１４に接続される。配線層を縦断するモジュール内ＤＱバス１１０Ｃは、モジュール基板１２２のメモリコントローラ側の面のＤＱピン１１２と、終端抵抗側の面のＤＱピン１１２とを接続するビアで構成される。メモリモジュール１０３では、データバスが、モジュール内ＤＱバス１１０Ａ、１００Ｂ、１１０Ｃ、及び、各メモリデバイス１０４のパッケージ内ＤＱバス１１４によって、一筋の配線として構成される。

【００６７】

ここで、図１３に示す従来のメモリシステム２００のメモリデバイス２０４では、図１４に示すパッケージ内配線２１３がモジュール内配線２０８に対して分岐配線を構成していた。本実施形態例では、１つのパッケージ内ＤＱバス１１４に対して、２つのＤＱピン１１２を備えるため、データバスが上記のような一筋の配線で構成できる。従来のメモリデバイス２０４（図１４）におけるパッケージ内配線２１３に相当するパッケージ内ＤＱバス１１４は、メモリシステム１００中の一筋のデータバスの一部を構成し、データバスに対して分岐配線となっていない。

【００６８】

図１及び図２に示すメモリシステム１００において、データの書き込み時には、メモリコントローラ１０１から出力された信号は、マザーボード１０７上のＤＱバス１０８を伝播し、モジュールソケット１０２を介して、メモリモジュール１０３のメモリコントローラ側の接続端子１２５Ａ（図４）に到達する。メモリモジュール１０３では、接続端子１２５Ａに接続するメモリコントローラ側のモジュール内ＤＱバス１１０Ａから、メモリデバイス（Ａ）１０４に、一方のＤＱピン１１２を介して、信号を入力する。

【００６９】

メモリデバイス（Ａ）１０４の一方のＤＱピン１１２から入力する信号は、パッケージ内ＤＱバス１１４を伝播し、分岐配線（ビア）１２６を介して信号端子パッド１１５に分岐すると共に、他方のＤＱピン１２２から出力する。他方のＤＱピン１１２から出力する信号は、モジュール基板１２２を縦断するモジュール内ＤＱバス１１０Ｃを介して、終端抵抗側のメモリデバイス（Ｂ）１０４に、一方のＤＰピン１１２を介して入力する。

【００７０】

メモリデバイス（Ｂ）１０４の一方のＤＱピン１１２から入力する信号は、パッケージ内ＤＱバス１１４を伝播し、分岐配線１２６を介して信号端子パッド１１５に分岐すると共に、他方のＤＱピン１２２から出力する。つまり、メモリデバイス（Ａ）及び（Ｂ）１０４では、同じ信号が双方の信号端子パッド１１５に入力する。他方のＤＱピン１１２から出力する信号は、終端抵抗側のモジュール内ＤＱバス１１０Ｂを介して、終端抵抗側の接続端子１２５Ｂに到達する。

【００７１】

メモリシステム１００では、前述のように、マザーボード１０７、モジュールソケット１０２、メモリモジュール１０３、及びメモリデバイス１０４の各構成要素における信号配線のインピーダンス、特にデータバスを構成する信号配線の配線インピーダンスは整合が取れており、また、データバスはメモリチップ１２０への分岐配線１２６を除いて分岐のない構造としているため、何れの場所についても、発生する信号反射の影響は無視できるほど小さい。メモリコントローラ１０１が出力する信号は、ＤＱバス１０８、及び、いくつかのメモリモジュール１０３を介して、最終的にマザーボード１０７上の終端抵抗１０６に到達し、終端抵抗１０６で終端される（図２）。

【００７２】

一方、データの読み出し動作時には、メモリデバイス１０４側から、メモリコントローラ

１０１へ向けてデータ信号が出力される。メモリチップ１２０の図示しない出力回路から信号端子パッド１１５を介して出力されたデータ信号は、分岐配線１２６を介してパッケージ内ＤＱバス１１４に到達する。メモリデバイス１０４からは、一方のＤＱピン１１２を介してメモリコントローラ１０１へ向けてデータ信号が出力されると共に、他方のＤＱピン１１２から終端抵抗１０６に向けてデータ信号が出力される。

【００７３】

メモリコントローラに向けて出力されたデータ信号は、ＤＱバス１０８やメモリモジュール１０３内の信号配線を経由してメモリコントローラ１０１に到達する。ＤＱバス１０８やメモリモジュール１０３では、データバスのインピーダンスが整合しており、分岐配線１２６をデータ信号が往復するのに要する時間が、データ信号の立ち上がり時間に比して十分に短くなるように構成することで、データ信号は波形が大きく乱れることなく伝播し、図示しないメモリコントローラ側の終端抵抗で終端される。一方、終端抵抗１０６に向けて出力されたデータ信号は、上記した書き込み動作時と同様に、インピーダンス整合されたデータバスを反射なく伝播し、終端抵抗１０６で終端される。

【００７４】

本実施形態例では、上記のように、１つのパッケージ内ＤＱバス１１４に対応して２つのデバイス端子（ＤＱピン１１２）を設ける。メモリデバイス１０４では、パッケージ内ＤＱバス１１４は、２つのＤＱピン１１２間で、メモリチップ１２０上の信号端子バッド１１５に分岐配線１２６を介して接続される。このため、メモリデバイス１０４のパッケージ内ＤＱバス１１４を、メモリコントローラ１０１から終端抵抗１０６に至るデータバスに対して分岐配線として構成せず、データバス中の一部として構成することができる。つまり、メモリシステム１００では、一つの信号の信号配線が、インピーダンスの整合の取れた、一筋の配線構造とすることができる。このようなメモリシステム１００では、データバスで発生する信号の反射が低く抑えられ、データ信号を品質よく伝播することができ、従来よりも高速動作が可能となる。

【００７５】

また、データバス中の各配線は、電源面（ＶＤＤ面、ＧＮＤ面）によりシールドされる。このため、信号配線からメモリチップ１２０に侵入するクロストークノイズを遮断できる。また、パッケージ基板１２１に、パッケージ内ＶＤＤ面１１８電源、及び、パッケージ内ＧＮＤ面１１９を設け、モジュール内配線１１４がストリップ線路を構成し、パッケージ基板１２１に占める金属（銅）の割合が高くなっているため、熱の放散がスムーズに行なわれる。このため、メモリチップ１２０の温度上昇による性能の低下を抑えることができる。

【００７６】

メモリシステム１００では、データバスの一部がメモリデバイス１０４内にパッケージ内ＤＱバス１１４として配線されるため、メモリデバイス１０４の直下のメモリモジュール１０３にはデータバス（モジュール内ＤＱバス１０８）を配線する必要がなくなる。図２に示すように、メモリデバイス１０４は、端部にＤＱピン１１２が配置され、中央部にＣＡピン１１３が配置されるが、データバスの一部がメモリデバイス１０４を経由するため、その箇所でモジュール内配線１０８が途切れ、ＣＡバス１１１とはモジュール基板１２２上で交差しない。

【００７７】

従来のメモリシステム２００では、ＤＱバス１１２とＣＡバス１１３とが交差する場合には、ＤＱバス１１２とＣＡバス１１３とを異なる配線層に配線する必要があった。本実施形態例では、データバスがパッケージ内ＤＱバス１１４を経由するため、メモリモジュール１０３上を図１に示すように長辺方向（左右方向）に配線されるＣＡバス１１１との交差が容易になり、パッケージ基板１２２の配線層を増やす必要がなくなり、配線レイアウトの自由度が増す。このため、ＣＡバス１１１に大きな配線占有面積を与えることができ、ＣＡバス１１１で発生する信号タイミングエラーや、信号反射、クロストークノイズを低減することができる。

【００７８】
図７は、本発明の第２実施形態例のメモリシステムで使用されるメモリデバイス１０４の詳細を示している。本実施形態例のメモリデバイス１０４は、メモリチップ１２０と、メモリチップ１２０よりもサイズが大きいパッケージ基板１２１を備える。パッケージ基板１２１は、ＤＱピン１１２や電源ピン１１６、１１７などのデバイス端子に対向する面から、ビアを介して接点を取り出し可能に構成される。このため、図７に示すメモリデバイス１０４を、例えば２段重ねると、２段目のデバイス端子が、１段目のメモリデバイス１０４に形成される接点と接続し、簡易に積層構造を得ることができる。
【００７９】
図８は、上記第２実施形態例のメモリシステムの構成を示している。本実施形態例のメモリシステム１００は、１つのメモリモジュール１０３内で終端されるデータバスを２系統有する点、及び、１つのメモリモジュール１０３が積層した複数のメモリデバイス１０４を搭載する点で、第１実施形態例と相違する。なお、同図では、モジュール内の電源面（ＶＤＤ面１２３及びＧＮＤ面１２４）と、パッケージ内の電源面（ＶＤＤ面１１８及びＧＮＤ面１１９）との接続については、省略して図示している。
【００８０】
データバスは、０系及び１系の２系統が配線される。データバスの各系は、それぞれ、一端をメモリコントローラ１０１内に設けられたオンチップターミネーション（オンチップ終端抵抗）１０６Ａによって終端され、他端をメモリモジュール１０３上に設けられた終端抵抗１０６で終端される。データバスを構成する各ＤＱバス１０８は、メモリシステム１００の各要素に電源を供給する電源面（ＶＤＤ又はＧＮＤ）１３５、１３６が配線される層に挟まれて配線される。
【００８１】
図９は、図８のメモリモジュール１０３の詳細を示している。メモリモジュール１０３の片側には２つのメモリデバイス１０４が積層され、１つのメモリモジュール１０３は、計４つのメモリデバイス１０４を有する。モジュール内ＤＱバス１１０Ａ、１１０Ｂは、その一部が、モジュール内ＶＤＤ面１２３及びＧＮＤ面１２４の中間の配線層に配線される。各メモリデバイス１０４では、パッケージ内ＤＱバス１１４と、信号端子パッド１１５とが分岐配線（ビア）１２６を介して接続される。接続端子１２５から終端抵抗１０６に至るデータバスは、以下のように、一筋の配線として構成される。
【００８２】
接続端子１２５は、メモリコントローラ側のモジュール内ＤＱバス１１０Ａを介してメモリデバイス（Ｂ）１０４の第１のＤＱピン（Ｂ１）１１２に接続され。ＤＱピン（Ｂ１）１１２は、モジュール内ＤＱバス（Ｂ）１１４に接続されることなく、ビアを介してメモリデバイス（Ａ）１０４の第１のＤＱピン（Ａ１）１１２に接続される。ＤＱピン（Ａ１）１１２は、ビアを介してモジュール内ＤＱバス（Ａ）１１４の一端に接続される。
【００８３】
メモリデバイス（Ａ）１０４の第２のＤＱピン（Ａ２）１１２は、ビアを介して、モジュール内ＤＱバス（Ａ）１１２の他端に接続されると共に、モジュール内ＤＱバス（Ｂ）１１２の一端に接続される。モジュール内ＤＱバス（Ｂ）１１４の他端は、ビアを介してメモリデバイス（Ｂ）１０４の第２のＤＱピン（Ｂ２）１１２に接続される。ＤＱピン（Ｂ２）１１２は、ビアで構成されるモジュール基板１２２を縦断するＤＱバス１１０Ｃを介して、メモリデバイス（Ｃ）１０４の第１のＤＱピン（Ｃ１）１１２に接続される。
【００８４】
メモリデバイス（Ｃ）及び（Ｄ）１０４では、メモリデバイス（Ｂ）１０４の第１のＤＱピン（Ｂ１）１１２から第２のＤＱピン（Ｂ２）１１２までの逆順と同様な接続によって、メモリデバイス（Ｃ）１０４の第１のＤＱピン（Ｃ１）１１２と、第２のＤＱピン（Ｃ２）１１２とが接続される。ＤＱピン（Ｃ２）は、終端抵抗側のモジュール内ＤＱバス１１０Ｂに接続され、モジュール内ＤＱバス１１０Ｂは、モジュール上に搭載された終端抵抗１０６によって終端される。

【００８５】
図８に示すメモリシステム１００において、例えば、０系へのデータの書き込み時には、メモリコントローラ１０１から出力する信号は、マザーボード１０７上のＤＱバス１０８を伝播し、モジュールソケット１０２を介して、メモリモジュール１０３の接続端子１２５（図９）に到達する。
【００８６】
メモリモジュール１０３に到達した信号は、データバスを構成するＤＱバス１１０、１１４やビアを介し、ＤＱピン１１２を（Ｂ１→Ａ１→Ａ２→Ｂ２→Ｃ１→Ｄ１→Ｄ２→Ｃ２）と順次に伝播して、終端抵抗１０６で終端される。メモリコントローラ１０１から出力された信号は、信号端子パッド１１５に接続するための分岐配線１２６以外の箇所では分岐せずに、終端抵抗１０６に到達し、メモリモジュール１０３上で終端される。また、信号が、モジュールソケット１０２を通過する回数は１回となっている。
【００８７】
本実施形態例では、第１実施形態例と同様に、メモリコントローラ１０１から終端抵抗１０６に至るデータバスが、分岐のない一筋の配線として構成されるため、データ信号の反射が低く抑えられ、品質よく信号伝達ができる。また、１つのメモリモジュール１０３に複数のメモリデバイス１０４を積層することで、両々の大きなメモリを少ない面積で実現できる。
【００８８】
本実施形態例では、１つの系統のデータバスについて、一度しかモジュールソケット１０２を通過しない構成を採用する。モジュールソケット１０２では、容量を付加するなどして、インピーダンス整合を図ることはある程度可能になる。しかし、モジュールソケット１０２のコネクタ部では、データバスに対して必ずしも適切な位置に電源線（ＶＤＤ線又はＧＮＤ線）を配置することが容易ではことが多い。電源線を適切に配置できない場合には、理想的なデータバスを構成することが困難となり、信号伝達特性が劣化する。１つの系統のデータバスが、モジュールソケット１０２を通過する回数を減らすことで、信号伝達特性が向上する。
【００８９】
図１０は、本発明の第３実施形態例のメモリシステムで使用されるメモリデバイスの詳細を示している。第１及び第２実施形態例では、メモリチップ１２０の信号端子パッド１１５が入出力パッドとして構成されたが、本実施形態例では、信号端子パッド１１５が、信号を入力する信号端子パッド１１５Ａと、信号を出力する信号端子パッド１１５Ｂとに分離される。
【００９０】
図３に示すメモリデバイス１０４では、一方のＤＱピン１１２から他方のＤＱピン１１２に至るデータバスが、信号端子パッド１１５に接続する分岐配線１２６が配線される箇所で、分岐を有する構造を採用したが、本実施形態例では、これに代えて、一方のＤＱピン１１２から他方のＤＱピン１１２までのデータバスが、分岐を有しない構造を採用する。具体的には、図１０に示すように、信号入力端子パッド１１５Ａと信号出力端子パッド１１５Ｂとがチップ内ＤＱバス１２７で接続され、パッケージ内内ＤＱバス１１４は、一方のＤＱピン１１２と信号入力端子パッド１１５Ａとを接続するパッケージ内ＤＱバス１１４Ａと、他方のＤＱピン１１２と信号出力端子パッド１１５Ｂとを接続するパッケージ内ＤＱバス１１５Ｂとに分割される。
【００９１】
図１１は、図１０に示すメモリデバイス１０４を、メモリチップ１２０の入出力部分の等価回路と共に示している。メモリチップ１２０は、入出力部分に、入力ドライバ１２８、出力ドライバ１２９、入力保護抵抗１３０、及び、静電保護容量１３１を備える。
【００９２】
入力ドライバ１２８は、信号入力端子パッド１１５Ａから入力保護抵抗１３０を介して入力された信号を、電圧値を変換するなどしてメモリチップ１２０の内部回路に出力する。

出力ドライバ１２９は、信号出力端子パッド１１５Ｂから、所定の電圧値で信号を出力する。出力ドライバ１２９の出力用ＭＯＳトランジスタは、静電保護素子としても機能し、ＭＯＳトランジスタの寄生容量（静電保護容量）１３１は、静電気破壊現象から、メモリチップ１２０の内部回路を保護する。

【００９３】

信号入力端子パッド１１５Ａに信号を入力する場合には、一方のＤＱピン１１２から入力する信号は、モジュール内ＤＱバス１１４Ａ及びビアを介して、或いは、モジュール内ＤＱバス１１４Ｂ、信号出力パッド１１５Ｂ、チップ内ＤＱバス１２７、及び、ビアを介して信号入力端子パッド１１５Ａに到達する。信号入力端子パッド１１５Ａに到達した信号は、チップ内ＤＱバス１２７、信号出力パッド１１５Ｂ、モジュール内ＤＱバス１１４Ｂ、及び、ビアを介して、或いは、モジュール内ＤＱバス１１４Ａ及びビアを介して他方のＤＱピン１１２に到達し、メモリデバイス１０４の外部に出力する。このとき、一方のＤＱピン１１２から他方のＤＱピン１１２までのパッケージ基板１２１内の信号経路では、分岐箇所がない。

【００９４】

また、メモリチップ１２０が信号を出力する場合には、信号出力端子パッド１１Ｂから出力する信号は、チップ内ＤＱバス１２７、信号入力端子パッド１１５Ａ、モジュール内ＤＱバス１１４Ａ、ビア、及び、一方のＤＱピン１１２を介してメモリデバイス１０４の外部に出力すると共に、モジュール内ＤＱバス１１４Ｂ、ビア、及び、他方のＤＱピン１１２を介してメモリデバイス１０４の外部に出力する。

【００９５】

本実施形態例では、メモリチップ１２０の信号を入力する信号端子パッド１１５Ａと、信号を出力する信号端子パッド１１５Ｂとが異なるパッドとして構成される。この場合、パッケージ基板１２１では、メモリデバイス１０４の一方のＤＱピン１１２から他方のＤＱピン１１２までを、分岐のない一筋の配線で構成することができ、信号伝達特性が更に向上する。

【００９６】

なお、上記実施形態例では、メモリデバイス１０４は、メモリチップ１２０に、配線層を有するパッケージ基板１２１を貼り付ける構造を採用したが、パッケージ基板１２１に代えて、層構造を持つテープ素材などを用いることもできる。また、パッケージ基板１２１内の各配線のインピーダンスは、配線の厚さや、配線幅、配線間隔、配線層又は絶縁層の物質等、配線の構造等により調整を行なうことができるが、メモリチップ１２０上の信号端子パッド１１５の近傍に容量素子を付加するなどして調節することも可能である。

【００９７】

図１２は、メモリデバイス１０４の別の例の詳細を示している。上記実施形態例では、パッケージ内ＤＱバス１１４がパッケージ内ＶＤＤ面１１８とＧＮＤ面１１９とにはさまれて配線されたが、図１２のメモリデバイス１０４は、メモリチップ側の配線層にパッケージ内ＶＤＤ面１１８又はＧＮＤ面１１９を配線し、その下層の配線層にパッケージ内ＤＱバス１１４を配線する。また、第３実施形態例では、入力ドライバが信号入力端子パッド１１５Ａに直接に接続され、出力ドライバが信号出力端子パッド１１５Ｂに直接に接続される例を示したが、入力ドライバや出力ドライバは、チップ内配線で接続された２つの信号端子パッド間に配置されていてもよい。

【００９８】

図２３はメモリシステムにおける入出力信号バスの例である。（ａ）はＳＳＴＬバス、（ｂ）は１対１接続バスの例である。

【００９９】

図５は、図２３（ａ）に示す従来のメモリモジュール２３０２に用いられるメモリモジュール１０３の配線レイアウトを示している。図６はメモリモジュール２３０２と同様に用いるメモリモジュール１０３の配線レイアウトを示している。図５に示すように、従来のメモリモジュール２０３では、モジュール基板上のコネクタ位置関係の制約や、モジュー

ル基板上に配置されたＣＡレジスタ１３３やＰＬＬ回路１３４等のブロックが存在することより、配線の引き回しが複雑になって、モジュール内ＤＱバス２０８の配線長を均一化することが困難な場合があった。

【０１００】

本実施形態例では、一つの信号に対して２つのデバイス端子があるため、図６に示すように、２つのＤＱピン１１２のうち、何れか一方のＤＱピン１１２を利用することにより、適正な配線レイアウトを容易に作ることができ、また配線長の均一化を容易にすることができる。また図２３（ｂ）に示すメモリモジュール２３０３に対しても、同様に図２２に示すメモリモジュールの配線レイアウトのようにすれば、適正な配線レイアウトを容易に作ることができ、また配線長の均一化を容易にすることができる上、メモリデバイス１０４の一方のＤＱピン１１２から他方のＤＱピン１１２までを、分岐のない一筋の配線で構成することができ、良好な信号伝達特性が得られる。

【０１０１】

図１５は本発明の第３の視点によるメモリパッケージの例である。メモリパッケージの左右両側に１つずつ入出力信号端子１５０５～１５０８があり、チップ１５０９上の入出力信号用チップパッドから左右どちらかの入出力信号端子に配線されている。例えば（ａ）のパッケージ１５０１では入出力信号用チップパッド１５０３は左側の入出力端子１５０８へ、また（ｂ）のパッケージ１５０２では入出力信号用チップパッド１５０３は右側の入出力端子１５０８へ配線されている。

【０１０２】

図１６は本発明の第３の視点によるメモリパッケージを用いたメモリモジュールの例である。図１６に示すように配線できない領域１６０３の左側からメモリへの配線する場合は左の端子が有効なパッケージ１５０１を使い、逆に配線できない領域１６０３の右側からメモリへ配線する場合は右の端子が有効なパッケージ１５０２を使っている。このように２種類のパッケージ１５０１、１５０２のうち、何れか一方のパッケージを用いることにより、適正な配線レイアウトを容易に作ることができ、また配線長を短く均一化することが容易にできる。

【０１０３】

図１７は図１６のメモリモジュールに用いられるメモリパッケージの別の実施例である。このメモリパッケージはメモリパッケージの左右両側に１つずつ入出力信号端子が有し、入出力信号用チップパッドの左右両側の近傍にパッドを有する。そして該入出力信号端子と入出力信号用チップパッドの近傍のパッドの間が配線され、左右何れかのチップパッドの近傍のパッドと入出力信号用チップパッドの間がワイヤボンディングで接続されている。例えば入出力信号端子１５０８とチップパッド左側近傍のパッド１７０３の間が配線されており、パッド１７０３と入出力信号用チップパッド１５０３の間はボンディングワイヤ１７０２で接続されることでパッケージの左側に有効な入出力信号端子を有する図１５（ａ）と同様のメモリパッケージを構成できる。

【０１０４】

図１８は図１６のメモリモジュールに用いられるメモリパッケージの別の実施形態例である。これは図１７のメモリパッケージのワイヤボンディングの代わりにジャンパチップを使ったものである。本パッケージはパッケージ基板１８０４の裏面に端子とチップを有し、表面に配線及びジャンパパッドペア、ジャンパチップを有している。図１７のメモリパッケージと同様にパッケージ左右両側に端子を有し、左右両側の端子から入出力信号用チップパッドに配線されているが、配線は途中のジャンパチップ用パッドペア１８０３で分断されている。そして例えば左側のジャンパチップ用パッドペアをジャンパチップ１８０２で接続することにより、パッケージの左側に有効な入出力信号端子を有するパッケージを構成できる。なお上記と逆にパッケージ表面にチップ、裏面に配線及びジャンパパッドペア、ジャンパチップを配置しても構わない。

【０１０５】

図１９は図１６のメモリモジュールに用いられるメモリパッケージの別の実施形態例であ

る。このメモリパッケージは図１７のメモリパッケージと同様にパッケージ左右両側に端子を有し、左右両側の入出力信号端子から入出力信号用チップパッドに配線されている。そして右側の入出力信号端子からの配線は入出力信号用チップパッド近傍１９０２で切断されている。これにより、パッケージの左側に有効な入出力信号端子を有するパッケージを構成できる。

【０１０６】

以上、パッケージの左側に有効な入出力信号端子を有するメモリパッケージについて述べたが、パッケージの右側に有効な入出力信号端子を有するメモリパッケージも同様に実現可能であることは言うまでもない。またパッケージ内に電源ＧＮＤ層を設け、配線を伝送線として形成しても良い。

【０１０７】

図２０は図１６のメモリモジュールに用いられる第４の視点によるメモリパッケージの実施例（断面図）である。このメモリパッケージ２０００は（ａ）に示すように主にパッケージ基板１８０４とメモリチップ１５０３、入出力信号端子２００１及び２００２からなり、前記パッケージ基板１８０４の裏面にチップを有し、前記パッケージ基板１８０４の左右表裏に入出力端子を有している。このうちパッケージ左側の表裏面で対向して配置されている入出力端子２００１及び２００２はビアホール２００３を介して接続されている。

【０１０８】

またメモリチップ１５０９の入出力信号用パッド１５０３から入出力端子２００１及び２００２にパッケージ内配線１５０４を用いて接続されている。なおパッケージ内に電源ＧＮＤ層を設け、パッケージ内配線を伝送線として形成しても良い。このように本メモリパッケージの左右いずれかの側に表裏両面に共通の入出力端子を有するので、（ｂ）に示すようにパッケージ２０００はメモリモジュール１６０１に実装する際、表向きに実装した場合はパッケージの左側に有効な入出力信号端子を有するパッケージとして使用でき、裏向きに実装した場合はパッケージの右側に有効な入出力信号端子を有するパッケージとして使用できる。なお、本メモリパッケージは図２１（ａ）に示すようにパッケージ基板１８０４の両面にメモリチップ１５０９を実装してもよい。また図２１（ｂ）に示すようにパッケージの入出力信号端子に用いられているボール２１０１を介して積層構造にしても良い。

【０１０９】

図２４は１対１接続バスと一筆書き接続バスを併用しているメモリシステムの例である。メモリ装置２４０１はメモリコントローラ２４０５の左右両側に複数のメモリ２４０３を持ち、前記メモリコントローラ２４０５と複数のメモリ２４０３を結ぶ１対１接続バス２４０６及び一筆書き接続バス２４０７を有している。ここで１対１接続バスはデータ信号バスやデータストローブ信号に、一筆書き接続バスはコマンド・アドレス信号やクロック信号に使用する事ができる。または１対１接続バスはクロック信号に、一筆書き接続バスはデータ・コマンド・アドレス信号に使用する事もできる。

【０１１０】

図２５は図２４記載のメモリ装置に用いる積層メモリ２５０１の実施例である。（ａ）はメモリ２５０１の平面図である。（ｂ）は本メモリの配線領域２５０４の断面図である。（ｃ）は本発明の配線領域２５０３の断面図である。本メモリは本発明の第１及び第４の視点の両方を取り入れた半導体ユニットである。本メモリは図２１（ａ）記載のメモリにおいて、配線領域２５０３で本発明の第１の視点による半導体ユニットと同じくしたものであり、チップパッド１５０３は半導体ユニットの左右両側の端子２５０５に配線されている。また配線領域２５０４は本発明の第４の視点による半導体ユニットと同じくしたものであり、チップパッド１５０３は半導体ユニットの片側（左）の端子２５０６に配線されている。端子２５０５は図２５記載のメモリ装置の一筆書き接続バス２４０７用端子に用いればよい。端子２５０６は１対１接続バス２４０６用端子に用いればよい。

【０１１１】

図２６は図２５のメモリを図２４記載のメモリに適用した例である。図２６（ａ）は１対１接続バス２４０６に関する断面図である。図の様に１対１接続バス２４０６は基板内層に形成されている。そしてメモリコントローラ２４０５の右側に置かれたメモリ２５０１の１対１接続バス用信号端子２５０６がメモリのメモリコントローラに近い側（左側）にあるので、メモリのチップパッドまで短い距離で配線できる。またメモリコントローラ２４０５の左側に置かれたメモリ２５０１は裏返して実装されている。これによりメモリ２５０１の１対１接続バス用信号端子２５０６がメモリコントローラ２４０５に近い側（右側）になり、メモリのチップパッドまで短い距離で配線できる。

【０１１２】

（ｂ）は一筆書き接続バス２４０７に関する断面図である。一筆書き接続バス２４０７は基板表層に形成され、メモリ２５０１の左右両側にある一筆書き接続バス用端子に接続されており、メモリ内の配線を介してメモリコントローラ２４０５から終端抵抗２４０４まで一筋の配線を構成している。以上の説明でメモリ２５０１は図２１（ａ）記載のメモリを改造したものであったが、図２７のように図２１（ｂ）記載のメモリを同様に改造したものでも構わない。また配線は伝送線で構成されているが、図においてグランドプレーンや電源プレーンの記載は省略されている。なお、メモリシステム２４０１はメモリモジュールとして構成可能であることは言うまでもない。

【０１１３】

図２８は本発明における半導体デバイスの別の実施例である。これは図２５に示した半導体デバイスを半田ボールを介して積層したもので４個の半導体チップを実装するものである。（ａ）は下層のデバイスに接続される１対１接続バスの配線を示す半導体デバイスの断面図である。本デバイスは下層のプリント基板２８０１及び上層のプリント基板２８０２から構成されている。下層のプリント基板２８０１の表面に半導体チップ２８０４、裏面に半導体チップ２８０３及びデバイス端子２８０９を有しており、半田ボール２８１１とデバイス端子２８０９はビアホール２８１０で電気的に接続されている。また上層のプリント基板２８０２の表面に半導体チップ２８０６及びデバイス端子２８１３、裏面に半導体チップ２８０５を有しており、デバイス端子２８１３と半田ボール２８１１はビアホール２８１２で電気的に接続されている。下層のプリント基板２８０１においては配線２８１２がビアホール２８１０と半導体チップ２８０３のチップパッド２８０７並びに半導体チップ２８０４のチップパッド２８０８に接続されている。ここで半導体チップ２８０３のチップパッド２８０７と半導体チップ２８０４のチップパッド２８０８はビアボールで接続され、このビアホールと配線２８１２が接続されている事が望ましい。

【０１１４】

（ｂ）は上層のデバイスに接続される１対１接続バスの配線を示す断面図である。下層のプリント基板２８０１の裏面にデバイス端子２８２１を有しており、半田ボール２８２３とデバイス端子２８２１はビアホール２８２２で電気的に接続されている。また上層のプリント基板２８０２の表面にデバイス端子２８２５を有しており、デバイス端子２８２５と半田ボール２８２３はビアホール２８２４で電気的に接続されている。上層のプリント基板２８０２においては配線２８２６がビアホール２８２４と半導体チップ２８０５のチップパッド２８２７並びに半導体チップ２８０６のチップパッド２８２８に接続されている。ここで半導体チップ２８０５のチップパッド２８２７と半導体チップ２８０６のチップパッド２８２８はビアボールで接続され、このビアホールと配線２８２６が接続されている事が望ましい。

【０１１５】

（ｃ）は上層及び下層のデバイスに並列的に一筆書き接続される配線を示す半導体デバイスの断面図である。下層のデバイスの裏面にはデバイス端子２８３１及び２８４２が、表面には半田ボール２８３３及び２８４４があり、半田ボール２８３３とデバイス端子２８３１はビアホール２８３２で、また半田ボール２８４４とデバイス端子２８４２はビアホール２８４３で電気的に接続されている。そして下層のプリント基板２８０１の配線２８３８はビアホール２８３２、半導体チップ２８０３のチップパッド２８３６及び半導体チ

ップ２８０４のチップパッド２８３７、ビアホール２８４３を一筆書き接続している。ここでチップパッド２８３６、２８３７は下層のプリント基板２８０１のビアホールで接続されている事が望ましい。上層のデバイスの表面にはデバイス端子２８３５及び２８４６が、裏面には半田ボール２８３３及び２８４４があり、半田ボール２８３３とデバイス端子２８３５はビアホール２８３４で、また半田ボール２８４４とデバイス端子２８４６はビアホール２８４４で電気的に接続されている。

【０１１６】

そして、上層のプリント基板２８０２の配線２８３９はビアホール２８３４、半導体チップ２８０５のチップパッド２８４０及び半導体チップ２８０６のチップパッド２８４１、ビアホール２８４５を一筆書き接続している。ここでチップパッド２８４０、２８４１は下層のプリント基板２８０２のビアホールで接続されている事が望ましい。また応力的・熱的観点から半導体チップ２８０４と２８０５の間には緩衝材を挟む事が望ましい。また本積層デバイスをメモリモジュール上に実装した際、上層デバイスの剥き出しになっているデバイス端子２８１３、２８３５、２８４６に絶縁体を被せて外部との短絡から保護するか、もしくは除去する事が望ましい。さらに半導体デバイス配線の実効的特性インピーダンスとデバイス端子に接続される配線の特性インピーダンスとの整合のために、配線２８３８及び２８３９の長さｌ、単位長さ当たりのインダクタンスＬ０、単位長さ当たりのキャパシタンスＣ０、半導体チップのチップパッドにおける負荷容量Ｃｉｎ、デバイス端子に接続される配線の特性インピーダンスＺＭＢの間に数１式の関係が成り立っている事が望ましい。

【０１１７】

【数１】

$$2 \cdot Z_{MB} = \sqrt{\frac{L_0}{C_0 + C_{in} / l}}$$

以上、本発明をその好適な実施形態例に基づいて説明したが、本発明の半導体ユニット、半導体モジュール、及び、メモリシステムは、上記実施形態例にのみ限定されるものでなく、上記実施形態例の構成から種々の修正及び変更を施した半導体ユニット、半導体モジュール、及び、メモリシステムも、本発明の範囲に含まれる。例えば、データバス（ＤＱバス）以外の配線についても、１つの配線についてデバイス端子を２つ設けて、データバスと同様に分岐のない一筋の配線として構成することができる。

【０１１８】

【発明の効果】

以上説明したように、本発明の半導体ユニット、及び、半導体モジュール、並びに、このような半導体ユニットや半導体モジュールを備えるメモリシステムでは、半導体ユニットは１つの信号配線に対して２つの外部端子を備える。例えば、この半導体ユニット及び半導体モジュールを使用したメモリシステムでは、信号配線が一筋の配線として構成され、半導体ユニット内で発生する信号反射を低く抑えることができ、高速動作が可能となる。また、信号配線が電源配線層よりシールドされる構成を採用すると、半導体チップに侵入するノイズが減少してクロストークの影響が低くなり、また、パッケージ基板に占める金属の割合が高くなるため、熱の放散がスムーズに行なわれて、半導体チップの温度上昇による性能の低下を抑えることができる。

【０１１９】

また、ＳＳＴＬバスのようにメモリモジュールコネクタで信号配線の分岐を持つメモリシステムにおいても、半導体モジュールにおいて配線長が短くなるように、半導体ユニットの前記２つの外部端子のうち一方の外部端子を配線先として選択できるので、半導体モジュール内で発生する信号反射を低く抑えることができ、高速動作が可能となる。

【図面の簡単な説明】

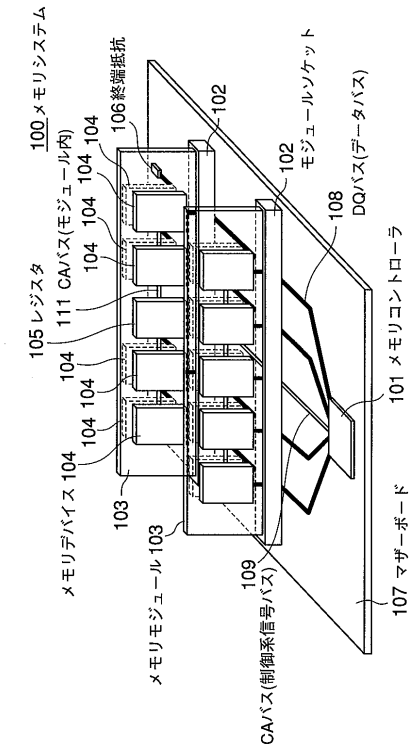
【図１】本発明の一実施形態例のメモリシステムの構成を示す斜視図である。

【図２】図１のメモリシステム１００のＤＱバス１０８方向に沿った断面図である。
【図３】メモリデバイス１０４の詳細をメモリチップ１２０の入出力部分の等価回路と共に示した断面図である。
【図４】図１及び図２に示すメモリモジュール１０３の詳細を示す断面図である。
【図５】従来のメモリモジュール２０３の配線レイアウトを示す平面図である。
【図６】図１に示すメモリモジュール１０３の配線レイアウトを示す平面図である。
【図７】本発明の第２実施形態例のメモリシステムで使用されるメモリデバイス１０４の詳細を示す断面図である。
【図８】本発明の第２実施形態例のメモリシステムの構成を示す断面図である。
【図９】図８のメモリモジュール１０３の詳細を示す断面図である。
【図１０】本発明の第３実施形態例のメモリシステムで使用されるメモリデバイスの詳細を示す断面図である。
【図１１】図１０に示すメモリデバイス１０４を、メモリチップ１２０の入出力部分の等価回路と共に示す断面図である。
【図１２】メモリシステム１００におけるメモリデバイス１０４の別の例の詳細を示す断面図である。
【図１３】従来のメモリシステムにおける信号配線経路を示す断面図である。
【図１４】図１３のメモリデバイス２０４の詳細を示す断面図である。
【図１５】本発明の第３の視点の半導体ユニットの第１実施形態例のメモリパッケージの構成を示す平面図である。
【図１６】本発明の第３の視点の半導体モジュールの構成を示す平面図である。
【図１７】本発明の第３の視点の半導体ユニットの第２実施形態例のメモリパッケージの構成を示す平面図である。
【図１８】本発明の第３の視点の半導体ユニットの第３実施形態例のメモリパッケージの構成を示す平面図である。
【図１９】本発明の第３の視点の半導体ユニットの第４実施形態例のメモリパッケージの構成を示す平面図である。
【図２０】本発明の第４の視点の半導体ユニットの第１実施形態例のメモリパッケージの構成を示す断面図である。
【図２１】本発明の第４の視点の半導体ユニットの第２実施形態例のメモリパッケージの構成を示す断面図である。
【図２２】本発明の第１及び第２の視点の半導体ユニットを１対１接続バスに用いられるメモリモジュールに用いた場合の実施例を示す図である。
【図２３】従来の別のメモリシステムにおける信号配線経路を示す断面図である。
【図２４】１対１接続バスと一筆書き接続バスを併用したメモリシステムの構成を示すブロック図である。
【図２５】本発明の第１及び第４の視点を兼ね備えた積層メモリの第１の実施例の平面図及び断面図である。
【図２６】本発明の第１及び第４の視点を兼ね備えたメモリの第１の実施例を用いた１対１接続バスと一筆書き接続バスを併用したメモリ装置の断面図である。
【図２７】本発明の第１及び第４の視点を兼ね備えた積層メモリの第２の実施例の断面図である。
【図２８】本発明の第１及び第４の視点を兼ね備えた４つのデバイスを搭載した積層メモリの実施例の断面図である。
【符号の説明】
１００，２００：メモリシステム
１０１，２０１：メモリコントローラ
１０２，２０２：モジュールソケット
１０３，２０３：メモリモジュール
１０４，２０４：メモリデバイス

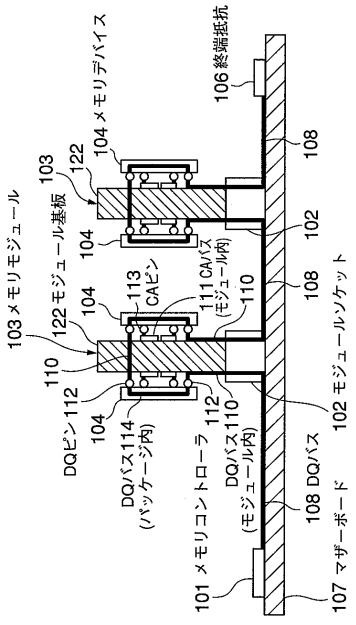
１０５：レジスタ
１０６，２０５：終端抵抗
１０７，２０６：マザーボード
１０８：ＤＱバス
１０９：ＣＡバス
１１０：モジュール内ＤＱバス
１１１：モジュール内ＣＡバス
１１２，２０９：ＤＱピン（デバイス端子）
１１３：ＣＡピン
１１４：パッケージ内ＤＱバス
１１５，２１２：信号端子パッド
１１６，１１７：電源ピン（ＶＤＤピン、ＧＮＤピン）
１１８，１１９：パッケージ内電源面（ＶＤＤ面、ＧＮＤ面）
１２０，２１０：メモリチップ
１２１，２１１：パッケージ基板
１２２：モジュール基板
１２３，１２４：モジュール内電源面（ＶＤＤ面、ＧＮＤ面）
１２５：接続端子
１２６：分岐配線
１２７：チップ内ＤＱバス
１２８：入力ドライバ
１２９：出力ドライバ
１５０１：半導体ユニット左用
１５０２：半導体ユニット右用
１５０３：チップパッド
１５０４：パッケージ内配線
１５０５，１５０６，１５０７，１５０８：入出力信号端子
１５０９：チップ
１６０１：メモリモジュール
１６０２：スタブ抵抗
１６０３：メモリへの配線禁止領域
１６０４：メモリモジュール端子
１６０５：メモリへの配線
１７０１：パッケージ左用
１７０２：ボンディングワイヤ
１７０３：ボンディングパッド
１８０１：パッケージ左用
１８０２：ジャンパチップ
１８０３：ジャンパチップ用パッド
１８０４：パッケージ基板
１９０１：パッケージ左用
１９０２：切断された配線
２０００：左右兼用パッケージ
２００１，２００２：入出力信号端子
２００３：ビアホール（スルーホール）
２１０１：半田ボール
２１０２：追加されたメモリ
２２０１：終端抵抗
２２０２：終端電位プレーンへのビアホール
２３０１：スタブ抵抗

２３０２：メモリモジュール
２３０３：１対１接続メモリモジュール
２４０１：メモリ装置
２４０３：メモリ
２４０４：終端抵抗（網）
２４０５：メモリコントローラ
２４０６：１対１接続バス
２４０７：一筆書き接続バス
２４０８：メモリ装置入出力信号バス
２５０１：積層メモリ
２５０３：一筆書き接続信号用配線
２５０４：１対１接続信号用配線
２５０５：一筆書き接続信号端子
２５０６：１対１接続信号端子
２６０１：終端電位プレーン
２８０１，２８０２：プリント基板
２８０３，２８０４，２８０５，２８０６：半導体チップ
２８０７，２８０８：チップパッド
２８０９，２８１３，２８２１，２８２５，２８３１，２８３５、２８４２，２８４６：デバイス端子
２８１０，２８１２，２８２２，２８２４，２８３２，２８３４，２８３６，２８３７，２８４０，２８４１，２８４３，２８４５：ビアホール
２８１１，２８２３，２８３３、２８４４：半田ボール
２８２６，２８３８，２８３９：パッケージ内配線

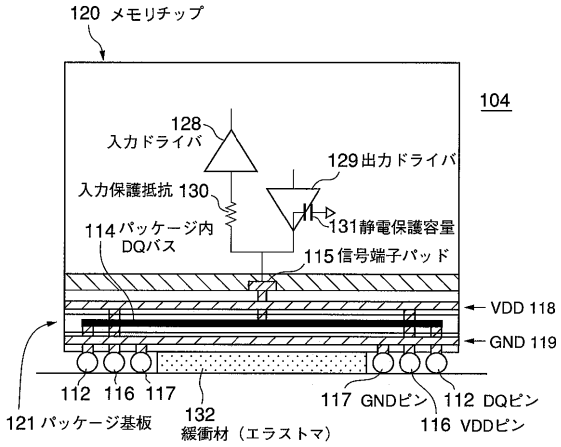
【図１】



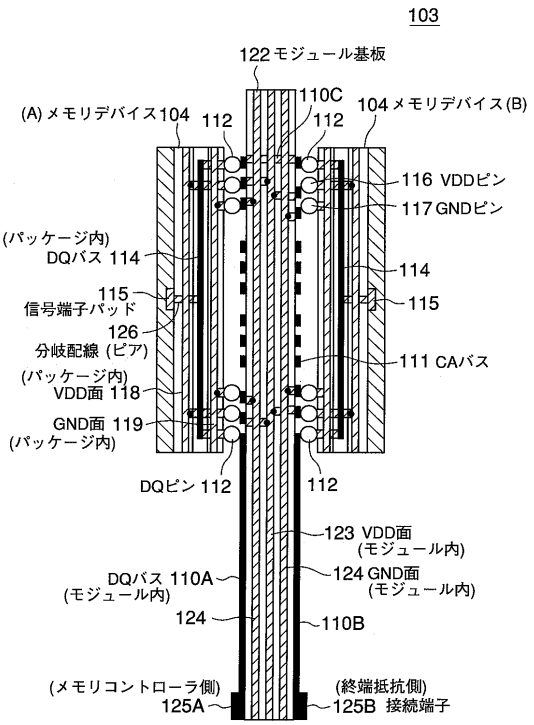
【図２】



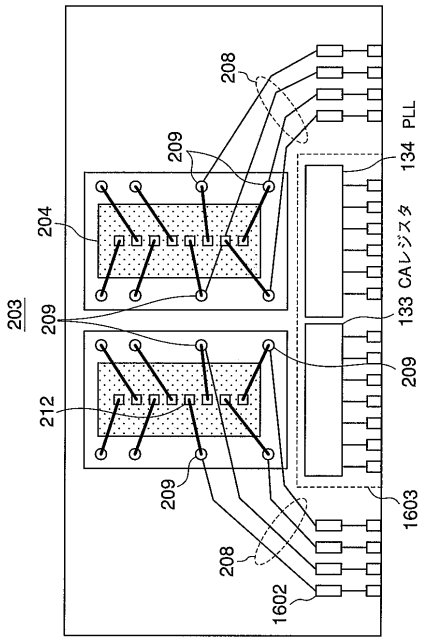
【図３】


120 メモリチップ
104
128
入力ドライバ
129出力ドライバ
入力保護抵抗 130
131静電保護容量
114パッケージ内
DQバス
115信号端子パッド
VDD 118
GND 119
112 116 117
132
緩衝材（エラストマ）
117 GNDピン
112 DQピン
116 VDDピン
121 パッケージ基板

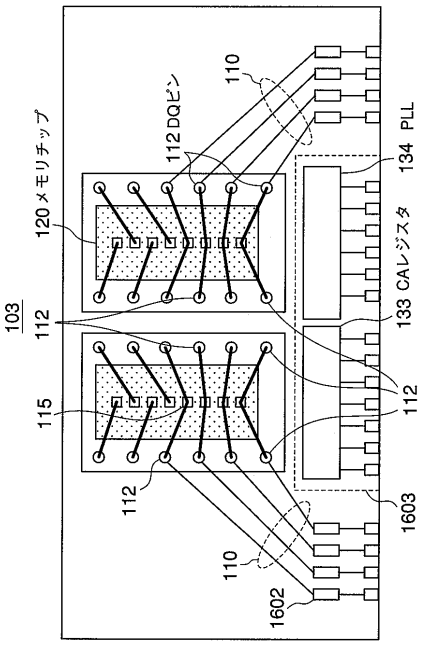
【図４】


103
122モジュール基板
(A) メモリデバイス104
110C
112
112
104 メモリデバイス(B)
116 VDDピン
117 GNDピン
(パッケージ内)
DQバス 114
114
115
信号端子パッド
115
126
分岐配線（ピア）
111 CAバス
(パッケージ内)
VDD面 118
GND面 119
(パッケージ内)
DQピン 112
112
123 VDD面
(モジュール内)
DQバス 110A
(モジュール内)
124 GND面
(モジュール内)
124
110B
(メモリコントローラ側)
125A
(終端抵抗側)
125B 接続端子

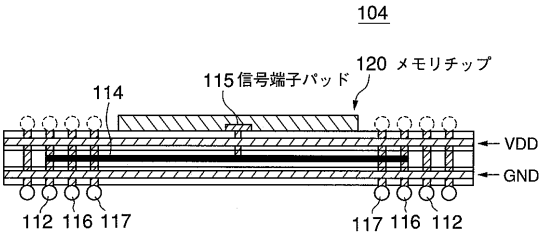
【図５】


208
209
134 PLL
204
133 CAレジスタ
203
209
209
212
209
208
1603
1602

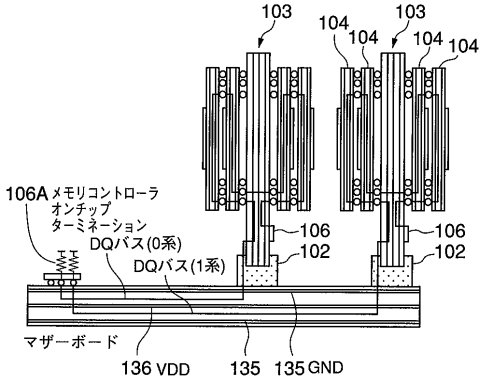
【図６】


110
112 DQピン
120メモリチップ
134 PLL
133 CAレジスタ
103
112
115
112
112
110
1603
1602

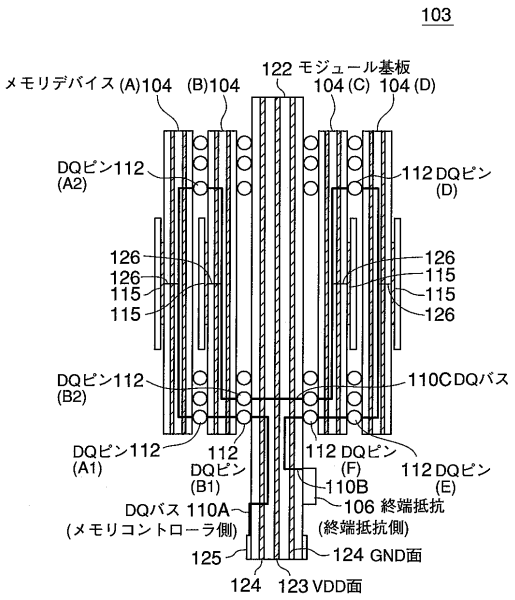
【図７】



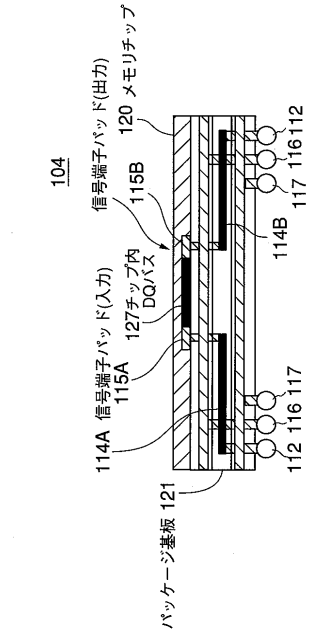
【図８】



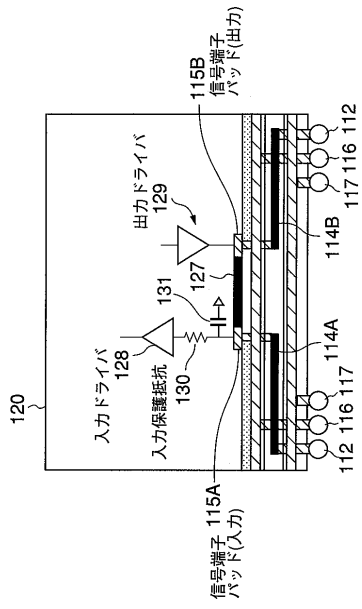
【図９】



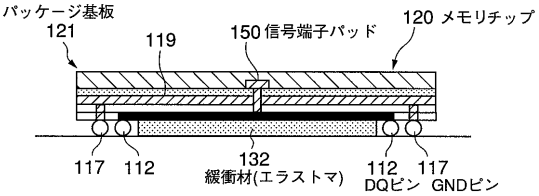
【図１０】



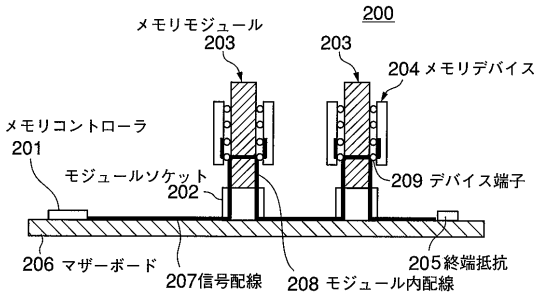
【図１１】



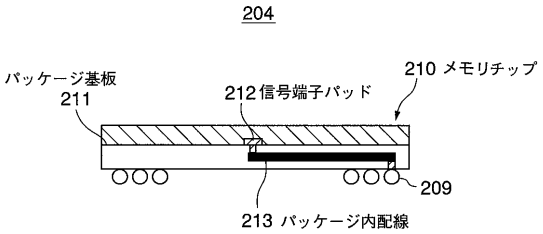
【図１２】



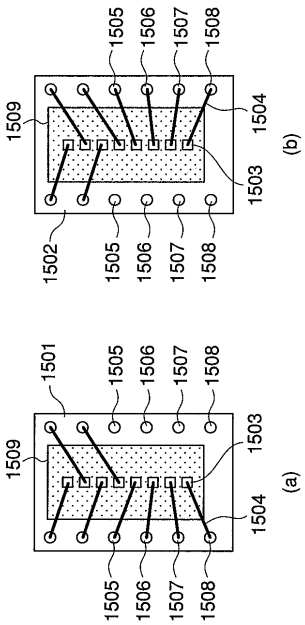
【図１３】



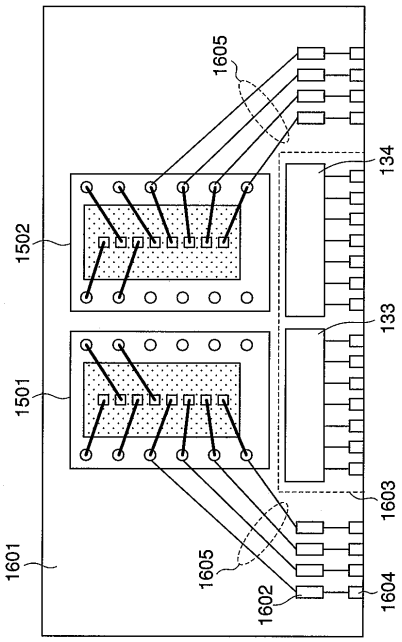
【図１４】



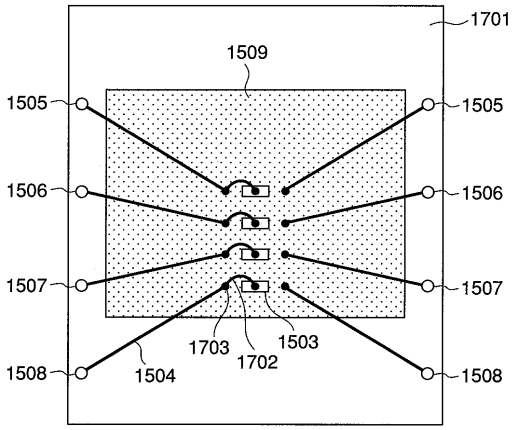
【図１５】



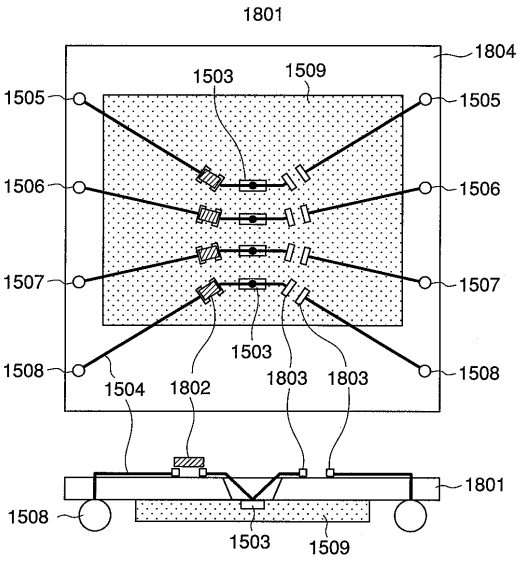
【図１６】



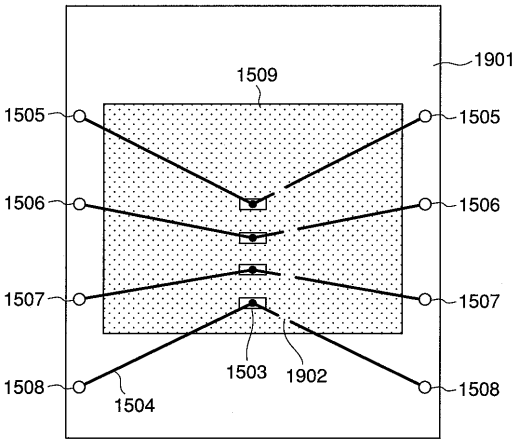
【図１７】



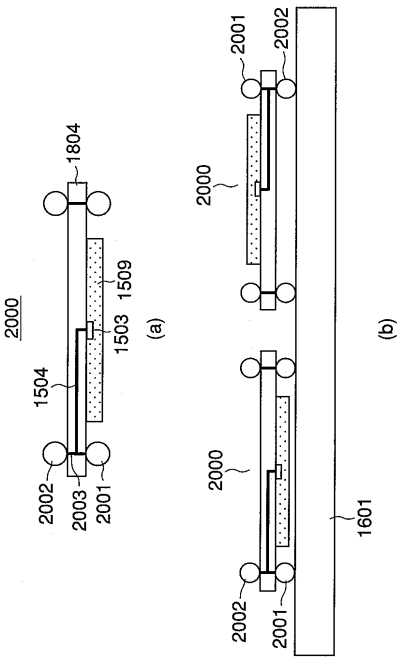
【図１８】



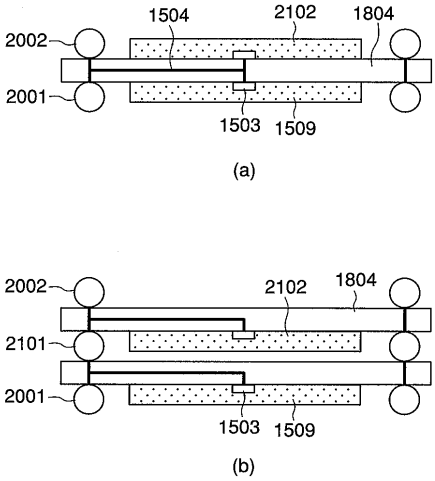
【図１９】



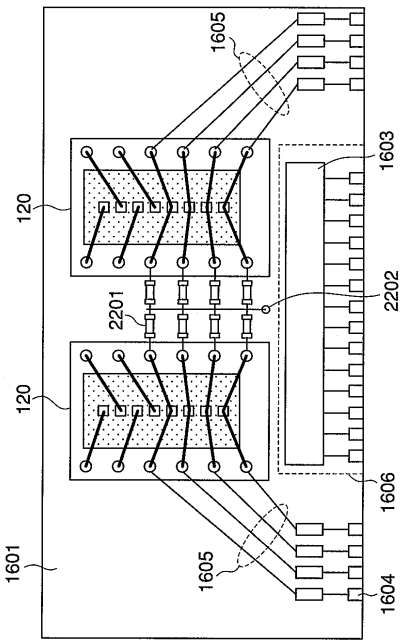
【図２０】



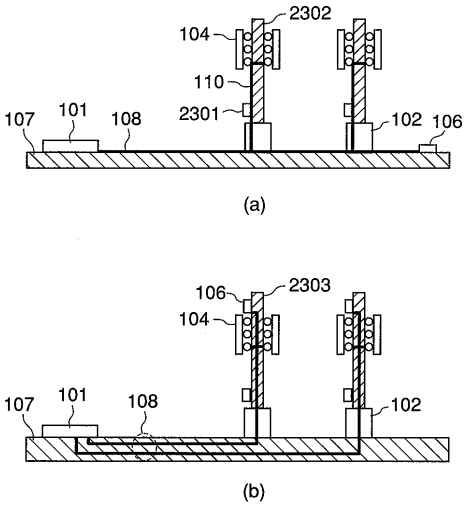
【図２１】



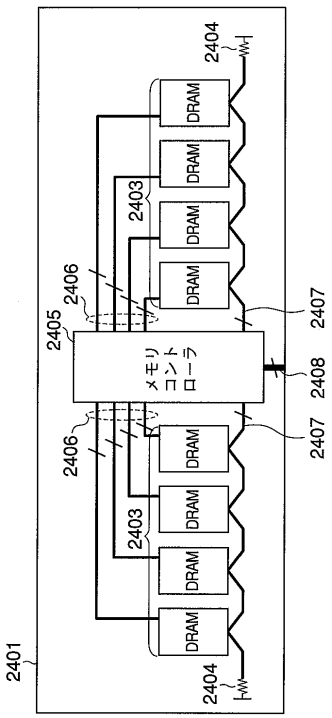
【図２２】



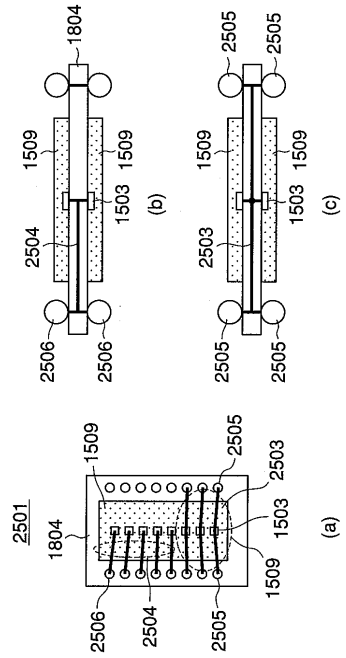
【図２３】



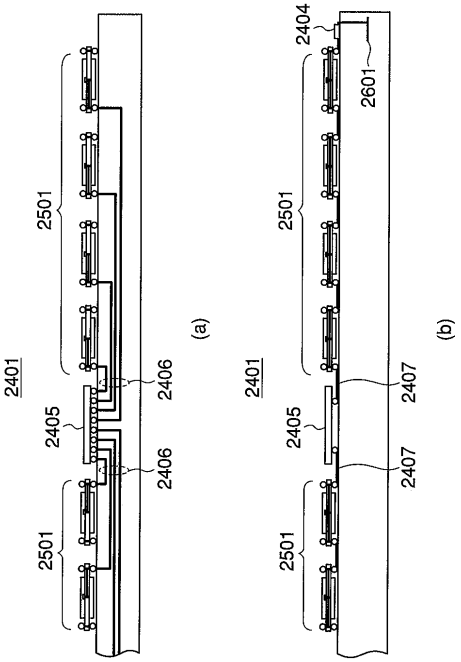
【図２４】



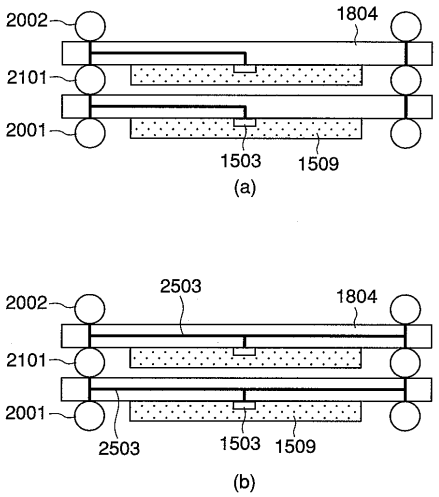
【図２５】



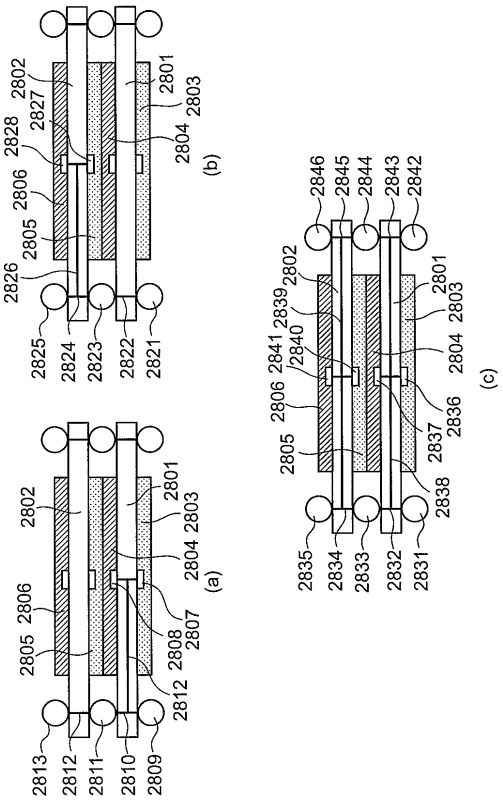
【図２６】



【図２７】



【図２８】



フロントページの続き

(51)Int.Cl.[7]	FI		テーマコード（参考）
Ｈ０１Ｌ 25/065	Ｈ０１Ｌ 25/08	Ｚ	
Ｈ０１Ｌ 25/07			
Ｈ０１Ｌ 25/18			

(72)発明者 船場 誠司
東京都中央区八重洲二丁目２番１号 エルピーダメモリ株式会社内
(72)発明者 安保 久
東京都中央区八重洲二丁目２番１号 エルピーダメモリ株式会社内
(72)発明者 大野 隆夫
東京都中央区八重洲二丁目２番１号 エルピーダメモリ株式会社内
(72)発明者 細川 浩二
東京都中央区八重洲二丁目２番１号 エルピーダメモリ株式会社内
(72)発明者 西尾 洋二
東京都中央区八重洲二丁目２番１号 エルピーダメモリ株式会社内
(72)発明者 中村 淳
東京都青梅市藤橋三丁目３番地２ 株式会社ルネサス東日本セミコンダクタ内
(72)発明者 佐藤 朝彦
東京都青梅市藤橋三丁目３番地２ 株式会社ルネサス東日本セミコンダクタ内

Ｆターム(参考) 5B060 MM06