

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2015 年 3 月 5 日(05.03.2015)



(10) 国際公開番号

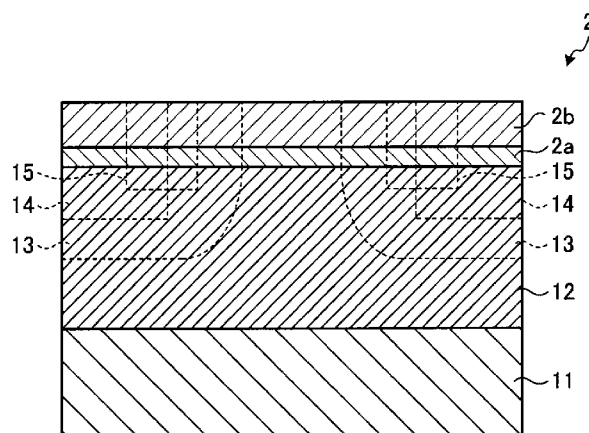
WO 2015/029578 A1

- (51) 国際特許分類:
H01L 21/336 (2006.01) H01L 29/78 (2006.01)
H01L 29/12 (2006.01)
- (21) 国際出願番号: PCT/JP2014/067226
- (22) 国際出願日: 2014 年 6 月 27 日(27.06.2014)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2013-176006 2013 年 8 月 27 日(27.08.2013) JP
- (71) 出願人: 富士電機株式会社(FUJI ELECTRIC CO., LTD.) [JP/JP]; 〒2109530 神奈川県川崎市川崎区田辺新田 1 番 1 号 Kanagawa (JP).
- (72) 発明者: 田中 亮(TANAKA, Ryo); 〒2109530 神奈川県川崎市川崎区田辺新田 1 番 1 号 富士電機株式会社内 Kanagawa (JP). 高島 信也(TAKASHIMA, Shinya); 〒2109530 神奈川県川崎市川崎区田辺新田 1 番 1 号 富士電機株式会社内 Kanagawa (JP). 上野 勝典(UENO, Katsunori); 〒2109530 神奈川県川崎市川崎区田辺新田 1 番 1 号 富士電機株式会社内 Kanagawa (JP). 江戸 雅晴(EDO, Masaharu); 〒2109530 神奈川県川崎市川崎区田辺新田 1 番 1 号 富士電機株式会社内 Kanagawa (JP).
- (74) 代理人: 酒井 宏明(SAKAI, Hiroaki); 〒1006020 東京都千代田区霞が関三丁目 2 番 5 号 霞が関ビルディング 酒井国際特許事務所 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE MANUFACTURING METHOD AND SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置の製造方法および半導体装置



(57) Abstract: An $n\text{-Al}_x\text{Ga}_{1-x}\text{N}$ layer (12), a first cap layer (2a) comprising $\text{Al}_y\text{Ga}_{1-y}\text{N}$ and a second cap layer (2b) comprising $\text{Al}_z\text{Ga}_{1-z}\text{N}$ are formed sequentially on an $n\text{-GaN}$ substrate (11) with the MOCVD method, forming a substrate to be processed (2). Thereafter, ion implantation is performed to implant impurities into the second cap layer (2b), the first cap layer (2a) and the $n\text{-Al}_x\text{Ga}_{1-x}\text{N}$ layer (12). After ion implantation, the substrate to be processed (2) is subjected to high-temperature activation annealing, and thereby, the impurities implanted with ion implantation are activated while suppressing nitrogen dissociation from the $n\text{-Al}_x\text{Ga}_{1-x}\text{N}$ layer (12). After the activation annealing, the second cap layer (2b) is removed by chlorine-based dry etching and the first cap layer (2a) is removed by wet etching with an aqueous KOH solution.

(57) 要約:

[続葉有]

WO 2015/029578 A1



(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR),

OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

$n\text{-Ga}\text{N}$ 基板 11 上に、MOCVD 法により、 $n\text{-Al}_x\text{Ga}_{1-x}\text{N}$ 層 12、 $\text{Al}_y\text{Ga}_{1-y}\text{N}$ からなる第 1 キャップ層 2a、および $\text{Al}_z\text{Ga}_{1-z}\text{N}$ からなる第 2 キャップ層 2b を順次形成して、被処理基板 2 を形成する。その後、第 2 キャップ層 2b、第 1 キャップ層 2a、および $n\text{-Al}_x\text{Ga}_{1-x}\text{N}$ 層 12 に不純物をイオン注入する。イオン注入後に、被処理基板 2 に対して高温で活性化アニールを行うことによって、 $n\text{-Al}_x\text{Ga}_{1-x}\text{N}$ 層 12 からの窒素抜けを抑制しつつ、イオン注入した不純物を活性化させる。活性化アニール後、第 2 キャップ層 2b を塩素系ドライエッチング法により除去し、第 1 キャップ層 2a を KOH 水溶液によるウェットエッチング法により除去する。

明 細 書

発明の名称：半導体装置の製造方法および半導体装置

技術分野

[0001] 本発明は、熱処理工程を有する半導体装置の製造方法および半導体装置に関する。

背景技術

[0002] 近年、パワー半導体装置の分野で、窒化物系半導体、例えば窒化ガリウム（GaN）系半導体といったワイドバンドギャップ半導体を用いた製品の研究開発が活発になされており、既に実用化も始まっている。ワイドバンドギャップ半導体が従来使われているシリコン（Si）と比べて優れている点として、高耐圧な半導体装置を低オン抵抗で作ることができること、高温動作が可能ながことが周知されている。このような利点から、窒化物系半導体はSi系材料に代わるインバータやコンバータなどのパワーデバイスの材料として期待されている。

[0003] この窒化物系半導体を用いて製造される窒化物系半導体装置の製造プロセスにおいては、イオン注入を行った後に、結晶回復や不純物の活性化のための高温での熱処理、すなわち活性化アニールが必要になる。ところが、GaN系半導体などの窒化物系半導体に対して活性化アニールを行う場合に、加熱温度を800℃以上にすると、窒化物系半導体から組成物である窒素（N）が抜ける、いわゆる窒素抜けが発生して分解が始まる。

[0004] これに対し、従来、窒化物系半導体層の上層に、スパッタリング法により耐熱性のより高い材料からなる保護膜（キャップ層）を形成した後に活性化アニールを行う方法が知られている。また、特許文献1、2および非特許文献1には、保護膜としてAlN層を用い、表面保護を行いつつ窒素中で熱処理を行う方法が開示されている。

[0005] また、イオン注入などの不純物ドーピング後の活性化アニールにおいては、半導体層を構成する材料の融点に対して、その2／3程度の温度での加熱が必

要とされている。具体的に、半導体材料としてGaNなどの窒化物系半導体を用いる場合には、加熱温度として1500℃～1700℃程度が予想されている。

先行技術文献

特許文献

[0006] 特許文献1：特開平8－186332号公報

特許文献2：特許第2540791号公報

非特許文献

[0007] 非特許文献1：J.C.Zolper et al., “Sputtered AlN encapsulant for high-temperature of GaN”, Appl. Phys. Lett. 69(4), 22 July 1996 pp.538-540.

非特許文献2：X.A.Cao et al., “Ultrahigh Si+ implant activation efficiency in GaN using a high-temperature rapid thermal process system”, APPLIED PHYSICS LETTERS 73 (1998) pp.229-231.

非特許文献3：K.A.Jones et al., “The Properties of Annealed AlN Films Deposited by Pulsed Laser Deposition”, Journal of ELECTRONIC MATERIALS, Vol.29, No.3 2000 pp.262-267.

発明の概要

発明が解決しようとする課題

[0008] ところが、このような高温度域においては、AlN層を保護膜として用いても、AlN層においてピットが発生したり分解したりすることから、保護膜として機能しないことが報告されている（例えば非特許文献2，3参照）。例えば、非特許文献2には、高温領域としての1500℃以下の温度での加熱を実施した例として、1400℃以上の温度での加熱によってAlN層にピットが発生することが報告されている。このように、熱処理時に保護膜として用いるAlN層にピットが発生すると、このピットから下層の窒化物系半導体層を構成する窒素が放出される可能性が高くなる。

[0009] さらに、高温の活性化アニールに対して、窒化物系半導体層の上層の保護膜として、スパッタリング法により形成されたA I N層などの窒化物系半導体層を用いても、熱処理時における下層の窒化物系半導体層からの窒素抜けを抑制するのが困難であった。この原因は、本発明者の知見によれば、スパッタリング法により形成した窒化物系半導体層の膜質が粗いことに起因している。そこで、本発明者は、エピタキシャル成長法によって膜質を緻密にした保護膜を形成することにより、窒素抜けを抑制する方法を想起した。

[0010] ところが、窒化物系半導体層の上層に保護膜としてのA I N層などの窒化物系半導体層を、エピタキシャル成長法により膜質を緻密にしつつ形成する場合、その膜厚を大きくするとクラックが生じる場合があった。そのため、保護膜の膜厚としては、高々4 nm程度から10 nm程度が限界であり、薄い保護膜しか形成することができず、窒素抜けの抑制効果が十分得られない場合があった。

[0011] これらのことから、従来技術においては、活性化アニールの温度としては1300℃程度が限界であった。ところが、イオン注入などの不純物ドーピング後に活性化アニールを行った場合、1300℃程度の加熱温度では、半導体層において十分な不純物の活性化および結晶性の回復が困難になる。そのため、従来技術においては、例えば製造される半導体装置におけるキャリア移動度の低下が問題となる。また、特にイオン注入によってp型領域を形成する場合には、欠陥によって発生するn型キャリアの補償効果によって、注入した不純物の量に対して十分なp型キャリア濃度を得ることができないという問題があった。

[0012] 本発明は、上記に鑑みてなされたものであって、その目的は、高温での熱処理を、半導体装置を構成する窒化物系半導体層からの窒素抜けを防止しつつ安定してかつ効果的に行うことができる半導体装置の製造方法および半導体装置を提供することにある。

課題を解決するための手段

[0013] 上述した課題を解決し、上記目的を達成するために、本発明に係る半導体

装置の製造方法は、窒化物系半導体層を有する半導体装置の製造方法において、基体上に $A I_x G a_{1-x} N$ からなる第1窒化物系半導体層を形成する第1形成工程と、第1窒化物系半導体層上に $A I_y G a_{1-y} N$ からなる第2窒化物系半導体層を形成する第2形成工程と、第2窒化物系半導体層上に $A I_z G a_{1-z} N$ からなる第3窒化物系半導体層を形成する第3形成工程と、第1窒化物系半導体層、第2窒化物系半導体層、および第3窒化物系半導体層にイオン注入法により不純物を導入するイオン注入工程と、イオン注入工程後に、第1窒化物系半導体層、第2窒化物系半導体層、および第3窒化物系半導体層に対して、熱処理を行う熱処理工程と、を含み、第2窒化物系半導体層の $A I$ 組成比 y が、第1窒化物系半導体層の $A I$ 組成比 x より大きく、かつ、第3窒化物系半導体層の $A I$ 組成比 z よりも大きいことを特徴とする。

[0014] 本発明に係る半導体装置の製造方法は、上記の発明において、第1窒化物系半導体層が、 $A I_x G a_{1-x} N$ ($0 \leq x < 0.5$) であることを特徴とする。本発明に係る半導体装置の製造方法は、この構成において、第1窒化物系半導体層が、 $A I_x G a_{1-x} N$ ($0 \leq x < 0.2$) であることを特徴とする。

[0015] 本発明に係る半導体装置の製造方法は、上記の発明において、第2窒化物系半導体層が、 $A I_y G a_{1-y} N$ ($0.5 \leq y \leq 1$) であることを特徴とする。本発明に係る半導体装置の製造方法は、この構成において、第2窒化物系半導体層が、 $A I_y G a_{1-y} N$ ($0.8 \leq y \leq 1$) であることを特徴とする。

[0016] 本発明に係る半導体装置の製造方法は、上記の発明において、第3窒化物系半導体層が、 $A I_z G a_{1-z} N$ ($0 \leq z < 0.5$) であることを特徴とする。本発明に係る半導体装置の製造方法は、この構成において、第3窒化物系半導体層が、 $A I_z G a_{1-z} N$ ($0 \leq z < 0.2$) であることを特徴とする。

[0017] 本発明に係る半導体装置の製造方法は、上記の発明において、基体が窒化ガリウムからなる基板を有することを特徴とする。

[0018] 本発明に係る半導体装置の製造方法は、上記の発明において、第3窒化物系半導体層の膜厚が第2窒化物系半導体層の膜厚より大きいことを特徴とする。

- [0019] 本発明に係る半導体装置の製造方法は、上記の発明において、第2窒化物系半導体層の膜厚が臨界膜厚より大きいことを特徴とする。
- [0020] 本発明に係る半導体装置の製造方法は、上記の発明において、第3窒化物系半導体層の膜厚が50nm以上であることを特徴とする。
- [0021] 本発明に係る半導体装置の製造方法は、上記の発明において、第1窒化物系半導体層、第2窒化物系半導体層、および第3窒化物系半導体層を、有機金属気相成長法により形成することを特徴とする。
- [0022] 本発明に係る半導体装置の製造方法は、上記の発明において、不純物が、マグネシウム、亜鉛、およびベリリウムからなる群のうちの少なくとも1種類を含む元素であることを特徴とする。
- [0023] 本発明に係る半導体装置の製造方法は、上記の発明において、熱処理における熱処理温度が、800℃以上2000℃以下であることを特徴とする。
- [0024] 本発明に係る半導体装置の製造方法は、上記の発明において、熱処理工程後において、第2窒化物系半導体層および第3窒化物系半導体層の少なくとも一部を除去する除去工程をさらに含むことを特徴とする。本発明に係る半導体装置の製造方法は、この除去工程において、第2窒化物系半導体層をウェットエッチング法により除去することを特徴とする。本発明に係る半導体装置の製造方法は、この除去工程において、第3窒化物系半導体層をドライエッチング法により除去することを特徴とする。
- [0025] 本発明に係る半導体装置は、上記の発明による半導体装置の製造方法により製造されたことを特徴とする。

発明の効果

- [0026] 本発明に係る半導体装置の製造方法および半導体装置によれば、窒化物系半導体層からの窒素抜けを防止しつつ高温での熱処理を安定してかつ効果的に行うことが可能となる。

図面の簡単な説明

- [0027] [図1]図1は、本発明の実施の形態1による半導体装置を示す断面図である。
- [図2]図2は、本発明の実施の形態1による熱処理方法を説明するための模式

図である。

[図3]図3は、本発明の実施の形態1による熱処理方法を説明するための模式図である。

[図4]図4は、本発明の実施の形態1による熱処理方法を説明するための模式図である。

[図5]図5は、本発明の実施の形態1による熱処理方法を説明するための模式図である。

[図6]図6は、本発明の実施の形態2による半導体装置の製造方法を説明するための被処理基板の断面図である。

発明を実施するための形態

[0028] 以下、本発明の実施の形態について図面を参照しつつ説明する。なお、この実施の形態により本発明が限定されるものではない。また、各図面において、同一または対応する要素には適宜同一の符号を付している。さらに、図面は模式的なものであり、各要素の寸法の関係などは、現実のものとは異なる場合があることに留意する必要がある。図面の相互間においても、互いの寸法の関係や比率が異なる部分が含まれている場合がある。

[0029] (実施の形態1)

(半導体装置)

まず、本発明の実施の形態1による半導体装置について説明する。図1は、この実施の形態1における半導体装置としての縦型MOSFETの構成を示す断面図である。図1に示すように、この実施の形態1における半導体装置1は、n型不純物がドーピングされたn型窒化ガリウム(n-GaN)基板11と、n-GaN基板11上に例えばエピタキシャル成長法により形成され、n型不純物がドーピングされた第1窒化物系半導体層としての $n\text{-Al}_x\text{Ga}_{1-x}\text{N}$ 層12とを備える。なお、 $n\text{-Al}_x\text{Ga}_{1-x}\text{N}$ 層12の不純物濃度はn-GaN基板11よりも低いのが望ましい。また、この $n\text{-Al}_x\text{Ga}_{1-x}\text{N}$ 層12のAl組成は、典型的には0以上0.5未満($0 \leq x < 0.5$)、好適には0以上0.2未満($0 \leq x < 0.2$)であり、この実施の形態1において具

体的には、例えば $n\text{-GaInN}$ 層である。

[0030] $n\text{-Al}_x\text{Ga}_{1-x}\text{N}$ 層 12 には、選択的に p 型不純物がドーピングされた p 型ウェル領域 13、 p 型ウェル領域 13 中に選択的に p 型不純物がより高濃度にドーピングされた p^+ 型ウェル領域 14、および p 型ウェル領域 13 と p^+ 型ウェル領域 14 との部分に選択的に n 型不純物がドーピングされた n^+ 型ソース領域 15 が形成されている。

[0031] また、 $n\text{-Al}_x\text{Ga}_{1-x}\text{N}$ 層 12 の表面の部分において、一对の p 型ウェル領域 13 の間にゲート電極 16 が設けられている。ゲート電極 16 は、 $n\text{-Al}_x\text{Ga}_{1-x}\text{N}$ 層 12 の表面上に、底面に例えば酸化シリコン (SiO_2) などの絶縁体からなるゲート絶縁膜 17 を介して設けられている。また、 $n\text{-Al}_x\text{Ga}_{1-x}\text{N}$ 層 12 上には、一对のソース電極 18 が、ゲート電極 16 およびゲート絶縁膜 17 に対して、これらと離間しつつ挟むように設けられている。一方、 $n\text{-GaIn}$ 基板 11 の裏面にドレイン電極 19 が設けられている。以上の構成によって、半導体装置 1 においては、駆動時に上層の p 型ウェル領域 13 から $n\text{-GaIn}$ 基板 11 にかけてチャネルが形成される。

[0032] (半導体装置の製造方法)

次に、以上のように構成された実施の形態 1 による半導体装置 1 の製造方法について説明する。図 2、図 3、図 4、および図 5 はそれぞれ、この実施の形態 1 による半導体装置 1 の製造方法を説明するための被処理基板の模式図である。

[0033] すなわち、まず、図 2 に示すように、基体としての $n\text{-GaIn}$ 基板 11 上に、 n 型不純物をドーピングしつつ、例えば有機金属気相成長法 (MOCVD 法) によって $\text{Al}_x\text{Ga}_{1-x}\text{N}$ を成長させることにより、例えば $n\text{-GaIn}$ 層などの $n\text{-Al}_x\text{Ga}_{1-x}\text{N}$ 層 12 を形成する。なお、 $n\text{-GaIn}$ 基板 11 に代えて、サファイア基板や SiC 基板などを用いても良い。また、 $n\text{-Al}_x\text{Ga}_{1-x}\text{N}$ 層 12 の成長には、MOCVD 法に代えて、ハライド気相成長法 (HVPE 法) や分子線エピタキシー法 (MBE 法) などを用いても良い。

[0034] 続けて、 $n\text{-Al}_x\text{Ga}_{1-x}\text{N}$ 層 12 上に、第 2 窒化物系半導体層としての第

1 キャップ層 2 a、および第3窒化物系半導体層としての第2キャップ層 2 bを順次形成する。ここで、この $n-AI_xGa_{1-x}N$ 層 1 2の表面を保護する第1キャップ層 2 aおよび第2キャップ層 2 bの材料としては、後の熱処理工程に対して好適な材料が選択される。

[0035] 具体的に第1キャップ層 2 aの材料としては、下層の $n-AI_xGa_{1-x}N$ 層 1 2よりも耐熱性が高く、熱処理において剥がれが生じない程度に $n-AI_xGa_{1-x}N$ 層 1 2との間で良好な密着性を有するとともに、 $n-AI_xGa_{1-x}N$ 層 1 2と反応しにくく、不純物も拡散しにくい緻密な材料が好ましい。そこで、この実施の形態1においては、第1キャップ層 2 aを構成する材料としては、下層の $n-AI_xGa_{1-x}N$ 層 1 2のAI組成比 x に比して大きいAI組成比 y の $AI_yGa_{1-y}N$ が好ましい。この場合、第1キャップ層 2 aを構成する材料の格子定数は、下層の $n-AI_xGa_{1-x}N$ 層 1 2を構成する材料の格子定数より小さくなる。そして、そのAI組成比 y は、典型的には0.5以上1以下($0.5 \leq y \leq 1$)、好適には0.8以上1以下($0.8 \leq y \leq 1$)であり、この実施の形態1においては、例えば第1キャップ層 2 aの材料として、AI組成比 y を1とした窒化アルミニウム(AIN)を用いる。第1キャップ層 2 aをAINから構成すると、下層がGaN層である場合にエッチング選択性を高くできるので、第1キャップ層 2 aを選択的に除去し易い点からも好ましい。

[0036] また、第1キャップ層 2 aは、より高い表面保護効果が得られるように緻密な膜にすることを考慮すると、MOCVD法、HVPE法、またはMBE法などのエピタキシャル成長法により形成することが望ましい。そこで、この実施の形態1においては、例えばMOCVD法により、 $n-AI_xGa_{1-x}N$ 層 1 2の表面に $AI_yGa_{1-y}N$ 層からなる保護膜としての第1キャップ層 2 aを形成する。ここで、このMOCVD法による第1キャップ層 2 aの形成においては、例えば、AI原料(トリメチルアルミニウム; TMA; $AI(CH_3)_3$)ガスとGa原料(トリメチルガリウム; TMGa; $Ga(CH_3)_3$)ガスとの少なくとも一方の原料ガス、およびアンモニア(NH_3)ガスを含む

混合ガスを用いる。また、第1キャップ層2aの形成における加熱温度は、後に行われる活性化アニールにおける熱処理温度（加熱温度）よりも低い温度が好ましく、具体的には例えば800℃～1200℃であり、雰囲気圧力は例えば5kPa～20kPaである。また、第1キャップ層2aの膜厚は、後に行われる活性化アニールにおいて下層の $n-AI_xGa_{1-x}N$ 層12からの窒素抜けを抑制できる膜厚にするのが望ましい。具体的に第1キャップ層2aの膜厚は、第2キャップ層2bが形成されない単層の場合における室温での臨界膜厚よりも大きい膜厚である。そして、第2キャップ層2bを後述するようにGa層から構成し、第1キャップ層2aをAl層から構成する場合、第1キャップ層2aの膜厚は、具体的には15nm以上、好適には30nm以上が望ましい。

[0037] また、第2キャップ層2bの材料としては、クラックが発生しやすい第1キャップ層2aに生じる応力を抑制して歪みを緩和し、第2キャップ層2bを形成しない場合に比して第1キャップ層2aを厚く形成でき、高温熱処理において剥がれが生じない程度に良好な密着性を有する材料が好ましい。そこで、この実施の形態1においては、第2キャップ層2bを構成する材料としては、下層の第1キャップ層2aを構成する $Al_yGa_{1-y}N$ 層のAl組成比 y に比して小さいAl組成比 z の $Al_zGa_{1-z}N$ とする。これにより、第2キャップ層2bを構成する材料の格子定数は、第1キャップ層2aを構成する材料の格子定数より大きくなるので、第1キャップ層2aの歪みが緩和される。そして、そのAl組成比 z は、典型的には0以上0.5未満（ $0 \leq y < 0.5$ ）、好適には0以上0.2未満（ $0 \leq z < 0.2$ ）であり、この実施の形態1においては、第2キャップ層2bの材料として、Al組成比 z を0としたGa層を用いる。なお、第1キャップ層2aにおける応力の発生を抑制することを考慮すると、第2キャップ層2bを構成する $Al_zGa_{1-z}N$ は、 $n-AI_xGa_{1-x}N$ 層12の組成と同じ（ $x = z$ ）、または近い（ $x \div z$ ）ことが望ましい。

[0038] また、第2キャップ層2bは、第1キャップ層2aに対する保護効果が得

られるように緻密な膜にすることを考慮すると、MOCVD法、HVPE法、またはMBE法などのエピタキシャル成長法により形成することが望ましい。そこで、この実施の形態1においては、第1キャップ層2a上に、例えばMOCVD法により $\text{Al}_z\text{Ga}_{1-z}\text{N}$ 層からなる第2キャップ層2bを形成する。ここで、このMOCVD法による第2キャップ層2bの形成においては、例えば、Al原料（トリメチルアルミニウム；TMA； $\text{Al}(\text{CH}_3)_3$ ）ガスとGa原料（トリメチルガリウム；TMGa； $\text{Ga}(\text{CH}_3)_3$ ）ガスとの少なくとも一方の原料ガス、およびアンモニア（ NH_3 ）ガスを含む混合ガスを用いる。また、第2キャップ層2bの形成における加熱温度は、後に行われる活性化アニールにおける熱処理温度（加熱温度）よりも低い温度が好ましく、具体的には例えば $800^\circ\text{C} \sim 1200^\circ\text{C}$ であり、雰囲気圧力は例えば $20\text{ kPa} \sim 50\text{ kPa}$ である。また、第2キャップ層2bの膜厚は、第1キャップ層2aにおける応力の発生を抑制して歪みを緩和できるとともに、後に行われる活性化アニールによって第2キャップ層2bが残存する膜厚以上にするのが望ましい。さらには第1キャップ層2aを保護することを考慮すると、第2キャップ層2bの膜厚は第1キャップ層2aの膜厚より大きくするのが好ましく、具体的には、例えば 50 nm 以上とするのが好ましい。

[0039] 次に、図3に示すように、 $n\text{-Al}_x\text{Ga}_{1-x}\text{N}$ 層12、第1キャップ層2a、および第2キャップ層2bからなる積層膜に対して、例えば酸化シリコン（ SiO_2 ）やレジストをマスクとしたイオン注入法によって、p型ウェル領域13および高不純物濃度のp⁺型ウェル領域14を形成すべき領域に、選択的にp型不純物を順次イオン注入する。なお、p型不純物としては、マグネシウム（Mg）、ベリリウム（Be）、および亜鉛（Zn）などからなる群から選ばれる少なくとも1種類の元素が用いられる。その後、同様にして、イオン注入法によって、p型ウェル領域13およびp⁺型ウェル領域14の部分のn⁺型ソース領域15を形成すべき領域に、選択的に例えばシリコン（Si）などのn型不純物をイオン注入する。なお、このイオン注入法におけるエネルギーは、所定の不純物が第2キャップ層2bおよび第1キャップ層2

aを通過して、 $n-AI_xGa_{1-x}N$ 層12の所望の深さまで導入可能なエネルギーになるように適宜調整される。

[0040] 以上により、被処理基板2が得られる。なお、これらの第1キャップ層2aおよび第2キャップ層2bは、それぞれ窒化物系半導体結晶をエピタキシャル成長させて形成したものであるので、結晶性が良好であり、活性化アニールに対する保護膜として好適に用いることができる。

[0041] 次に、被処理基板2を加熱する熱処理工程、すなわち被処理基板2に含まれる不純物を活性化するための高温熱処理としての活性化アニールを行う。この活性化アニールは、その加熱温度が例えば800℃以上、好適には1200℃以上、より好適には1500℃以上がより好ましく、上限を2000℃以下とした高温熱処理である。ここで、熱処理温度が800℃以上の場合には $n-AI_xGa_{1-x}N$ 層12の分解が始まるので、第1キャップ層2aおよび第2キャップ層2bによる表面保護効果を確保するのが有効である。さらに、被処理基板2が載置される熱処理装置内の圧力は、例えば0.1MPa～1000MPa（1気圧～10000気圧）とするのが望ましい。以上の活性化アニールにより、 $n-AI_xGa_{1-x}N$ 層12中にドーピングしたMg、Be、またはZnなどの各種の不純物が活性化され、p型ウェル領域13、p⁺型ウェル領域14、およびn⁺型ソース領域15が形成される。

[0042] その後、図4に示すように、例えば塩素系ガスを用いたドライエッチング法により、第2キャップ層2bの少なくとも一部、好適には全部を除去する。なお、第2キャップ層2bの一部を除去する場合には、例えばフォトリソグラフィ工程によって、第2キャップ層2b上にマスク（図示せず）を形成し、このマスクをエッチングマスクとしてドライエッチングを行う。

[0043] 続いて、図5に示すように、 $AI_xGa_{1-x}N$ と $AI_yGa_{1-y}N$ との間において高いエッチング選択性を有する溶液を用いたウェットエッチング法により、被処理基板2から第1キャップ層2aの少なくとも一部、好適には全部を除去する。なお、第1キャップ層2aの一部を除去する場合には、例えばフォトリソグラフィ工程によって、第1キャップ層2aおよび第2キャップ層2

bの少なくとも一方の層の上にマスク（図示せず）を形成し、このマスクをエッチングマスクとしてエッチングを行っても良く、第2キャップ層2bをマスクとしてエッチングを行っても良い。また、 $n\text{-Al}_x\text{Ga}_{1-x}\text{N}$ 層12を $n\text{-Ga}\text{N}$ から構成し、第1キャップ層2aを AlN から構成した場合においては、水酸化カリウム（ KOH ）水溶液を用いることによって高いエッチング選択性を確保することができる。

[0044] 次に、 $n\text{-Al}_x\text{Ga}_{1-x}\text{N}$ 層12の上面に、例えばPECVD（Plasma Enhanced CVD）法により、例えば SiO_2 膜からなるゲート絶縁膜17を成長させる。このゲート絶縁膜17の膜厚は、例えば100nm程度である。なお、 SiO_2 膜以外にも、 SiN_x 膜、 SiON 膜、 Al_2O_3 膜、 MgO 膜、 GaO_x 膜、 GdO_x 膜などの絶縁膜、またはこれらのうちのいずれかを含む積層膜であっても良い。

[0045] 次に、ゲート絶縁膜17上に、例えばLPCVD法（減圧化学気相成長法）により多結晶シリコン膜を形成した後または形成する際、リン（P）や砒素（As）などのn型不純物をドーピングする。これにより、多結晶シリコン膜が導電性を示す。なお、多結晶シリコン膜へのn型不純物のドーピングは、多結晶シリコン膜を形成後にn型不純物をイオン注入するか、多結晶シリコン膜の成長中にn型不純物を成長雰囲気中に導入することによって行うことができる。ドーピングしたn型不純物は、熱処理によって活性化および多結晶シリコン膜内へ拡散される。

[0046] 続いて、フォトリソグラフィ工程およびエッチング工程により、多結晶シリコン膜およびゲート絶縁膜17をパターニングすることによって、ゲート絶縁膜17およびゲート電極16の形成領域以外の $n\text{-Al}_x\text{Ga}_{1-x}\text{N}$ 層12の表面を露出させる。なお、エッチング工程は、例えばRIE（反応性イオンエッチング）法やICP（誘導結合方式）-RIE法などにより行う。また、ゲート電極16としては、n型不純物がドーピングされた多結晶シリコン膜以外にも、金（Au）や白金（Pt）やニッケル（Ni）などの金属膜、またはこれらの合金膜や積層膜などを用いることが可能である。

- [0047] 次に、露出させた $n-AI_xGa_{1-x}N$ 層12の表面に、ゲート電極16と離間させつつ挟む領域に、 $n-AI_xGa_{1-x}N$ 層12に形成した n^+ 型ソース領域15および p^+ 型ウェル領域14とオーミック接触する一対のソース電極18を選択的に形成する。このソース電極18としては、例えばチタン(Ti)とアルミニウム(Al)とを順次積層させたTi/Alからなる積層金属膜を用いることができる。なお、ソース電極18の構成はこれに限定されるものではなく、 n^+ 型ソース領域15および p^+ 型ウェル領域14とオーミック接合またはオーミック接合に近い低抵抗の接合をする導体膜であれば種々の金属材料を用いることが可能である。また、ソース電極18の形成には、リフトオフ法や選択成長法などを用いることが可能である。
- [0048] 次に、ソース電極18が形成された $n-AI_xGa_{1-x}N$ 層12に対して反対側の面である、 $n-GaN$ 基板11の裏面に、例えばTi/Alの積層金属膜からなるドレイン電極19を形成する。その後、素子分離を行って個片化することにより、図1に示す半導体装置1が製造される。
- [0049] 以上説明した本発明の実施の形態1によれば、 $n-AI_xGa_{1-x}N$ 層12上に保護膜として $n-AI_xGa_{1-x}N$ 層12の材料より格子定数が小さい $Al_yGa_{1-y}N$ からなる第1キャップ層2a、および $Al_yGa_{1-y}N$ より格子定数が大きい $Al_zGa_{1-z}N$ からなる第2キャップ層2bを順次エピタキシャル成長させていることにより、 $n-AI_xGa_{1-x}N$ 層12と第2キャップ層2bとの間に挟まれた第1キャップ層2aの歪みを緩和することができる。そのため、第1キャップ層2aの膜厚を、活性化アニールに対する保護膜として機能する膜厚以上、少なくとも第2キャップ層2bが設けられない場合の単層での室温時における臨界膜厚より大きくすることができるので、熱処理温度が高温になる活性化アニールにおいても $n-AI_xGa_{1-x}N$ 層12に対する表面保護効果を維持でき、 $n-AI_xGa_{1-x}N$ 層12からの窒素抜けを抑制することができる。したがって、半導体装置の製造において、活性化アニールを安定して効果的に行うことが可能になり、製造される半導体装置1の動作特性を向上させることができる。

[0050] また、上述の実施の形態 1 においては、 $n-AI_xGa_{1-x}N$ 層 1 2 上に第 1 キャップ層 2 a および第 2 キャップ層 2 b を形成した後に不純物をイオン注入していることにより、第 1 キャップ層 2 a および第 2 キャップ層 2 b を形成する前に $n-AI_xGa_{1-x}N$ 層 1 2 にイオン注入を行う場合に比して、イオン注入後の後処理工程などの工程数を削減できるとともに、 $n-AI_xGa_{1-x}N$ 層 1 2 の表面に対するイオン注入法に起因する損傷を抑制することができ、さらにイオン注入後における $n-AI_xGa_{1-x}N$ 層 1 2 の表面に対する再成長技術が不要になる。したがって、半導体装置の製造を、従来に比して工程数を増加させることなく、より安定して行うことができ、半導体装置 1 の特性をより一層向上させることができる。

[0051] (実施の形態 2)

次に、本発明の実施の形態 2 による半導体装置の製造方法について説明する。図 6 は、この実施の形態 2 による、熱処理が行われる被処理基板 3 を示す断面図である。

[0052] この実施の形態 2 においては実施の形態 1 と異なり、例えば MOCVD 法により、 $n-AI_xGa_{1-x}N$ 層 1 2 の表面に第 1 キャップ層 2 a と第 2 キャップ層 2 b とを順次形成した後、例えば MOCVD 法により、 $n-GaN$ 基板 1 1 の $n-AI_xGa_{1-x}N$ 層 1 2 の積層面とは反対側の裏面に、裏面保護膜としての $Al_yGa_{1-y}N$ からなる第 1 キャップ層 3 a と $Al_zGa_{1-z}N$ からなる第 2 キャップ層 3 b とを順次形成する。すなわち、 $n-AI_xGa_{1-x}N$ 層 1 2 の表面と $n-GaN$ 基板 1 1 の裏面とにそれぞれ、保護膜としての第 1 キャップ層 2 a, 3 a、および第 2 キャップ層 2 b, 3 b が形成された被処理基板 3 を形成する。

[0053] その後、この被処理基板 3 に対して、実施の形態 1 と同様にして、イオン注入法による不純物のイオン注入を行って、 $n-AI_xGa_{1-x}N$ 層 1 2、第 1 キャップ層 2 a、および第 2 キャップ層 2 b に不純物をイオン注入する。その後、高温での活性化アニールを行うことにより、イオン注入した不純物を活性化させる。その他の半導体装置の製造方法および製造される半導体装置

については、実施の形態 1 と同様であるので、その説明を省略する。

[0054] この実施の形態 2 による半導体装置の製造方法によれば、実施の形態 1 と同様にして、第 1 キャップ層 2 a および第 2 キャップ層 2 b を形成した後に活性化アニールを行っているので、実施の形態 1 と同様の効果を得ることができるとともに、 $n\text{-GaIn}$ 基板 1 1 の裏面にも第 1 キャップ層 3 a および第 2 キャップ層 3 b を形成した状態で活性化アニールを行っていることにより、高温の熱処理によって $n\text{-GaIn}$ 基板 1 1 から窒素抜けが生じるのを抑制しつつドーパした不純物を活性化させることができるので、この被処理基板 3 を用いて製造される半導体装置の特性をより一層向上させることができる。

[0055] 以上、本発明の実施の形態について具体的に説明したが、本発明は、上述の実施の形態に限定されるものではなく、本発明の技術的思想に基づく各種の変形が可能である。例えば、上述の実施の形態において挙げた数値はあくまでも例に過ぎず、必要に応じてこれと異なる数値を用いても良い。

[0056] 例えば、上述した実施の形態においては、 $n\text{-Al}_x\text{Ga}_{1-x}\text{N}$ 層 1 2 に対する不純物のドーピングをイオン注入法により行っているが、不純物のドーピング方法は必ずしもイオン注入に限定されるものではなく、例えば $n\text{-Al}_x\text{Ga}_{1-x}\text{N}$ 層 1 2 のエピタキシャル成長中において成長雰囲気中に不純物を導入するなどの、その他の不純物ドーピング方法を採用しても良い。

[0057] また、上述の実施の形態においては、本発明による高温熱処理を、不純物のドーピング後に行う活性化アニール、具体的には $n\text{-Al}_x\text{Ga}_{1-x}\text{N}$ 層 1 2 にドーパした不純物を活性化させるための活性化アニールに適用した例について説明しているが、必ずしも活性化アニールに限定されるものではなく、ゲート酸化膜を形成した後のアニール（ポストデポジションアニール：Post Deposition Anneal；PDA）、またはメタルシンタ処理などの、その他の半導体層に対するあらゆる熱処理に適用することも可能である。

[0058] また、例えば上述の実施の形態においては、半導体装置として縦型 MOS FET を例に説明しているが、半導体装置としては必ずしも縦型 MOS FET

Tに限定されるものではなく、熱処理工程を有する製造方法によって製造されるその他のトランジスタ、ダイオード、電源回路、およびインバータなどの種々の半導体装置であっても良い。

[0059] また、上述の実施の形態1、2においては、 $n-AI_xGa_{1-x}N$ 層12の表面、または $n-GaN$ 基板11の裏面に積層させる保護膜を、第1キャップ層2a(3a)および第2キャップ層2b(3b)の2層としているが、必ずしも2層に限定されるものではない。すなわち、 $n-AI_xGa_{1-x}N$ 層12の表面、または $n-GaN$ 基板11の裏面のそれぞれに、第1キャップ層2a(3a)および第2キャップ層2b(3b)を組として複数組積層させて、これらの表裏面に対する保護膜とすることも可能である。また、第1キャップ層2a(3a)と第2キャップ層2b(3b)とは、大気に晒すことなく上述した減圧雰囲気下および加熱温度下において順次形成することが、クラック抑制、表面汚染防止の点から望ましい。

[0060] また、上述の実施の形態2においては、 $n-AI_xGa_{1-x}N$ 層12の表面に第1キャップ層2aと第2キャップ層2bとを順次形成した後に、 $n-GaN$ 基板11の裏面に第1キャップ層3aと第2キャップ層3bとを順次形成している。しかし、必ずしもこれに限定されるものではなく、 $n-GaN$ 基板11の裏面に第1キャップ層3aと第2キャップ層3bとを順次形成した後に、 $n-AI_xGa_{1-x}N$ 層12の表面に第1キャップ層2aと第2キャップ層2bとを順次形成しても良い。また、第1キャップ層2aと第1キャップ層3aとを同時に形成した後、第2キャップ層2bと第2キャップ層3bとを同時に形成しても、第1キャップ層2a、第1キャップ層3a、第2キャップ層2b、および第2キャップ層3bを互いに別の工程で形成しても、第1キャップ層2aおよび第1キャップ層3aを同時に形成した後に第2キャップ層2bと第2キャップ層3bとを別の工程で形成しても、第1キャップ層2aおよび第1キャップ層3aを別の工程で形成した後に、第2キャップ層2bおよび第2キャップ層3bを同時に形成しても良い。

産業上の利用可能性

[0061] 本発明は、例えば窒化ガリウム（GaN）系半導体といったワイドバンドギャップ半導体を用いた半導体装置の製造において、熱処理工程を有する場合に好適に利用できる。

符号の説明

- [0062] 1 半導体装置
- 2, 3 被処理基板
- 2a, 3a 第1キャップ層
- 2b, 3b 第2キャップ層
- 11 n型窒化ガリウム（n-GaN）基板
- 12 $n\text{-Al}_x\text{Ga}_{1-x}\text{N}$ 層
- 13 p型ウェル領域
- 14 p⁺型ウェル領域
- 15 n⁺型ソース領域
- 16 ゲート電極
- 17 ゲート絶縁膜
- 18 ソース電極
- 19 ドレイン電極

請求の範囲

- [請求項1] 窒化物系半導体層を有する半導体装置の製造方法において、
基体上に $\text{Al}_x\text{Ga}_{1-x}\text{N}$ からなる第1窒化物系半導体層を形成する第1形成工程と、
前記第1窒化物系半導体層上に $\text{Al}_y\text{Ga}_{1-y}\text{N}$ からなる第2窒化物系半導体層を形成する第2形成工程と、
前記第2窒化物系半導体層上に $\text{Al}_z\text{Ga}_{1-z}\text{N}$ からなる第3窒化物系半導体層を形成する第3形成工程と、
前記第1窒化物系半導体層、前記第2窒化物系半導体層、および前記第3窒化物系半導体層にイオン注入法により不純物を導入するイオン注入工程と、
前記イオン注入工程後に、前記第1窒化物系半導体層、前記第2窒化物系半導体層、および前記第3窒化物系半導体層に対して、熱処理を行う熱処理工程と、を含み、
前記第2窒化物系半導体層の Al 組成比 y が、前記第1窒化物系半導体層の Al 組成比 x より大きく、かつ、前記第3窒化物系半導体層の Al 組成比 z よりも大きい
ことを特徴とする半導体装置の製造方法。
- [請求項2] 前記第1窒化物系半導体層が、 $\text{Al}_x\text{Ga}_{1-x}\text{N}$ ($0 \leq x < 0.5$) であることを特徴とする請求項1に記載の半導体装置の製造方法。
- [請求項3] 前記第1窒化物系半導体層が、 $\text{Al}_x\text{Ga}_{1-x}\text{N}$ ($0 \leq x < 0.2$) であることを特徴とする請求項2に記載の半導体装置の製造方法。
- [請求項4] 前記第2窒化物系半導体層が、 $\text{Al}_y\text{Ga}_{1-y}\text{N}$ ($0.5 \leq y \leq 1$) であることを特徴とする請求項1～3のいずれか1項に記載の半導体装置の製造方法。
- [請求項5] 前記第2窒化物系半導体層が、 $\text{Al}_y\text{Ga}_{1-y}\text{N}$ ($0.8 \leq y \leq 1$) であることを特徴とする請求項4に記載の半導体装置の製造方法。
- [請求項6] 前記第3窒化物系半導体層が、 $\text{Al}_z\text{Ga}_{1-z}\text{N}$ ($0 \leq z < 0.5$)

であることを特徴とする請求項 1 ～ 5 のいずれか 1 項に記載の半導体装置の製造方法。

[請求項7] 前記第 3 窒化物系半導体層が、 $\text{Al}_z\text{Ga}_{1-z}\text{N}$ ($0 \leq z < 0.2$) であることを特徴とする請求項 6 に記載の半導体装置の製造方法。

[請求項8] 前記基体が窒化ガリウムからなる基板を有することを特徴とする請求項 1 ～ 7 のいずれか 1 項に記載の半導体装置の製造方法。

[請求項9] 前記第 3 窒化物系半導体層の膜厚が前記第 2 窒化物系半導体層の膜厚より大きいことを特徴とする請求項 1 ～ 8 のいずれか 1 項に記載の半導体装置の製造方法。

[請求項10] 前記第 2 窒化物系半導体層の膜厚が、前記第 3 窒化物系半導体層が設けられない場合の単層における室温での臨界膜厚より大きいことを特徴とする請求項 1 ～ 9 のいずれか 1 項に記載の半導体装置の製造方法。

[請求項11] 前記第 3 窒化物系半導体層の膜厚が 50 nm 以上であることを特徴とする請求項 1 ～ 10 のいずれか 1 項に記載の半導体装置の製造方法。

[請求項12] 前記第 1 窒化物系半導体層、前記第 2 窒化物系半導体層、および前記第 3 窒化物系半導体層を、有機金属気相成長法により形成することを特徴とする請求項 1 ～ 11 のいずれか 1 項に記載の半導体装置の製造方法。

[請求項13] 前記不純物が、マグネシウム、亜鉛、およびベリリウムからなる群のうちの少なくとも 1 種類を含む元素であることを特徴とする請求項 1 ～ 12 のいずれか 1 項に記載の半導体装置の製造方法。

[請求項14] 前記熱処理における熱処理温度が、800℃以上2000℃以下であることを特徴とする請求項 1 ～ 13 のいずれか 1 項に記載の半導体装置の製造方法。

[請求項15] 前記熱処理工程後において、前記第 2 窒化物系半導体層および前記第 3 窒化物系半導体層の少なくとも一部を除去する除去工程をさらに

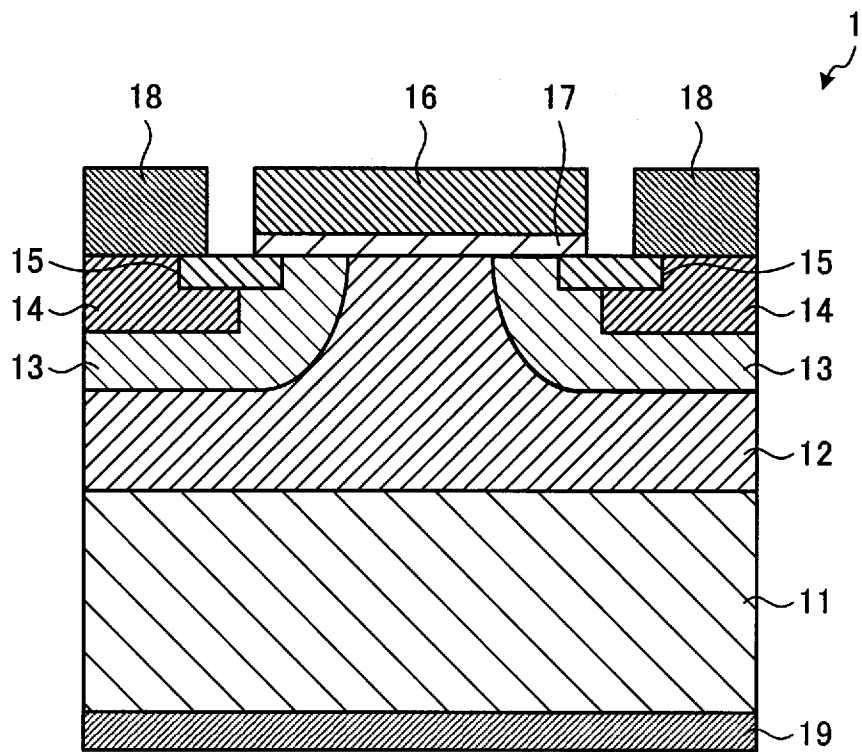
含むことを特徴とする請求項 1 ～ 1 4 のいずれか 1 項に記載の半導体装置の製造方法。

[請求項16] 前記除去工程において、前記第 2 窒化物系半導体層をウェットエッチング法により除去することを特徴とする請求項 1 5 に記載の半導体装置の製造方法。

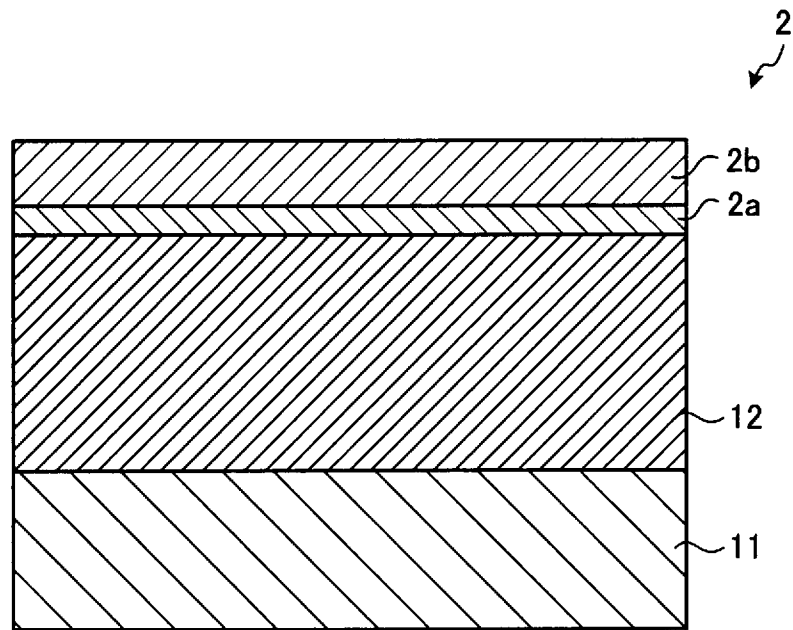
[請求項17] 前記除去工程において、前記第 3 窒化物系半導体層をドライエッチング法により除去することを特徴とする請求項 1 5 または 1 6 に記載の半導体装置の製造方法。

[請求項18] 請求項 1 ～ 1 7 のいずれか 1 項に記載の半導体装置の製造方法により製造されたことを特徴とする半導体装置。

[図1]



[図2]



[図3]

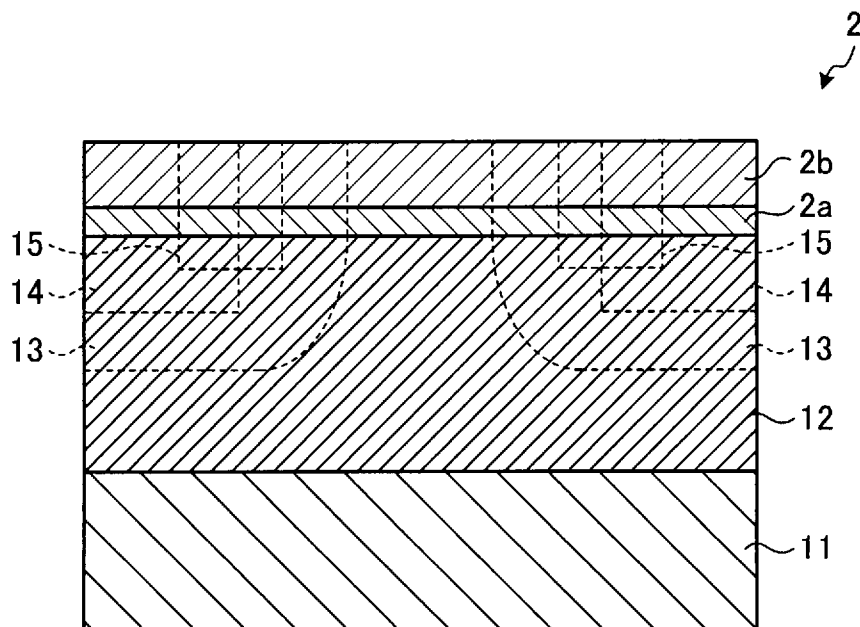
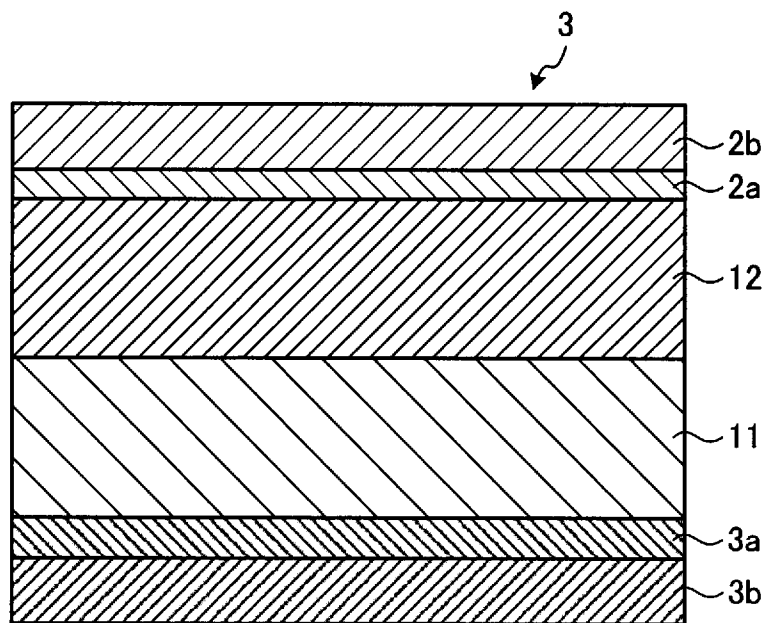


Figure 1 is a cross-sectional view of a semiconductor device 2. The device includes a substrate 11, a layer 12, and a patterned layer 13. The patterned layer 13 has openings 14, and a top layer 15 is formed on the patterned layer 13. A curved layer 2a is shown in the openings 14.

A cross-sectional view of a semiconductor device 2. The device consists of a substrate 11 with a diagonal hatching pattern. A layer 12 with a diagonal hatching pattern is formed on the substrate. A layer 13 with a horizontal hatching pattern is formed on layer 12. A layer 14 with a diagonal hatching pattern is formed on layer 13. A layer 15 with a diagonal hatching pattern is formed on layer 14. The layers 13, 14, and 15 are patterned to form a central opening. The layers 14 and 15 are formed in a stepped manner, with layer 15 being wider than layer 14. The layers 13, 14, and 15 are formed in a stepped manner, with layer 15 being wider than layer 14. The layers 13, 14, and 15 are formed in a stepped manner, with layer 15 being wider than layer 14.

[図6]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/067226

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/336(2006.01)i, H01L29/12(2006.01)i, H01L29/78(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/336, H01L29/12, H01L29/78

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2014
Kokai Jitsuyo Shinan Koho 1971-2014 Toroku Jitsuyo Shinan Koho 1994-2014

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2008-277650 A (Mitsubishi Chemical Corp.), 13 November 2008 (13.11.2008), entire text; all drawings (Family: none)	1-18
A	JP 2000-323751 A (Pioneer Corp.), 24 November 2000 (24.11.2000), entire text; all drawings & US 6335218 B1 & EP 1052705 A1	1-18
A	JP 2013-8836 A (Sharp Corp.), 10 January 2013 (10.01.2013), entire text; all drawings (Family: none)	1-18

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
01 August, 2014 (01.08.14)

Date of mailing of the international search report
12 August, 2014 (12.08.14)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/067226

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2004-343132 A (Nichia Chemical Industries, Ltd.), 02 December 2004 (02.12.2004), entire text; all drawings (Family: none)	1-18
A	JP 2005-136001 A (Fujitsu Ltd.), 26 May 2005 (26.05.2005), entire text; all drawings & US 2005/0087766 A1	1-18
A	WO 2005/106979 A1 (Mitsubishi Cable Industries, Ltd.), 10 November 2005 (10.11.2005), entire text; all drawings & JP 5082444 B & TW I295859 B	1-18
A	JP 2012-69662 A (National Institute of Advanced Industrial Science and Technology), 05 April 2012 (05.04.2012), entire text; all drawings (Family: none)	1-18
A	JP 2006-286910 A (Eudyna Devices Inc.), 19 October 2006 (19.10.2006), entire text; all drawings & US 2006/0219997 A1 & EP 1708275 A2	1-18

A. 発明の属する分野の分類（国際特許分類（I P C）） Int.Cl. H01L21/336(2006.01)i, H01L29/12(2006.01)i, H01L29/78(2006.01)i			
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（I P C）） Int.Cl. H01L21/336, H01L29/12, H01L29/78			
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1 9 2 2 - 1 9 9 6 年 日本国公開実用新案公報 1 9 7 1 - 2 0 1 4 年 日本国実用新案登録公報 1 9 9 6 - 2 0 1 4 年 日本国登録実用新案公報 1 9 9 4 - 2 0 1 4 年			
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）			
C. 関連すると認められる文献			
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	
A	JP 2008-277650 A（三菱化学株式会社） 2008.11.13, 全文, 全図（ファミリーなし）	1-18	
A	JP 2000-323751 A（パイオニア株式会社） 2000.11.24, 全文, 全図 & US 6335218 B1 & EP 1052705 A1	1-18	
A	JP 2013-8836 A（シャープ株式会社） 2013.01.10, 全文, 全図（ファミリーなし）	1-18	
☒ C 欄の続きにも文献が列挙されている。 ☐ パテントファミリーに関する別紙を参照。			
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献			
国際調査を完了した日 0 1 . 0 8 . 2 0 1 4		国際調査報告の発送日 1 2 . 0 8 . 2 0 1 4	
国際調査機関の名称及びあて先 日本国特許庁（I S A / J P） 郵便番号 1 0 0 - 8 9 1 5 東京都千代田区霞が関三丁目4番3号		特許庁審査官（権限のある職員） 土谷 慎吾 電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 1 6	5 F 3 1 4 3

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2004-343132 A (日亜化学工業株式会社) 2004.12.02, 全文, 全図 (ファミリーなし)	1-18
A	JP 2005-136001 A (富士通株式会社) 2005.05.26, 全文, 全図 & US 2005/0087766 A1	1-18
A	WO 2005/106979 A1 (三菱電線工業株式会社) 2005.11.10, 全文, 全図 & JP 5082444 B & TW I295859 B	1-18
A	JP 2012-69662 A (独立行政法人産業技術総合研究所) 2012.04.05, 全文, 全図 (ファミリーなし)	1-18
A	JP 2006-286910 A (ユーディナデバイス株式会社) 2006.10.19, 全文, 全図 & US 2006/0219997 A1 & EP 1708275 A2	1-18