

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成 19 年 12 月 13 日 (2007.12.13)

【公表番号】特表 2007-513516 (P2007-513516A)

【公表日】平成 19 年 5 月 24 日 (2007.5.24)

【年通号数】公開・登録公報 2007-019

【出願番号】特願 2006-542571 (P2006-542571)

【国際特許分類】

**H 0 1 L 21/336 (2006.01)**

**H 0 1 L 29/78 (2006.01)**

**H 0 1 L 21/28 (2006.01)**

【F I】

H 0 1 L 29/78 3 0 1 P

H 0 1 L 29/78 3 0 1 S

H 0 1 L 21/28 3 0 1 S

【手続補正書】

【提出日】平成 19 年 10 月 25 日 (2007.10.25)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

半導体基板を提供するステップと、  
 前記半導体基板上にゲート絶縁層を形成するステップと、  
 前記ゲート絶縁層上にゲートを形成するステップと、  
 前記ゲートおよび前記ゲート絶縁層に隣接する前記半導体基板上に、側壁スペーサを形成するステップと、  
 前記側壁スペーサに隣接する前記半導体基板上に、選択エピタキシャル成長により、厚くした層を形成するステップと、  
 前記厚くした層の少なくとも一部分に、隆起したソース/ドレインドーパント注入領域を形成するステップと、  
 前記隆起したソース/ドレインドーパント注入領域の少なくとも一部分に、シリサイド層を形成し、このシリサイド層の下に、シリサイド層からのドーパントでリッチ化されたソース/ドレイン領域を形成するステップと、  
 シリサイド層の上に絶縁層を積するステップと、  
 前記絶縁層において前記シリサイド層へのコンタクトを形成するステップと、  
 を含む、デバイスを形成する方法。

【請求項 2】

前記隆起したソース/ドレインドーパント注入領域を形成するステップは、前記厚くした層および前記半導体基板の隣接する上面中に、ドーパントを注入するステップをさらに含む、請求項 1 記載の方法。

【請求項 3】

前記隆起したソース/ドレインドーパント注入領域にシリサイド層を形成するステップは、  
 前記隆起したソース/ドレインドーパント注入領域上に金属層を形成するステップと、  
 前記金属層の熱シリサイド化によって、前記隆起したソース/ドレインドーパント注入

領域の材料中にシリサイド層を形成するステップと、をさらに含む、請求項 1 記載の方法。

【請求項 4】

前記隆起したソース/ドレインドーパント注入領域の少なくとも一部分に、シリサイド層を形成し、このシリサイド層の下に、シリサイド層からのドーパントでリッチ化されたソース/ドレイン領域を形成するステップは、

注入当初のドーパントのプロファイルよりも急峻なドーパントプロファイルでリッチ化されたソース/ドレイン領域を形成するステップをさらに含む、請求項 1 記載の方法。

【請求項 5】

前記隆起したソース/ドレインドーパント注入領域を形成するステップは、ヒ素、リン、アンチモン、ホウ素、インジウムおよびこれらの組み合わせからなる群から選択されるドーパントで前記領域をインプラントするステップをさらに含み、

前記シリサイド層を形成するステップは、コバルト、ニッケル、チタン、ハフニウム、プラチナおよびこれらの組み合わせからなる群から選択される金属層をたい積するステップをさらに含む、請求項 1 記載の方法。

【請求項 6】

半導体基板と、

前記半導体基板上のゲート絶縁層と、

前記ゲート絶縁層上のゲートと、

前記ゲートおよび前記ゲート絶縁層に隣接する前記半導体基板上の側壁スペーサと、

前記側壁スペーサに隣接する前記半導体基板上のエピタキシャル成長により厚くした層と、

前記エピタキシャル成長により厚くした層の少なくとも一部分中シリサイド層と、

前記シリサイド層からのドーパントでリッチ化された、前記シリサイド層の下のソース/ドレイン領域と、

前記シリサイド層上の絶縁層と、

前記絶縁層における前記シリサイド層へのコンタクトと、

を含む、デバイス。

【請求項 7】

前記エピタキシャル成長により厚くした層および前記半導体基板の隣接する上面は、ドーパント注入領域である、請求項 6 記載のデバイス。

【請求項 8】

前記エピタキシャル成長により厚くした層中の前記シリサイド層は、

たい積された前記金属層の熱シリサイド化によって、ドーパントが注入されたエピタキシャル成長により厚くした層中に形成されるシリサイド層をさらに含む、請求項 6 記載のデバイス。

【請求項 9】

前記シリサイド層からのドーパントでリッチ化された前記ソース/ドレイン領域は、前記シリサイド層からのリッチ化のないドーパントのプロファイルよりも急峻であるドーパントプロファイルを有する、請求項 6 記載のデバイス。

【請求項 10】

前記ドーパントは、ヒ素、リン、アンチモン、ホウ素、インジウムおよびこれらの組み合わせからなる群から選択される材料であり、

前記シリサイド層は、コバルト、ニッケル、チタン、ハフニウム、プラチナおよびこれらの組み合わせからなる群から選択される金属のシリサイドである、請求項 6 記載のデバイス。

【請求項 11】

半導体基板と、

前記半導体基板上のゲート絶縁層と、

前記ゲート絶縁層上のゲートと、

前記ゲートおよび前記ゲート絶縁層に隣接する前記半導体基板上の側壁スペーサと、  
前記側壁スペーサおよび前記ゲートに隣接する前記半導体基板の表面上のエピタキシャル成長により厚くしたシリコン層と、を含み、前記エピタキシャル成長により厚くした層および前記半導体基板の隣接する上面はドーパント注入領域であって、

前記エピタキシャル成長により厚くしたシリコン層の少なくとも一部分内のシリサイド層と、

前記シリサイド層からのドーパントでリッチ化された前記シリサイド層の前記ソース/ドレイン領域と、を含み、前記ソース/ドレイン領域は、前記シリサイド層からのリッチ化のないドーパントのプロファイルよりも急峻であるドーパントプロファイルを有しており、

前記ドーパントは、ヒ素、リン、アンチモン、ホウ素、インジウムおよびこれらの組み合わせからなる群から選択される材料であって、

前記ゲート上のシリサイド層と、を含み、

前記シリサイド層は、コバルト、ニッケル、チタン、ハフニウム、プラチナおよびこれらの組み合わせからなる群から選択される金属のシリサイドであって、

前記シリサイド層上の絶縁層と、

前記絶縁層における前記シリサイド層へのコンタクト、とを含む、デバイス。

【請求項 12】

前記エピタキシャル成長により厚くしたシリサイド層中の前記シリサイド層は、たい積された金属層の熱シリサイド化によって、ドーパントが注入されたエピタキシャル成長により厚くしたシリサイド層中に形成されるシリサイド層をさらに含む、請求項 11 記載のデバイス。