

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成 18 年 3 月 23 日 (2006.3.23)

【公開番号】特開 2001-291720 (P2001-291720A)

【公開日】平成 13 年 10 月 19 日 (2001.10.19)

【出願番号】特願 2000-104015 (P2000-104015)

【国際特許分類】

H 0 1 L 21/3205 (2006.01)

H 0 1 L 23/52 (2006.01)

C 0 9 K 3/14 (2006.01)

H 0 1 L 21/304 (2006.01)

H 0 1 L 21/768 (2006.01)

H 0 1 L 21/8238 (2006.01)

H 0 1 L 27/092 (2006.01)

【F I】

H 0 1 L 21/88 M

C 0 9 K 3/14 5 5 0 Z

C 0 9 K 3/14 5 5 0 C

H 0 1 L 21/304 6 2 2 D

H 0 1 L 21/90 A

H 0 1 L 27/08 3 2 1 F

【手続補正書】

【提出日】平成 18 年 2 月 7 日 (2006.2.7)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】 以下の構成を含むことを特徴とする半導体集積回路装置；

(a) 第 1 の主面を有する半導体チップ；

(b) 上記半導体チップの上記第 1 の主面上に形成された第 1 の絶縁膜；

(c) 上記第 1 の絶縁膜表面に形成された埋め込み配線溝；

(d) 上記埋め込み配線溝の底面に設けられ、下層の導電層と接続するための接続孔；

(e) 上記埋め込み配線溝および上記接続孔の底面および側面の表面領域に形成された導電性バリア膜および前記導電性バリア膜上に形成された純度 99.999% 以上の Cu シード層；

(f) 上記導電性バリア膜および Cu シード層が形成された上記配線溝及び上記接続孔内に埋め込まれた銅を主成分とする埋め込みメタル配線層；

(g) 上記埋め込みメタル配線層及び上記第 1 の絶縁膜の上面を覆うように形成されたキャップ絶縁膜；

(h) 上記キャップ絶縁膜上に形成された上層絶縁膜；

上記半導体チップが完成した時点の上記埋め込みメタル配線層の銅以外の成分の濃度は、0.8 At. % 以下である。

【請求項 2】 請求項 1 記載の半導体集積回路装置において、上記銅以外の成分はシリコンを主要な不純物成分として含むことを特徴とする半導体集積回路装置。

【請求項 3】 請求項 1 記載の半導体集積回路装置において、上記銅以外の成分は酸素を主要な不純物成分として含むことを特徴とする半導体集積回路装置。

【請求項 4】 請求項 1 記載の半導体集積回路装置において、上記銅以外の成分は硫黄を主要な不純物成分として含むことを特徴とする半導体集積回路装置。

【請求項 5】 請求項 1 記載の半導体集積回路装置において、上記銅以外の主要な不純物成分は、シリコン、酸素または硫黄またはそれらの任意の組合せであることを特徴とする半導体集積回路装置。

【請求項 6】 請求項 1 記載の半導体集積回路装置において、上記銅以外の成分の濃度は 0.2 At. % 以下であることを特徴とする半導体集積回路装置。

【請求項 7】 請求項 1 記載の半導体集積回路装置において、上記埋め込み配線溝および上記接続孔内の側壁部において、上記導電性バリア膜の最も薄い部分の膜厚は 10 nm 未満であることを特徴とする半導体集積回路装置。

【請求項 8】 請求項 1 記載の半導体集積回路装置において、上記埋め込み配線溝および上記接続孔内の側壁部において、上記導電性バリア膜の最も厚い部分の膜厚は 10 nm 未満であることを特徴とする半導体集積回路装置。

【請求項 9】 請求項 1 記載の半導体集積回路装置において、上記埋め込み配線溝および上記接続孔内の側壁部において、上記導電性バリア膜の最も厚い部分の膜厚は 2 nm 以下であるか、または上記導電性バリア膜自体が存在しないことを特徴とする半導体集積回路装置。

【請求項 10】 請求項 1 記載の半導体集積回路装置において、上記埋め込み配線溝の幅は 0.4 μ m 以下であることを特徴とする半導体集積回路装置。

【請求項 11】 (a)半導体基板の主面に第 1 絶縁膜を形成する工程；
(b)前記第 1 絶縁膜に溝と前記溝の底面に接続される孔を形成する工程；
(c)前記溝と孔の内部および前記第 1 絶縁膜の上部にバリアメタルを形成する工程；
(d)前記溝および孔の内部および第 1 絶縁膜上のバリアメタルの上部に純度が 99.99 % 以上の Cu ターゲットを用いてスパッタリングで Cu シード層を形成する工程；
(e)前記溝および孔を埋めるように前記 Cu シード層上に Cu を主成分とする Cu 膜を電界メッキにより形成する工程；
(f)前記第 1 絶縁膜上のバリアメタル、Cu シード層、Cu 膜を除去して前記第 1 絶縁膜を露出するようにして前記溝および孔内に前記バリアメタル、Cu シード層、Cu 膜を埋め込み Cu 配線を形成する工程；
(g)前記露出した第 1 絶縁膜上および Cu 配線上面にアンモニアプラズマ処理を施す工程；
(h)前記露出した第 1 絶縁膜上および Cu 配線上面にプラズマ CVD でバリア絶縁膜を形成する工程；
を有し、前記(h)工程を終了した時点での前記 Cu 配線における銅以外の成分の濃度が 0.8 At. % 以下であり、

前記溝および孔内のバリアメタルの最薄部分での膜厚は 10 nm 未満であることを特徴とする半導体集積回路装置の製造方法。

【請求項 12】 請求項 11 記載の半導体集積回路装置の製造方法において、上記銅の純度は 99.9999 % 以上であることを特徴とする半導体集積回路装置の製造方法。

【請求項 13】 請求項 11 記載の半導体集積回路装置の製造方法において、前記 Cu 配線における銅以外の成分の濃度が 0.2 At. % 以下であることを特徴とする半導体集積回路装置の製造方法。

【請求項 14】 請求項 11 記載の半導体集積回路装置の製造方法において、前記溝および孔内のバリアメタルの最薄部分での膜厚は 3 nm 以下であることを特徴とする半導体集積回路装置の製造方法。

【請求項 15】 請求項 11 記載の半導体集積回路装置の製造方法において、前記溝および孔内のバリアメタルの最薄部分での膜厚は 2 nm 以下であるかまたはバリアメタルが存在しないことを特徴とする半導体集積回路装置の製造方法。

【請求項 16】 請求項 11 記載の半導体集積回路装置の製造方法において、前記溝の幅は 0.4 μ m 以下であることを特徴とする半導体集積回路装置の製造方法。

【請求項 1 7】 (a)半導体基板の主面に第 1 絶縁膜を形成する工程；
(b)前記第 1 絶縁膜に溝と前記溝の底面に接続される孔を形成する工程；
(c)前記第 1 絶縁膜上および溝内と孔内にアンモニアプラズマ処理を施す工程；
(d)前記溝と孔の内部および前記第 1 絶縁膜の上部にバリアメタルを形成する工程；
(e)前記溝および孔の内部および第 1 絶縁膜上のバリアメタルの上部に純度が 99.99% 以上の Cu ターゲットを用いてスパッタリングで Cu シード層を形成する工程；
(f)前記溝および孔を埋めるように前記 Cu シード層上に Cu を主成分とする Cu 膜を電界メッキにより形成する工程；
(g)前記第 1 絶縁膜上のバリアメタル、Cu シード層、Cu 膜を除去して前記第 1 絶縁膜を露出するようにして前記溝および孔内に前記バリアメタル、Cu シード層、Cu 膜を埋め込み Cu 配線を形成する工程；
(h)前記露出した第 1 絶縁膜上および Cu 配線上面にアンモニアプラズマ処理を施す工程；
(i)前記露出した第 1 絶縁膜上および Cu 配線上面にプラズマ CVD でバリア絶縁膜を形成する工程；
を有し、(i)工程を終了した時点での前記 Cu 配線における銅以外の成分の濃度が 0.8 At. % 以下であることを特徴とする半導体集積回路装置の製造方法。

【請求項 1 8】 請求項 1 7 記載の半導体集積回路装置の製造方法において、上記銅の純度は 99.9999% 以上であることを特徴とする半導体集積回路装置の製造方法。

【請求項 1 9】 請求項 1 7 記載の半導体集積回路装置の製造方法において、上記溝および上記孔内の側壁部において、上記バリアメタルの最も薄い部分の膜厚は 2 nm 以下であることを特徴とする半導体集積回路装置の製造方法。

【請求項 2 0】 請求項 1 7 記載の半導体集積回路装置の製造方法において、上記銅以外の成分の濃度は 0.05 At. % 以下であることを特徴とする半導体集積回路装置の製造方法。

【請求項 2 1】 請求項 1 7 記載の半導体集積回路装置の製造方法において、上記溝および上記孔内の側壁部において、上記バリアメタルの最も薄い部分の膜厚は 10 nm 未満であることを特徴とする半導体集積回路装置の製造方法。

【請求項 2 2】 請求項 1 7 記載の半導体集積回路装置の製造方法において、上記溝および上記孔内の側壁部において、上記バリアメタルの最も薄い部分の膜厚は 5 nm 以下であることを特徴とする半導体集積回路装置の製造方法。

【請求項 2 3】 請求項 1 7 記載の半導体集積回路装置の製造方法において、前記溝の幅は 0.4 μ m 以下であることを特徴とする半導体集積回路装置の製造方法。

【請求項 2 4】 (a)半導体基板の主面に第 1 絶縁膜を形成する工程；
(b)前記第 1 絶縁膜に溝と前記溝の底面に接続される孔を形成する工程；
(c)前記第 1 絶縁膜上および前記溝内と前記孔内に水素プラズマ処理を施す工程；
(d)前記溝と孔の内部および前記第 1 絶縁膜の上部にバリアメタルを形成する工程；
(e)前記溝および孔の内部および前記第 1 絶縁膜上のバリアメタルの上部に純度が 99.999% 以上の Cu ターゲットを用いてスパッタリングで Cu シード層を形成する工程；
(f)前記溝および孔を埋めるように前記 Cu シード層上に Cu を主成分とする Cu 膜を電界メッキにより形成する工程；
(g)前記第 1 絶縁膜上のバリアメタル、Cu シード層、Cu 膜を除去して前記第 1 絶縁膜を露出するようにして前記溝および孔内に前記バリアメタル、Cu シード層、Cu 膜を埋め込み Cu 配線を形成する工程；
(h)前記露出した第 1 絶縁膜上および Cu 配線上面にアンモニアプラズマ処理を施す工程；
(i)前記露出した第 1 絶縁膜上および Cu 配線上面にプラズマ CVD でバリア絶縁膜を形成する工程；
を有し、(i)工程を終了した時点での前記 Cu 配線における銅以外の成分の濃度が 0.8 At. % 以下であることを特徴とする半導体集積回路装置の製造方法。

【請求項 2 5】 請求項 2 4 記載の半導体集積回路装置の製造方法において、上記銅の純度は 9 9 . 9 9 9 9 % 以上であることを特徴とする半導体集積回路装置の製造方法。

【請求項 2 6】 請求項 2 4 記載の半導体集積回路装置の製造方法において、上記埋め込み配線溝および上記接続孔内の側壁部において、上記バリアメタルの最も薄い部分の膜厚は 5 n m 以下であることを特徴とする半導体集積回路装置の製造方法。

【請求項 2 7】 請求項 2 4 記載の半導体集積回路装置の製造方法において、上記埋め込み配線溝および上記接続孔内の側壁部において、上記バリアメタルの最も薄い部分の膜厚は 2 n m 以下であることを特徴とする半導体集積回路装置の製造方法。