

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2018年4月19日(19.04.2018)



(10) 国際公開番号

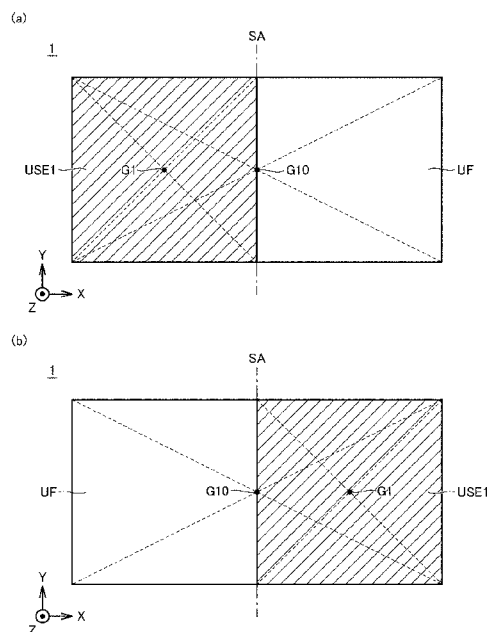
WO 2018/070145 A1

- (51) 国際特許分類:
H05K 9/00 (2006.01) *H03H 7/01* (2006.01)
H01F 27/00 (2006.01)
- (21) 国際出願番号: PCT/JP2017/032184
- (22) 国際出願日: 2017年9月7日(07.09.2017)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2016-199772 2016年10月11日(11.10.2016) JP
- (71) 出願人: 株式会社村田製作所
(MURATA MANUFACTURING CO., LTD.) [JP/
JP]; 〒6178555 京都府長岡京市東神足 1
丁目 1 0 番 1 号 Kyoto (JP).
- (72) 発明者: 宮原 邦浩 (MIYAHARA, Kunihiro);
〒6178555 京都府長岡京市東神足 1 丁目 1
0 番 1 号 株式会社村田製作所内 Kyoto (JP).
- 塩川 登 (SHIOKAWA, Noboru); 〒6178555 京
都府長岡京市東神足 1 丁目 1 0 番 1 号 株
式会社村田製作所内 Kyoto (JP).
- (74) 代理人: 特許業務法人深見特許事務所(FUKAMI
PATENT OFFICE, P.C.); 〒5300005 大阪府大
阪市北区中之島三丁目 2 番 4 号 中之島フェス
ティバルタワー・ウエスト Osaka (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ,
BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH,
CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO,
DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT,
HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH,
KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,

(54) Title: ELECTRONIC COMPONENT

(54) 発明の名称: 電子部品

FIG.5



(57) Abstract: The present invention suppresses the manufacturing cost of an electronic component which is provided with a shield electrode, and the mounting direction of which is identifiable. An embodiment of the present invention pertains to an electronic component (1) which includes an upper face (UF), a lower face, and a lateral face. The electronic component (1) is provided with a circuit pattern and an upper-face shield electrode (USE1). The circuit pattern is formed inside the electronic component (1). The upper-face shield electrode (USE1) is arranged in the upper face (UF). The center of gravity (G1) of the upper-face shield electrode (USE1) is misaligned with respect to the center of gravity (G10) of the upper face (UF) as viewed in a planar view from the normal direction of the upper face (UF).

(57) 要約: シールド電極を備え、実装方向の識別が可能な電子部品の製造コストを抑制する。本発明の一実施形態は、上面(UF)と、下面と、側面とを含む電子部品(1)である。電子部品(1)は、回路パターンと、上面シールド電極(USE1)とを備える。回路パターンは、電子部品(1)の内部に形成されている。上面シールド電極(USE1)は、上面(UF)に配置されている。上面(UF)の法線方向から平面視したとき、上面シールド電極(USE1)の重心(G1)は、上面(UF)の重心(G10)からずれている。

SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告(条約第21条(3))

明 細 書

発明の名称： 電子部品

技術分野

[0001] この発明は、シールド電極を備える電子部品に関する。

背景技術

[0002] 集積回路を構成する電子部品は、回路基板上に近接して配置されることが多い。そのため、電子部品の内部で発生したノイズが外部に漏れると、当該電子部品に近接する他の電子部品に影響を与えることがある。

[0003] このような事態を防止するために、特開平 9－1 2 1 0 9 3 号公報（特許文献 1）に開示されているシールド型積層電子部品のように、シールド電極が電子部品の表面に配置されることがある。

[0004] 電子部品の内部あるいは外部からのノイズは、シールド電極を介して接地電極に導かれる。シールド電極を備える電子部品においては、外部からのノイズの侵入を抑制することができるとともに、外部への磁束の漏洩を抑制することができる。シールド電極によるこのような効果を、以下ではシールド効果ともいう。

先行技術文献

特許文献

[0005] 特許文献 1：特開平 9－1 2 1 0 9 3 号公報

発明の概要

発明が解決しようとする課題

[0006] 電子部品の中には、回路基板に配置される向き（実装方向）を識別する必要があるものがある。回路基板上において回路基板には様々な電子部品が近接して配置されるため、実装方向は、回路基板を法線方向から平面視したときに電子部品の上面において確認することができる必要がある。

[0007] 特開平 9－1 2 1 0 9 3 号公報（特許文献 1）に開示されている電子部品の上面においては、シールド電極が配置されており、回路基板を法線方向か

ら平面視したとき、当該シールド電極を確認することができる。しかし、回路基板の法線方向から平面視した状態で、当該電子部品を180度回転させて回路基板に配置しても、回路基板の法線方向からの見え方にほとんど変化がない。そのため、当該シールド電極によっては電子部品の実装方向を識別することは困難である。

[0008] 実装方向を識別するために、電子部品の上面に方向識別マークが配置される場合がある。特開平9-121093号公報（特許文献1）に開示されている電子部品に方向識別マークを配置する場合、方向識別マークを電子部品の上面に配置するための工程が別途必要になる。その結果、電子部品の製造コストが高くなってしまう。

[0009] 本発明は上記のような課題を解決するためになされたものであり、その目的は、シールド電極を備え、実装方向の識別が可能な電子部品の製造コストを抑制することである。

課題を解決するための手段

[0010] 本発明の一実施形態は、上面と、下面と、側面とを含む電子部品である。電子部品は、回路パターンと、上面シールド電極とを備える。回路パターンは、電子部品の内部に形成されている。上面シールド電極は、上面に配置されている。上面の法線方向から平面視したとき、上面シールド電極の重心は、上面の重心からずれている。

発明の効果

[0011] 本発明に係る電子部品によれば、上面シールド電極の重心が、上面の重心からずれている。回路基板の法線方向から平面視した状態で、電子部品を180度回転させて回路基板に配置すると、回路基板の法線方向からの電子部品の見え方が変化するため、電子部品の実装方向を識別することができる。上面シールド電極が方向識別マークを兼ねるため、方向識別マークを電子部品の上面に別途配置するための工程が不要になる。その結果、シールド電極を備え、実装方向の識別が可能な電子部品の製造コストを抑制することができる。

図面の簡単な説明

[0012] [図1]実施の形態 1 に係る電子部品の一例であるローパスフィルタの回路図である。

[図2]図 1 のローパスフィルタの外観斜視図である。

[図3]図 1 のローパスフィルタの外観透視図である。

[図4]図 1 のローパスフィルタの積層構造を示す分解斜視図である。

[図5]ローパスフィルタを上面の法線方向から平面視した図である。

[図6]実施の形態 1 の変形例 1 に係る電子部品の一例であるローパスフィルタの外観斜視図である。

[図7]実施の形態 1 の変形例 2 に係る電子部品の一例であるローパスフィルタの外観斜視図である。

[図8]実施の形態 1 の変形例 3 に係る電子部品の一例であるローパスフィルタの外観斜視図である。

[図9]実施の形態 1 の変形例 4 に係る電子部品の一例であるローパスフィルタを上面の法線方向から平面視した図である。

[図10]実施の形態 1 の変形例 5 に係る電子部品の一例であるローパスフィルタを上面の法線方向から平面視した図である。

[図11]実施の形態 2 に係る電子部品の一例であるローパスフィルタの外観透視図である。

[図12]図 1 1 のローパスフィルタを上面の法線方向から平面視した図である。

[図13]実施の形態 2 の変形例 1 に係る電子部品の一例であるローパスフィルタの外観斜視図である。

[図14]図 1 3 のローパスフィルタを上面の法線方向から平面視した図である。

[図15]実施の形態 2 の変形例 2 に係る電子部品の一例であるローパスフィルタの外観斜視図である。

[図16]実施の形態 2 の変形例 3 に係る電子部品の一例であるローパスフィル

タの外観斜視図である。

[図17]実施の形態2の変形例4に係る電子部品の一例であるローパスフィルタの外観斜視図である。

[図18]実施の形態2の変形例5に係る電子部品の一例であるローパスフィルタを上面の法線方向から平面視した図である。

[図19]実施の形態2の変形例6に係る電子部品の一例であるローパスフィルタを上面の法線方向から平面視した図である。

[図20]実施の形態2の変形例7に係る電子部品の一例であるローパスフィルタの外観斜視図である。

[図21]図20のローパスフィルタを上面の法線方向から平面視した図である。

発明を実施するための形態

[0013] 以下、本発明の実施の形態について、図面を参照しながら詳細に説明する。なお、図中同一または相当部分には同一符号を付してその説明は原則として繰り返さない。

[0014] [実施の形態1]

図1は、実施の形態1に係る電子部品の一例であるローパスフィルタ1の回路図である。ローパスフィルタ1は、回路基板上に実装される電子部品であり、内部に図1に示される回路に対応する回路パターンが形成されている。図1に示されるように、ローパスフィルタ1は、入出力端子P1と、入出力端子P2と、LC並列共振器LC1と、LC直列共振器LC2とを備える。

[0015] LC並列共振器LC1は、インダクタL1およびコンデンサC1を含む。インダクタL1は、入出力端子P1および入出力端子P2の間に接続されている。コンデンサC1は、入出力端子P1および入出力端子P2の間でインダクタL1に対して並列に接続されている。

[0016] LC直列共振器LC2は、インダクタL2、コンデンサC2、およびコンデンサC3を含む。第2インダクタは、一方端が接地点GNDに接続されて

いる。コンデンサC 2は、入出力端子P 1とインダクタL 2の他方端との間に接続されている。コンデンサC 3は、入出力端子P 2とインダクタL 2の他方端との間に接続されている。

[0017] 図2は、図1のローパスフィルタ1の外観斜視図である。図3は、図1のローパスフィルタ1の外観透視図である。図3においては、説明を容易にするために、ローパスフィルタ1の内部に形成されている回路パターンを示していない。ローパスフィルタ1は、後に図4を用いて説明するように、複数の誘電体層L y r 1～L y r 1 4をZ軸方向（積層方向）に積層した積層体である。

[0018] 図2および図3に示されるように、ローパスフィルタ1は、たとえば直方体状である。積層方向に垂直なローパスフィルタ1の最外層の面を底面B Fおよび上面U Fとする。積層方向に平行な面のうちZ X平面と平行な面を側面S F 1およびS F 3とする。積層方向に平行な面のうちY Z平面と平行な面を側面S F 2およびS F 4とする。

[0019] 底面B Fには、入出力端子P 1、P 2、および接地電極G N D 1～G N D 4が形成されている。入出力端子P 1、P 2、および接地電極G N D 1～G N D 4は、たとえば底面B Fに平面電極が規則的に配置されたL G A（Land Grid Array）端子である。底面B Fは、不図示の回路基板に接続される。

[0020] 上面U Fには、シールド電極として上面シールド電極U S E 1が配置されている。側面S F 1～S F 4には、シールド電極として複数の帯状導体パターンB P 1 1～B P 1 4、B P 2 1、B P 2 2、B P 3 1～B P 3 4、B P 4 1、B P 4 2が格子状に配置されている。側面S F 1～S F 4に配置されているシールド電極は、底面B Fを含む誘電体層L y r 1（最下層）の側面および上面U Fを含む誘電体層L y r 1 4（最上層）の側面には形成されていない。

[0021] 側面S F 1には、帯状導体パターンB P 1 1～B P 1 4が配置されている。帯状導体パターンB P 1 1は、X軸方向に延びている。帯状導体パターンB P 1 2～B P 1 4は、X軸方向に間隔をあけて配置されている。帯状導体

パターンBP12～BP14の各々は、Z軸方向に延びており、帯状導体パターンBP11と直交している。帯状導体パターンBP12は、線路導体パターン21およびビア導体パターンV21を介して接地電極GND1に接続されている。

[0022] 側面SF2には、帯状導体パターンBP21、BP22が配置されている。帯状導体パターンBP21は、Y軸方向に延びており、帯状導体パターンBP11に接続されている。帯状導体パターンBP22は、Z軸方向に延びており、帯状導体パターンBP21と直交している。

[0023] 側面SF3には、帯状導体パターンBP31～BP34が配置されている。帯状導体パターンBP31は、X軸方向に延びており、帯状導体パターンBP21に接続されている。帯状導体パターンBP32～BP34は、X軸方向に間隔をあけて配置されている。帯状導体パターンBP32～BP34の各々は、Z軸方向に延びており、帯状導体パターンBP31と直交している。帯状導体パターンBP34は、線路導体パターン22およびビア導体パターンV22を介して接地電極GND4に接続されている。

[0024] 側面SF4には、帯状導体パターンBP41、BP42が配置されている。帯状導体パターンBP41は、Y軸方向に延びており、帯状導体パターンBP11およびBP31に接続されている。帯状導体パターンBP42は、Z軸方向に延びており、帯状導体パターンBP41と直交している。

[0025] 上面UFには、平板状の上面シールド電極USE1が配置されている。上面シールド電極USE1は、ビア導体パターンV131および線路導体パターン131を介して帯状導体パターンBP12に接続されている。

[0026] 図4は、図1のローパスフィルタ1の積層構造を示す分解斜視図である。ローパスフィルタ1は、複数の誘電体層の積層体である。ローパスフィルタ1は、複数の誘電体層として誘電体層Ly r1～Ly r14を備える。誘電体層Ly r1を底面BF側、Ly r14を上面UF側として、この順にZ軸方向に積層されている。

[0027] 誘電体層Ly r1の底面BFには、既に説明したように、入出力端子P1

、P 2、および接地電極GND 1～GND 4が形成されている。

[0028] 誘電体層L y r 2には、線路導体パターン2 1, 2 2が形成されている。線路導体パターン2 1は、ビア導体パターンV 2 1によって接地電極GND 1に接続されている。線路導体パターン2 2は、ビア導体パターンV 2 2によって接地電極GND 4に接続されている。

[0029] 誘電体層L y r 3には、線路導体パターン3 1～3 3が形成されている。線路導体パターン3 1はビア導体パターンV 3 1によって入出力端子P 1に接続されている。線路導体パターン3 2は、ビア導体パターンV 3 2によって接地電極GND 2に接続されている。線路導体パターン3 3は、ビア導体パターンV 3 3によって入出力端子P 2に接続されている。線路導体パターン3 2は、インダクタL 2を形成している。インダクタL 2は、積層方向に平行な巻回軸のまわりに巻回されている。

[0030] 誘電体層L y r 4には、キャパシタ導体パターン4 1が形成されている。キャパシタ導体パターン4 1は、ビア導体パターンV 4 1によって線路導体パターン3 2に接続されている。

[0031] 誘電体層L y r 5には、キャパシタ導体パターン5 1, 5 2が形成されている。キャパシタ導体パターン5 1は、ビア導体パターンV 5 1によって線路導体パターン3 1に接続されている。キャパシタ導体パターン5 2は、ビア導体パターンV 5 2によって線路導体パターン3 3に接続されている。

[0032] 積層方向から平面視したとき、キャパシタ導体パターン5 1, 5 2の各々は、キャパシタ導体パターン4 1と重なっている。キャパシタ導体パターン4 1, 5 1は、コンデンサC 2を形成している。キャパシタ導体パターン4 1, 5 2は、コンデンサC 3を形成している。

[0033] 誘電体層L y r 6には、キャパシタ導体パターン6 1が形成されている。誘電体層L y r 7には、キャパシタ導体パターン7 1, 7 2が形成されている。キャパシタ導体パターン7 1は、ビア導体パターンV 5 1によってキャパシタ導体パターン5 1に接続されている。キャパシタ導体パターン7 2はビア導体パターンV 5 2によってキャパシタ導体パターン5 2に接続されて

いる。誘電体層L y r 8にはキャパシタ導体パターン8 1が形成されている。

[0034] 積層方向から平面視したとき、キャパシタ導体パターン7 1, 7 2は、キャパシタ導体パターン6 1と重なっている。積層方向から平面視したとき、キャパシタ導体パターン8 1は、キャパシタ導体パターン7 1, 7 2に重なっている。キャパシタ導体パターン6 1, 7 1, 7 2, 8 1はコンデンサC 1を形成している。

[0035] 誘電体層L y r 9には、線路導体パターン9 1が形成されている。線路導体パターン9 1は、ビア導体パターンV 5 1によってキャパシタ導体パターン7 1に接続されている。誘電体層L y r 1 0には、線路導体パターン1 0 1が形成されている。線路導体パターン1 0 1は、ビア導体パターンV 5 1, V 6 1によって線路導体パターン9 1に接続されている。

[0036] 誘電体層L y r 1 1には、線路導体パターン1 1 1が形成されている。線路導体パターン1 1 1は、ビア導体パターンV 6 1によって線路導体パターン1 0 1に接続されている。線路導体パターン1 1 1は、ビア導体パターンV 5 2によってキャパシタ導体パターン7 2に接続されている。

[0037] 誘電体層L y r 1 2には、線路導体パターン1 2 1が形成されている。線路導体パターン1 2 1は、ビア導体パターンV 5 2, V 6 1によって線路導体パターン1 1 1に接続されている。線路導体パターン9 1, 1 0 1, 1 1 1, 1 2 1はインダクタL 1を形成している。インダクタL 1は、積層方向に平行な巻回軸のまわりに巻回されている。

[0038] 誘電体層L y r 1 ~ L y r 1 2には、図1に示される回路に対応する回路パターンが形成されている。

[0039] 誘電体層L y r 1 3には、線路導体パターン1 3 1が形成されている。誘電体層L y r 1 4の上面U Fには、既に説明したように上面シールド電極U S E 1が形成されている。上面シールド電極U S E 1は、ビア導体パターンV 1 3 1によって線路導体パターン1 3 1に接続されている。

[0040] ローパスフィルタ1は、回路基板に配置される向き（実装方向）を識別す

る必要がある電子部品である。回路基板には様々な電子部品が近接して配置されるため、実装方向は、回路基板の法線方向（上面UFの法線方向）から平面視したときにローパスフィルタ1の上面UFにおいて確認することができる必要がある。

[0041] ローパスフィルタ1の上面UFに方向識別マークを別途配置することにより、実装方向の識別が可能になる。しかし、方向識別マークをローパスフィルタ1の上面UFに配置するためには、たとえば方向識別マークを上面シールド電極USE1と重ならないように配置する工程、あるいは方向識別マークを配置するための誘電体層を別途形成する工程が必要になる。その結果、ローパスフィルタ1の製造コストが高くなってしまう。

[0042] そこで実施の形態1においては、上面UFの法線方向から平面視したとき、上面シールド電極USE1が特定軸に対して線対称とならないように上面シールド電極USE1を上面UFに配置する。回路基板の法線方向から平面視した状態で、ローパスフィルタ1を180度回転させて回路基板に配置すると、ローパスフィルタ1の回路基板の法線方向からの見え方が変化する。そのため、ローパスフィルタ1の実装方向を識別することができる。上面シールド電極USE1が方向識別マークを兼ねるため、方向識別マークをローパスフィルタ1の上面UFに配置するための工程が不要になる。その結果、ローパスフィルタ1の製造コストを抑制することができる。

[0043] 図5は、ローパスフィルタ1を上面UFの法線方向から平面視した図である。図5(b)は、図5(a)に示されるローパスフィルタ1を180度回転した図である。図5(a)に示されるように、上面UFは特定軸SAに対して線対称である。そのため、上面UFの法線方向から平面視したときの上面UFの形状によっては、図5(a)に対応する実装方向および図5(b)に対応する実装方向を識別することが困難である。

[0044] しかし、上面シールド電極USE1は、特定軸SAに対して線対称となっていない。すなわち、上面シールド電極USE1の重心G1は、上面UFの重心G10からずれている。実施の形態1においては、上面UFの法線方向

から平面視した場合、上面シールド電極USE1は、特定軸SAによって分けられる上面UFの2つの領域のうち、一方の側の領域を覆っている。上面シールド電極USE1が覆っている領域のある側は、図5(a)と(b)とは反対になっている。そのため、図5(a)および図5(b)にそれぞれ示されるローパスフィルタ1の見え方が異なる。その結果、ローパスフィルタ1においては、図5(a)に対応する実装方向および図5(b)に対応する実装方向を識別することができる。

[0045] 以上、実施の形態1に係る電子部品によれば、上面の法線方向から平面視したとき、電子部品の上面に配置された上面シールド電極の重心が、電子部品の上面の重心からずれている。回路基板の法線方向から平面視した状態で、電子部品を180度回転させて回路基板に配置すると、回路基板の法線方向からの電子部品の見え方が変化するため、電子部品の実装方向を識別することができる。上面シールド電極が方向識別マークを兼ねるため、方向識別マークを電子部品の上面に別途配置するための工程が不要になる。その結果、シールド電極を備え、実装方向の識別が可能な電子部品の製造コストを抑制することができる。

[0046] [実施の形態1の変形例1]

実施の形態1においては、側面に配置されているシールド電極は、最下層の側面および最上層の側面には形成されていない。製造工程上可能である場合、側面に配置されているシールド電極は、最下層の側面から最上層の側面まで形成されてもよい。

[0047] 図6は、実施の形態1の変形例1に係る電子部品の一例であるローパスフィルタ1Aの外観斜視図である。図6に示されるように、側面SF1～SF4に配置されている带状導体パターンBP12A～BP14A, BP22A, BP32A～BP34A, BP42Aの各々は、最下層の誘電体層Ly r 1の側面から最上層の誘電体層Ly r 1 4の側面まで形成されている。上面シールド電極USE1は、带状導体パターンBP12A, BP13A, BP22A, BP32A, BP33Aの各々に接続されている。

[0048] ローパスフィルタ 1 A においては、上面シールド電極 U S E 1 が接地された側面シールド電極に直接接続される。そのため、図 3 に示されるローパスフィルタ 1 と異なり、上面シールド電極 U S E 1 と側面に配置されたシールド電極とを接続するための導体パターン（ローパスフィルタ 1 におけるビア導体パターン V 1 3 1 および線路導体パターン 1 3 1）および当該導体パターンを形成するための誘電体層（ローパスフィルタ 1 における誘電体層 L y r 1 3）が不要になる。

[0049] 製造工程上、シールド電極を最下層から最上層まで形成することができる場合には、側面に配置されるシールド電極の形状および配置を考慮して、上面シールド電極を接地するために適した構成として、実施の形態 1 あるいは実施の形態 1 の変形例 1 を適宜選択することができる。

[0050] [実施の形態 1 の変形例 2]

実施の形態 1 および実施の形態 1 の変形例 1 においては、上面シールド電極は、側面に配置されているシールド電極を介して接地されている。側面にシールド電極が配置されていない場合には、図 7 に示されるローパスフィルタ 1 B のように、上面シールド電極 U S E 1 と接地電極 G N D 1 とをビア導体パターン V 2 1 1 B によって直接接続してもよい。この場合、実施の形態 1 の変形例 1 と同様に、上面シールド電極 U S E 1 と側面に配置されたシールド電極とを接続するための導体パターンおよび当該導体パターンを形成するための誘電体層が不要になる。

[0051] [実施の形態 1 の変形例 3]

実施の形態 1 および実施の形態 1 の変形例 1, 2 においては、直方体状のローパスフィルタについて説明した。本発明に係る電子部品の形状は、直方体状に限定されず、たとえば図 8 に示されるローパスフィルタ 1 C のように、円柱状であってもよい。

[0052] ローパスフィルタ 1 C において上面 U F 3 には、上面シールド電極 U S E 1 C が配置されている。側面 S F 3 1 には、帯状導体パターン B P 1 1 C ~ B P 1 4 C が配置されている。側面 S F 3 1 に配置されているシールド電極

は、誘電体層 $L_{y r 1 C}$ （最下層）の側面および誘電体層 $L_{y r 1 4 C}$ （最上層）の側面には形成されていない。

[0053] 帯状導体パターン $B P 1 1 C$ は、側面を一周するように配置されている。帯状導体パターン $B P 1 2 C \sim B P 1 4 C$ は側面に沿って間隔をあけて配置されている。帯状導体パターン $B P 1 2 C \sim B P 1 4 C$ の各々は、 Z 軸方向に伸びており、帯状導体パターン $B P 1 1 C$ と直交している。

[0054] 本発明に係る電子部品の形状は、電子部品の構造あるいは用途に合わせて適宜選択することができる。

[0055] [実施の形態 1 の変形例 4 および 5]

実施の形態 1 および実施の形態 1 の変形例 1 ～ 3 においては、上面 $U F$ の法線方向から平面視した場合、上面シールド電極は、特定軸によって分けられる上面の 2 つの領域のうち、一方の側の全域を覆っている。上面シールド電極は、特定軸によって分けられる上面の 2 つの領域のうち、一方の側の全域を覆っている必要はなく、特定軸に対して線対称となっていなければよい。

[0056] たとえば、図 9 に示されるローパスフィルタ 1 D のように、上面シールド電極 $U S E 1 D$ が特定軸 $S A$ を跨いで配置され、特定軸 $S A$ によって分けられる各領域の一部を覆っていてもよい。

[0057] また、図 10 に示されるローパスフィルタ 1 E のように、上面シールド電極 $U S E 1 E$ が、特定軸 $S A$ によって分けられる 2 つの領域の一方の一部を覆うように配置されていてもよい。

[0058] 本発明に係る電子部品において、上面シールド電極の配置は、たとえば電子部品内部の回路パターンの構造あるいは回路基板上の電子部品の配置によって適宜選択することができる。

[0059] 以上、実施の形態 1 の変形例 1 ～ 5 に係る電子部品によっても、上面シールド電極が方向識別マークを兼ねるため、シールド電極を備え、実装方向の識別が可能な電子部品の製造コストを抑制することができる。

[0060] [実施の形態 2]

実施の形態 1 および実施の形態 1 の変形例 1 ～ 4 においては、上面の法線方向から平面視したとき、電子部品の内部の回路パターンと重なるシールド電極は、上面シールド電極のみである場合について説明した。上面シールド電極は方向識別マークを兼ねる必要があるので、上面の全域を覆うことができない。

[0061] 実施の形態 2 においては、上面の法線方向から平面視したとき、電子部品の内部の回路パターンと重なるシールド電極に、上面シールド電極に加えて電子部品の内部に配置された内層シールド電極が含まれる場合について説明する。実施の形態 2 によれば、上面シールド電極および内層シールド電極により、上面の法線方向から平面視したとき、上面の全域を覆うことが可能になる。

[0062] 実施の形態 2 と実施の形態 1 との違いは、実施の形態 1 の構成に加えて内層シールド電極が配置される点である。それ以外の点については同様であるため、説明を繰り返さない。

[0063] 図 1 1 は、実施の形態 2 に係る電子部品の一例であるローパスフィルタ 2 の外観透視図である。図 1 1 においても説明を容易にするために、ローパスフィルタ 2 の内部に形成されている回路パターンを示していない。

[0064] 図 1 1 に示されるように、上面 U F には、上面シールド電極 U S E 2 が配置されている。誘電体層 L y r 1 3 には、内層シールド電極 I S E 2 が配置されている。上面シールド電極 U S E 2 と内層シールド電極 I S E 2 とは、ビア導体パターン V 1 4 1 ～ V 1 4 3 によって接続されている。内層シールド電極 I S E 2 は、帯状導体パターン B P 1 3, B P 1 4, B P 3 3, B P 3 4, B P 4 2 の各々に接続されている。

[0065] 図 1 2 は、ローパスフィルタ 2 を上面 U F の法線方向から平面視した図である。図 1 2 に示されるように、上面シールド電極 U S E 2 は、特定軸 S A に対して線対称となっていない。その結果、ローパスフィルタ 2 によれば、実装方向を識別することができる。

[0066] さらに、上面 U F の法線方向から平面視した場合、上面シールド電極 U S

E 2 および内層シールド電極 I S E 2 は、上面 U F の全域を覆っている。そのため、実施の形態 2 においては、積層方向におけるシールド効果を実施の形態 1 よりも高めることができる。

[0067] 以上、実施の形態 2 に係る電子部品によれば、電子部品の上面に配置された上面シールド電極が特定軸に対して線対称となっていない。回路基板の法線方向から平面視した状態で、電子部品を 180 度回転させて回路基板に配置すると、回路基板の法線方向からの電子部品の見え方が変化するため、電子部品の実装方向を識別することができる。上面シールド電極が方向識別マークを兼ねるため、方向識別マークを電子部品の上面に別途配置するための工程が不要になる。その結果、シールド電極を備え、実装方向の識別が可能な電子部品の製造コストを抑制することができる。

[0068] さらに、実施の形態 2 に係る電子部品によれば、積層方向におけるシールド効果を高めることができる。

[0069] [実施の形態 2 の変形例 1]

実施の形態 2 においては、側面に配置されているシールド電極は、最下層の側面および最上層の側面には形成されていない。製造工程上可能である場合には、実施の形態 1 の変形例 1 と同様に、側面に配置されているシールド電極は、最下層の側面および最上層の側面に形成されてもよい。

[0070] 図 13 は、実施の形態 2 の変形例 1 に係る電子部品の一例であるローパスフィルタ 2 A の外観斜視図である。上面シールド電極 U S E 2 A は、帯状導体パターン B P 1 2 A, B P 1 3 A, B P 2 2 A, B P 3 2 A, B P 3 3 A の各々に接続されている。内層シールド電極 I S E 2 A は、帯状導体パターン B P 1 3 A, B P 1 4 A, B P 3 3 A, B P 3 4 A, B P 4 2 A の各々に接続されている。

[0071] ローパスフィルタ 2 A においては、上面シールド電極 U S E 2 A が側面に配置されたシールド電極に直接接続される。そのため、図 11 に示されるローパスフィルタ 2 と異なり、上面シールド電極 U S E 2 A と内層シールド電極 I S E 2 A とを接続するためのビア導体パターン（ローパスフィルタ 2 に

おけるビア導体パターンV 1 4 1～V 1 4 3) が不要になる。

[0072] また、実施の形態2においては、上面シールド電極USE 2を接地するために、上面シールド電極USE 2と内層シールド電極ISE 2とをビア導体パターンV 1 4 1～V 1 4 3によって接続する必要があるため、図12に示されるように、上面UFの法線方向から平面視したとき、上面シールド電極USE 2と内層シールド電極ISE 2とが重なっている必要がある。しかし、実施の形態2の変形例1においては、上面シールド電極USE 2 Aが接地されている側面シールド電極に直接接続するため、上面シールド電極USE 2 Aと内層シールド電極ISE 2 Aとを接続するためのビア導体パターンを形成する必要がある。そのため、図14に示されるように上面シールド電極USE 2 Aと内層シールド電極ISE 2 Aとが重なっている必要はない。

[0073] 製造工程上、シールド電極を最下層から最上層まで配置することができる場合には、側面に配置されるシールド電極の形状および配置を考慮し、上面シールド電極を接地するために適した構成として、実施の形態2あるいは実施の形態2の変形例1を適宜選択することができる。

[0074] [実施の形態2の変形例2～4]

実施の形態2および実施の形態2の変形例1において、上面シールド電極は、側面に配置されているシールド電極を介して接地されている。上面シールド電極は接地されていればよく、シールド電極を介する必要はない。

[0075] 上面シールド電極と内層シールド電極とがビア導体パターンによって接続されている場合には、図15に示されるローパスフィルタ2Bのように、上面シールド電極USE 2と接地電極GND 1とをビア導体パターンV 2 2 1 Bによって接続してもよい。あるいは図16に示されるローパスフィルタ2Cのように、内層シールド電極ISE 2と接地電極GND 4とをビア導体パターンV 2 2 2 Cによって接続してもよい。

[0076] 上面シールド電極と内層シールド電極とがビア導体パターンによって接続されている場合には、図17に示されるローパスフィルタ2Dのように、上面シールド電極USE 2 Dと接地電極GND 1とがビア導体パターンV 2 2

1 Dによって接続されるとともに、内層シールド電極 I S E 2 Dと接地電極 G N D 4 とが、ビア導体パターン V 2 2 2 Dによって接続されてもよい。

[0077] [実施の形態2の変形例5および6]

本発明に係る電子部品において、上面シールド電極および内層シールド電極の各々と電子部品を形成する各誘電体層との間に寄生容量が生じる場合がある。当該寄生容量は、電子部品の特性に影響を与え得るため、当該寄生容量を調節する必要がある。

[0078] たとえば、上面シールド電極および内層シールド電極の各々と各誘電体層との間に生じる寄生容量を小さくしたい場合、図18に示されるローパスフィルタ2Eのように、ローパスフィルタ2Eを構成する各誘電体層との距離がより遠い上面シールド電極 U S E 2 Eの面積を、内層シールド電極 I S E 2 Eの面積よりも大きくする。このような構成により、各誘電体層との距離がより近い内層シールド電極 I S E 2 Eと各誘電体層との間に生じる寄生容量を小さくすることができる。その結果、上面シールド電極 U S E 2 Eおよび内層シールド電極 I S E 2 Eの各々と各誘電体層との間に生じる寄生容量を小さくすることができる。

[0079] 逆に、上面シールド電極および内層シールド電極の各々と各誘電体層との間に生じる寄生容量を接地コンデンサ（シャントコンデンサ）として利用したい場合等、当該寄生容量を大きくしたい場合がある。このような場合、図19に示されるローパスフィルタ2Fのように、上面シールド電極 U S E 2 Fの面積を内層シールド電極 I S E 2 Fの面積よりも小さくする。このような構成により、各誘電体層との距離がより近い内層シールド電極 I S E 2 Fと各誘電体層との間に生じる寄生容量を大きくすることができる。その結果、上面シールド電極 U S E 2 Fおよび内層シールド電極 I S E 2 Fの各々と各誘電体層との間に生じる寄生容量を大きくすることができる。

[0080] [実施の形態2の変形例7]

実施の形態2の変形例7においては、上面シールド電極に上面の法線方向に貫通する孔が形成されている場合について説明する。図20は、実施の形

態 2 の変形例 7 に係る電子部品の一例であるローパスフィルタ 2 G の外観斜視図である。図 20 に示されるローパスフィルタ 2 G の構成は、図 17 に示されるローパスフィルタ 2 D の上面シールド電極 U S E 2 D、内層シールド電極 I S E 2 D、ビア導体パターン V 2 2 1 D、V 2 2 2 D が、それぞれ上面シールド電極 U S E 2 G、内層シールド電極 I S E 2 G、ビア導体パターン V 2 2 1 G、V 2 2 2 G にそれぞれ置き換えられた構成である。それ以外の構成は同様であるため、説明を繰り返さない。

[0081] 上面シールド電極 U S E 2 G には、上面 U F の法線方向に貫通する孔 H 1 が形成されている。上面シールド電極 U S E 2 G は、ビア導体パターン V 2 2 2 G によって接地電極 G N D 4 に接続されている。内層シールド電極 I S E 2 G は、ビア導体パターン V 2 2 1 G によって接地電極 G N D 1 に接続されている。孔 H 1 と内層シールド電極 I S E 2 G とは、ほぼ同一の形状である。

[0082] 図 21 は、図 20 のローパスフィルタ 2 G を上面 U F の法線方向から平面視した図である。図 21 に示されるように、上面 U F の法線方向から平面視したとき、上面シールド電極 U S E 2 G および内層シールド電極 I S E 2 G により、上面 U F の全域が覆われている。

[0083] 以上、実施の形態 2 の変形例 1 ～変形例 7 に係る電子部品によっても、上面シールド電極が方向識別マークを兼ねるため、シールド電極を備え、実装方向の識別が可能な電子部品の製造コストを抑制することができる。

[0084] 今回開示された各実施の形態は、矛盾しない範囲で適宜組み合わせて実施することも予定されている。今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて請求の範囲によって示され、請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

符号の説明

[0085] 1, 1 A ～ 1 E, 2, 2 A ～ 2 G ローパスフィルタ、21, 22, 31 ～ 33, 91, 101, 111, 121, 131 線路導体パターン、41

, 51, 52, 61, 71, 72, 81 キャパシタ導体パターン、BP11~BP14, BP12A~14A, BP11C~BP14C, BP21, BP22A, BP22, BP31~BP34, BP32A~BP34A, BP41, BP42A, BP42 帯状導体パターン、C1~C3 コンデンサ、GND 接地点、GND1~GND4 接地電極、USE1, USE1D, USE1E, USE1C, USE2, USE2A, USE2D, USE2E, USE2F, USE2G 上面シールド電極、ISE2, ISE2A, ISE2D, ISE2E, ISE2F, ISE2G 内層シールド電極、L1, L2 インダクタ、LC1 並列共振器、LC2 直列共振器、Lyr1~Lyr14, Lyr1C, Lyr14C 誘電体層、P1, P2 入出力端子、BF 底面、SF1~SF4, SF31 側面、UF, UF3 上面、V21, V22, V31~V33, V41, V51, V52, V61, V131, V141, V143, V211B, V221B, V221D, V221G, V222C, V222D, V222G ビア導体パターン。

請求の範囲

- [請求項1] 上面と、下面と、側面とを含む電子部品であって、
前記電子部品の内部に形成された回路パターンと、
前記上面に配置された上面シールド電極とを備え、
前記上面の法線方向から平面視したとき、前記上面シールド電極の
重心は、前記上面の重心からずれている、電子部品。
- [請求項2] 前記側面に配置された側面シールド電極をさらに備え、
前記上面シールド電極は、前記側面シールド電極を介して接地され
ている、請求項1に記載の電子部品。
- [請求項3] 前記上面シールド電極は、前記側面シールド電極に接続されている
、請求項2に記載の電子部品。
- [請求項4] 前記電子部品は、
前記側面シールド電極に接続された線路導体パターンと、
前記上面シールド電極と前記線路導体パターンとに接続されたビア
導体パターンとをさらに備える、請求項2に記載の電子部品。
- [請求項5] 前記下面に配置された接地電極と、
前記上面シールド電極と前記接地電極とに接続されたビア導体パタ
ーンとをさらに備える、請求項1に記載の電子部品。
- [請求項6] 前記回路パターンと前記上面との間に形成された内層シールド電極
とをさらに備え、
前記内層シールド電極は、接地され、
前記法線方向から平面視したとき、前記内層シールド電極には、前
記上面シールド電極に覆われていない領域が存在する、請求項1に記
載の電子部品。
- [請求項7] 前記法線方向から平面視したとき、前記回路パターンは、前記上面
シールド電極および前記内層シールド電極で覆われている、請求項6
に記載の電子部品。
- [請求項8] 前記側面に配置された側面シールド電極をさらに備え、

前記上面シールド電極および前記内層シールド電極の各々は、前記側面シールド電極を介して接地されている、請求項 6 または 7 に記載の電子部品。

[請求項 9] 前記上面シールド電極および前記内層シールド電極の各々は、前記側面シールド電極に接続されている、請求項 8 に記載の電子部品。

[請求項 10] 前記上面シールド電極と前記内層シールド電極とに接続されたビア導体パターンをさらに備え、

前記内層シールド電極は、前記側面シールド電極に接続されている、請求項 8 に記載の電子部品。

[請求項 11] 前記下面に配置された接地電極と、
前記上面シールド電極と前記内層シールド電極とに接続された第 1 ビア導体パターンと、

前記上面シールド電極および前記内層シールド電極の少なくとも 1 つと前記接地電極とに接続された第 2 ビア導体パターンとをさらに備える、請求項 6 または 7 に記載の電子部品。

[請求項 12] 前記下面に配置された第 1 接地電極、および第 2 接地電極と、
前記上面シールド電極と前記第 1 接地電極とに接続された第 1 ビア導体パターンと、

前記内層シールド電極と前記第 2 接地電極とに接続された第 2 ビア導体パターンとをさらに備える、請求項 6 または 7 に記載の電子部品。

[請求項 13] 前記法線方向から平面視したとき、前記上面シールド電極の面積は、前記内層シールド電極の面積よりも大きい、請求項 6 ～ 12 のいずれか 1 項に記載の電子部品。

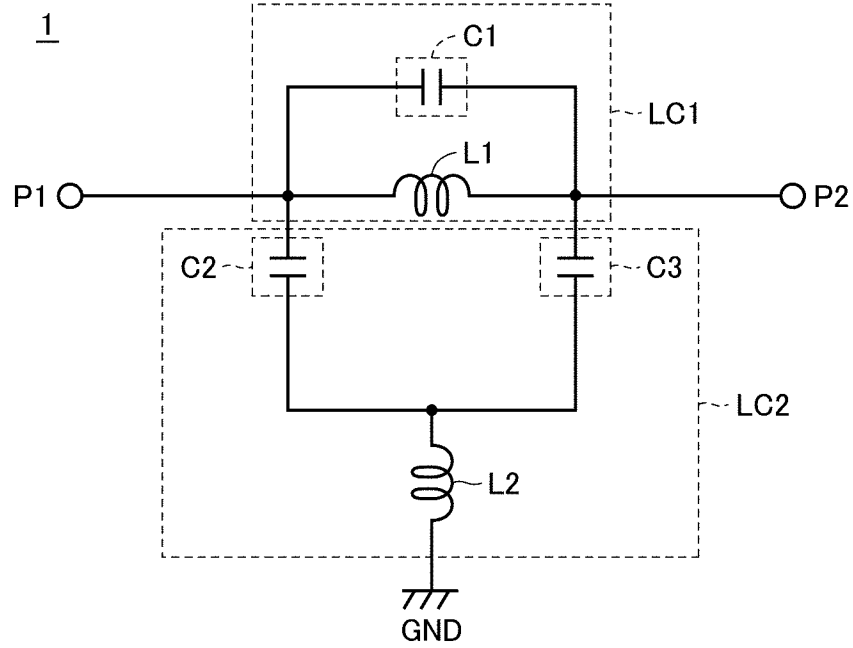
[請求項 14] 前記法線方向から平面視したとき、前記上面シールド電極の面積は、前記内層シールド電極の面積よりも小さい、請求項 6 ～ 12 のいずれか 1 項に記載の電子部品。

[請求項 15] 前記上面シールド電極には、前記法線方向に貫通する孔が形成され

ている、請求項 1 ～ 1 2 のいずれか 1 項に記載の電子部品。

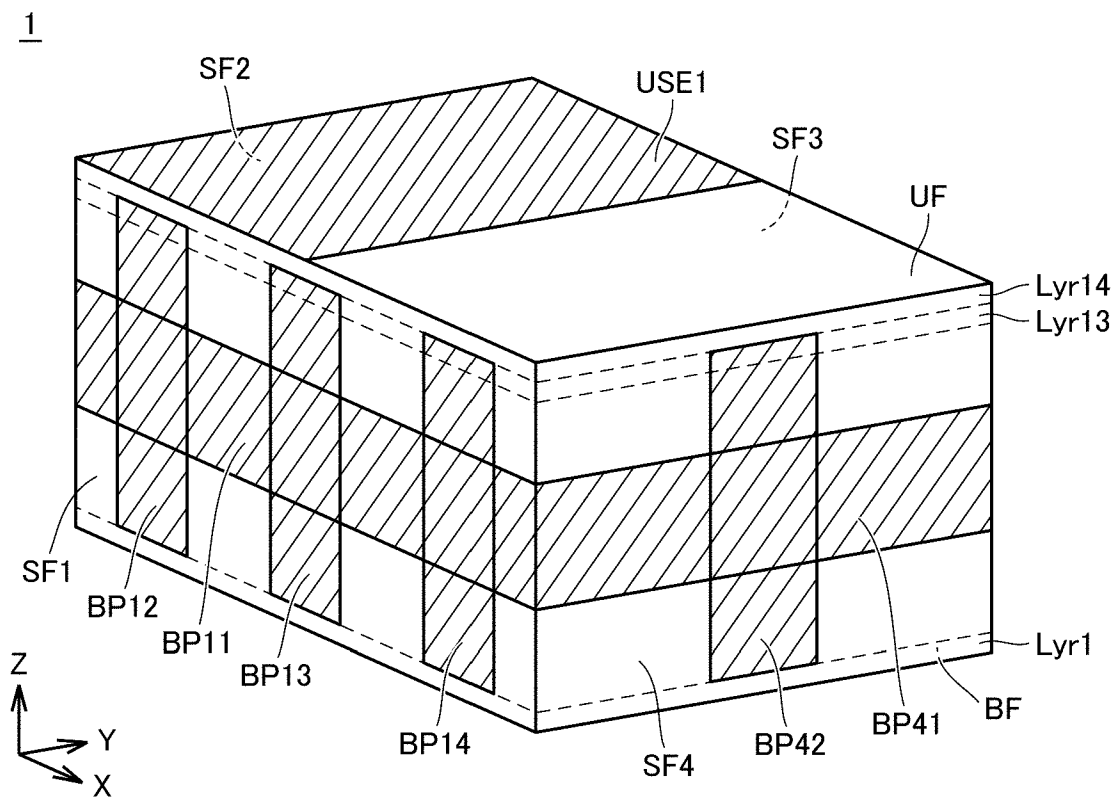
[図1]

FIG.1



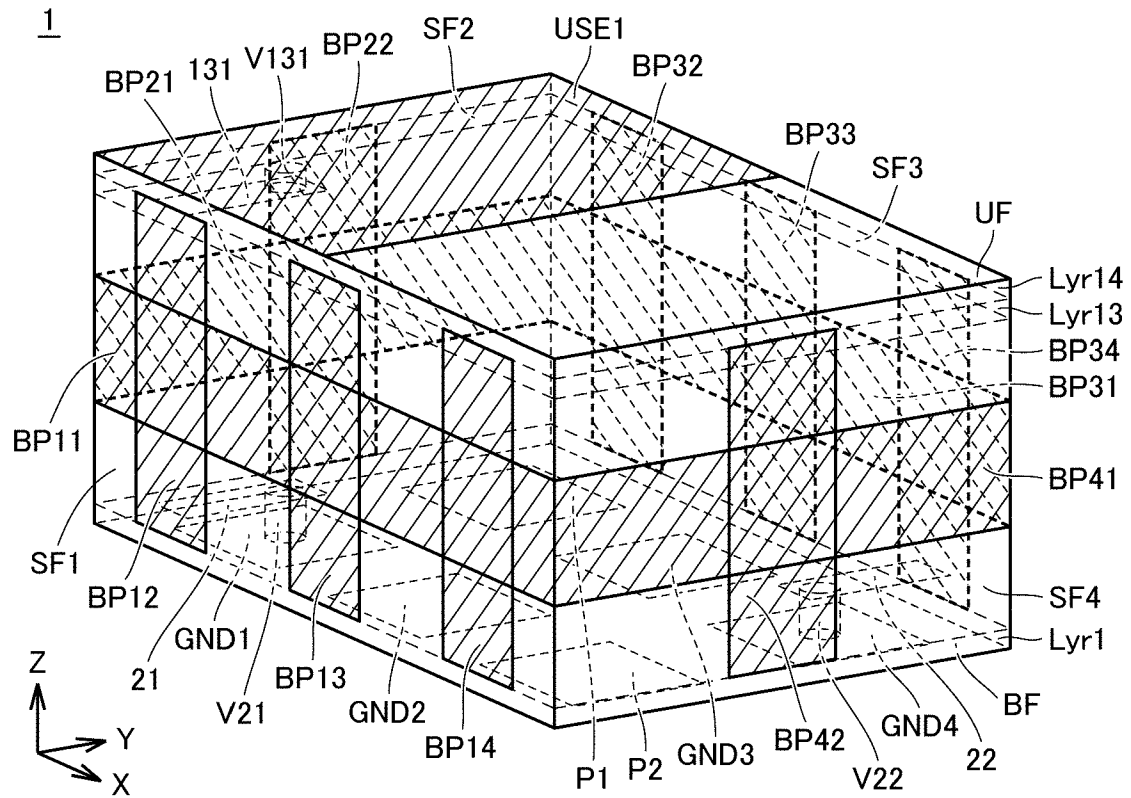
[図2]

FIG.2



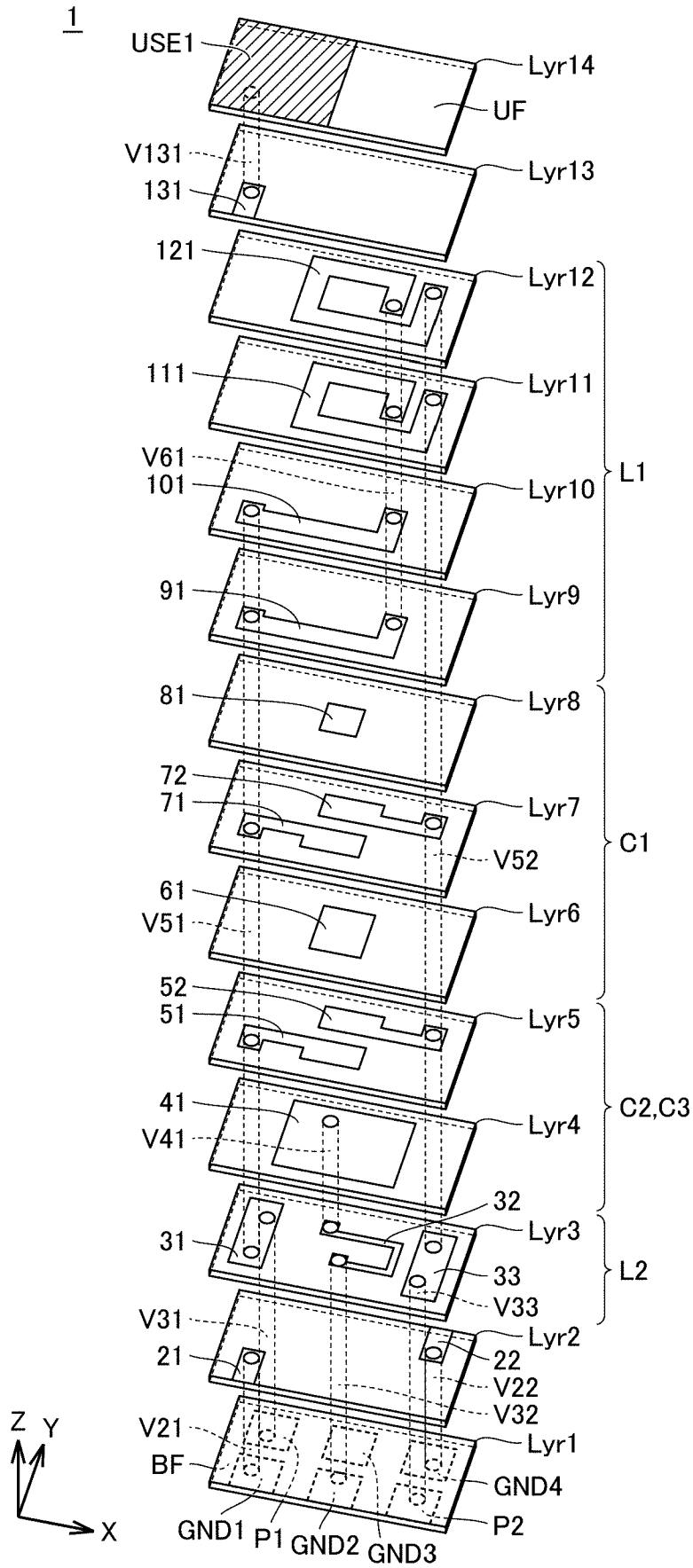
[図3]

FIG.3



[図4]

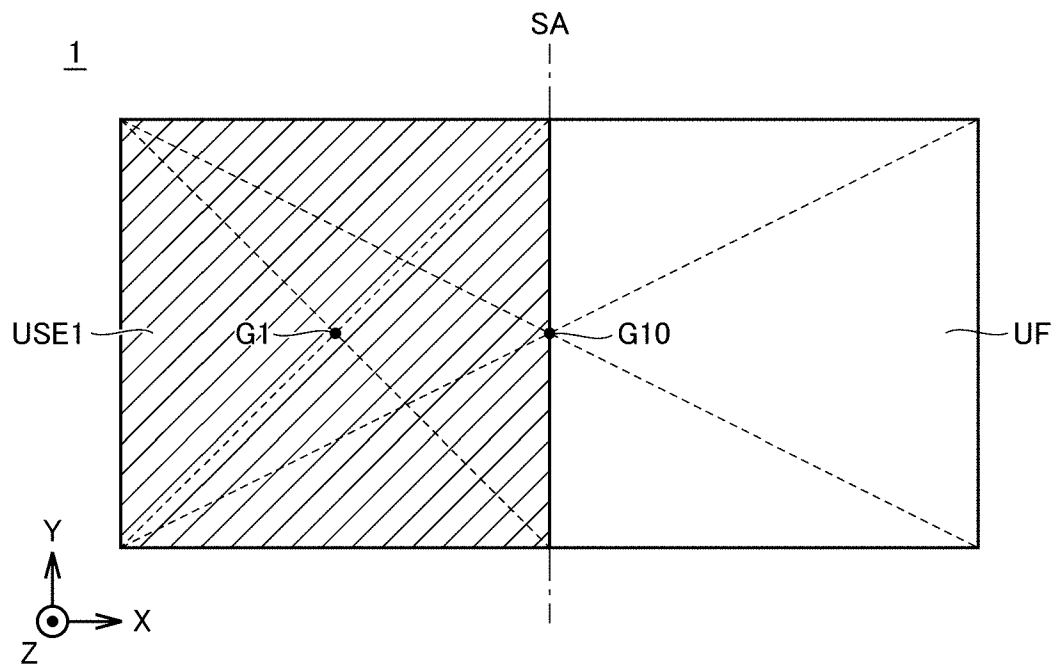
FIG.4



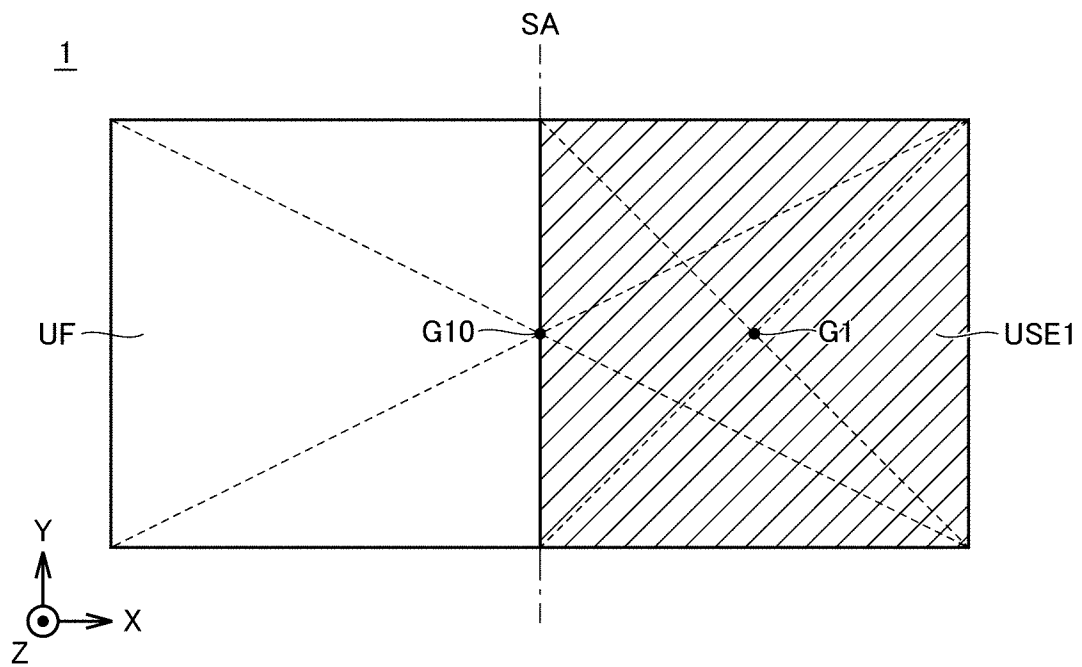
[図5]

FIG.5

(a)

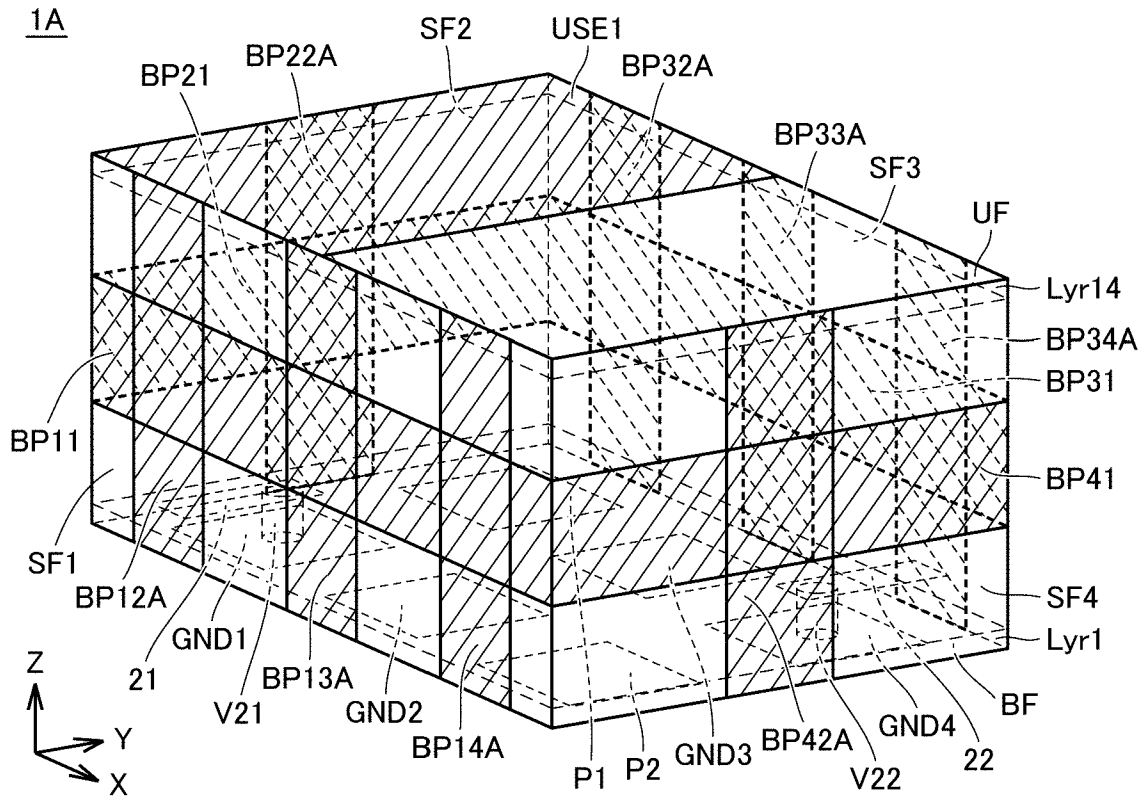


(b)



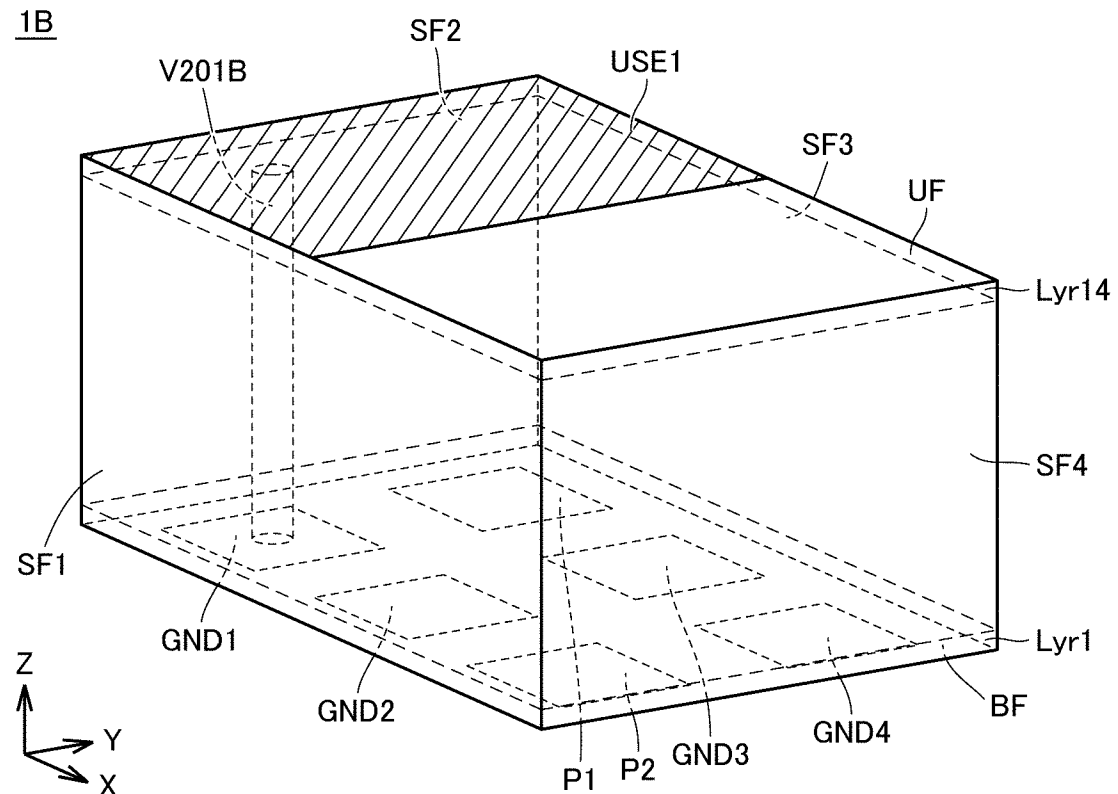
[図6]

FIG.6



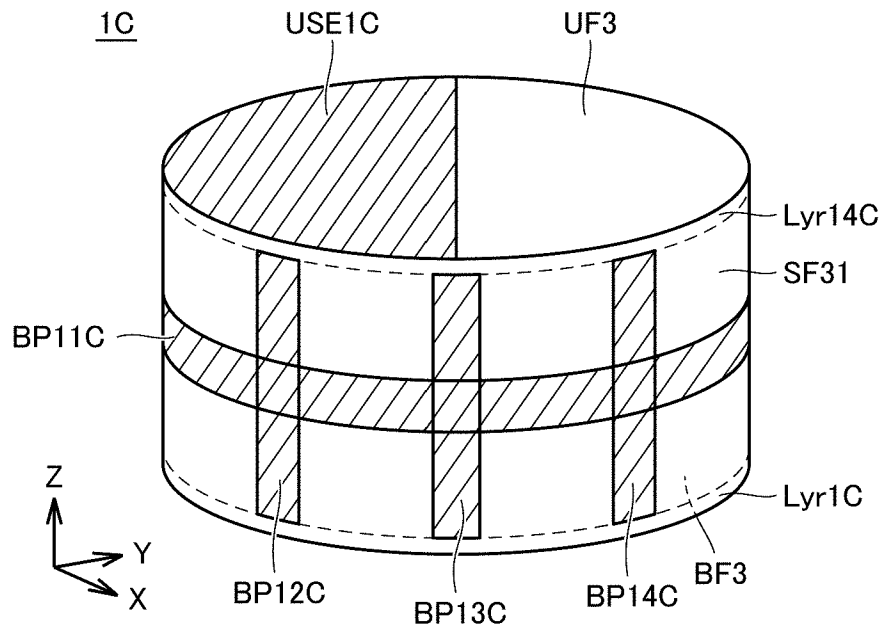
[図7]

FIG.7



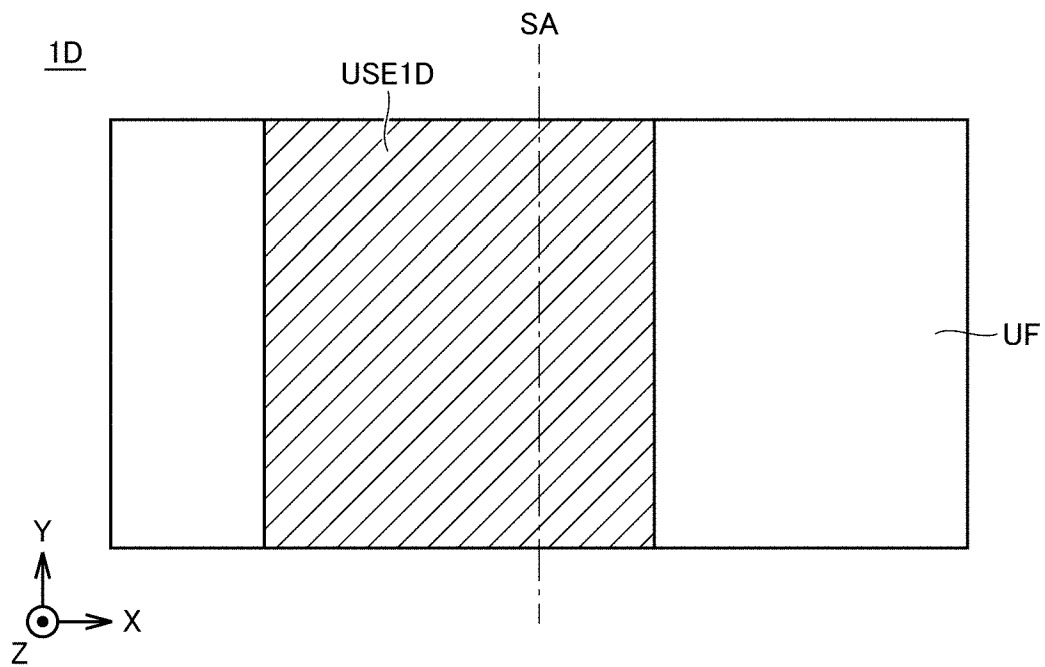
[図8]

FIG.8



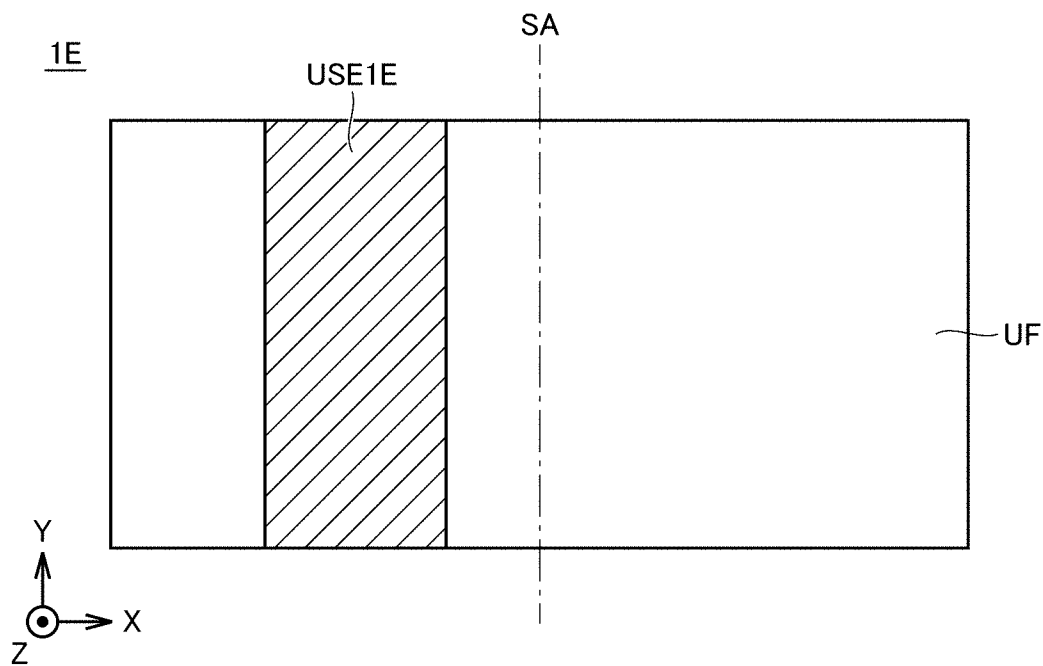
[図9]

FIG.9



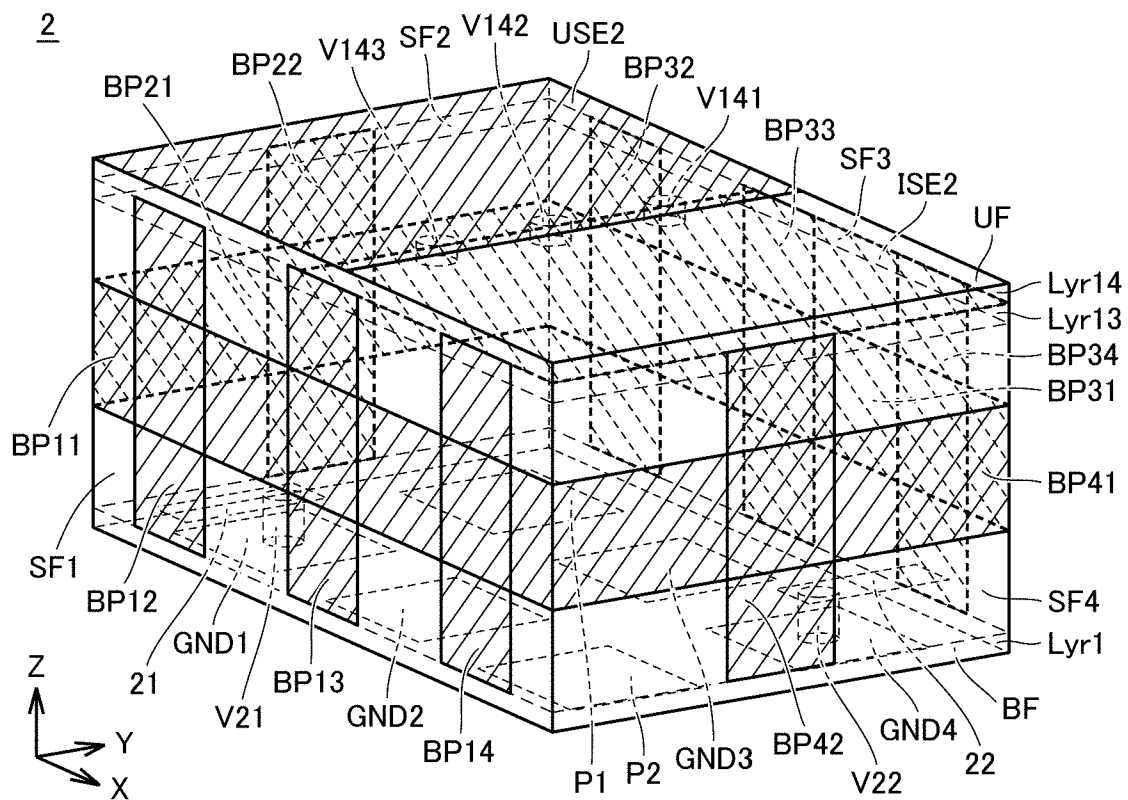
[図10]

FIG.10



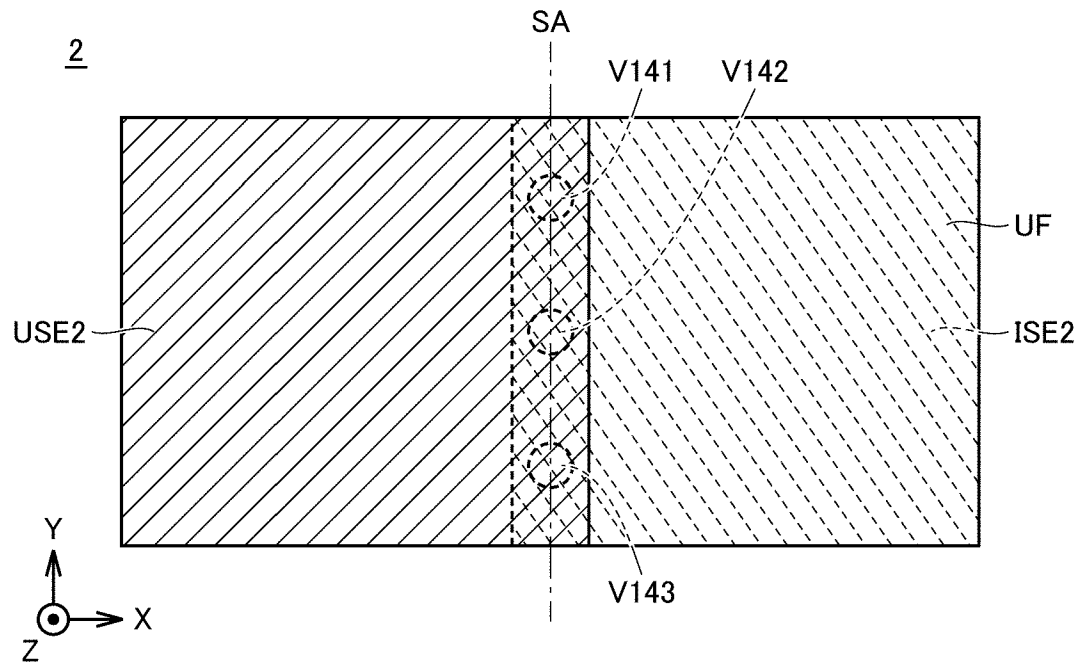
[図11]

FIG.11



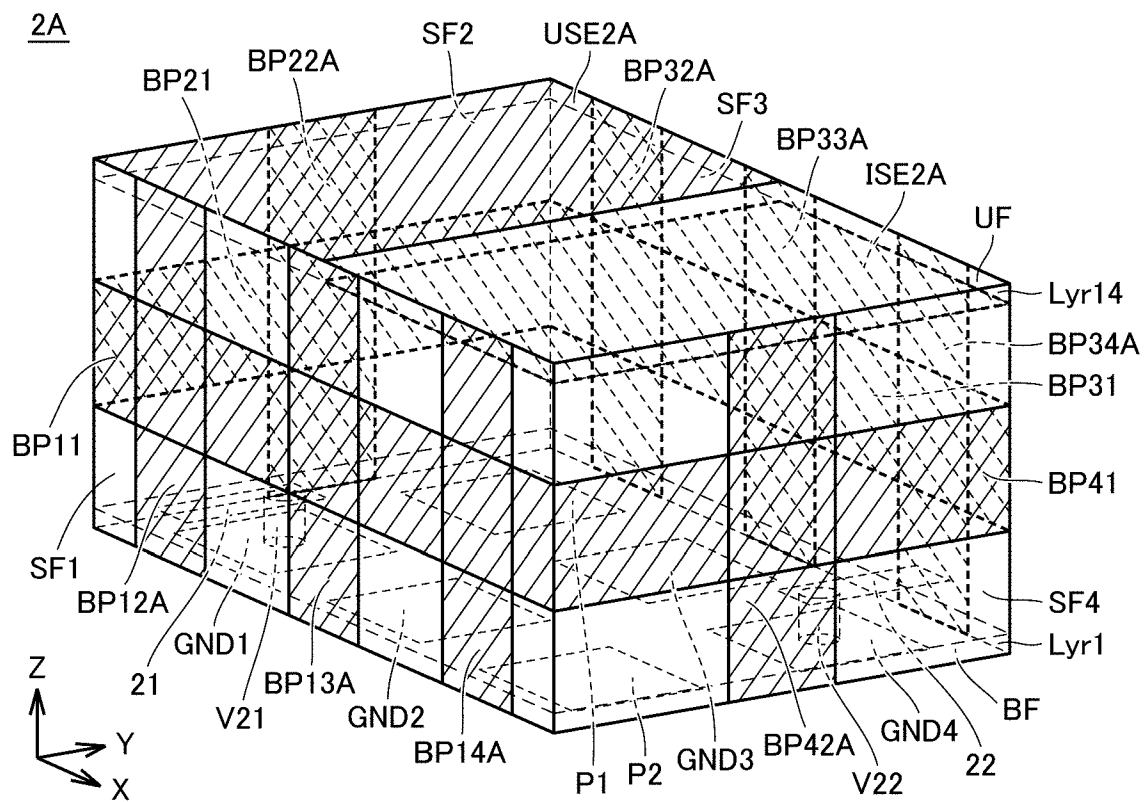
[図12]

FIG.12



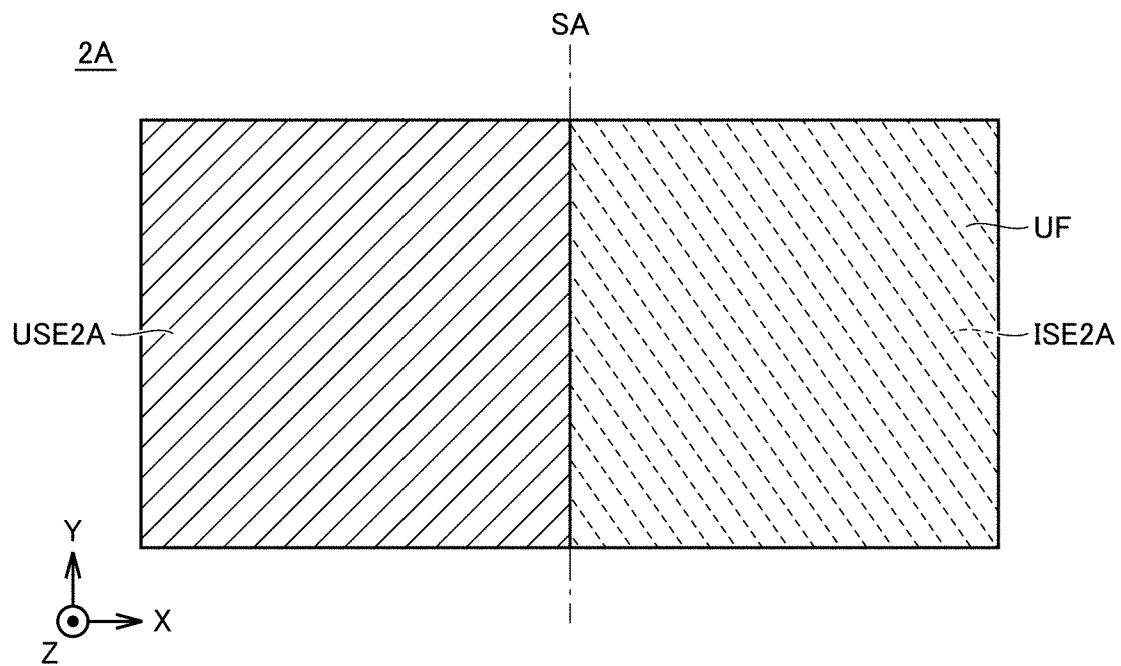
[図13]

FIG.13



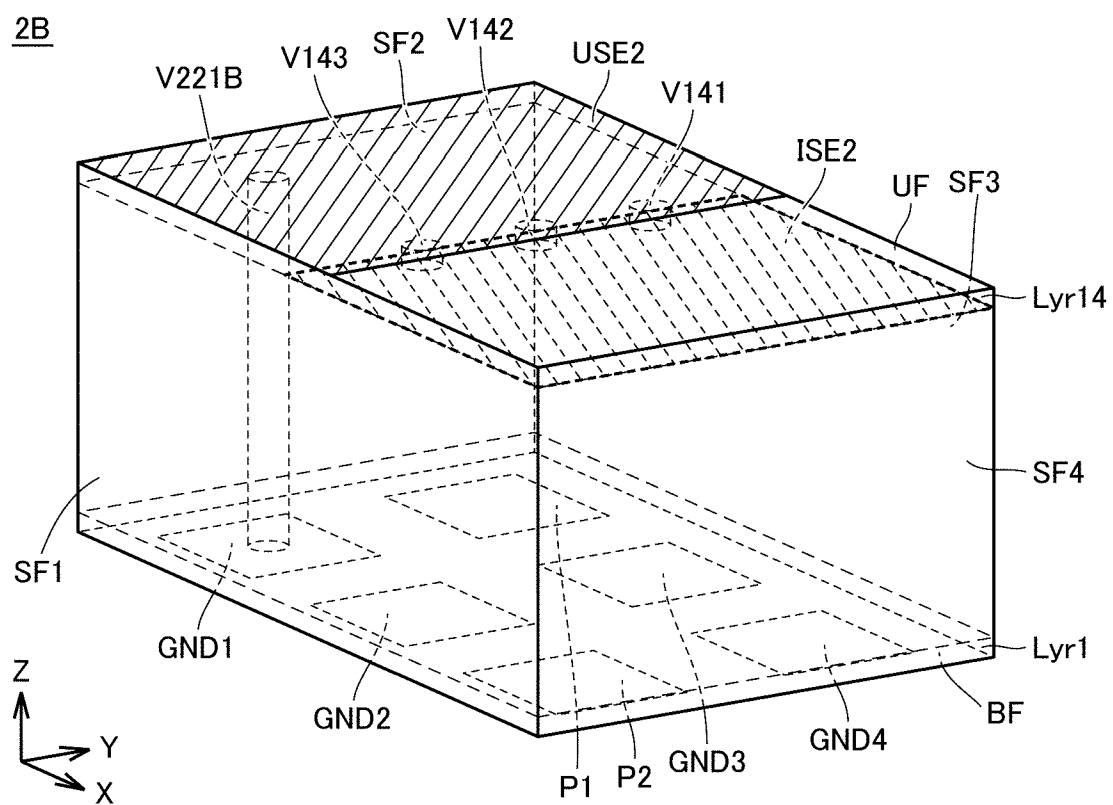
[図14]

FIG.14



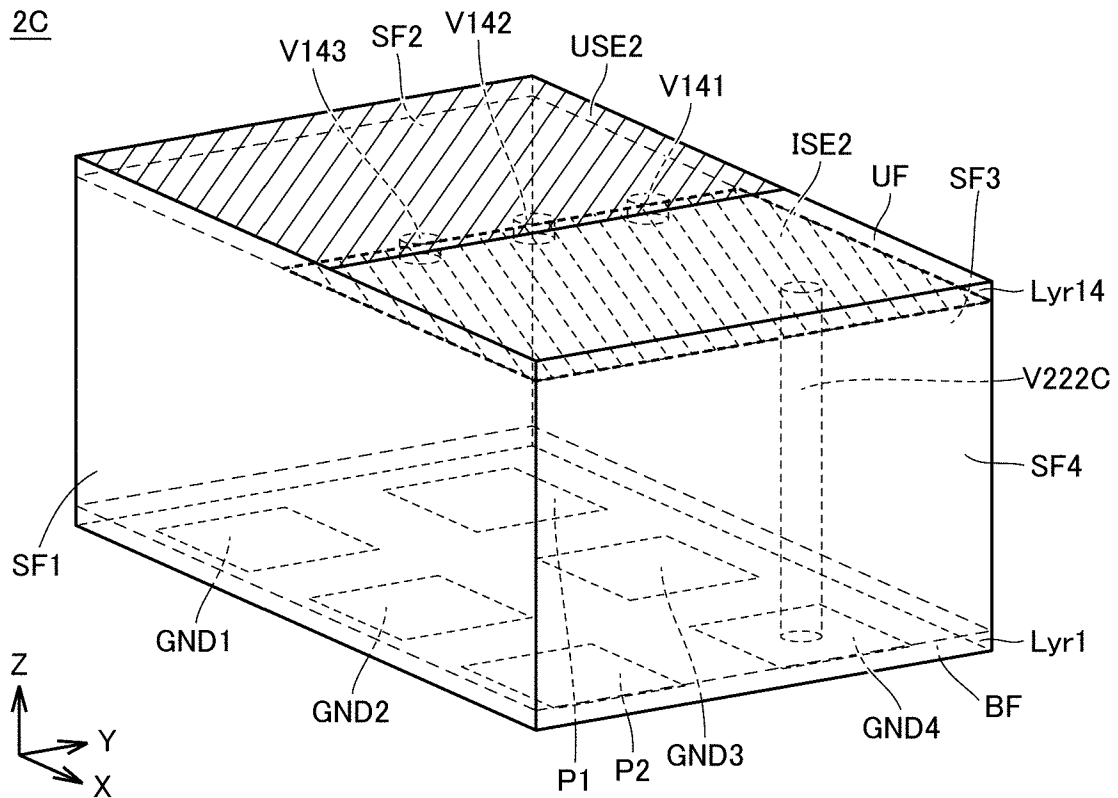
[図15]

FIG.15



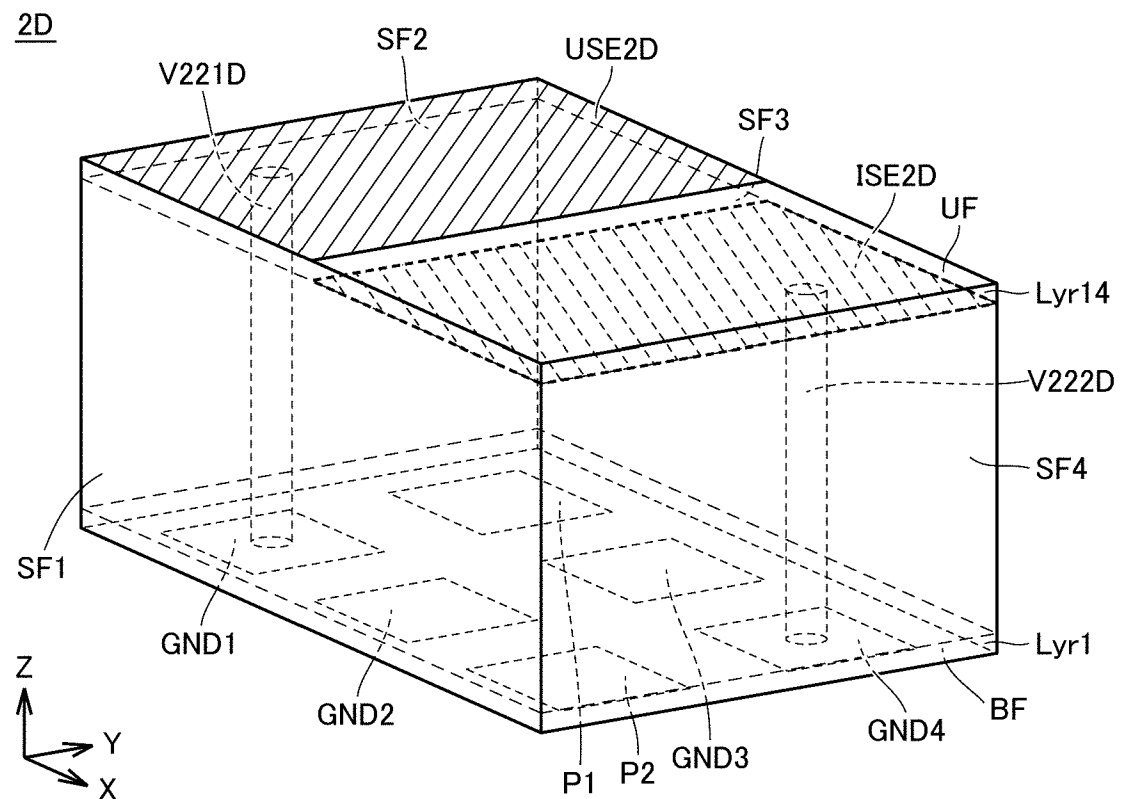
[図16]

FIG.16

2C

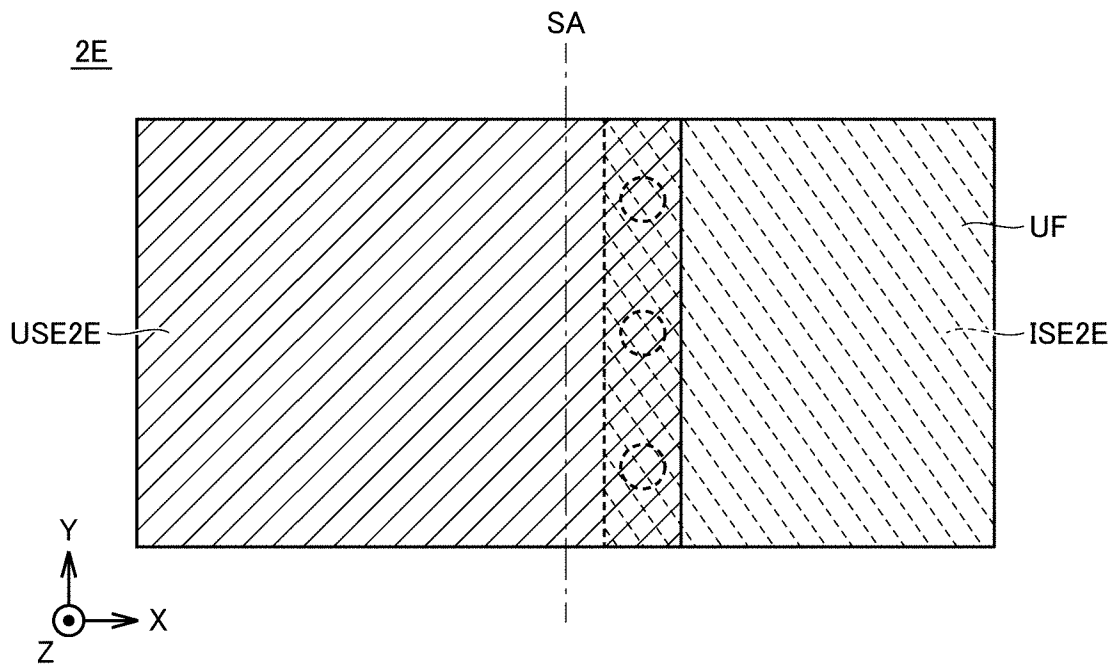
[図17]

FIG.17

2D

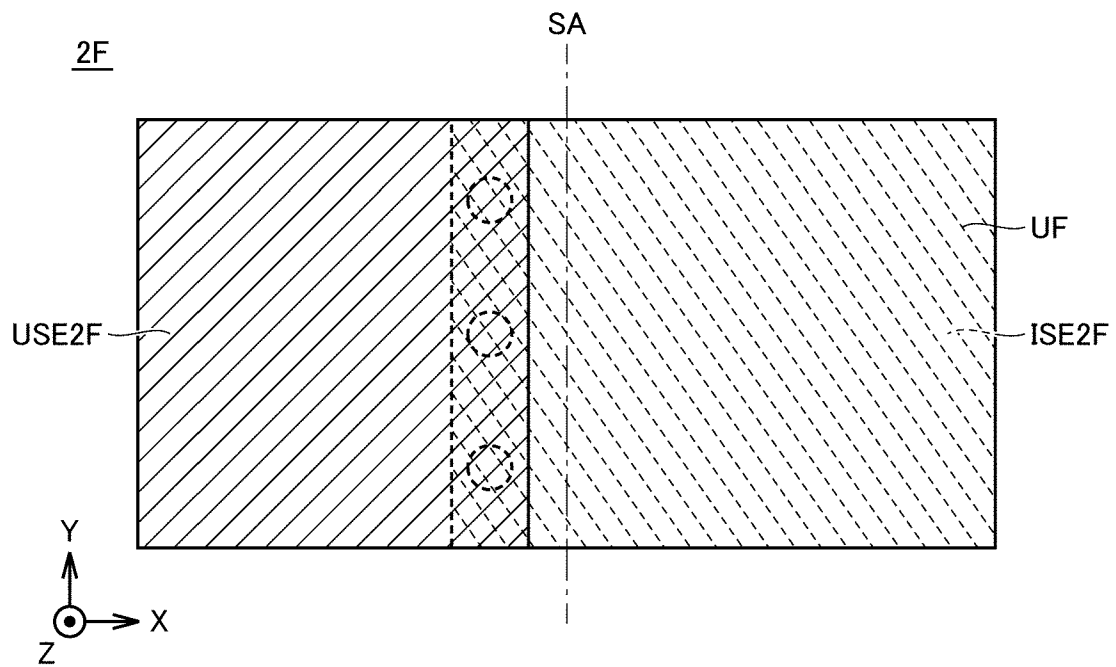
[図18]

FIG.18



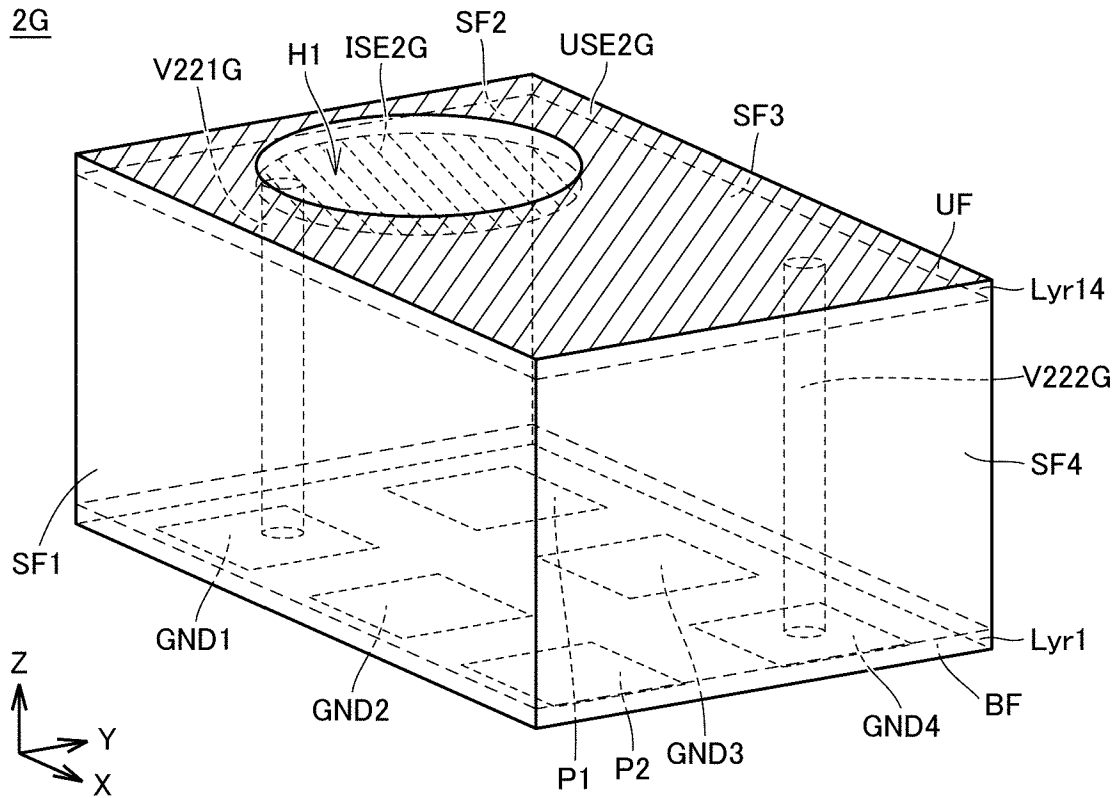
[図19]

FIG.19



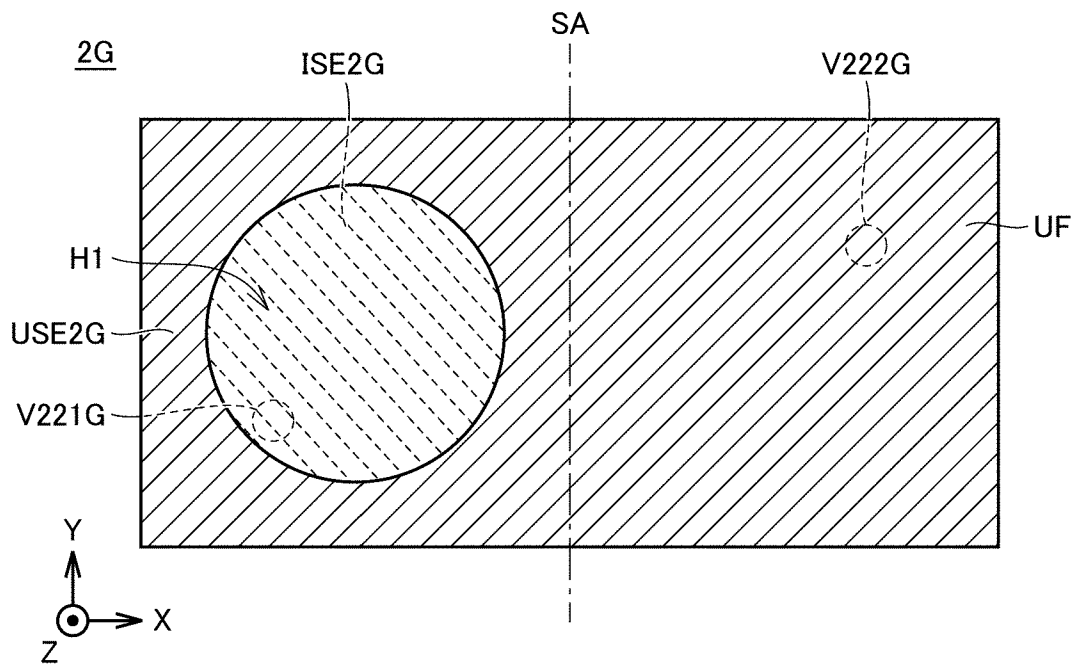
[図20]

FIG.20

2G

[図21]

FIG.21

2G

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/032184

A. CLASSIFICATION OF SUBJECT MATTER

H05K9/00 (2006.01) i, H01F27/00 (2006.01) i, H03H7/01 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H05K9/00, H01F27/00, H03H7/01

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2017

Registered utility model specifications of Japan 1996-2017

Published registered utility model applications of Japan 1994-2017

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 2003-188039 A (MURATA MFG. CO., LTD.) 04 July 2003, paragraphs [0039]-[0043], fig. 9, 10 (Family: none)	1, 15 2-5 6-14
Y A	JP 2002-57543 A (MURATA MFG. CO., LTD.) 22 February 2002, fig. 4-8 & US 2002/0057139 A1, fig. 4-8 & GB 2370921 A & DE 10139164 A & CN 1402377 A	2-5 6-14



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

Date of mailing of the international search report

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/032184

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 9-205018 A (MURATA MFG. CO., LTD.) 05 August 1997, entire text, all drawings (Family: none)	1-15

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H05K9/00(2006.01)i, H01F27/00(2006.01)i, H03H7/01(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H05K9/00, H01F27/00, H03H7/01

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2017年
日本国実用新案登録公報	1996-2017年
日本国登録実用新案公報	1994-2017年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y A	JP 2003-188039 A（株式会社村田製作所）2003.07.04, 段落[0039]-[0043], 図9, 10（ファミリーなし）	1, 15 2-5 6-14
Y A	JP 2002-57543 A（株式会社村田製作所）2002.02.22, 図4-8 & US 2002/0057139 A1, 図4-8 & GB 2370921 A & DE 10139164 A & CN 1402377 A	2-5 6-14

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

30.11.2017

国際調査報告の発送日

12.12.2017

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

久松 和之

5D

2956

電話番号 03-3581-1101 内線 3551

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 9-205018 A (株式会社村田製作所) 1997. 08. 05, 全文, 全図 (ファミリーなし)	1-15