

公告本

申請日期	91.5.15
案 號	91110159
類 別	H01L 71/8249

A4
C4

(以上各欄由本局填註)

556326

發明專利說明書

一、發明名稱	中 文	在記憶體單元陣列中用以提供位元線接觸之方法與具有位元線接觸之記憶體單元陣列
	英 文	A METHOD FOR PROVIDING BITLINE CONTACTS IN A MEMORY CELL ARRAY AND A MEMORY CELL ARRAY HAVING BITLINE CONTACTS
二、發明人	姓 名	1.葛瑞特 席瓦伯 GRIT SCHWALBE 2.王凱宏 KAE-HORNG WANG 3.克勞斯 弗爾德納 KLAUS FELDNER 4.艾拉德 史丹 蒙 卡敏斯基 ELARD STEIN VON KAMIENSKI 1.&3.&4.均德國 GERMANY 2.中華民國 R.O.C.
	國 籍	1.德國德瑞斯登市奧古斯伯格街79號 AUGSBURGER STRAÙE 79, 01277 DRESDEN, GERMANY 2.德國德瑞斯登市迪克斯街10號 TIECKSTRAÙE 10, 01099 DRESDEN, GERMANY 3.德國德瑞斯登市亞歷山大何仁街31A號 ALEXANDER-HERZEN-STRASSE 31 A, 01109 DRESDEN, GERMANY 4.德國德瑞斯登市安姆索嫩翰街2號 AM SONNENHANG 2, 01109 DRESDEN, GERMANY
	住、居所	
三、申請人	姓 名 (名 稱)	德商億恒科技公司 INFINEON TECHNOLOGIES AG
	國 籍	德國 GERMANY
	住、居所 (事務所)	德國慕尼黑市馬汀街53號 ST.-MARTIN-STR. 53, 81669 MÜNCHEN, GERMANY
	代 表 人 姓 名	1.彼得 季里茲 PETER ZEDLITZ 2.H. 舒伯特 H. SCHUBERT

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6
B6

本案已向：

國（地區）	申請專利，申請日期	案號：	， ☐ 有 ☐ 無主張優先權
歐洲專利機構	2001年05月30日	01113178.6	☒ 有 ☐ 無主張優先權
歐洲專利機構	2001年05月30日	01113179.4	☒ 有 ☐ 無主張優先權

大審會
專利部
2001年05月30日
應予受理

有關微生物已寄存於： 寄存日期： 寄存號碼：

裝
訂
線

五、發明說明 (1)

發明範疇

本發明相關於一種在記憶體單元陣列中用以提供位元線接觸之方法，此記憶體單元陣列包括複數個在一第一方向配置之位元線，該位元線覆以一二氧化矽層，在該位元線之上與第一方向垂直之第二方向配置複數個文字線，沈積記憶體單元在該位元線與文字線互相交叉點上。

發明背景

本發明非常有利於施至一EEPROM(電子式可拭除可程式化唯讀記憶體)記憶體單元，此EEPROM由專利號US-A-5,168,334已知，亦稱為NROM™(氮化物唯讀記憶體)單元，其在專利號US-A-5,966,603，US-A-5,768,192，US-A-6,133,095及US-A-5,963,465中有進一步說明。

如圖1所見，此一NROM™單元為一電荷捕捉記憶體裝置，可視為一簡單次微米MOS(金屬氧化物半導體)電晶體，其閘氧化物以一薄的氧化物-氮化物-氧化物(ONO)多層堆疊代替。圖1中，參考數字1表示一基板，如屬於p摻雜矽化物。在第一方向配置N⁺摻雜位元線2，它們由厚約50 nm(奈米)，亦稱為位元線氧化物3的厚二氧化矽層所覆蓋。文字線4由聚化合物製成，為矽化鎢與多晶矽的雙層結構，在與第一方向交叉的第二方向。第二方向最好與第一方向垂直，包括一二氧化矽層5、一氮化矽層6及一二氧化矽層7的ONO多層，在文字線4與矽基板1間沈積。具有通道13的一電晶體在兩緊鄰的位元線2間形成，以作為源極及汲極。文字線4作為閘極，及ONO多層作為閘隔離。ONO多層將電晶體的通道地區13覆蓋。

五、發明說明 (2)

ONO多層堆疊的中間層，即氮化層6，接近位元線2的接合邊緣，為一或二可分辨電子袋的保留材料。

為求簡化，將NROM™單元的概念說成只儲存一電子。惟，近來亦將NROM™單元應用於儲存二電子。

圖2以上視圖說明NROM™單元的二維陣列，NROM™單元以 n^+ 摻雜位元線2與文字線4十字交叉而成，如圖1所示，被捕獲電子的位置接近位元線接合邊緣。亦在側面圖說明記憶體單元11，其在圖1中有詳細說明。NROM™單元的程式化操作由通道熱電子注入完成，在靠近單元汲極側的一塊狀袋中儲存少於一千的極少量電子。這些電子在氮化層中以定位狀態定位。

例如，如程式化方向10所示，藉由相較對第二位元線2b，對第一位元線2a施以較高電位，而注入並捕獲電子8，另外亦對文字線4施以足夠的電壓。為讀取電子8，正如讀取方向9所示，則相較對第一位元線2a對第二位元線2b施以較高電位，另外亦對文字線4施以一低電壓。

顯然地，為讀取所施加的電位差較低於為程式化所施加的電位差。由於程式化而對文字線施以相對較高電位，覆蓋文字線的區隔厚度必須比其他已知記憶體裝置(如DRAM，動態隨機存取記憶體)更厚，以避免相鄰文字線間或文字線與位元線接觸間有突破斷路的情形。特別地，施至NROM™單元文字線的一般電壓約為12伏特，反之，施至DRAM單元文字線的一般電壓則為3至5伏特。

根據標準的單元架構，由於 n^+ 摻雜位元線2展現一大電阻

五、發明說明 (3)

，金屬線在具有某些規模陣列中的記憶體單元陣列頂部。這些金屬線亦在位元線2之上以第一方向配置，且週期性地經由一接觸與以下的位元線連接。例如，每第8或第16記憶體單元會與金屬線有接觸，俾便減少位元線電阻。由於這些金屬線通常非常厚，所以它們尚對記憶體單元尺寸的收縮率加以限制。

通常，位元線與金屬線間的接觸可由一方法提供，其中在形成文字線後，整個記憶體單元陣列由一硼磷碳酸玻璃以及二氧化矽層覆蓋。之後，將二氧化矽層、硼磷碳酸玻璃以及以下的文字線氧化物皆在預設位置蝕刻，此預設位置例如為使用一具有孔圖案的光罩以微影界定，俾便提供接觸孔。隨後，相對文字線(特別是氮化區隔及閘極的氮化蓋)將這些接觸孔選擇性蝕刻。因此，基本上接觸孔的水平延伸由相鄰文字線間的間隔所界定，因此，稱此接觸為自我對正接觸(SAC)。

此製程有兩個主要的缺點：如上述，一方面，施至NR0M™單元文字線的電壓遠高於施至其他已知記憶體單元(如DRAM(動態隨機存取記憶體)單元)文字線的電壓。因此，氮化物區隔及蓋子氮化物須忍受更高的電壓，因此而製成更厚。結果，減少相鄰文字線的間隔，並大大增加接觸孔的縱橫比。更詳細地說，由於二氧化矽層通常具有500 nm(奈米)厚度，所以必須蝕刻具有10至15極高縱橫比的接觸孔，藉此很難完整地蝕刻二氧化矽層、磷硼碳酸玻璃，以及以下的位元線氧化物，及隨後在相鄰文字線間填補間隔。

五、發明說明 (4)

另一方面，為了避免過度蝕刻氮化區隔，必須適當地調整蝕刻時間，因此，在NROM™製造期間，蝕刻位元線氧化物的製程非常重要，不足的蝕刻時間將造成位元線與位元線接觸不足的接觸。惟，對一較佳裝置效能而言，為了達成較高飽和電流及較佳信號偵測，須有一位元線接觸的低RC常數。此外，過度蝕刻時間將造成位元線接觸與文字線間的短路，其為記憶體單元陣列製造中主要的問題。

藉由引入一新蝕刻氣體，特別是C₅F₈，蝕刻由TEOS製程所沈積的二氧化矽，相對於矽氮化物具有較高的選擇性；或藉由沈積一具有減少厚度的磷硼矽玻璃，致使須待蝕刻的堆疊假設為高度減少，可部分地解決上述問題。惟，所獲致結果仍未全然令人滿意。

由於相鄰位元線彼此未充分隔離會引起另一缺點，而有相當大的擊穿或漏失危險。這可由在製造過程中引入額外的STI(淺溝隔離)製程而緩和，惟，在至今已知的NROM™單元陣列製造過程中引入傳統STI製程，將由於重疊要求而導致增加單元尺寸。

由T.H. Yoon等人共同在1999年VLSI工業摘要(VLSI Tech. Dig.) 37頁發表文章中，已知SAC製程由一所謂的預先聚合插頭(Pre Poly Plug)製程所取代，其中將摻雜矽完全沈積及定圖案，俾便在一DRAM單元中提供一單元插頭，惟，顯然地，DRAM單元與NROM™單元的結構完全不同，特別地，DRAM單元並不須蝕刻任何位元線氧化物，以提供位元線接觸。

美國專利號US-A-5,915,203揭示一種製造深次微米通孔的方

五、發明說明 (5)

法，其中在一絕緣介質層上形成一籃狀層，之後再以微影技術定圖案。隨後，沈積另一絕緣介質層並作成平面，再沈積另一籃狀層，以微影技術定圖案，俾便形成通孔接觸。

此外，美國專利號US-A-5,815,433揭示一種光罩ROM裝置，其具有冗餘電路部分，此部分由MNOS結構製成，以作為EEPROM。

發明總結

本發明目的係為提供一改良方法，用以在如NROM™晶片之類的記憶體單元陣列中提供位元線接觸。此外，本發明的目的亦為提供改良的記憶體單元陣列，以及改良的NROM™晶片。

根據本發明第一概念，以上目的可由在記憶體單元陣列中提供位元線接觸的方法達成，此記憶體單元陣列包括複數個在一第一方向配置之位元線，該位元線覆以一隔離層，在該位元線之上與第一方向交叉之第二方向配置複數個文字線，記憶體單元在該位元線與文字線互相交叉點上，該方法包括將隔離層由位元線未被文字線覆蓋之部分移除的步驟，反之位元線間之地區保持未受影響，及在該位元線之裸露部分提供一電傳導材料。

根據本發明第二概念，以上目的可由在記憶體單元陣列中提供位元線接觸的方法達成，此記憶體單元陣列包括複數個在基板上第一方向配置之位元線，在基板上該位元線之上與第一方向交叉之第二方向配置複數個文字線，記憶體單元在該位元線與文字線互相交叉點上，其中該位元

五、發明說明(6)

線覆以一隔離層，記憶體單元陣列所有在位元線間，未被文字線覆蓋之部分皆覆以至少一隔離層，該方法包括以下步驟：藉由一步驟將該隔離層由該位元線移除，亦藉由此步驟將該至少一隔離層的最頂層從記憶體單元陣列在未被文字線覆蓋的那些部分移除；及在該位元線之裸露部分提供一電傳導材料。

此外，本發明提供一製造氮化物唯讀記憶體(NROM)晶片的方法，包括以下步驟：提供一記憶體單元陣列，其中在複數個位元線(覆以一隔離層，配置成第一方向)與複數個文字線(配置成與第一方向垂直的第二方向)互相交叉的點上有複數個記憶體單元，各該記憶體單元由一金屬-絕緣體-半導體場效電晶體組成，其中該絕緣體為一氧化物-氮化物-氧化物多層堆疊，用以儲存至少一注入電子，提供包括邏輯零組件的週邊設備部分，藉由以上界定的方法提供位元線接觸，用以在該位元線與後續步驟待形成的金屬線間完成電接觸，及在該位元線之上提供以第一方向配置的金屬線。

此外，本發明提供一記憶體單元陣列，以及一具有位元線接觸的氮化物唯讀記憶體(NROM™)晶片，其各別由以上界定的方法製成。

根據本發明第一概念，隔離層完全由位元線未被文字線覆蓋的部分移除，但位元線間的地區依然未受影響。這與習知方法成對比，習知方法中只部分移除隔離層由孔光罩微影界定的那些部分。

因此，根據本發明一較佳實例，可使用具條紋圖案的光罩

五、發明說明 (7)

，特別是用以界定位元線的位元線光罩，以將塗裝在記憶體單元陣列的光阻材料定圖案。惟，具條紋圖案的光罩比具孔圖案的光罩較易於對正，因此本發明提供一方法，可藉其避免誤對正，及從位元線正確地移除位元線氧化物。

根據本發明第二概念，隔離層完全由記憶體單元陣列未被文字線覆蓋的那些部分移除，這與習知方法成對比，習知方法中只部分移除隔離層由孔光罩微影界定的那些部分。

因此，微影技術只須用於對記憶體晶片週邊部分的邏輯零組件施以光罩，而使它們不受蝕刻。為此，可將界定記憶體單元陣列的光罩用於微影，惟，顯然可見，此類光罩比具孔或條紋圖案的光罩更易於管理及調整。因此，移除位元線氧化物不再是一緊要關頭的步驟。

根據本發明第二概念的較佳實例，將執行移除位元線氧化物的步驟加以時間控制，而使底下的位元線不受此步驟侵襲。

而且，根據相關本發明此兩概念的較佳實例，藉由反相多蝕刻製程，在位元線裸露部分提供電傳導材料，其中首先在整個單元陣列上沈積摻雜多晶矽，之後將摻雜多晶矽從位元線間的地區移除。為此，將摻雜多晶矽覆以一光阻材料較為有利，之後光阻材料將以具條紋圖案的光罩定圖案。

與習用方法對照之下，此反相多蝕刻製程特別有利，其中將接觸孔蝕入一隔離材料中，只在位元線間的地區將多晶矽移除。因此，根據本發明此實例，不執行自行對正接觸蝕刻，及閘極上的氮化物蓋不受侵襲，藉此而避免位元線與文

五、發明說明(8)

字線間的短路。此外，可增加位元線接觸的縱橫比，因此，可增加文字線上間隔的厚度。

特別地，當施加本發明至一氮化物唯讀記憶體單元陣列，由於在這些單元陣列的閘極必須忍受比如在DRAM單元陣列中更高的電壓，間隔的厚度增加極為有利。

使用具有條紋圖案的光罩以移除摻雜多晶矽，惟，此類光罩的對正比具孔圖案光罩的對正更容易，因此可大大地避免光罩的誤對正，且不會發生重疊錯誤。

根據本發明第二概念的較佳實例，移除在裸露區域的電傳導材料的步驟，可以過度蝕刻步驟執行，致使亦移除在電傳導材料之下的基板部分。藉由填充如硼磷矽酸鹽玻璃之隔離材料的後續步驟，相鄰位元線互相以電隔離，藉此，執行一自行對正淺溝隔離(STI)，由於其相關傳統STI程序，只需要較小單元尺寸而極為有利。

本發明第一概念的記憶體單元陣列以及氮化物唯讀記憶體單元陣列，由於位元線經由在各記憶體單元的傳導位元線，與覆於其上的金屬線以電連接，而各別不同於習知的記憶體單元陣列以及氮化物唯讀記憶體單元陣列。由於本發明特別的製造方法，包括反相多蝕刻製程，並未如使用接觸孔光罩的傳統SAC製程所施加者，每第三或第四記憶體單元形成位元線接觸，而是在每一記憶體單元形成位元線接觸。

本發明第二概念的記憶體單元陣列以及氮化物唯讀記憶體單元陣列，由於從位元線未被文字線覆蓋的那些部分完全移除位元線氧化物，而各別不同於習知的記憶體單元陣

五、發明說明 (11)

雜物植入位元線2。藉由此製程，以相關於光阻行12的自行對正方式將位元線2植入。

之後，移除光阻行12，從晶片的週邊部分移除ONO多層，及執行一熱氧化製程，藉此在位元線2上熱生長位元線氧化物3。由於在高度摻雜位元線上的生長比率更高於在氮化及氧化層6、7上的生長比率，而使位元線上長出厚的二氧化矽層，但沿著氮化層6側邊長出薄的二氧化矽層，及在氧化層7上長出薄的二氧化矽層。此外，在晶片的週邊部分長出二氧化矽層作為閘隔離層。

20至70 nm厚度的位元線氧化物視為適當的厚度，圖4C以剖面圖說明所形成的結構。

之後，在晶片上鋪放多晶矽層，該多晶矽層將產生記憶體單元陣列部分的文字線，及將為週邊電晶體產生閘極。下一步驟中，在多晶矽層上沈積一低電阻矽化層(如矽化鎢)，俾便形成一具有減少電阻的聚合化(polycide)層。聚合化層的一般整體厚度共達100至200 nm，如圖2所示，之後使用一光罩蝕刻此聚合化層，藉此，在記憶體單元陣列內界定文字線4，但在週邊部分界定閘極。

可執行此蝕刻步驟，而亦至少使上氧化層7及氮化層6從文字線4之間蝕去，結果，在這些地區只有下氧化層5留下。實作本發明第二概念時，將在稍後執行的蝕刻位元線氧化物步驟中將下氧化層5蝕去；如在反相多蝕刻製程期間將提供自行對正淺溝隔離，這將特別有用。

或者，亦可執行文字線的蝕刻步驟，而使上氧化層7及氮

五、發明說明 (12)

化層6不受侵襲。此情形中，實作本發明第二概念時，上氧化層7將在稍後執行的蝕刻位元線氧化物步驟中蝕去，而氮化層6將在反相多蝕刻製程中作為蝕刻停止。因此，以此文字線蝕刻步驟，不可能有自行對正淺溝隔離(稍後將說明)。

圖1中說明結果形成的記憶體單元結構，聚合化層4置於ONO多層之上，藉此形成NROM™單元的閘極，位元線3厚度足以隔離相鄰的ONO多層。

之後，執行文字線4的側壁氧化步驟，一輕微摻雜汲極(LDD)只植入CMOS週邊設備的程序，及沈積一間隔15。LDD通常對n通道及p通道週邊電晶體要求分開的光罩。

在NROM™單元中，由於施至閘極的較高電壓，在閘極的氮化物間隔必須忍受較高電壓，而應比DRAM或嵌入DRAM單元的氮化物間隔更厚，估算該間隔厚度應超過40 nm。

形成此間隔之後，在整個晶片地區沈積一氮化線，以及一厚的二氧化矽間隔。使用厚的二氧化矽間隔作為在週邊部分建立的電晶體，厚的二氧化矽間隔係使用四乙基正矽酸鹽，藉由化學氣體沈積製程所形成。之後，將厚的二氧化矽間隔從晶片的記憶體單元部分移除。

下一步驟中，將執行本發明的製程，俾便界定位元線接觸，用以接觸位元線與稍後將形成的金屬線。

圖5A以剖面圖說明沿著圖2所界定的方向A看去的記憶體單元陣列，但圖5B係以剖面圖說明沿著圖2所界定的方向B看去的記憶體單元陣列。參考數字14表示記憶體單元陣列的主動地區，而參考數字21表示一填滿二氧化矽的隔離溝，其用

五、發明說明 (13)

以分開較大單元地區。這些每64個位元線配置的隔離溝21在上述淺溝隔離期間製造，為求簡化，以下圖中將略去隔離溝21。圖5C以剖面圖說明在晶片週邊部分中配置邏輯裝置。

可在位元線氧化物待蝕刻的那些位置上，完全或部分地移除在形成氮化物間隔之後沈積的氮化線。

用以實作本發明第一概念，首先在整個晶片上沈積一厚約10至25 nm的薄二氧化矽層(圖6B)，或者，如只部分移除氮化線，亦可省略沈積薄二氧化矽的步驟。

之後，在整個晶片上塗裝一光阻材料17(圖6C)，及如圖4A所示，使用位元線植入光罩定圖案。結果，在原先界定位元線2的部分移除光阻劑，但在位元線2間的其餘地區則留下光阻材料。圖6A以剖面圖說明沿著圖2所界定的方向A看去的結果記憶體單元陣列，如圖6A所見，由於先前執行熱步驟期間，摻雜擴散的緣故，移除光阻材料的部分具有比位元線2更窄的寬度。因此，在光阻層置定位元線光罩時發生的誤對正，還小於位元線因摻雜擴散而產生的加寬。因此，移除光阻材料的部分準確地在位元線之上，而非在位元線間，俾便確定在下一步驟中將準確地移除位元線氧化物。

圖6B以剖面圖說明沿著圖2所界定的方向B看去的結果記憶體單元陣列，如圖6B可見，從位元線地區的文字線4將光阻材料完全移除。圖6C以剖面圖說明晶片的週邊部分配置的邏輯裝置，如圖6C所示，週邊部分完全由光阻材料所保護。

下一步驟中，將二氧化矽相關矽而進行選擇性蝕刻，為了避免閘極的氮化物間隔遭受侵襲，將二氧化矽相關氮化矽

五、發明說明 (14)

而進行選擇性蝕刻非常重要。由於將二氧化矽相關矽而進行選擇性蝕刻，所植入的位元線將幾乎不受此蝕刻製程所侵襲，之後，完全將光阻材料移除。

結果，在原先界定位元線2的那些部分將二氧化矽移除，但位元線2間的地區仍不受影響。圖7A以剖面圖說明沿著圖2所界定的方向A看去的結果記憶體單元陣列，如圖7A所見，在圖6A中已移除光阻材料的部分，今移除二氧化矽，藉此產生位元線接觸的接觸孔。

圖7B以剖面圖說明沿著圖2所界定的方向B看去的結果記憶體單元陣列，如圖7B所示，在位元線地區完全移除相鄰文字線間的位元線氧化物3。由於將二氧化矽相關氮化矽而進行選擇性蝕刻，此外，在沈積光阻材料前，將文字線由一隔離層(如以二氧化矽製成)加以覆蓋，而使文字線上的間隔未受此蝕刻步驟侵襲。

圖7C以剖面圖說明晶片的週邊部分配置的邏輯裝置，如圖7C所示，二氧化矽仍留在此地區中文字線上。

對所說明製程步驟作進一步的改良，如果沈積氮化矽線之後未從此地區移除，則閘極的間隔亦可由二氧化矽形成，因此，氮化矽線保護底下的二氧化矽間隔免受蝕刻。由於二氧化矽具有較高電阻以穿透，使用二氧化矽間隔更為有利。

下一步驟中，將在位元線裸露部分提供一電傳導材料，此步驟可以傳統製程完成，其提供如上略述的自行對正接觸，或根據本發明較佳實例，藉由稍後將說明的所謂反相多蝕刻完成。

五、發明說明 (15)

為了藉由傳統製程在接觸孔提供電傳導材料，首先在整個晶片地區，在一硼磷矽酸鹽玻璃(BPSG)之後，沈積一氮化矽線，之後使用TEOS(四乙基正矽酸鹽)由化學氣體沈積製程沈積一二氧化矽層。在此層堆疊中，將蝕刻接觸孔。

然後，塗裝一光阻材料，使用一接觸孔光罩以微影界定用以接觸位元線的接觸孔。設計接觸孔光罩，而使每第三或第四記憶體單元與稍後將形成的金屬線連接。在光阻層界定接觸孔之後，將二氧化矽層以及BPSG材料作選擇性蝕刻，例如藉由 C_4F_8 或 C_5F_8 進行乾蝕。

後續步驟中，從單元地區將光阻材料移除，及選擇性執行砷離子的離子植入步驟，俾便減少接觸電阻。

下一步驟中，沈積一電傳導材料(如 n^+ 摻雜多晶矽)，俾便填滿接觸孔，之後停止晶片表面多晶矽，例如藉由使用BPSG層作為蝕刻停止層的濕性蝕刻或電漿蝕刻。之後，金屬線將以稍後說明的方式形成。

根據本發明較佳實例，亦可將電傳導材料藉由所謂反相多蝕刻製程，將電傳導材料填入接觸孔，其中在整個晶片地區沈積一摻雜多晶矽層，及將此多晶矽層在未進行接觸的那些部分移除。

首先，為了從矽表面移除二氧化矽殘留以及純氧化物，而執行一濕清除製程，俾使在矽表面直接沈積摻雜多晶矽層。之後，沈積一高度 n 摻雜多晶矽層18，而覆蓋整面晶片地區，接著，執行在文字線氮化物蓋子之上約100 nm目標執行化學機械拋光步驟。其結果結構如圖8A至8C所示，其中圖8A以剖

五、發明說明 (16)

面圖說明沿著圖2所界定的方向A看去的記憶體單元陣列，圖8B以剖面圖說明沿著圖2所界定的方向B看去的記憶體單元陣列，圖8C以剖面圖說明晶片的週邊部分配置的邏輯裝置。

之後，沈積一具200 nm厚度的氮化矽硬性光罩層19，及塗裝一光阻材料(未示)。使用具有條紋圖案的光罩(例如類似圖4a所示的光罩)將光阻材料定圖案，而使結果光阻圖案中露出位元線2間的地區。具有一條紋圖樣的光罩可以，比如說，使用位元線光罩產生。然後，在位元間的裸露地區中移除硬性光罩層19，然後藉由蝕刻移除n+摻雜多晶矽。後續步驟中，將移除光阻材料。

移除光阻材料後，得到如圖9A至9C所示的結構，其中圖9A以剖面圖說明沿著圖2所界定的方向A看去的記憶體單元陣列，圖9B以剖面圖說明沿著圖2所界定的方向B看去的記憶體單元陣列，圖9C以剖面圖說明晶片的週邊部分配置的邏輯裝置。如圖9A及9B清楚可見，多晶矽18只留在位元線2之上的那些部分，但是在圖9C中邏輯裝置上則完全移除多晶矽18。由於在移除位元線氧化物之前即沈積一薄的二氧化矽層16，週邊部分受保護而免受蝕刻。

之後，在整個晶片地區上沈積一硼磷摻雜矽酸鹽玻璃(BPSG)層20，並使用氮化矽硬性光罩作為拋光停止，使用化學機械拋光將其平面化。結果結構如圖10A至10C所示，其中圖10A以剖面圖說明沿著圖2所界定的方向A看去的記憶體單元陣列，圖10B以剖面圖說明沿著圖2所界定的方向B看去的記憶體單元陣列，圖10C以剖面圖說明晶片的週邊部分配置

五、發明說明 (17)

的邏輯裝置。

因此，藉由以下方法由提供一電傳導材料而完成位元線接觸，其中首先在整個晶片地區沈積材料，然後，將材料從未進行接觸的地區移除，結果，不會發生自行對正蝕刻步驟，該步驟中文字線作為蝕刻光罩可能因而被侵襲。由於蝕刻步驟並非自行對正，尚可減少文字線的寬度，俾使閘極上的間隔厚度可再增加。結果，文字線與位元線接觸間的短路可大大地避免，但裝置效能卻得到充分改良。

移除氮化矽硬性光罩後，將形成金屬線，可使用所謂波紋技術或任何其他任意製程形成金屬線。為使用所謂波紋技術產生金屬線，首先使用四乙基正矽酸鹽，藉由化學氣體沈積製程，在整個晶片地區沈積一二氧化矽層。之後，使用有條紋圖案的光罩(如用以界定位元線接觸的光罩或類似光罩)，將溝蝕入二氧化矽層。

然後，沈積一鈦線及一鎢層，以這些金屬填滿溝槽，最後，使用化學機械拋光或金屬蝕回將表面弄平，而使溝槽完全被填滿，且溝槽間的空間無金屬留下，俾使溝槽互相以電隔離。

根據一不同製程，亦可首先沈積一鈦線及鎢材料，沈積一光阻材料，使用具條紋圖案的光罩(如位元線光罩)微影界定金屬線，蝕刻金屬層及沈積二氧化矽，以使金屬線互相以電隔離。

之後，在傳統方式中完成記憶體晶片。

根據本發明第二概念，藉由從未被文字線覆蓋部分的位元線及記憶體單元陣列，完全蝕刻隔離層，並藉由在位元線

五、發明說明 (18)

裸露部分提供一電傳導材料而形成位元線接觸。

從圖 5A 至 5C 所示的記憶體單元陣列開始，首先，在整個晶片沈積一薄的二氧化矽層 16 以及薄的氮化矽層 22。可選擇兩層的厚度，而使它們在後續蝕刻步驟期間，將幾乎不受侵襲。或者，不移除氮化矽，而且沈積一薄的氮化矽層以及薄的二氧化矽層。

之後，在整個晶片塗裝一光阻材料 17 (圖 11C)，並以微影定圖案，用以作為晶片週邊部分的光罩。結果，從晶片的整個記憶體單元陣列部分移除光阻劑，但仍在其週邊部分留下光阻材料。

圖 11A 以剖面圖說明沿著圖 2 所界定的方向 A 看去的記憶體單元陣列，圖 11B 以剖面圖說明沿著圖 2 所界定的方向 B 看去的記憶體單元陣列，如圖 11A 及圖 11B 可見，將光阻材料完全從記憶體單元陣列部分移除。圖 11C 以剖面圖說明晶片的週邊部分配置的邏輯裝置，如圖 11C 所示，週邊部分完全由光阻材料保護。

下一步驟中，將氮化矽相關底下的二氧化矽層作選擇性蝕刻 (圖 12A 至 12C)，及將光阻材料從整個表面移除。結果，如圖 13A 至 13C 可見，由一薄的氮化矽層覆蓋週邊部分，但記憶體單元陣列卻由薄的二氧化矽層覆蓋。

下一步驟中，將二氧化矽相關矽作選擇性蝕刻，為了避免間極的氮化物間隔將遭受侵襲，將二氧化矽相關氮化矽而進行選擇性蝕刻亦非常重要。由於此蝕刻製程加以時間控制，在隔離溝 21 填入的二氧化矽將幾乎不受侵襲，而且，以

五、發明說明 (19)

高度摻雜矽形成的位元線將不被蝕刻，因此，將二氧化矽從整個單元陣列移除，但週邊部分由於受氮化矽層22保護而仍然不受影響。如圖14A至14C可見，圖14A及圖14B以剖面圖各別說明沿著圖2所界定的方向A或B看去的結果記憶體單元陣列，但圖14C以剖面圖說明晶片的週邊部分。

由於將位元線氧化物相關氮化矽而作選擇性蝕刻，及加上在沈積光阻材料之前，文字線已由一隔離層(如由二氧化矽製成)加以覆蓋，而使文字線上的間隔不受此蝕刻步驟侵襲。

此蝕刻二氧化矽層的步驟，從整個記憶體單元陣列移除二氧化矽層，詳言之，將位元線氧化物從未被文字線覆蓋部分的位元線蝕刻掉，及另外將二氧化矽層從未被文字線4覆蓋的位元線2間的部分蝕刻掉。特別地，如果在蝕刻文字線的步驟中，ONO多層已未受侵襲，即蝕刻上氧化層7；另一方面，如果蝕刻文字線的步驟中，已蝕刻上氧化層7及氮化層6，則蝕刻下氧化層5。

作為所述製程步驟的進一步改良，亦可以二氧化矽形成間極的間隔，因此，形成間隔後所沈積的氮化矽線，保護底下的二氧化矽間隔免受蝕刻。由於二氧化矽具高度耐穿透，使用二氧化矽間隔極為有利。

下一步驟中，將在位元線裸露部分提供一電傳導材料，可由傳統製程完成，其提供如上略述的自行對正接觸，或根據本發明較佳實例，藉由稍後將說明的所謂反相多蝕刻。

為藉由傳統製程在接觸孔提供一電傳導材料，首先在硼

五、發明說明 (20)

磷矽酸鹽玻璃(BPSG)之先，在整個晶片地區沈積一氮氧化矽線，之後，由化學氣體沈積製程，使用TEOS (四乙基正矽酸鹽)沈積一二氧化矽層。在此層堆疊中，將蝕刻接觸孔。

然後，塗裝光阻材料，及使用接觸孔光罩微影界定用以接觸位元線的接觸孔。將接觸孔光罩加以設計，而使每第三或第四記憶體單元即與稍後將形成的金屬線連接，選擇性將二氧化矽以及BPSG材料蝕刻，例如藉由 C_4F_8 或 C_5F_8 的乾蝕製程。

後續步驟中，從單元地區將光阻材料移除，及選擇性執行一砷離子的離子植入步驟，俾便減少接觸電阻。

下一步驟中，沈積一電傳導材料(如 n^+ 摻雜多晶矽)，俾便填滿接觸孔，之後，停止晶片表面的多晶矽，例如藉由使用BPSG層作為蝕刻停止層的濕蝕刻或電漿蝕刻。之後，將以稍後將說明的方式形成金屬線。

根據本發明一較佳實例，由所謂的反相多蝕刻製程提供一電傳導材料(如 n^+ 摻雜多晶矽)，其中在整個晶片地區沈積一摻雜多晶矽層，並將此多晶矽層從不進行接觸的那些部分移除。

首先，為了從矽表面移除二氧化矽殘留以及純氧化物，而執行一濕清除製程，俾使在矽表面直接沈積摻雜多晶矽層。之後，沈積一高度 n 摻雜多晶矽層18，而覆蓋整面晶片地區，接著，執行在文字線氮化物蓋子之上約100 nm目標執行化學機械拋光步驟。其結果結構如圖15A至15C所示，其中圖15A以剖面圖說明沿著圖2所界定的方向A看去的記憶體單元陣

五、發明說明 (21)

列，圖 15B 以剖面圖說明沿著圖 2 所界定的方向 B 看去的記憶體單元陣列，圖 15C 以剖面圖說明晶片的週邊部分配置的邏輯裝置。

之後，沈積一具 200 nm 厚度的氮化矽硬性光罩層 19，及塗裝一光阻材料(未示)。使用具有條紋圖案的光罩(例如類似圖 4A 所示的光罩)將光阻材料定圖案，而使結果光阻圖案中露出位元線 2 間的地區。例如可使用位元線光罩產生具有條紋圖案的光罩。

之後，在位元線 2 間裸露地區中，移除硬性光罩層 19，並藉由相關氮化矽作選擇性蝕刻而將 n^+ 摻雜多晶矽移除。如果在將文字線 4 定圖案步驟期間，已從文字線 4 間移除上氧化層 7 及氮化層 6，此蝕刻步驟將停在氮化層 6。

根據本發明特佳實例，在文字線 4 定圖案步驟期間，已將上氧化層 7 及氮化層 6 從文字線 4 間移除，俾使今無存在蝕刻停止，且在位元線間單元地區中，輕微蝕刻矽基板 1。最好將過度蝕刻加以時間控制，而使所蝕刻的基板深度大於位元線的植入深度。

藉此，在記憶體單元陣列中，以自行對正方式形成隔離溝。因此藉由在隔離溝中提供一隔離材料，而使相鄰位元線能以電隔離。藉此，可執行額外的自行對正淺溝隔離程序，與傳統的淺溝隔離程序對照，本發明的程序為提供隔離溝並不需增加單元尺寸，而顯得更為有利。

在後續步驟中，將移除光阻材料，移除光阻材料後，將得到如圖 16A 至 16C 所示的結構，其中圖 16A 以剖面圖說明沿著

五、發明說明 (22)

圖2所界定的方向A看去的記憶體單元陣列，圖16B以剖面圖說明沿著圖2所界定的方向B看去的記憶體單元陣列，圖16C以剖面圖說明晶片的週邊部分配置的邏輯裝置。如圖16A及16B清楚可見，多晶矽18只留在位元線之上的那些部分，但是在圖16C中邏輯裝置上則完全移除多晶矽18。由於在移除位元線氧化物之前，即沈積一薄的二氧化矽層16及一薄氮化矽層22，週邊部分受保護而免受蝕刻。

之後，在整個晶片地區上沈積一硼磷摻雜矽酸鹽玻璃(BPSG)層20，並使用氮化矽硬性光罩作為拋光停止，使用化學機械拋光將其平面化。結果結構如圖17A至17C所示，其中圖17A以剖面圖說明沿著圖2所界定的方向A看去的記憶體單元陣列，圖17B以剖面圖說明沿著圖2所界定的方向B看去的記憶體單元陣列，圖17C以剖面圖說明晶片的週邊部分配置的邏輯裝置。

因此，藉由以下方法由提供一電傳導材料而完成位元線接觸，其中首先在整個晶片地區沈積材料，然後，將材料從未進行接觸的地區移除，結果，不會發生自行對正蝕刻步驟，該步驟中文字線作為蝕刻光罩可能因而被侵襲。由於蝕刻步驟並非自行對正，尚可減少文字線的寬度，俾使閘極上的間隔厚度可再增加。結果，文字線與位元線接觸間的短路可大大地避免，但裝置效能卻得到充分改良。

如果提供自行對正淺溝隔離，裝置效能可顯著改良，如圖17A清楚可見，在位元線間形成填滿硼磷玻璃的隔離溝，俾便提供一電隔離。

五、發明說明 (23)

移除氮化矽硬性光罩後，將形成金屬線，可使用所謂波紋技術或任何其他任意製程形成金屬線。為使用所謂波紋技術產生金屬線，首先使用四乙基正矽酸鹽，藉由化學氣體沈積製程，在整個晶片地區沈積一二氧化矽層。之後，使用有條紋圖案的光罩(如用以界定位元線接觸的光罩或類似光罩)，將溝蝕入二氧化矽層。

然後，沈積一鈦線及一鎢層，以這些金屬填滿溝槽，最後，使用化學機械拋光或金屬蝕回將表面弄平，而使溝槽完全被填滿，且溝槽間的空間無金屬留下，俾使溝槽互相以電隔離。

根據一不同製程，亦可首先沈積一鈦線及鎢材料，沈積一光阻材料，使用具條紋圖案的光罩(如位元線光罩)微影界定金屬線，蝕刻金屬層及沈積二氧化矽，以使金屬線互相以電隔離。

之後，在傳統方式中完成記憶體晶片。

根據本發明第二概念進一步的修改，如圖5A至5C所示結構中，只沈積一薄的二氧化矽層16，其具有如上所界定的適當厚度，並省略薄的氮化矽層22。

下一步驟中，晶片的週邊部分由光阻材料作為光罩，並在晶片的記憶體部分蝕刻二氧化矽，之後，在位元線裸露部分提供電傳導材料。為此，可執行上述用以提供自行對正接觸的傳統製程，亦可執行前述的反相多蝕刻製程，惟，由於此情形下，晶片的週邊部分未受氮化矽層22保護，必須將摻雜多晶矽相關二氧化矽作選擇性蝕刻，以避免邏輯零組件將

五、發明說明 (24)

受侵襲。之後，將以前述方式完成記憶體晶片。

圖號說明

- | | |
|----|----------------|
| 1 | 基板 |
| 2a | 第一位元線 |
| 2b | 第二位元線 |
| 2 | 位元線 |
| 3 | 位元線氧化物 |
| 4 | 閘極 |
| 5 | 下氧化矽層 |
| 6 | 氮化矽層 |
| 7 | 上氧化矽層 |
| 8 | 窄捕獲電子分佈 |
| 9 | 讀取方向 |
| 10 | 程式化方向 |
| 11 | $6F^2$ 十字交叉點單元 |
| 12 | 光阻行 |
| 13 | 電晶體通道 |
| 14 | 主動地區 |
| 15 | 間隔 |
| 16 | 二氧化矽層 |
| 17 | 光阻層 |
| 18 | 多晶矽層 |
| 19 | 硬性光罩層 |
| 20 | BPSG層 |

五、發明說明 (25)

21 隔離溝

22 氮化矽層

裝

訂

線

四、中文發明摘要 (發明之名稱：在記憶體單元陣列中用以提供位元線接觸之方法與具)
有位元線接觸之記憶體單元陣列

本發明提供一種在記憶體單元陣列中用以提供位元線接觸之方法，此記憶體單元陣列包括複數個在一第一方向配置之位元線(2)，該位元線(2)覆以一隔離層(3)，在該位元線之上與第一方向垂直之第二方向配置複數個文字線(4)，記憶體單元在該位元線(2)與文字線(4)互相交叉點上。根據本發明第一方面，將隔離層(3)由位元線(2)未被文字線(4)覆蓋之部分移除，反之位元線(2)間之地區保持未受影響。或者，將隔離層(3)由整個單元陣列中移除，之後在該位元線(2)之裸露部分提供一電傳導材料(18)。

本方法用以在氮化物唯讀記憶(NROM™)晶片中提供位元線接觸。

A METHOD FOR PROVIDING BITLINE
CONTACTS IN A MEMORY CELL ARRAY AND)
A MEMORY CELL ARRAY HAVING BITLINE
CONTACTS

The present invention provides a method for providing bitline contacts in a memory cell array which comprises a plurality of bitlines (2) arranged in a first direction, said bitlines (2) being covered by an isolating layer (3), a plurality of wordlines (4) arranged in a second direction perpendicular to said first direction above said bitlines, memory cells being disposed at the points at which said bitlines (2) and wordlines (4) cross each other. According to a first aspect of the present invention, the isolating layer (3) is removed from the bitlines (2) at the portions which are not covered by the wordlines (4), whereas the areas between the bitlines (2) remain unaffected. Alternatively, the isolating layer (3) is removed from the whole cell array. Then, an electrical conductive material (18) is provided on the exposed portions of said bitlines (2).

The method is used to provide bitline contacts in a nitride read only memory (NROM™) chip.

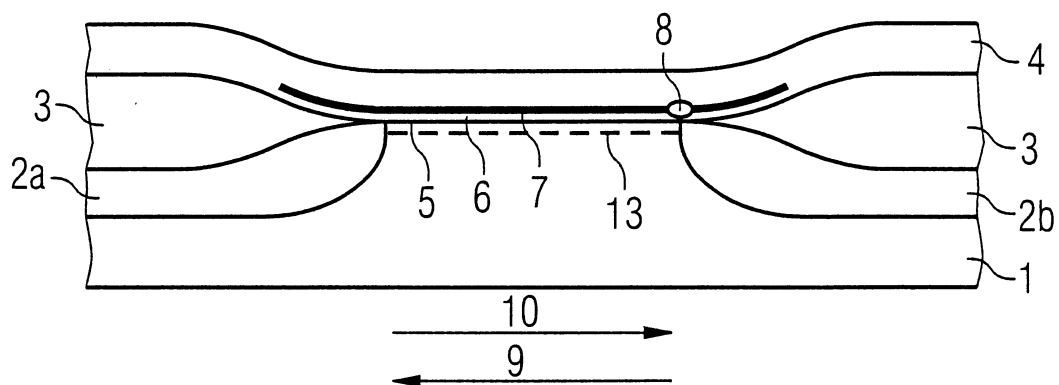


圖 1

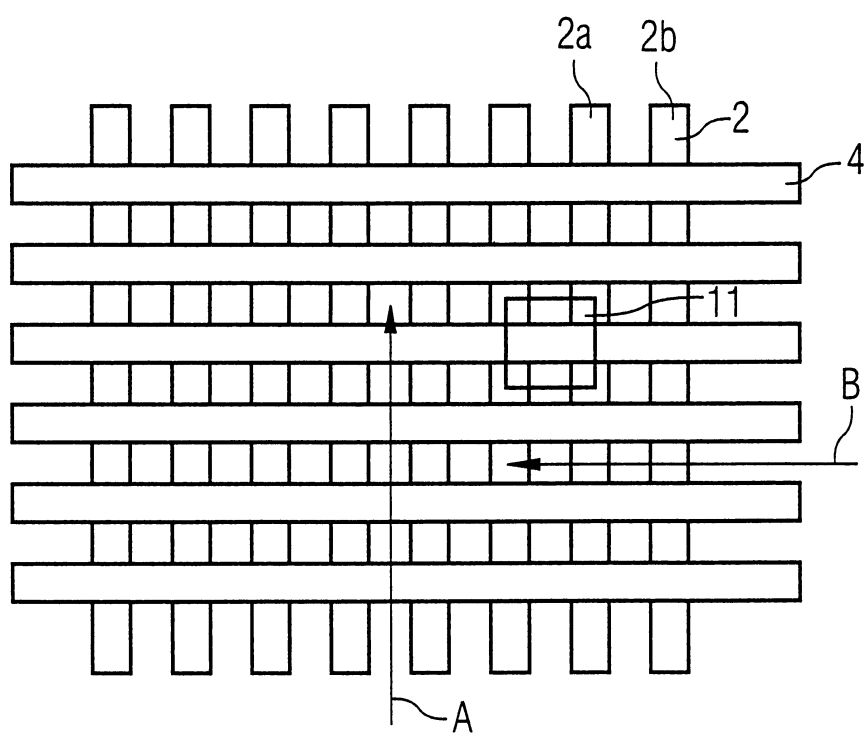


圖 2

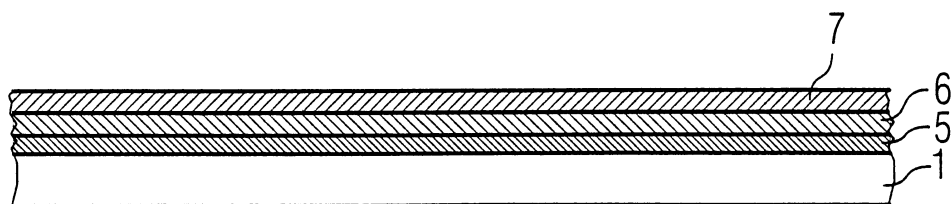


圖 3

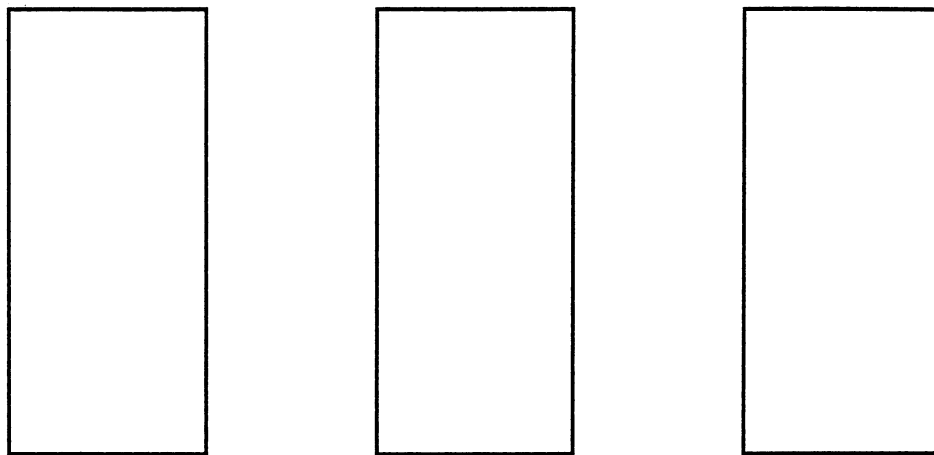


圖 4A

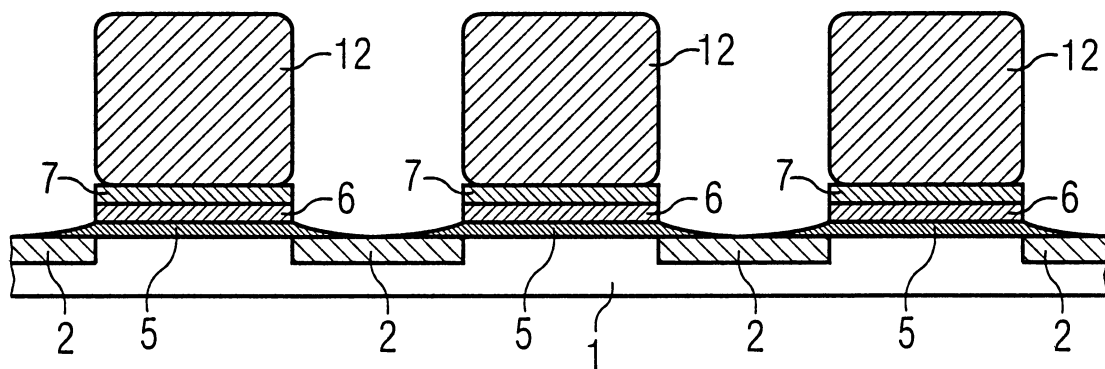


圖 4B

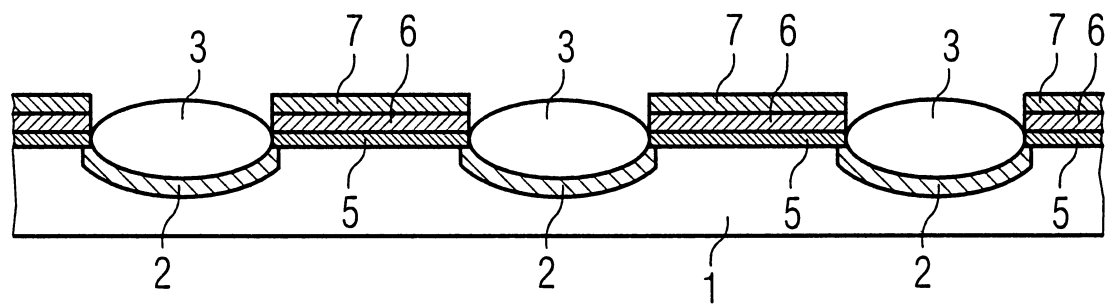


圖 4C

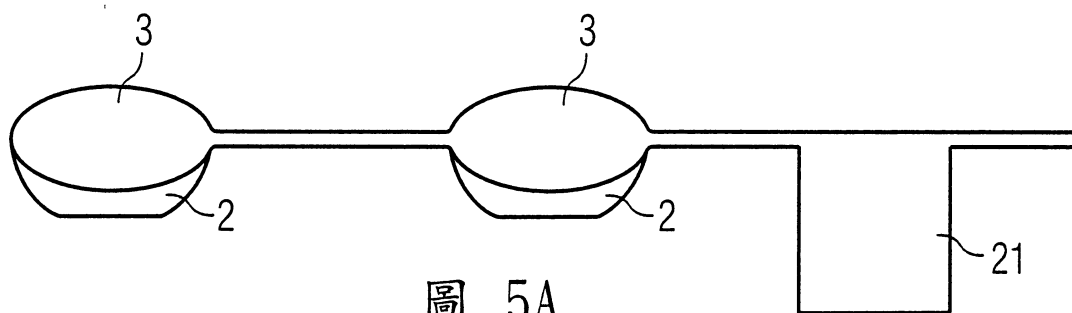


圖 5A

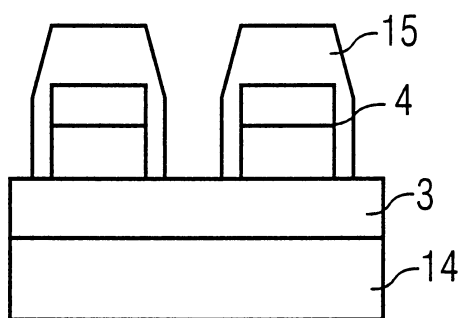


圖 5B

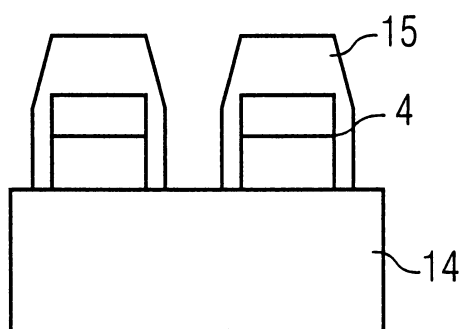


圖 5C

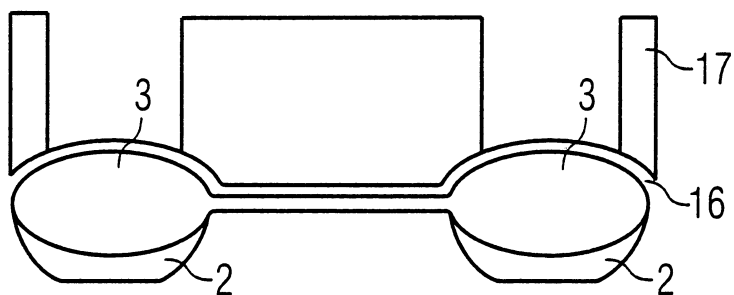


圖 6A

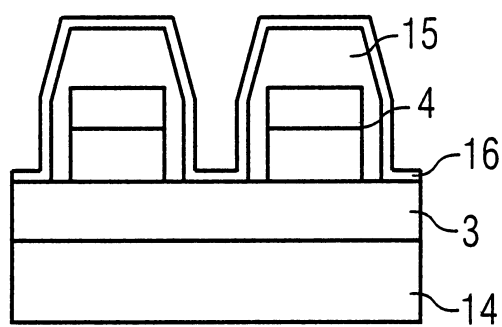


圖 6B

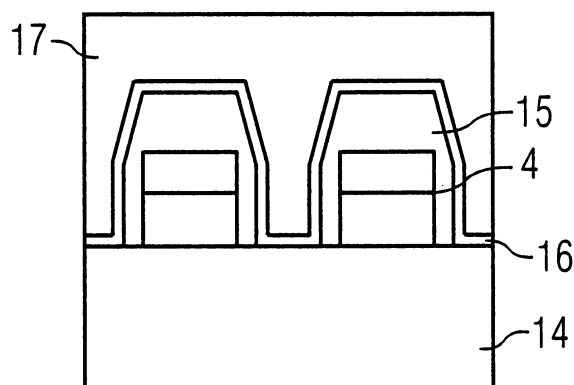


圖 6C

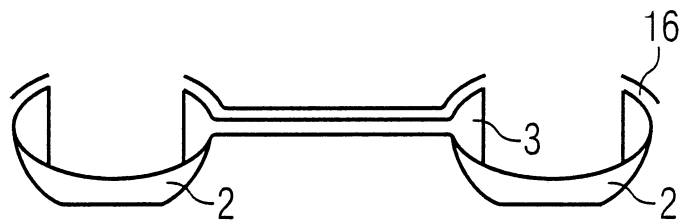


圖 7A

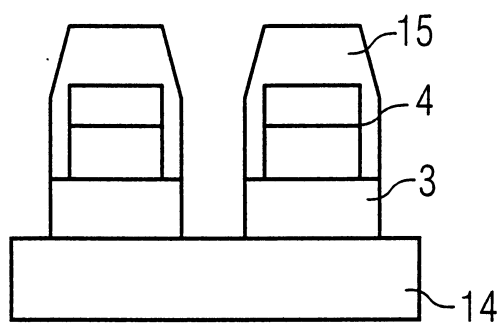


圖 7B

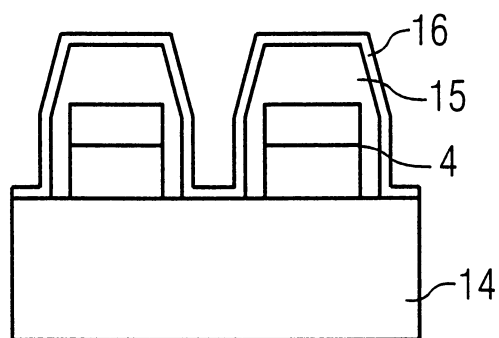


圖 7C

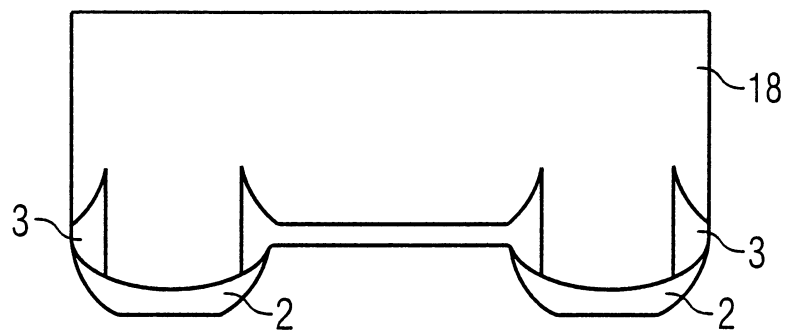


圖 8A

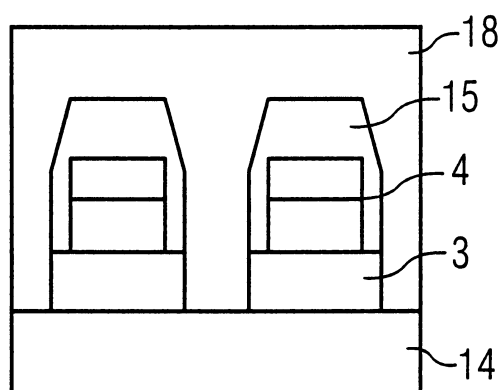


圖 8B

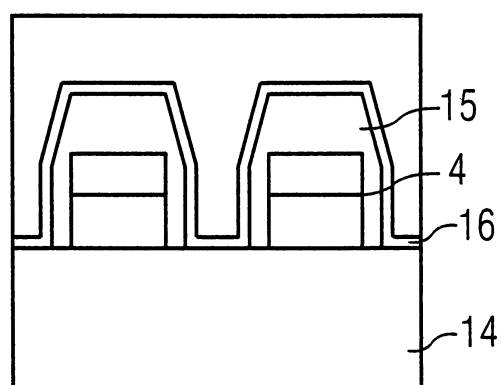


圖 8C

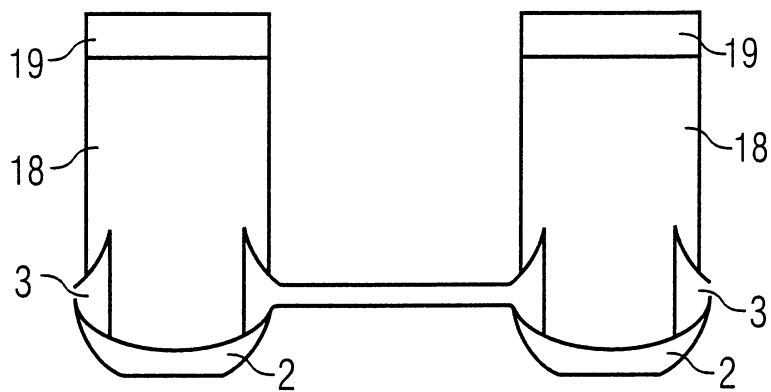


圖 9A

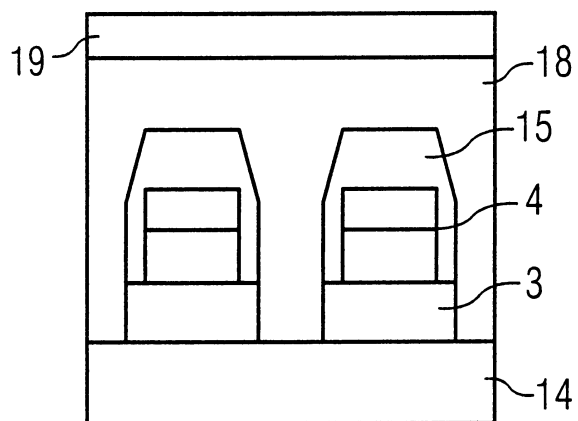


圖 9B

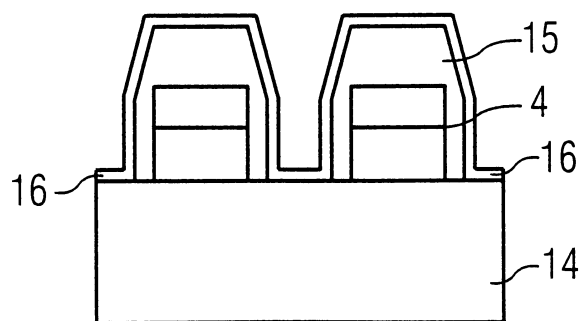


圖 9C

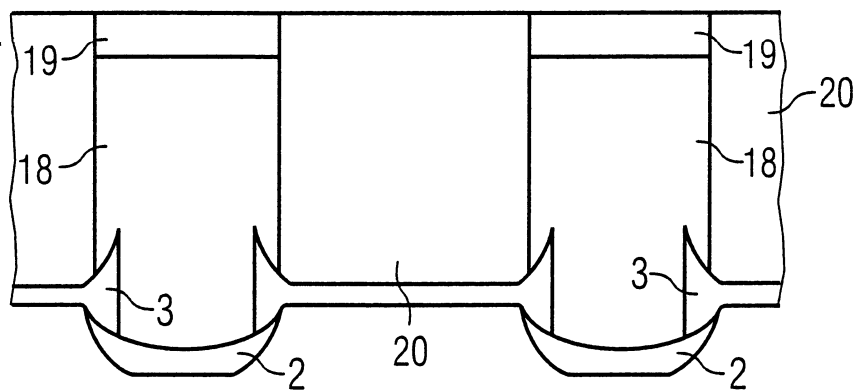


圖 10A

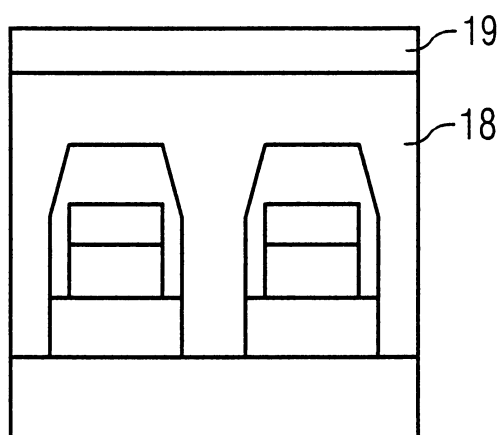


圖 10B

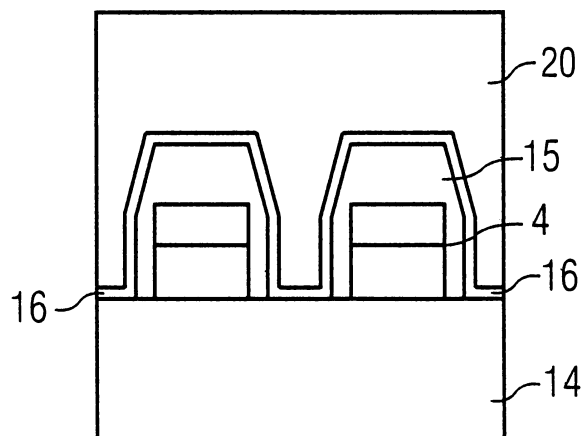


圖 10C

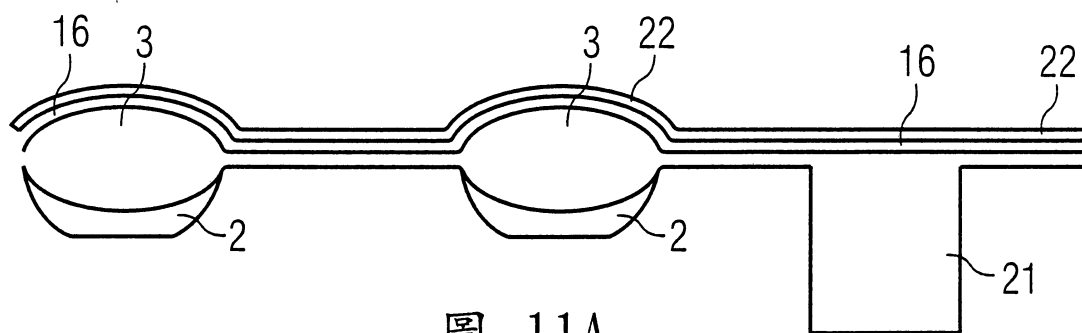


圖 11A

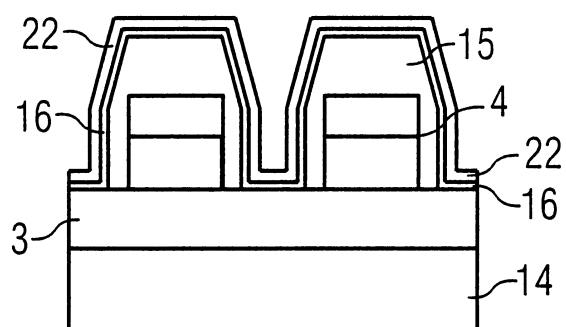


圖 11B

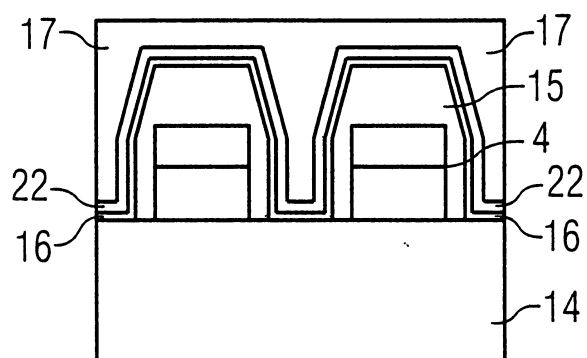


圖 11C

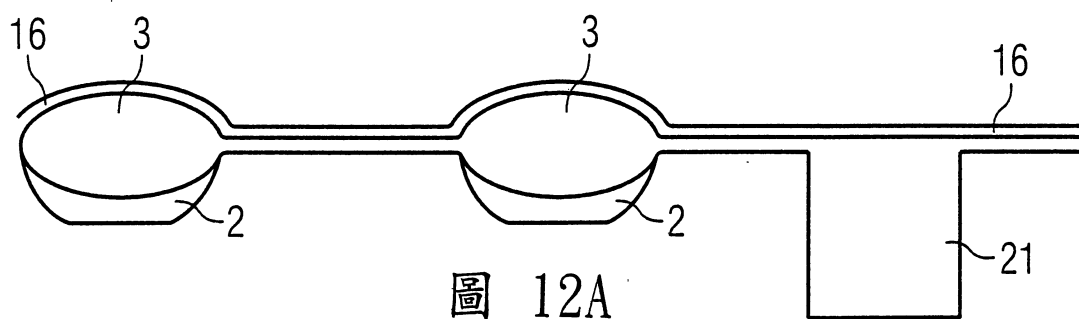


圖 12A

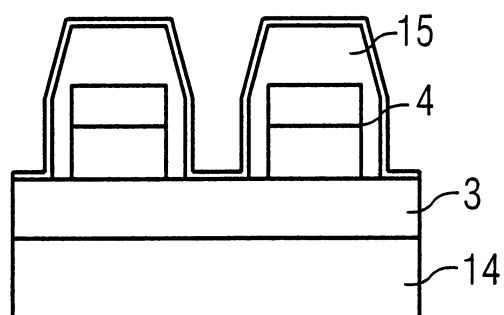


圖 12B

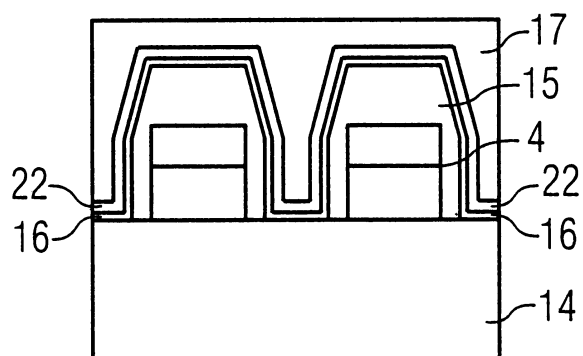


圖 12C

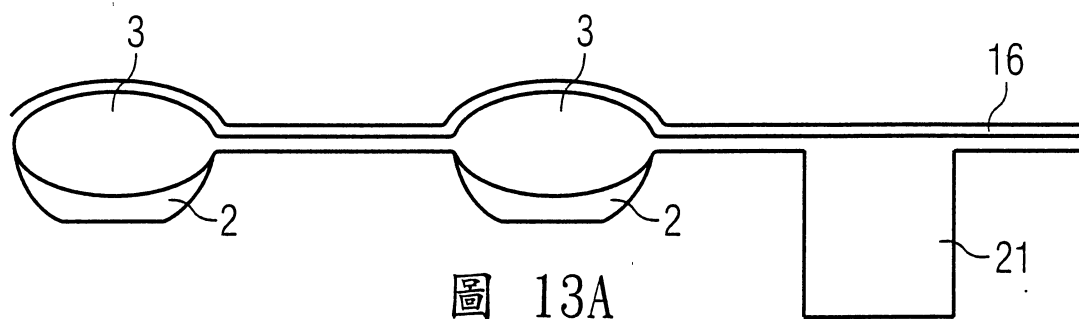


圖 13A

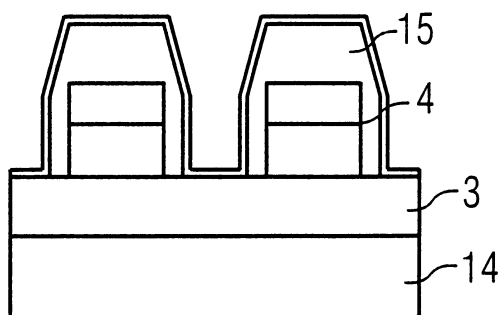


圖 13B

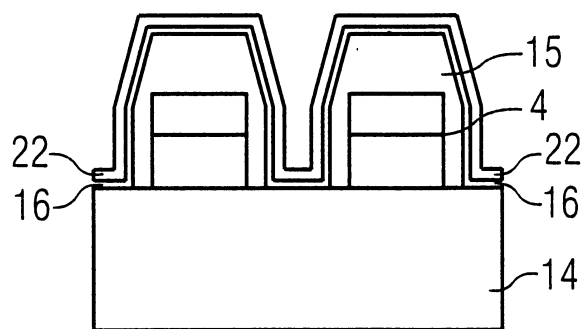


圖 13C

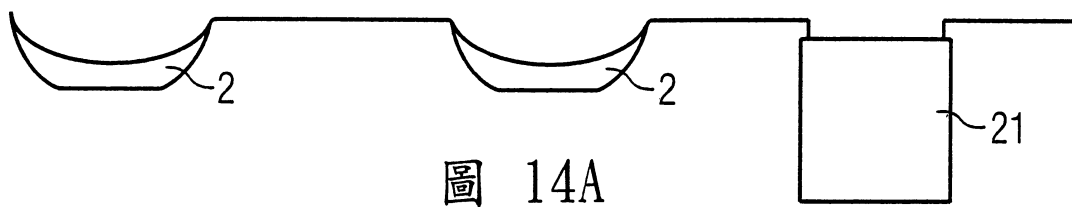


圖 14A

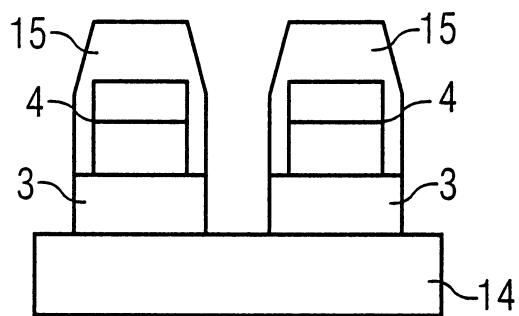


圖 14B

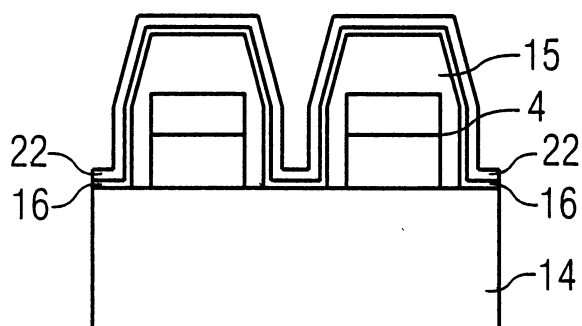


圖 14C

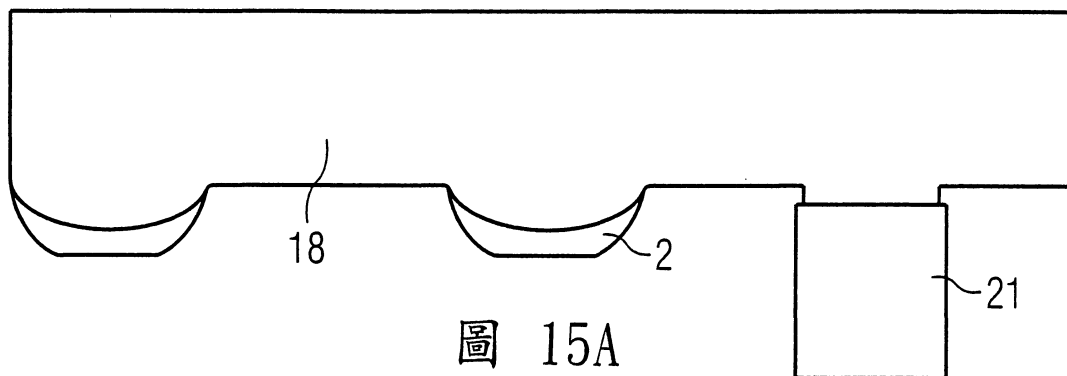


圖 15A

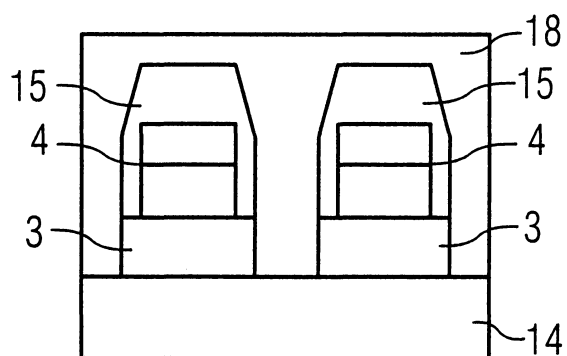


圖 15B

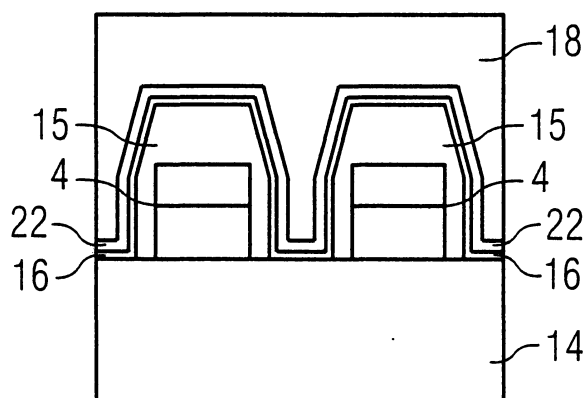


圖 15C

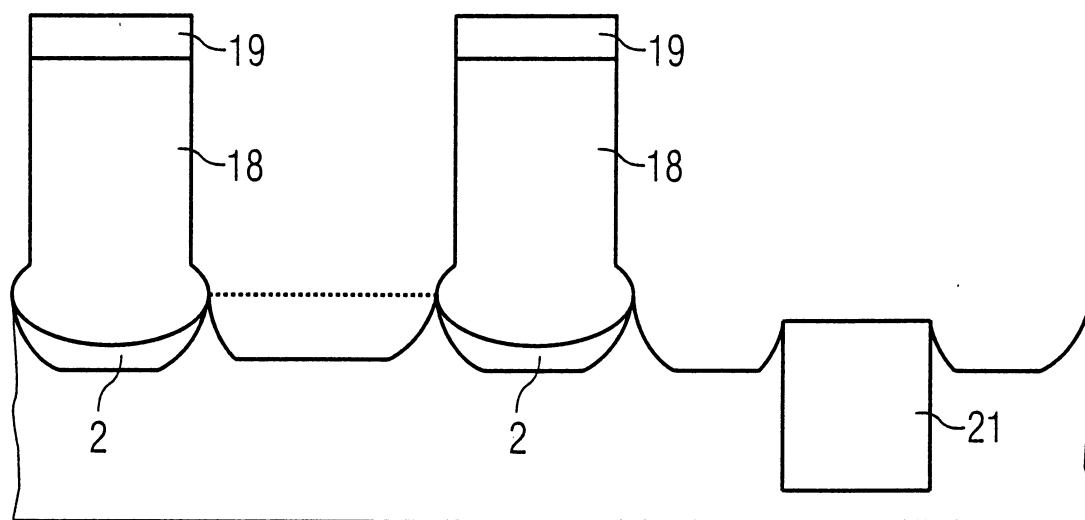


圖 16A

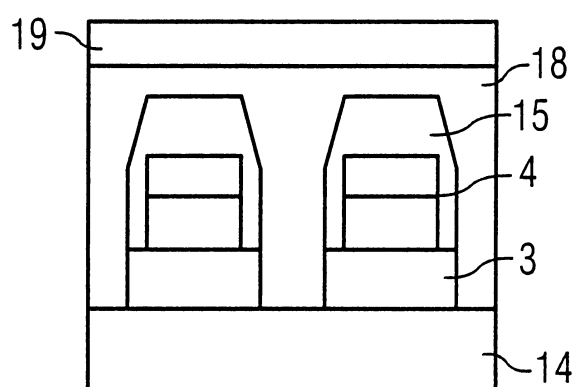


圖 16B

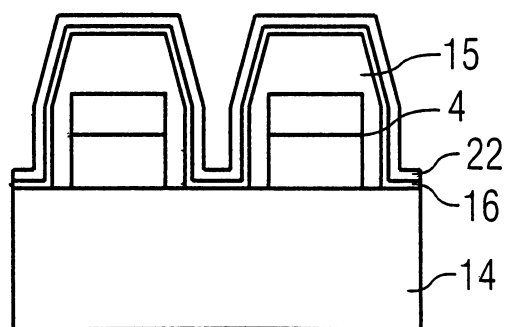


圖 16C

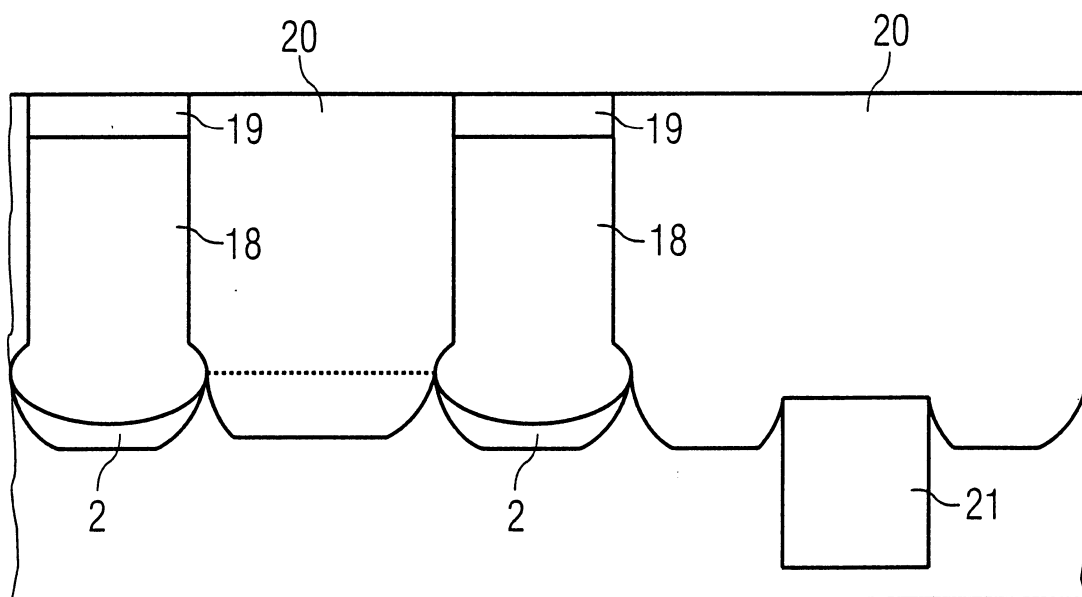


圖 17A

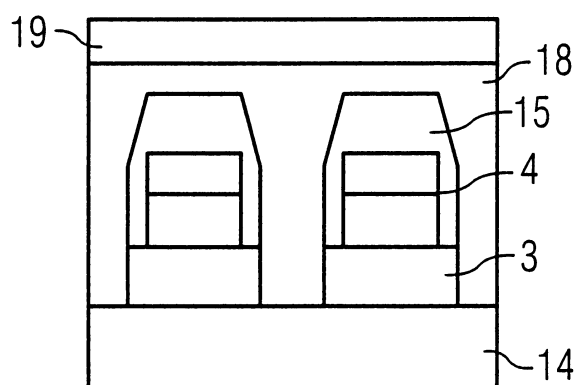


圖 17B

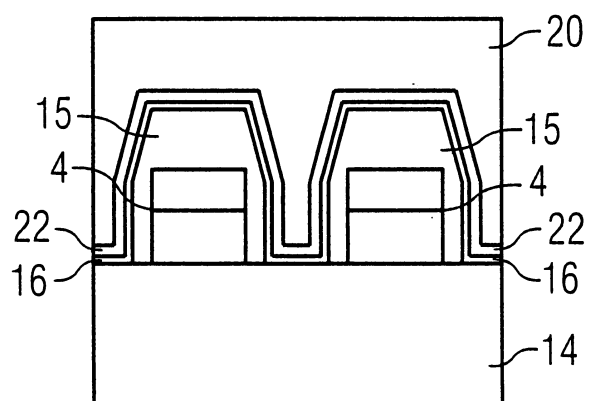


圖 17C

五、發明說明 (9)

列以及氮化物唯讀記憶體單元陣列。對照之下，習知的記憶體單元陣列中，在那些藉由使用接觸孔光罩的傳統 SAC 製程加以界定的部分，在每第三或第四記憶體單元移除位元線氧化物。

本發明的記憶體單元陣列以及氮化物唯讀記憶體單元陣列，由於其增加的間隔厚度，對文字線與位元線間的短路表現改良的耐力，而使它們相關於習知者顯得特別有利。

可將在記憶體單元陣列提供位元線接觸的方法，可施至任何單元形式，其中位元線覆以一隔離層(如位元線氧化物)。本發明可施加的一般單元形式，包括 ROM 及 EPROM 單元。

附圖簡單說明

以下將參照附圖，對本發明詳加說明。

圖 1 以剖面圖說明一 NROM™ 記憶體單元；

圖 2 說明可施加本發明的一典型記憶體單元陣列；

圖 3 及 4A 至 4C 說明根據習用方法預備一 NROM™ 記憶體單元陣列的步驟；

圖 5A 至 5C 以剖面圖說明未實作本發明方法前的記憶體單元陣列；

圖 6A，6B 及 6C 至 7A，7B 及 7C 根據本發明第一方面，在用以提供位元線接觸的方法中，移除位元線氧化物的步驟；

圖 8A，8B，8C，9A，9B，9C，10A，10B 及 10C 根據本發明第一方面，在用以提供位元線接觸的方法中，提供一電傳導材料的步驟；

圖 11A，11B，11C，12A，12B，12C，13A，13B，13C，14A，14B 及 14C 根據本發明第二方面，在用以提供位元線接觸的方法中，移除位元線氧化物的步驟；及

五、發明說明 (10)

圖 15A, 15B, 15C, 16A, 16B, 16C, 17A, 17B 及 17C 根據本發明第二方面, 在用以提供位元線接觸的方法中, 提供一電傳導材料的步驟。

附圖詳細說明

以下本發明較佳實例的說明將主要集中在製造一 NROM™ 記憶體單元陣列的過程, 其中基本上說明產生記憶體單元零組件的步驟, 但對記憶體單元陣列週邊部分(包括邏輯零組件)的定義只示意略述。當然, 記憶體單元陣列的週邊部分係以一般習知方法製造。

首先在一基板 1 (如 p 摻雜矽) 蝕刻隔離溝 21 作為一標準淺溝隔離 (STI), 之後以一隔離材料(如二氧化矽)填充隔離溝。提供這些隔離溝的距離係以對應至約 64 位元線的距離, 稍後將加以界定, 而它們係用以分開較大的單元面積。

之後, 由傳統製程在一半導體基板 1 (如 p 摻雜矽) 上沈積一 ONO 多層, 包括一 5 nm 至 15 nm SiO_2 層 5、一 2 至 15 nm Si_3N_4 層 6 及一 5 至 15 nm SiO_2 層 7, 而使整個基板如圖 3 所示, 覆以一 ONO 多層。

之後, 為了產生位元線, 即形成源極線及汲極線, 在基板上沈積一位元線光罩, 一般為以熟知方式定圖案的光阻劑。在晶片的記憶體單元陣列部分內, 位元線的佈局如圖 4A 所示。如圖 4B 所示, 光阻行 12 界定未植入位元線 2 的地區, 因此, 如圖 1 所示, 它們在電晶體的通道區域 13 沈積, 圖 4C 以剖面圖說明具有植入位元線的記憶體單元。

接著, 將上氧化層 7 及氮化層 6 從光阻行 12 間的區域蝕去, 通常藉由一乾蝕製程。之後, 在光阻行 12 間的地區以一 n 摻

六、申請專利範圍

1. 一種在記憶體單元陣列中用以提供位元線接觸之方法，此記憶體單元陣列包括複數個在一第一方向配置之位元線(2)，該位元線(2)覆以一隔離層(3)，在該位元線(2)之上與第一方向垂直之第二方向配置複數個文字線(4)，記憶體單元在該位元線(2)與文字線(4)互相交叉處，該方法包括之步驟為：
 - 將隔離層(3)由位元線(2)未被文字線(4)覆蓋之部分移除，反之位元線(2)間之地區保持未受影響；及
 - 在該位元線(2)之裸露部分提供一電傳導材料(18)。
2. 如申請專利範圍第1項之在記憶體單元陣列中用以提供位元線接觸之方法，其中將隔離層(3)由位元線(2)移除之步驟包括以下步驟：
 - 沈積一光阻材料(17)，
 - 使用一具條紋圖案之光罩將該光阻材料(17)定圖案，及
 - 將隔離層(3)相對文字線(4)作選擇性蝕刻。
3. 如申請專利範圍第2項之在記憶體單元陣列中用以提供位元線接觸之方法，其中該具條紋圖案之光罩係位元線光罩，先前位元線(2)已藉此光罩加以界定。
4. 一種在記憶體單元陣列中用以提供位元線接觸之方法，此記憶體單元陣列包括複數個位元線(2)在一基板(1)上配置成一第一方向，複數個文字線(4)在該基板(1)上在該位元線(2)之上配置成與第一方向垂直之第二方向，記憶體單元在該位元線與文字線互相交叉處，其中該位元線覆以一隔離層(3)，而在位元線間記憶體單元陣列之所有部

六、申請專利範圍

分(即未由文字線覆蓋部分)，由至少一隔離層(5, 6, 7)覆蓋，該方法包括以下步驟：

- 藉由一步驟將該隔離層(3)從該位元線移除，亦藉由此步驟將該至少一隔離層之最外部(5, 7)，從記憶體單元陣列未由文字線(4)覆蓋之部分移除；及
 - 在該位元線(2)之裸露部分提供一電傳導材料(18)。
5. 如申請專利範圍第4項之在記憶體單元陣列中用以提供位元線接觸之方法，其中將隔離層(3)由位元線(2)移除之步驟包括將隔離層(3)相對文字線(4)選擇性地進行時間控制蝕刻。
6. 如申請專利範圍第1至5項中任一項之在記憶體單元陣列中用以提供位元線接觸之方法，其中在該位元線之裸露部分提供一電傳導材料(18)之步驟，包括以下步驟：
- 將一隔離材料沈積至記憶體單元陣列；
 - 塗佈一光阻材料及在該光阻材料中以微影界定接觸孔；
 - 蝕刻該隔離材料，俾便產生該接觸孔；及
 - 沈積一電傳導材料，俾便以該電傳導材料填補該接觸孔。
7. 如申請專利範圍第1至3項中任一項之在記憶體單元陣列中用以提供位元線接觸之方法，其中在該位元線之裸露部分提供一電傳導材料(18)之步驟，包括以下步驟：
- 將一電傳導材料(18)沈積至記憶體單元陣列；
 - 從位元線間之地區將該電傳導材料(18)移除；及

六、申請專利範圍

- 在位元線間之地區沈積一隔離材料(20)。
- 8. 如申請專利範圍第7項之在記憶體單元陣列中用以提供位元線接觸之方法，其中由該位元線(2)間移除電傳導材料(18)之步驟，包括以下步驟：
 - 在該電傳導材料上塗佈一光阻材料，及以微影界定使用具條紋圖案之光罩將移除電傳導材料之區域；及
 - 在裸露區域移除電傳導材料(18)。
- 9. 如申請專利範圍第4或5項中任一項之在記憶體單元陣列中用以提供位元線接觸之方法，其中在該位元線之裸露部分提供一電傳導材料(18)之步驟，包括以下步驟：
 - 將該電傳導材料(18)沈積至記憶體單元陣列；
 - 從位元線間之地區將該電傳導材料(18)移除；及
 - 在位元線間之地區沈積一隔離材料(20)。
- 10. 如申請專利範圍第9項之在記憶體單元陣列中用以提供位元線接觸之方法，其中由該位元線(2)間移除電傳導材料(18)之步驟，包括以下步驟：
 - 在該電傳導材料上塗佈一光阻材料，及以微影界定使用具條紋圖案之光罩將移除電傳導材料之區域；及
 - 在裸露區域移除電傳導材料(18)。
- 11. 如申請專利範圍第10項之在記憶體單元陣列中用以提供位元線接觸之方法，其中藉由從該位元線移除該隔離層(3)之步驟，未由文字線覆蓋之位元線間部分裸露基板(1)，及執行蝕刻該電傳導材料(18)之步驟作為過度蝕刻步驟，俾便移除電傳導材料之下的基板(1)部分。

六、申請專利範圍

12. 如申請專利範圍第6項之在記憶體單元陣列中用以提供位元線接觸之方法，其中該隔離材料(20)為一摻入硼及/或磷之碳酸玻璃。
13. 如申請專利範圍第1項之在記憶體單元陣列中用以提供位元線接觸之方法，其中該電傳導材料(18)為一摻雜多晶矽。
14. 一種製造氮化唯讀記憶體(NROM)晶片之方法，包括以下步驟：
 - 提供一記憶體單元陣列，其中複數個記憶體單元在複數個位元線(2)與複數個文字線(4)互相交叉之點上，該複數個位元線(2)(以隔離層(3)覆蓋)，配置成第一方向，該複數個文字線(4)配置成與第一方向垂直之第二方向，各該記憶體單元由一金屬-絕緣體-半導體場效電晶體組成，其中該絕緣體為一氧化物-氮化物-氧化物多層堆疊，用以儲存至少一注入電子；
 - 提供包括邏輯零組件之週邊設備部分；
 - 藉由如申請專利範圍第1至13項中任一項之方法提供位元線接觸，用以在該位元線(2)與將在隨後步驟中形成之金屬線間達成電接觸；及
 - 提供在該位元線之上以第一方向配置之金屬線。