



(12) 发明专利

(10) 授权公告号 CN 102347073 B

(45) 授权公告日 2014. 06. 25

(21) 申请号 201110155556. 4

(22) 申请日 2011. 06. 10

(30) 优先权数据

2010-133016 2010. 06. 10 JP

(73) 专利权人 夏普株式会社

地址 日本大阪府大阪市

(72) 发明人 石原数也

(74) 专利代理机构 中国专利代理(香港)有限公司

司 72001

代理人 毛利群 王忠忠

(56) 对比文件

CN 1574076 A, 2005. 02. 02,

US 6204139 B1, 2001. 03. 20,

US 7248494 B2, 2007. 07. 24,

审查员 杨栋

(51) Int. Cl.

G11C 16/02(2006. 01)

G11C 16/24(2006. 01)

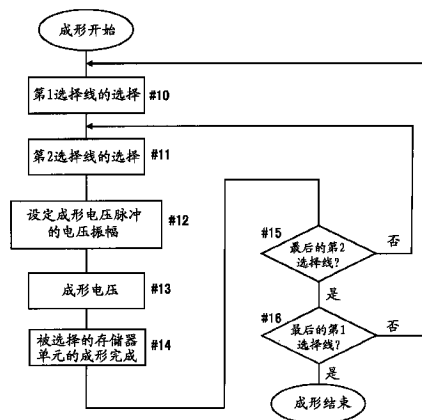
权利要求书2页 说明书16页 附图14页

(54) 发明名称

非易失性可变电阻元件的电阻控制方法

(57) 摘要

本发明提供了一种非易失性可变电阻元件的电阻控制方法,对多个存储器单元能同时进行写入工作、擦除工作、以及成形处理。在非易失性可变电阻元件的电阻控制方法中,对于具备将具备非易失性可变电阻元件和晶体管的单位存储器单元排列成矩阵状的存储器单元阵列,通过第1选择线(字线)、第2选择线(位线)、以及第3选择线(源极线)来选择存储器工作对象的存储器单元的非易失性半导体存储装置,具有:选择一根或多根第1选择线的步骤;选择多根第2选择线的步骤;以对全部的被选择的存储器单元施加存储器工作需要的电压的方式,施加对电流经由该第2选择线在第3选择线中流过而导致的第3选择线的电位变动进行补偿的电压来成为存储器工作需要的电压的步骤。



1. 一种非易失性可变电阻元件的电阻控制方法,其中,

非易失性半导体存储装置具有存储器单元阵列,该存储器单元阵列以如下方式形成,即,将在可变电阻体的两端担载有电极的二端子型的所述非易失性可变电阻元件的一个端子、以及通过对控制端子施加的电流或电压来控制其它的二个端子间流过的电流量的三端子型的选择元件的除了所述控制端子之外的其它的二个端子中的任一方进行连接,构成存储器单元,将多个所述存储器单元矩阵状地分别在行及列方向配置,在所述非易失性半导体存储装置中,

在所述非易失性可变电阻元件中,通过实施成形处理,对该非易失性可变电阻元件的两个端子间供给电应力,由此电阻状态在二个以上的不同的电阻状态间转变,将该转变后的一个电阻状态用于信息的存储,

在所述存储器单元中,

所述选择元件的所述控制端子连接于第 1 选择线,

所述非易失性可变电阻元件的不与所述选择元件连接的一个端子、以及所述选择元件的不与所述非易失性可变电阻元件连接的除了所述控制端子之外的一个端子中的任一方连接于第 2 选择线,另一方连接于第 3 选择线,

所述第 1 选择线在行方向延伸,将属于同一行的所述存储器单元彼此相互连接,

所述第 2 选择线在列方向延伸,将属于同一列的所述存储器单元彼此相互连接,

通过所述第 1 选择线、所述第 2 选择线以及所述第 3 选择线,所述存储器单元阵列内的所述存储器单元相互连接,

在所述非易失性可变电阻元件的电阻控制方法中,

选择一根或多根所述第 1 选择线及多根所述第 2 选择线,对通过该第 1 选择线及该第 2 选择线选择的全部的所述存储器单元,一并进行所述非易失性可变电阻元件的写入、擦除、或所述成形处理的任一个存储器工作,

所述非易失性可变电阻元件的电阻控制方法包含:

第 1 步骤,选择与所述存储器单元阵列内的所述存储器工作的对象的所述存储器单元连接的一根或多根所述第 1 选择线,向该被选择的第 1 选择线的全部施加规定的选择电压,

第 2 步骤,选择与所述存储器单元阵列内的所述存储器工作的对象的所述存储器单元连接的多根所述第 2 选择线;以及

第 3 步骤,以在所述存储器工作的对象的全部的所述存储器单元的两端施加所述存储器工作需要的电压的方式,对所述被选择的第 2 选择线的每一根,根据对于与该第 2 选择线连接的所述存储器工作的对象的各个所述存储器单元所连接的所述第 3 选择线是共同地连接的所述存储器工作的对象的所述存储器单元的最大数,施加对于所述非易失性可变电阻元件的所述存储器工作需要的电压补偿了电流经由第 2 选择线在所述第 3 选择线中流过而导致的所述第 3 选择线的电位变动的量的电压。

2. 根据权利要求 1 所述的非易失性可变电阻元件的电阻控制方法,其中,

在所述存储器单元阵列中,所述第 3 选择线在列方向延伸,将属于同一列的所述存储器单元彼此相互连接。

3. 根据权利要求 1 所述的非易失性可变电阻元件的电阻控制方法,其中,

所述存储器工作是所述成形处理。

4. 根据权利要求 3 所述的非易失性可变电阻元件的电阻控制方法,其中,在所述成形处理时,以流过所述非易失性可变电阻元件的电流量为 $50\ \mu\text{A}$ 以下的方式,设定所述存储器单元内的所述选择元件的偏置条件。

5. 根据权利要求 3 或 4 所述的非易失性可变电阻元件的电阻控制方法,其中,所述非易失性半导体存储装置将成形感测电路直接或经由译码器连接于所述第 2 选择线,或者在所述第 3 选择线在列方向延伸的情况下直接或经由译码器连接于所述第 3 选择线,所述成形感测电路对伴随着所述成形处理的完成的流过所述第 2 选择线的规定位置的电流或所述第 2 选择线的规定位置的电位的变动进行感测,

所述非易失性可变电阻元件的电阻控制方法包含:第 4 步骤,当所述成形感测电路感测到特定的所述第 2 选择线的电流或电位的变动时,所述非易失性半导体存储装置在与该特定的第 2 选择线连接的全部的所述存储器单元的所述成形处理完成的情况下,停止经由该特定的第 2 选择线的电压的施加。

6. 根据权利要求 5 所述的非易失性可变电阻元件的电阻控制方法,其中,在所述第 4 步骤中,当所述非易失性半导体存储装置停止经由特定的所述第 2 选择线的电压的施加时,将该特定的第 2 选择线设定为非选择,

所述非易失性可变电阻元件的电阻控制方法包含:第 5 步骤,再次计算对于与所述被选择的第 2 选择线的每一根连接的所述成形处理的对象的各个所述存储器单元所连接的所述第 3 选择线是共同地连接的所述成形处理的对象的所述存储器单元的最大数,对所述被选择的第 2 选择线,分别施加对于所述非易失性可变电阻元件的所述成形处理所需要的电压补偿了电流经由所述第 2 选择线在所述第 3 选择线中流过而导致的所述第 3 选择线的电位变动的量的电压。

非易失性可变电阻元件的电阻控制方法

技术领域

[0001] 本发明涉及用于在使用非易失性的可变电阻元件来存储信息的非易失性半导体存储装置中,对多个该元件一并进行写入、擦除或成形处理的任一个存储器工作的非易失性可变电阻元件的电阻控制方法。

背景技术

[0002] 近年来,作为取代闪速存储器的能高速工作的下一代非易失性随机存取存储器(NVRAM;Nonvolatile Random Access Memory),提出了FeRAM(Ferroelectric RAM,铁电随机存取存储器)、MRAM(Magnetic RAM,磁性随机存取存储器)、OUM(Ovonic Unified Memory,相变化存储器)等的各种各样的器件构造,从高性能化、高可靠性化、低成本化、以及工艺整合性的观点出发,进行着激烈的开发竞争。可是,在现状的这些存储器器件中各有利弊,实现兼具SRAM、DRAM、闪速存储器的各优点的“通用的存储器”的理想还很遥远。

[0003] 对于这些现有技术,提出了一种使用了通过施加电压脉冲而电阻可逆地进行变化的非易失性可变电阻元件的电阻型非易失性存储器RRAM(Resistive Random Access Memory,电阻型随机存取存储器)。该非易失性可变电阻元件的构造极其简单,如图1所示那样,非易失性可变电阻元件100采用从下方起依次层叠下部电极106、可变电阻体104、上部电极102的构造,通过在上部电极102和下部电极106之间施加电压脉冲等的电应力,能使电阻值可逆地变化。通过读出在该可逆的电阻变化工作(以下,适宜地称为“开关工作”)中的电阻值,能实现新的非易失性存储装置。

[0004] 作为可变电阻体104的材料,美国休斯敦大学的Shangqing Liu、Alex Ignatiev等在美国专利第6204139号说明书,以及,Liu, S. Q.等,“Electric-pulse-induced reversible Resistance change effect in magnetoresistive films”,Applied Physics Letters,2000年,Vol. 76, p. 2749-2751中公开了通过对以超巨磁阻效应而为人所知的钙钛矿(perovskites)材料施加电压脉冲来使电阻可逆地进行变化的方法。再有,在美国专利第6204139号说明书中示例的元件构造中,作为可变电阻体104的材料使用作为钙钛矿型氧化物的结晶性镧/钙/锰氧化物 $\text{Pr}_{1-x}\text{Ca}_x\text{MnO}_3$ (PCMO)膜。

[0005] 此外,关于作为过渡金属的氧化物的氧化钛(TiO_2)膜、氧化镍(NiO)膜、氧化锌(ZnO)膜、氧化铌(Nb_2O_5)膜也示出可逆的电阻变化,这从H. Pagnia等,“Bistable Switching in Electroformed Metal - Insulator - Metal Devices”, Phys. Stat. Sol. (a), 1988年, vol. 108, p. 11 - 65,以及,日本特表2002-537627号说明书等中已为人所知。当使用氧化钛、氧化镍等的过渡金属氧化物作为可变电阻体时,通过向非易失性可变电阻元件流入的电流引起的热上升从而在氧化物中局部地形成电阻率下降的区域(以下,适宜地称为“灯丝通路”)、或该灯丝通路被分解,由此认为产生电阻变化。针对该灯丝通路(filament path)的电特性,在G. Dearnaley等,“Electrical phenomena in amorphous oxide films”, Rep. Prog. Phys., 1970年, vol. 33, p. 1129 - 1191中进行了公开。

[0006] 也就是说,非易失性可变电阻元件在制造后的初始状态下处于绝缘状态,为了成为通过电应力而切换高电阻状态和低电阻状态的状态,如在 I . G . Baek 等,“Highly scalable non-volatile resistive memory using simple binary oxide driven by asymmetric unipolar voltage pulses”, IEDM Technical Digest , 2004年, p. 587 - 590 所示那样,需要对其施加电压,在非易失性可变电阻元件内预先形成灯丝通路。将在该非易失性可变电阻元件内形成灯丝通路的处理称为成形(forming)处理。

[0007] 对在 Y . Tamai 等,“RRAM Technology for Fast and Low-Power Forming / Switching ”, International Conference on Solid State Devices and Materials (SSDM), 2008年, p . 1166 示出的、形成灯丝通路并完成成形处理所需要的时间(以下,恰当地称为“成形时间”)的、与在成形处理中施加的电压脉冲的大小以及氧化物(氧化钴)层的厚度的关系进行表示的图表在图 2 中示出。有施加电压越大,氧化物层的厚度越薄,成形时间越缩短的倾向,在施加 3V 的成形电压的情况下,在 10nm 的氧化物层中以 1 μ 秒完成成形处理,在 50nm 中必须施加 100 μ 秒才能完成成形处理。相反,为了以 1 μ 秒完成成形处理,需要对 50nm 的氧化物层施加 20V 的电压,在 10nm 的氧化物层需要 3V 左右的施加。

[0008] 再有,成形时间意味在成形处理中施加的电压脉冲被多次分散施加的情况下,累积的脉冲施加时间。

[0009] 如图 2 所示那样,成形时间依赖于作为可变电阻体的金属氧化物的膜厚,但由于根据各非易失性可变电阻元件而在膜厚中产生偏差,所以成形时间也按每个元件而产生偏差。因此,用于使非易失性可变电阻元件成为能进行开关工作的状态的高效率的成形处理需要一边按每个元件一个一个地调整电压一边来进行。

[0010] 可是,由于在使用利用了非易失性可变电阻元件的存储器单元(memory cell)来制作实用的大小的存储器容量的阶段中,按每一个存储器单元成形实用的大小的存储器容量过于耗费时间,所以在生产效率方面,成形时间的缩短是当务之急。具体地,在对 128M byte 的容量进行成形处理的情况下,当使用 Y . Tamai 等,“RRAM Technology for Fast and Low - Power Forming / Switching ”, International Conference on Solid State Devices and Materials (SSDM), 2008年, p . 1166 的值时,在 10nm 的氧化膜层的情况下,以施加电压 3V 对一个存储器单元(1 bit)进行成形处理需要 1 μ 秒,因此当按每一个存储器单元进行成形处理时,至少需要 15 分钟。

[0011] 在此,考虑通过对多个存储器单元同时进行成形处理来提高成形处理效率,缩短整体的成形时间,但对此需要解决在以下示出的问题。

[0012] 图 3 表示使用非易失性可变电阻元件的存储器单元阵列的等效电路图,图 4 表示单位存储器单元的等效电路。二端子型的非易失性可变电阻元件的一个端子和选择晶体管的漏极端子连接,另一个端子连接于第 2 选择线(位线、BL)。选择晶体管的栅极端子连接于第 1 选择线(字线、WL),源极端子连接于第 3 选择线(源极线、SL)。

[0013] 在将图 4 的存储器单元矩阵状地在行及列方向分别配置的图 3 的存储器单元阵列中,尝试经由第 1 选择线 WL1 施加电压使选择晶体管为 ON 状态,对各第 2 选择线 BL1~BL16 同时施加成形处理用的电压脉冲,对连接于第 1 选择线 WL1 的多个存储器单元的非易失性可变电阻元件 VR11~VR1g 同时进行成形处理。

[0014] 由于各非易失性可变电阻元件的成形处理时间存在偏差,所以首先第 1 个存储器

单元完成成形处理。在此,设连接于第 2 选择线 BL2 的非易失性可变电阻元件 VR12 的成形先完成。由于成形处理完成的存储器单元引起电阻下降,所以伴随着 VR12 的成形处理的完成,流过第 2 选择线 BL2 的电流增加,第 3 选择线 SL1 的电位上升。于是,对与电位上升的第 3 选择线 SL1 连接的其它的存储器单元不再供给成形处理所需要的电压。

[0015] 其结果是成形时间变慢、或者成形处理不再进展。

发明内容

[0016] 本发明正是鉴于使用二端子构造的非易失性可变电阻元件存储信息的存储器单元阵列的成形处理的上述问题点而完成的,其第一目的在于提供一种对多个存储器单元能同时进行成形处理的非易失性可变电阻元件的电阻控制方法的方面。

[0017] 进而,本发明的第 2 目的在于提供一种能对多个存储器单元同时进行写入、以及擦除工作的非易失性可变电阻元件的电阻控制方法。

[0018] 为了达到上述目的的本发明的非易失性可变电阻元件的电阻控制方法的第 1 特征在于,非易失性半导体存储装置具有存储器单元阵列,该存储器单元阵列以如下方式形成,即,将在可变电阻体的两端担载有电极的二端子型的所述非易失性可变电阻元件的一个端子、以及通过对控制端子施加的电流或电压来控制其它的二个端子间流过的电流量的三端子型的选择元件的除了所述控制端子之外的其它的二个端子中的任一方进行连接,构成存储器单元,将多个所述存储器单元矩阵状地在行及列方向分别配置,在所述非易失性半导体存储装置中,在所述非易失性可变电阻元件中,通过实施成形处理,向该非易失性可变电阻元件的两个端子间供给电应力,由此电阻状态在二个以上的不同的电阻状态间转变,将该转变后的一个电阻状态用于信息的存储,在所述存储器单元中,所述选择元件的所述控制端子连接于第 1 选择线,所述非易失性可变电阻元件的不与所述选择元件连接的一个端子、以及所述选择元件的不与所述非易失性可变电阻元件连接的除了所述控制端子之外的一个端子中的任一方连接于第 2 选择线,另一方连接于第 3 选择线,所述第 1 选择线在行方向延伸,连接属于同一行的所述存储器单元彼此,所述第 2 选择线在列方向延伸,连接属于同一列的所述存储器单元彼此,通过所述第 1 选择线、所述第 2 选择线以及所述第 3 选择线,所述存储器单元阵列内的所述存储器单元相互连接,在所述非易失性可变电阻元件的电阻控制方法中,选择一根或多根所述第 1 选择线及多根所述第 2 选择线,对通过该第 1 选择线及该第 2 选择线选择的全部的所述存储器单元,一并进行所述非易失性可变电阻元件的写入、擦除、或所述成形处理的任一个存储器工作,所述非易失性可变电阻元件的电阻控制方法包含:第 1 步骤,选择与所述存储器单元阵列内的所述存储器工作的对象的所述存储器单元连接的一根或多根所述第 1 选择线,向该被选择的第 1 选择线的全部施加规定的选择电压,第 2 步骤,选择与所述存储器单元阵列内的所述存储器工作的对象的所述存储器单元连接的多根所述第 2 选择线;以及第 3 步骤,以在所述存储器工作的对象的全部的所述存储器单元的两端施加所述存储器工作需要的电压的方式,对所述被选择的第 2 选择线的每一根,根据对于与该第 2 选择线连接的所述存储器工作的对象的各个所述存储器单元所连接的所述第 3 选择线是共同地连接的所述存储器工作的对象的所述存储器单元的最大数,施加对于所述非易失性可变电阻元件的所述存储器工作需要的电压补偿了电流经由第 2 选择线在所述第 3 选择线中流过而导致的所述第 3 选择线的电位变动的量的电压。

[0019] 根据本发明的上述第 1 特征的非易失性可变电阻元件的电阻控制方法,在具有将二端子型的非易失性可变电阻元件和晶体管等的三端子型的选择元件作为单位存储器单元矩阵状地分别在行及列方向配置的存储器单元阵列的非易失性半导体存储装置中,具有将在存储器工作时电流在第 3 选择线(源极线)中流过而导致的第 3 选择线的电位的上升的量加入后的电压预先施加于第 2 选择线的步骤,从而能对通过多根第 2 选择线和一根或多根第 1 选择线(字线)选择的全部的多个存储器单元,供给存储器工作需要的电压,能对多个存储器单元同时进行存储器工作。

[0020] 进而,本发明的非易失性可变电阻元件的电阻控制方法,在上述的第 1 特征的基础上,其第 2 特征在于,在所述存储器单元阵列中,所述第 3 选择线在列方向延伸,将属于同一列的所述存储器单元彼此相互连接。

[0021] 根据所述第 2 特征的非易失性可变电阻元件的电阻控制方法,通过对使第 2 选择线和第 3 选择线并行地延伸的非易失性半导体存储装置应用本发明,从而能将第 3 选择线共同地连接的被选择存储器单元的数量抑制为第 1 选择线(字线)的根数,能减少经由被选择的存储器单元在第 3 选择线流过电流导致的第 3 选择线的电位上升。

[0022] 进而,本发明的非易失性可变电阻元件的电阻控制方法,在上述的第 1 或第 2 特征的基础上,其第 3 特征在于所述存储器工作是所述成形处理。

[0023] 进而,本发明的非易失性可变电阻元件的电阻控制方法,在上述的第 3 特征的基础上,其第 4 特征在于,在所述成形处理中,以使流过所述非易失性可变电阻元件的电流量为 $50\ \mu\text{A}$ 以下的方式,设定所述存储器单元内的所述选择元件的偏置条件。

[0024] 根据所述第 4 特征的非易失性可变电阻元件的电阻控制方法,流过第 3 选择线的电流量使用选择晶体管而被限制,能将第 3 选择线的电位上升抑制在固定的容许范围内。

[0025] 特别在成形处理中,由于伴随着成形处理的完成,非易失性可变电阻元件低电阻化,所以经由该低电阻化了元件在第 3 选择线流过的电流量增加,第 3 选择线的电位上升。此时,为了使流过存储器单元的非易失性可变电阻元件的电流量变为规定值(例如, $50\ \mu\text{A}$) 以下,通过预先设定选择元件的偏置条件,能将伴随着成形处理的完成的向第 3 选择线流入的电流量限制在规定的规定值以下。

[0026] 进而,本发明的非易失性可变电阻元件的电阻控制方法,在上述的第 3 或第 4 特征的基础上,其第 5 特征在于,所述非易失性半导体存储装置将成形感测电路直接或经由译码器连接于所述第 2 选择线,或者在所述第 3 选择线在列方向延伸的情况下直接或经由译码器连接于所述第 3 选择线,所述成形感测电路对伴随着所述成形处理的完成的流过所述第 2 选择线的规定位置的电流或所述第 2 选择线的规定位置的电位的变动进行感测,所述非易失性可变电阻元件的电阻控制方法包含:第 4 步骤,当所述成形感测电路感测到特定的所述第 2 选择线的电流或电位的变动时,所述非易失性半导体存储装置在与该特定的第 2 选择线连接的全部的所述存储器单元的所述成形处理完成的情况下,停止经由该特定的第 2 选择线的电压的施加。

[0027] 进而,本发明的非易失性可变电阻元件的电阻控制方法,在上述的第 5 特征的基础上,其第 6 特征在于,在所述第 4 步骤中,当所述非易失性半导体存储装置停止经由特定的所述第 2 选择线的电压的施加时,将该特定的第 2 选择线设定为非选择,所述非易失性可变电阻元件的电阻控制方法包含:第 5 步骤,再次计算对于与所述被选择的第 2 选择线

的每一根连接的所述成形处理的对象的各个所述存储器单元所连接的所述第 3 选择线是共同地连接的所述成形处理的对象的所述存储器单元的最大数,对所述被选择的第 2 选择线,分别施加对于成为所述非易失性可变电阻元件的所述成形处理需要的电压补偿了电流经由所述第 2 选择线在所述第 3 选择线中流过而导致的所述第 3 选择线的电位变动的量的电压。

[0028] 根据本发明,提供了一种对通过一根或多根第 1 选择线(字线)及多根第 2 选择线(位线)选择的多个存储器单元能同时施加脉冲电压,进行写入工作、擦除工作、以及成形处理的非易失性可变电阻元件的电阻控制方法。由此,能缩短成形时间。此外,写入及擦除工作的时间被缩短,能实现高速工作。

附图说明

[0029] 图 1 是表示非易失性可变电阻元件的构造的图。

[0030] 图 2 是表示成形处理需要的的时间的、与在成形处理中施加的电压以及可变电阻体的膜厚的关系的图。

[0031] 图 3 是表示使用了非易失性可变电阻元件的存储器单元阵列的等效电路图,以及现有的成形处理的控制方法的问题点的图。

[0032] 图 4 是使用了非易失性可变电阻元件的存储器单元的等效电路图。

[0033] 图 5 是能利用本发明的方法的非易失性半导体存储装置的结构框图。

[0034] 图 6 是能利用本发明的方法的非易失性半导体存储装置的结构框图。

[0035] 图 7 表示本发明的成形处理的控制方法的流程图。

[0036] 图 8 是在第 2 实施方式中应用本发明方法的使用非易失性可变电阻元件的存储器单元阵列的等效电路图。

[0037] 图 9 是第 3 实施方式的能利用本发明方法的非易失性半导体存储装置的结构框图。

[0038] 图 10 是表示在第 3 实施方式中应用本发明方法的安装有成形感测电路的存储器单元阵列的等效电路图,以及在本发明方法中的成形处理的工作的图。

[0039] 图 11 是表示本发明的成形感测电路的结构例的图。

[0040] 图 12 表示第 3 实施方式的在本发明方法中的成形处理的控制的流程图。

[0041] 图 13 是其它实施方式的能利用本发明方法的非易失性半导体存储装置的结构框图。

[0042] 图 14 是本发明的其它实施方式的内置有成形感测电路的第 2 选择线译码器的结构框图。

具体实施方式

[0043] 以下,针对本发明的非易失性可变电阻元件的电阻控制方法(以下称为“本发明方法”),参照附图进行说明。

[0044] < 第 1 实施方式 >

[0045] 图 5 是作为本发明的应用对象的非易失性半导体存储装置(以下称为“本发明装置 1”)的电路结构图。如图 5 所示,本发明装置 1 构成为具备:存储器单元阵列 501 (501a

或 501b, 在本实施方式中设为 501a)、控制电路 502、电压产生电路 504、第 1 选择线译码器 506、以及第 2 选择线译码器 508。

[0046] 存储器单元阵列 501a 以图 3 的等效电路图进行表示, 是将多个包含非易失性可变电阻元件和选择晶体管而形成的存储器单元矩阵状地分别在行及列的方向配置的存储器单元阵列。在此, 非易失性可变电阻元件是在可变电阻体的两端担载有电极的二端子型的非易失性可变电阻元件, 通过实施成形处理, 向该非易失性可变电阻元件的两端子间供电应力, 由此电阻状态在二个以上不同的电阻状态间转变, 能将该转变后的一个电阻状态用于信息的存储。选择晶体管例如是 MOS 晶体管, 该非易失性可变电阻元件的一个端子和选择晶体管的漏极端子连接构成存储器单元。选择晶体管的栅极端子连接于在行方向(图 3 的纵方向)延伸的第 1 选择线(字线), 通过第 1 选择线属于同一行的存储器单元彼此相互连接。未和选择晶体管连接的非易失性可变电阻元件的一个端子连接于在列方向(图 3 的横方向)延伸的第 2 选择线(位线), 通过第 2 选择线属于同一列的存储器单元彼此相互连接。选择晶体管的源极端子连接于在行方向延伸的第 3 选择线(源极线), 通过第 3 选择线属于同一行的存储器单元彼此相互连接。通过经由第 1 选择线对第 1 选择电压及第 1 非选择电压的任一个、经由第 2 选择线对第 2 选择电压及第 2 非选择电压的任一个各别地进行施加, 从而能够在写入、擦除、读出以及成形处理的各工作时, 选择由来自外部的地址输入指定的该工作对象的一个存储器单元。再有, 在本实施方式中, 在该各工作时第 3 选择线接地, 但施加比接地电压略微上升的微小的偏置电压也可。

[0047] 再有, 作为在上述的存储器单元阵列 501a 中使用的可变电阻体的材料可以考虑 Ti、Fe、Co、Ni、Zr、Nb、Hf、Ta 等的过渡金属的氧化物, 作为电极材料可以考虑 Al、Ti、Cu、Ag、Ta、W、Pt 或 TiN 等。例如, 在上述的存储器单元阵列 501a 中, 通过构成可变电阻体材料为氧化钴、电极材料在两电极均为 TiN 的非易失性可变电阻元件, 对包含选择晶体管的器件构造进行恰当设计, 从而能利用公知的标准的制造工艺技术来制作元件尺寸为 $0.4\mu\text{m}\phi$ 左右的器件, 对于具体的器件构造及制造方法省略说明。

[0048] 控制电路 502 进行存储器单元阵列 501a 的写入、擦除、读出的各存储器工作的控制及成形处理的控制。具体地, 控制电路 502 基于从地址线输入的地址信号、从数据线输入的数据输入、从控制信号线输入的控制输入信号, 控制第 1 选择线译码器 506、第 2 选择线译码器 508, 从而控制存储器单元的各存储器工作及成形处理。更具体地, 是具有地址缓冲器电路、数据输入输出缓冲器电路、控制输入缓冲器电路的功能的电路。

[0049] 电压产生电路 504 在写入、擦除、读出及成形处理的各存储器工作中, 产生该各工作需要的施加电压向第 1 选择线译码器 506 及第 2 选择线译码器 508 供给。在存储器单元的成形处理中, 电压产生电路 504 产生为了选择成形处理对象的存储器单元所需要的第 1 选择电压、以及产生使非成形处理的对象的存储器单元为非选择的第 1 非选择电压, 向第 1 选择线译码器供给。此外, 对作为成形处理对象而选择的存储器单元, 产生成形处理用的电压脉冲, 向第 2 选择线译码器 508 供给。特别在本发明方法中, 电压产生电路 504 基于被选择的第 1 选择线和第 2 选择线的位置及根数, 根据对与被选择的第 2 选择线连接的被选择的各个存储器单元所连接的第 3 选择线是共同地连接的成形对象的存储器单元的最大数, 将该电压脉冲的电压振幅值调整为补偿了第 3 选择线的电位上升的量的值, 将调整了该电压振幅值的电压脉冲施加于第 2 选择线译码器 508。

[0050] 第 1 选择线译码器(字线译码器)506 在存储器单元阵列 501a 的成形工作时,当成形处理对象的存储器单元在地址线被输入指定时,选择与在该地址线输入的地址信号对应的第 1 选择线,对被选择的第 1 选择线和非选择的第 1 选择线分别各别地施加第 1 选择电压和第 1 非选择电压。具体地,通过对被选择的第 1 选择线施加电压,仅使与被选择的第 1 选择线连接的选择晶体管成为 ON 状态。此外,第 1 选择线译码器 506 在写入、擦除、读出的各工作时,也在与该各工作对应的第 1 选择线的选择中使用。

[0051] 第 2 选择线译码器(位线译码器)508 在存储器单元阵列 501a 的成形工作时,当成形处理对象的存储器单元在地址线被输入指定时,选择与在该地址线输入的列选择用的地址信号对应的第 2 选择线,经由被选择的第 2 选择线施加成形处理用的电压脉冲。此外,第 2 选择线译码器 508 在写入、擦除、读出的各工作时,也在与各工作对应的第 2 选择线的选择中使用。

[0052] 此外,本发明装置 1 构成为还具备:译码器,用于在写入、擦除、读出及成形处理的各存储器工作中,选择与该各工作对应的第 3 选择线。在图 6 中示出的非易失性半导体存储装置(以下称为“本发明装置 2”)还具备第 3 选择线译码器 509,由此能经由第 1 选择线对第 1 选择电压及第 1 非选择电压的任一个、经由第 2 选择线对第 2 选择电压及第 2 非选择电压的任一个、经由第 3 选择线对第 3 选择电压及第 3 非选择电压的任一个各别地进行施加,能在各存储器工作时,选择由来自外部的地址输入指定的该工作对象的一个存储器单元。在该结构中,控制电路 502 基于从地址线输入的地址信号、从数据线输入的数据输入、从控制信号线输入的控制输入信号,控制第 1 选择线译码器 506、第 2 选择线译码器 508、以及第 3 选择线译码器 509,控制存储器单元的各存储器工作,产生该各存储器工作需要的施加电压并对第 1 选择线译码器 506、第 2 选择线译码器 508 以及第 3 选择线译码器 509 供给。

[0053] 以下,针对在为了进行存储器单元阵列内的全部的存储器单元的成形处理,而通过本发明方法对多个存储器单元一并进行成形处理的情况下的工作,参照图 3 以及图 7 进行说明。图 7 是表示本发明方法的成形处理的控制的流程图。

[0054] 首先,选择第 1 选择线(字线)(步骤 #10)。在此,设为选择第 1 选择线 WL1。电压产生电路 504 产生第 1 选择电压和第 1 非选择电压,第 1 选择线译码器 506 分别将该第 1 选择电压向连接于被选择的第 1 选择线的存储器单元的选择晶体管的栅极端子施加,将该第 1 非选择电压向连接于非选择的第 1 选择线的存储器单元的选择晶体管的栅极端子施加。由此仅能在连接于被选择的第 1 选择线的存储器单元的非易失性可变电阻元件中流过电流。

[0055] 接着,选择多根第 2 选择线(位线)(步骤 #11)。在此,设为选择存储器单元阵列内的全部的第 2 选择线 BL1~BL16。

[0056] 当第 1 选择线及第 2 选择线分别被选择时,基于该被选择的第 1 选择线和第 2 选择线的位置及根数,关于被选择的第 2 选择线的每一根,计算对与该第 2 选择线连接的被选择的存储器单元所连接的第 3 选择线是共同地连接的成形对象的存储器单元的最大数,对施加的成形电压脉冲的电压振幅的绝对值 V_{BLF} 以满足后述的数式 2 的方式进行设定(步骤 #12)。在本实施方式的存储器单元阵列 501a 中,由于第 2 选择线和第 3 选择线正交,所以对上述第 3 选择线是共同地连接的存储器单元的最大数对于被选择的第 2 选择线的每一根,与被选择的第 2 选择线的总数相等。在此,因为全部的第 2 选择线 BL1~BL6 被选择,所以上

述存储器单元的最大数为 16。

[0057] 电压产生电路 504 产生在上述的步骤 #12 中算出的电压振幅的成形处理用的电压脉冲,第 2 选择线译码器 508 经由被选择的全部的第 2 选择线同时施加成形处理用的电压脉冲,从被选择的第 2 选择线向第 3 选择线(源极线)流过电流(步骤 #13)。由此,对通过第 1 选择线 WL1 及第 2 选择线 BL1~BL16 选择的多个存储器单元 VR11~VR1g 同时进行成形处理。

[0058] 当在通过第 1 选择线 WL1 及第 2 选择线 BL1~BL16 选择的多个存储器单元 VR11~VR1g 中的任一个存储器单元中完成成形处理时,该存储器单元内的非易失性可变电阻元件的电阻下降,在连接于该存储器单元的第 2 选择线中流过的电流量增加,该电流量增加的电流向第 3 选择线 SL1 流入。其结果是在将正(负)极性的电压脉冲向被选择的第 2 选择线施加的情况下,第 3 选择线的寄生电阻等的影响导致第 3 选择线的电位上升(下降)。同时,第 2 选择线译码器 508 等、电压脉冲施加路径上存在的晶体管等的负载电路的影响导致连接于完成了成形处理的存储器单元的第 2 选择线的电位下降(上升)。其结果是对非易失性可变电阻元件施加的有效的电压脉冲的绝对值下降。

[0059] 在此,当将在一个存储器单元的成形完成时向第 3 选择线 SL1 流入的电流设为 I_{SL} ,将从第 3 选择线和存储器单元的连接点到接地电位的寄生电阻的最大值设为 $RL1$ 时,在与第 3 选择线 SL1 共同地连接的被选择的 N 个存储器单元中的 n 个存储器单元的成形处理完成的时刻,对第 3 选择线 SL1 分压的电压 $V_{SL}(n)$ 通过向第 3 选择线 SL1 流入的电流的总和与寄生电阻 $RL1$ 之积,以下述的数式 1 进行表示。

[0060]

$$V_{SL}(n) = n \cdot I_{SL} \cdot RL1 \quad (1)$$

[0061] 进而,将一个非易失性可变电阻元件的成形所需要的电压脉冲的电压振幅的绝对值设为 V_F ,将应该向第 2 选择线 BL1~BL16 施加的电压脉冲的电压振幅的绝对值设为 V_{BLF} 。考虑除了一个存储器单元而全部的选择存储器单元的成形完成的状况。此时,为了该一个存储器单元的成形处理能进行,完成全部的选择存储器单元的成形处理,需要满足下述的数式 2。

[0062]

$$V_{BLF} - V_{SL}(N-1) \geq V_F, \text{ 即, } V_{BLF} - (N-1) I_{SL} \cdot RL1 \geq V_F \quad (2)$$

[0063] 在此,N 是与第 3 选择线 SL1 共同地连接的成形对象的存储器单元的总数,在现在的情况下,N=16。只要满足上述数式 2,通过第 1 选择线及第 2 选择线选择的多个存储器单元的成形处理能在同一步骤中进行。

[0064] 当通过上述第 1 选择线及第 2 选择线选择的全部的存储器单元的成形处理完成时(步骤 #14),判定在上述步骤 #11 中选择的第 2 选择线是否为最后的第 2 选择线(步骤 #15)。在该被选择的第 2 选择线不符合最后的第 2 选择线的情况下,新选择尚未被选择的剩余的第 2 选择线(步骤 #11),设定成形电压脉冲的电压振幅的绝对值 V_{BLF} (步骤 #12),施加成形电压脉冲(步骤 #13)。

[0065] 另一方面,在上述步骤#11中选择的第2选择线是最后的第2选择线的情况下,进而,判定在上述步骤#10中选择的第1选择线是否为最后的第1选择线(步骤#16)。在该被选择的第1选择线不符合最后的第1选择线的情况下,新选择尚未被选择的剩余的第1选择线(步骤#10),选择第2选择线(步骤#11),设定成形电压脉冲的电压振幅的绝对值 V_{BLF} (步骤#12),施加成形电压脉冲(步骤#13)。

[0066] 在此,由于在步骤#11中选择存储器单元阵列内的全部的第2选择线,所以在步骤#15中总是判定为“是”,只要在步骤#16中,未判定在步骤#10中选择的第1选择线是最后的第1选择线,就选择其它的第1选择线,进而选择全部的第2选择线 $BL1\sim BL16$,对连接于新被选择的第1选择线的多个存储器单元,进行步骤#12~#14的处理,同时一并进行成形处理。通过反复进行该操作,能对通过第1选择线和第2选择线指定地址的存储器单元阵列内的全部的存储器单元高效率地进行成形处理。

[0067] 作为一个例子,考虑在以选择元件(MOS晶体管)和非易失性可变电阻元件构成的存储器单元中,在需要的成形电压脉冲的电压振幅的绝对值 V_F 为3V、成形电压脉冲的施加时间(成形时间)为 $100\mu\text{sec}$ 、成形完成时流到存储器单元的电流 I_{SL} 为 $50\mu\text{A}$ 、寄生电阻 $RL1$ 为 $1\text{k}\Omega$ 的情况下,对16个非易失性可变电阻元件同时进行成形处理的情况。根据数式2,通过作为对第2选择线施加的成形电压脉冲的绝对值 V_{BLF} ,分别施加3.75V以上,从而能使16个非易失性可变电阻元件的全部在同一步骤中一并成形。

[0068] 在此,通过控制与非易失性可变电阻元件连接的晶体管的栅极电压,在成形完成后流到存储器单元的电流 I_{SL} 被在晶体管的饱和区域中的电流量限制。因此,通过恰当地设定晶体管的偏置条件,能以在成形完成后使流到存储器单元的电流 I_{SL} 成为规定值以下的方式进行限制,不会使可变电阻元件绝缘破坏,能一并进行成形处理。此外,能将第3选择线的电位变动抑制在一定的范围内,将对第2选择线施加的成形电压脉冲的电压振幅的绝对值 V_{BLF} 保持较低。

[0069] 再有,在上述实施方式中,针对将在成形完成后流到存储器单元的电流 I_{SL} 限制为 $50\mu\text{A}$ 以下的情况进行了说明,但本发明并不将 I_{SL} 限定为该值。可是,通过使电流 I_{SL} 优选下降到 $50\mu\text{A}$ 以下,从而不切断连接于成形完成了的存储器单元的选择线上的电流通路,对成形未完成的存储器单元也能继续施加成形电压。

[0070] <第2实施方式>

[0071] 在上述的第1实施方式中,针对对第2选择线和第3选择线正交的存储器单元阵列501a应用本发明方法的情况详细地进行了说明,但本发明方法并不被存储器单元阵列的结构限制其应用。以下,针对对第2选择线和第3选择线平行延伸的存储器单元阵列501b应用本发明方法的情况详细地进行说明。

[0072] 存储器单元阵列501b以图8的等效电路图进行表示,是将多个包含非易失性可变电阻元件和选择晶体管而形成的存储器单元矩阵状地分别在行及列方向配置的存储器单元阵列。对于非易失性可变电阻元件和选择晶体管的结构,因为和第1实施方式相同所以省略说明。选择晶体管的栅极端子连接于在行方向(图8的纵方向)延伸的第1选择线(字线),通过第1选择线将属于同一行的存储器单元彼此相互连接。不与选择晶体管连接的非易失性可变电阻元件的一个端子连接于在列方向(图8的横方向)延伸的第2选择线(位线),通过第2选择线将属于同一列的存储器单元彼此相互连接。选择晶体管的源极端子

连接于在列方向延伸的第 3 选择线(源极线),通过第 3 选择线将属于同一列的存储器单元彼此相互连接。通过经由第 1 选择线对第 1 选择电压及第 1 非选择电压的任一个、经由第 2 选择线对第 2 选择电压及第 2 非选择电压的任一个各别地进行施加,从而能够在写入、擦除、读出、以及成形处理的各工作时,选择由来自外部的地址输入指定的该工作对象的一个存储器单元。再有,在本实施方式中,在该各工作时第 3 选择线接地,但施加比接地电压略微上升的微小的偏置电压也可。

[0073] 以下,针对在对搭载有上述存储器单元阵列 501b 的本发明装置 1 或本发明装置 2 应用本发明方法,对多个存储器单元一并进行成形处理的情况下的工作,参照图 7 及图 8 进行说明。

[0074] 首先,和第 1 实施方式同样地,选择第 1 选择线(字线)(步骤 #10)。在此,选择第 1 选择线 WL1 和 WL2。电压产生电路 504 产生第 1 选择电压和第 1 非选择电压,第 1 选择线译码器 506 分别将该第 1 选择电压向与被选择的第 1 选择线连接的存储器单元的选择晶体管的栅极端子施加,将该第 1 非选择电压向与非选择的第 1 选择线连接的存储器单元的选择晶体管的栅极端子施加。由此仅能在与被选择的第 1 选择线连接的存储器单元的非易失性可变电阻元件中流过电流。

[0075] 接着,和第 1 实施方式同样地,选择多根第 2 选择线(位线)(步骤 #11)。在此,设为选择存储器单元阵列内的全部的第 2 选择线 BL1~BL16。

[0076] 当第 1 选择线及第 2 选择线分别被选择时,基于该被选择的第 1 选择线和第 2 选择线的位置及根数,对被选择的第 2 选择线的每一根,算出对与该第 2 选择线连接的被选择的各个存储器单元所连接的第 3 选择线是共同地连接的成形对象的存储器单元的最大数,将施加的成形电压脉冲的电压振幅的绝对值 V_{BLF} 以满足后述的数式 4 的方式进行设定(步骤 #12)。在本实施方式的存储器单元阵列 501b 中,由于第 2 选择线和第 3 选择线平行延伸,所以与上述第 3 选择线共同地连接的存储器单元的最大数对于被选择的第 2 选择线的每一根,与被选择的第 1 选择线的总数相等。在此,因为全部的第 1 选择线 WL1 和 WL2 被选择,所以上述存储器单元的最大数为 2。

[0077] 电压产生电路 504 产生在上述的步骤 #12 中算出的电压振幅的成形处理用的电压脉冲,第 2 选择线译码器 508 经由被选择的全部的第 2 选择线同时施加成形处理用的电压脉冲,从被选择的第 2 选择线向第 3 选择线(源极线)流过电流(步骤 #13)。由此,对通过第 1 选择线 WL1 和 WL2 及第 2 选择线 BL1~BL16 选择的多个存储器单元 VR11~VR1g、以及 VR21~VR2g 同时进行成形处理。

[0078] 当在被选择的多个存储器单元 VR11~VR1g、VR21~VR2g 中的任一个存储器单元中完成成形处理时,该存储器单元内的非易失性可变电阻元件的电阻下降,在连接于该存储器单元的第 2 选择线中流过的电流量增加,该电流量增加了的电流向与该第 2 选择线对应的第 3 选择线 SL1~SL16 的任一个流入。其结果是在从电压脉冲施加路径上的负载电路(译码器)到第 2 选择线和存储器单元的连接点、以及从第 3 选择线和存储器单元的连接点到接地电位的寄生电阻,对本来应该向非易失性可变电阻元件施加的电压 V_{BLF} 的一部分进行分压,对非易失性可变电阻元件施加的有效的电压脉冲的绝对值下降。

[0079] 在此,当将在一个存储器单元的成形完成时向第 3 选择线 SL1 流入的电流设为 I_{SL} ,将从第 3 选择线和存储器单元的连接点到接地电位的寄生电阻的最大值设为 R_{L1} 时,在与

第 3 选择线 SL1 共同地连接的被选择的 N 个存储器单元中的 n 个存储器单元的成形处理完成的时刻,在第 3 选择线 SL1 分压的电压 $V_{SL}(n)$ 和第 1 实施方式相同地,以上述数式 1 进行表示。

[0080] 进而,当将从电压脉冲施加路径上的负载电路(译码器)到第 2 选择线和存储器单元的连接点的寄生电阻的最大值设为 $RL2$ 时,在选择多根第 1 选择线进行成形处理的情况下,在连接于同一第 2 选择线并与不同的第 1 选择线连接的多个成形对象的存储器单元中的 m 个存储器单元的成形完成的时刻,在该第 2 选择线分压的电压 $V_{BL}(m)$,以下述的数式 3 进行表示。

[0081]

$$V_{BL}(m) = m \cdot I_{SL} \cdot RL2 \quad (3)$$

[0082] 在该情况下,考虑除了一个存储器单元而全部的选择存储器单元的成形完成的状态。为了该一个存储器单元的成形处理能进行,能完成全部的选择存储器单元的成形处理,满足下述的数式 4 即可。

[0083]

$$V_{BLF} - V_{SL}(N-1) - V_{BL}(M-1) \geq V_F \quad (4)$$

[0084] 在此, M 是被选择的第 1 选择线的总数。N 是和第 3 选择线 SL1 共同地连接的成形对象的存储器单元的最大数,但在本实施方式中,与被选择的第 1 选择线的根数相等,是 $N=M (=2)$ 。因此,当上述数式 4 简化时,为 $V_{BLF} - (N-1) I_{SL} \cdot (RL1 + RL2) \geq V_F$ 。只要满足上述数式 4,通过多个第 1 选择线和第 2 选择线选择的多个存储器单元的成形处理能在同一步骤中进行。

[0085] 如上所述,在本实施方式中,由于对存储器单元阵列 501b 应用本发明方法,所以电流流入第 3 选择线而导致的第 3 选择线的电位上升(下降)量依赖于被选择的第 1 选择线的根数,不依赖于被选择的第 2 选择线的根数。因此,选择存储器单元阵列内的全部的第 2 选择线,选择属于同一行的全部的存储器单元,能按每行进行成形处理。

[0086] 作为一个例子,考虑在需要的成形电压脉冲的电压振幅的绝对值 V_F 为 3V、成形电压脉冲的施加时间(成形时间)为 100 μ sec、成形完成时流到存储器单元的电流 I_{SL} 为 50 μ A、从第 3 选择线到接地电位的寄生电阻 $RL1$ 和从负载电路(译码器)到第 2 选择线的寄生电阻 $RL2$ 均为 1k Ω 的情况下,对由在行方向 512 个、在列方向 16 个、总计 8096 个存储器单元构成存储器块同时进行成形的情况。选择 16 根第 1 选择线(字线)和全部的 512 根第 2 选择线(位线),经由第 2 选择线施加成形电压脉冲。根据数式 4,通过作为对第 2 选择线施加的成形电压脉冲的绝对值 V_{BLF} 分别施加 4.5V 以上,从而能对 8096 个非易失性可变电阻元件的全部在同一步骤中进行成形。

[0087] 在此,和第 1 实施方式同样地,由于在成形完成后流到存储器单元的电流 I_{SL} 被在晶体管的饱和区域中的电流限制,所以不会使可变电阻元件绝缘破坏,能一并进行成形处理,能将第 3 选择线的电位变动抑制在一定的范围内,将对第 2 选择线施加的成形电压脉冲的电压振幅的绝对值 V_{BLF} 保持较低。

[0088] 因此,根据本发明方法,对通过一根或多根第 1 选择线(字线)及多根第 2 选择线

(位线)选择的多个存储器单元同时施加电压脉冲,进行成形处理,由此能缩短成形时间。

[0089] <第3实施方式>

[0090] 本发明方法通过应用于具备对伴随着成形完成的第2选择线或第3选择线的电位的变动进行感测的成形感测电路的非易失性半导体装置,能变得更加有效果。图9是作为本发明方法的应用对象的非易失性半导体存储装置(以下称为“本发明装置3”)的电路结构图。如图9所示那样,本发明装置3是在具备存储器单元阵列501a或501b(在本实施方式中设为501a)的本发明装置1中,在第2选择线和第2选择线译码器508之间还具备成形感测电路510的结构。

[0091] 成形感测电路510例如配置在第2选择线和第2选择线译码器508之间,在成形处理时,对伴随着成形处理的完成导致存储器单元的非易失性可变电阻元件的电阻下降的流到各第2选择线的电流、或第2选择线的电位的变动进行感测。当感测到该电流或电位的变动时,能判断为在与感测到该电流或电位的变动的第2选择线连接的至少一个存储器单元中,完成了成形处理。进而,成形感测电路510具有在感测到第2选择线的电位的变动时,在能够判断为与感测到该电位的变动的第2选择线连接的全部的存储器单元中完成了成形处理的情况下,切断电压产生电路和存储器单元阵列之间的、与成形处理完成的存储器单元连接的第2选择线上的电流通路的功能。

[0092] 图10是在图3的存储器单元阵列的各第2选择线安装有成形感测电路的例子。在图10中,尝试对第1选择线WL1和WL2施加第1选择电压使选择晶体管成为ON状态,对各第2选择线BL1~BL16同时施加正极性的成形处理用的电压脉冲,对与第1选择线WL1和WL2连接的存储器单元同时一并进行成形。

[0093] 在此,当连接于第2选择线BL2的二个存储器单元VR12、VR22的成形处理比分别连接于其它的BL1、BL3~BL16的二个存储器单元率先完成时,完成了成形处理的2个存储器单元的非易失性可变电阻元件从绝缘状态变为 $1M\Omega$ 左右或这以下的低电阻状态,因此流到第2选择线BL2的电流增加。当将在成形完成时流到存储器单元的电流设为 I_{SL} 时, $2I_{SL}$ 的电流流到第2选择线BL2。其结果是,第3选择线侧的寄生电阻的影响导致第3选择线SL1、SL2的电位上升,并且第2选择线译码器等寄生电阻等的影响导致与完成了成形处理的存储器单元连接的第2选择线BL2的电位下降。

[0094] 成形感测电路510当检测出超过规定值的第2选择线BL2的电位下降时,对第2选择线BL2和存储器单元进行电切断。由此减少第3选择线SL1和SL2的电位上升。

[0095] 在图11中示出成形感测电路的电路结构的一个例子。在以图11的等效电路图来表示的成形感测电路510a中,逻辑电路L和p型MOS晶体管P分别配置在存储器单元阵列501a和第2选择线译码器508之间的各第2选择线BLn上并连接。在成形处理用的电压脉冲VFM向第2选择线BLn的施加路径上插入有晶体管P。晶体管P的栅极端子连接于电路L的输出,通过成形开始信号 ϕ_{FM} 、电位变动检查开始信号 ϕ_{FMV} 、第2选择电压信号VBLn的3个输入信号,从而控制在晶体管P的源极-漏极间流过的电流。

[0096] 以下,针对成形感测电路510a的工作,参照图12的流程图进行说明。图12是表示在为了对存储器单元阵列内的全部的存储器单元进行成形处理而通过本发明方法对多个存储器单元一并进行成形处理的情况下的控制的流程图。在成形处理的开始前,由于 ϕ_{FM} 为OFF状态(低电平)所以晶体管P为OFF状态,通过晶体管P第2选择线BLn为被电切断

的状态。因此 VBLn 变为 OFF 状态(浮动, floating)。

[0097] 和第 1 及第 2 实施方式同样地, 当在步骤 #20 中选择第 1 选择线(字线), 在步骤 #21 中选择多根第 2 选择线(位线)时, 在步骤 #22 中, 成形电压脉冲的电压振幅的绝对值 V_{BLF} 以满足上述的数式 4 的方式被设定。此时, 同时使 ϕ_{FM} 和 ϕ_{FMV} 成为 ON 状态, 使晶体管 P 成为 ON 状态。由此, 在步骤 #23 中, 通过电压产生电路 504 生成的成形电压脉冲经由第 2 选择线译码器 508 向被选择的第 2 选择线的每根施加。

[0098] 接着, 在步骤 #24 中, 由于感测第 2 选择线 BLn 上的电位的变动, 所以使 ϕ_{FMV} 成为 OFF 状态(低电平)。在成形处理完成了的存储器单元不存在的情况下, 不会引起第 2 选择线 BLn 的电位的下降, 由于 VBLn 维持高电平, 所以晶体管 P 维持导通状态。

[0099] 另一方面, 在和第 2 选择线 BLn 连接的多个存储器单元中, 存在成形处理完成了的存储器单元的情况下, 至少电流 I_{SL} 以上的电流从第 2 选择线 BLn 向第 3 选择线流入。其结果是在将正极性的电压脉冲施加于第 2 选择线 BLn 的情况下, 第 2 选择线译码器 508 等、电压脉冲施加路径上存在的负载电路的影响导致连接于完成了成形处理的存储器单元的第 2 选择线 BLn 的电位下降。进而, 在多根第 1 选择线被选择的情况下, 当和同一第 2 选择线 BLn 连接并和不同的第 1 选择线连接的全部的被选择的存储器单元的成形处理完成时, 合计 $M \cdot I_{SL}$ 的电流量的电流流过第 2 选择线, 与该电流量对应的电位的下降在第 2 选择线 BLn 产生。在此 M 为被选择的第 1 选择线的根数。

[0100] 成形感测电路 510a 当在步骤 #25 中, 第 2 选择线 BLn 的电位下降为与该电流量 $M \cdot I_{SL}$ 对应的规定电位以下时, 以 VBLn 成为 OFF 状态(低电平)的方式进行设定。结果, 向晶体管 P 的栅极端子施加电压, 晶体管 P 成为 OFF 状态, 第 2 选择线 BLn 被电切断。由此, 在步骤 # 26 中对连接于完成了成形的存储器单元的第 2 选择线的成形处理用电压脉冲 VFM 的施加被切断。

[0101] 结果, 由于在完成了成形处理的与第 2 选择线 BLn 连接的存储器单元中没有电流流过, 所以第 3 选择线的电位上升被抑制。由此, 对于尚未完成成形的剩余的存储器单元, 能使电压脉冲的电压振幅 V_{BLF} 变低, 持续进行一并成形处理。

[0102] 控制电路 502 当对被选择的第 2 选择线中的任一个的成形电压脉冲的施加通过成形感测电路 510a 的作用而被切断时, 将该电压施加被切断的第 2 选择线作为非选择, 对成形电压脉冲的电压振幅的绝对值 V_{BLF} 以满足上述的数式 4 的方式进行再设定。即, 回到步骤 #22, 被选择的第 2 选择线的根数减少一根, 重新算出 V_{BLF} 。在具备存储器单元阵列 501a 的本实施方式中, 在 V_{BLF} 依赖于第 2 选择线的根数时, 基于上述数式 4, 减去了 $I_{SL} \cdot RL1$ 的值作为新的 V_{BLF} 被再设定, 对和成形尚未完成的存储器单元连接的第 2 选择线的每一根经由第 2 选择线译码器 508 施加通过电压产生电路 504 生成的成形电压脉冲。

[0103] 上述的本发明方法在选择多根第 1 选择线和多根第 2 选择线, 对被选择的全部的存储器单元同时进行成形处理的情况下特别有用, 能对不需要的成形电压脉冲的施加进行抑制。

[0104] 再有, 在本实施方式中, 在写入、擦除、读出的各存储器工作时, 在成形感测电路 510a 被旁路或使 ϕ_{FM} 和 ϕ_{FMV} 置为 ON 的状态下, 施加各存储器工作作用的电压即可。

[0105] 通过在上述第 1~第 3 实施方式中示出的本发明方法控制成形处理, 由此能将与一根或多根被选择的第 1 选择线、以及多根被选择的第 2 选择线连接的全部的存储器单元的

非易失性可变电阻元件的成形处理所需要的时间抑制为在对一个存储器单元的非易失性可变电阻元件进行成形处理的情况下的最长需要时间。

[0106] <其它实施方式>

[0107] 以下,针对本发明的其它实施方式进行说明。

[0108] <1>在上述实施方式中,针对在存储器单元的成形处理中,选择一根或多根第 1 选择线和第 2 选择线,对被选择的多个存储器单元同时一并进行成形处理的方法详细地进行了说明,但作为本发明方法的应用对象并不限制于上述成形处理。在存储器单元的一并写入、一并擦除工作中也能同样地应用。

[0109] 考虑选择一根或多根第 1 选择线和第 2 选择线,对被选择的多个存储器单元同时一并进行写入或擦除工作的情况。由于在低电阻状态的存储器单元中流过较大的电流,所以与连接于第 2 选择线的存储器单元的数量对应地、或与低电阻状态的存储器单元的数量对应地,流过第 2 选择线的电流量增加,该电流量增加了的电流向第 3 选择线流入。其结果是在正(负)极性的电压脉冲向被选择的第 2 选择线施加的情况下,第 3 选择线的寄生电阻等的影响导致第 3 选择线的电位上升(下降)。同时,第 2 选择线译码器 508 等、电压脉冲施加路径上存在的晶体管等的负载电路的影响导致连接于完成了成形处理的存储器单元的第 2 选择线的电位下降(上升)。结果,向非易失性可变电阻元件施加的有效的电压脉冲的绝对值下降。

[0110] 在此,将在经由第 2 选择线施加电压脉冲、对一个存储器单元施加擦除(写入)用的电压脉冲时流过低电阻状态的存储器单元的电流设为 I_w ,将从第 3 选择线到接地电位的寄生电阻设为 $RL1$ 。将从负载电路(译码器)到第 2 选择线的寄生电阻设为 $RL2$ 。进而,将对与第 2 选择线连接的被选择的各个存储器单元所连接的第 3 选择线是共同地连接的重写对象的存储器单元的最大数设为 N 。将被选择的第 1 选择线的根数设为 M 。如上述那样,在第 2 选择线和第 3 选择线为正交的结构的情况下, N 与被选择的第 2 选择线的根数相等,在第 2 选择线和第 3 选择线为平行延伸的结构的情况下, N 与被选择的第 1 选择线的根数相等。此时,在第 2 选择线分压的电压 $V_{BL}(M)$ 、以及第 3 选择线分压的电压 $V_{SL}(N)$ 在最坏的情况下,通过向第 3 选择线 $SL1$ 流入的电流的总和与负载电阻之积,以下述的数式 5 进行表示。

[0111]

$$V_{SL}(N) = N \cdot I_w \cdot RL1, V_{BL}(M) = M \cdot I_w \cdot RL2 \quad (5)$$

[0112] 进而,当将非易失性可变电阻元件的擦除(写入)所需要的电压脉冲的电压振幅的绝对值设为 V_w 、将应该向第 2 选择线施加的电压脉冲的电压振幅的绝对值设为 V_{BLW} 时,只要满足下述的数式 6,就能一并执行全部的选择存储器单元的重写工作。

[0113]

$$V_{BLW} - V_{SL}(N) - V_{BL}(M) \geq V_w \quad (6)$$

[0114] 作为一个例子,考虑在以选择元件(MOS 晶体管)和非易失性可变电阻元件构成的存储器单元 501a 中,在需要的重写电压脉冲的电压振幅的绝对值 V_w 为 2V、非易失性可变电阻元件的低电阻状态的电阻值 R_l ($\sim V_w/I_w$) 为 $0.1M\Omega$ 、寄生电阻 $RL1$ 、 $RL2$ 为 $1K\Omega$ 的情况下,对 16 位非易失性可变电阻元件同时进行写入或擦除处理的情况。根据数式 6,通过作为对

第 2 选择线施加的写入电压脉冲或擦除电压脉冲的绝对值 V_{BLW} , 分别施加 2.34V 以上, 从而能对 16 位的非易失性可变电阻元件的全部同时一并进行重写。

[0115] <2> 在上述的第 3 实施方式中, 作为对连接于各第 2 选择线的存储器单元的成形处理的完成进行感测的成形感测电路 510 的具体的结构, 例示了对第 2 选择线的电位的变动进行感测的结构, 但为对流过第 2 选择线的电流量的增加进行感测的结构也可。此外, 作为成形感测电路 510 的具体的结构例, 例示了在图 11 中示出的、将逻辑电路 L 和 p 沟道 MOS 晶体管 P 组合起来的电路, 但本发明并不限于该电路结构。

[0116] <3> 在上述的第 3 实施方式中, 成形感测电路 510 具有切断与感测到成形的完成的存储器单元连接的第 2 选择线上的电流通路的功能, 以对完成了成形处理的存储器单元的非易失性可变电阻元件不施加成形处理用的电压脉冲的方式进行控制, 但本发明并不限于该结构。例如, 当对连接于成形处理对象的存储器单元的第 2 选择线的电位的变动进行感测时, 成形感测电路 510 直接或者经由控制电路 502 向第 2 选择线译码器 508 发送成形完成信号, 通过接收该信号, 第 2 选择线译码器 508 进行将与完成了成形处理的存储器单元连接的第 2 选择线作为非选择的控制, 由此能得到同样的效果。

[0117] <4> 在上述的第 3 实施方式中, 说明了对在第 2 选择线和第 2 选择线译码器 508 之间具备成形感测电路 510 的本发明装置 1 应用本发明方法的情况的例子, 但对还具备第 3 选择线译码器的本发明装置 2, 通过在第 2 选择线和第 2 选择线译码器 508 之间、或第 3 选择线和第 3 选择线译码器 509 之间具备成形感测电路 510, 也能应用本发明方法, 同时对多个存储器单元进行成形处理。

[0118] 在图 13 中示出的非易失性半导体装置(本发明装置 4)是在还具备第 3 选择线译码器的本发明装置 2 中, 在第 3 选择线和第 3 选择线译码器 509 之间具备成形感测电路 510 的结构, 通过经由多根被选择的第 3 选择线施加成形电压脉冲, 能对通过一根或多根第 1 选择线和多根第 3 选择线选择的多个存储器单元同时进行成形处理。

[0119] 在该结构中, 成形感测电路 510 例如配置在存储器单元阵列和第 3 选择线译码器 509 之间, 在成形处理时, 对伴随着成形处理的完成导致存储器单元的非易失性可变电阻元件的电阻下降的流到各第 3 选择线的电流、或第 3 选择线的电位的变动进行感测。该结构仅是在上述第 3 实施方式中将第 2 选择线对第 3 选择线、将第 3 选择线对第 2 选择线分别将作用进行替换, 在上述第 3 实施方式中说明的本发明方法能按其原样地进行利用, 因此省略详细的说明。

[0120] <5> 在上述第 3 实施方式及其它实施方式中, 成形感测电路 510 配置在和施加成形电压脉冲相同的选择线侧。可是, 也可以考虑将成形感测电路 510 配置在和施加成形电压脉冲的选择线相反侧的结构。例如, 也可以考虑从第 2 选择线施加成形电压脉冲, 通过配置在第 3 选择线侧的成形感测电路对流到第 3 选择线的电流或第 3 选择线的电位的变动进行感测的结构。但是, 根据流到第 3 选择线的电流或电位的变动, 能对在施加电压脉冲的第 2 选择线中流过的电流或电位的变动进行感测仅限于第 2 选择线和第 3 选择线平行延伸, 第 2 选择线和第 3 选择线一对一地对应的情况。在该结构中, 在成形感测电路 510 感测第 3 选择线的电位的变动, 并能够判断与感测到该电位的变动的第 3 选择线连接的全部的存储器单元的成形处理完成的情况下, 成形感测电路 510 直接或者经由控制电路 502 向第 2 选择线译码器 508 发送成形完成信号, 进行将与完成了成形处理的存储器单元连接的第 2 选择

线作为非选择的控制,使经由该第 2 选择线的成形电压脉冲的施加停止。

[0121] 由此,选择 1 根或多根第 1 选择线(字线),选择多根第 2 选择线(位线),经由被选择的全部的 2 选择线同时施加成形处理用的电压脉冲,从被选择的第 2 选择线向第 3 选择线(源极线)流过电流,成形感测电路对与完成了成形处理的存储器单元连接的 3 选择线的电位的变动进行感测,进行停止向完成了成形处理的存储器单元的经由第 2 选择线的电压施加的控制,由此能高效率地进行成形处理。

[0122] <6> 在上述的实施方式中,作为成形感测电路 510 的结构,例示了将在图 7 中示出的由电路 L 和 p 型 MOS 晶体管构成的电路分别连接在存储器单元阵列和第 2 选择线译码器 508 之间的第 2 选择线、或连接在存储器单元阵列和第 3 选择线译码器 509 之间的第 3 选择线的结构,但如图 14 所示那样,该电路配置在第 2 选择线译码器 508 或第 3 选择线译码器 509 内也可。图 14 是成形感测电路的其它实施方式,图 11 所示的、以电路 L 和 p 型 MOS 晶体管构成的多个感测电路 511 例如内置于第 2 选择线译码器 508,插入在前级的译码器 513 和后级的译码器 514 之间。感测电路 511 的输出向后级的译码器 514 输入,后级的译码器 514 在存储器单元的成形处理时,从多根第 2 选择线(例如,8 根)中根据切换信号能选择与成形处理对象的存储器单元连接的 2 选择线。

[0123] 前级的译码器 513 当成形处理对象的存储器单元通过地址输入被指定时,对与该成形处理对象的存储器单元连接的 2 选择线所连接的后级的译码器 514 进行选择,将用于向被选择的第 2 选择线施加的成形处理用的电压脉冲经由感测电路 511 向该后级的译码器 514 施加,同时将切换信号向该后级的译码器 514 发送。后级的译码器 514 基于切换信号从连接于自身的多根第 2 选择线中选择一根第 2 选择线,对被选择的第 2 选择线施加成形处理用的电压脉冲。

[0124] 感测电路 511 在成形处理时,当感测到伴随着被选择的存储器单元的成形处理的第 2 选择线的电位的变动时,通过切断从前级的译码器 513 向后级的译码器 514 的电流通路,从而暂停对后级的译码器 514 的成形处理用的电压脉冲的施加。之后,该感测电路 511 向后级的译码器 514 发送切换信号,再次选择与后级的译码器 514 连接且尚未完成成形处理的存储器单元所连接的下一根第 2 选择线,对该被再次选择的第 2 选择线持续施加成形处理对象的电压脉冲。通过反复进行该操作直到与译码器连接的全部的 2 选择线所连接的存储器单元的成形处理完成,从而能高效率地进行连接于同一第 1 选择线的全部的存储器单元的成形处理。

[0125] 通过这样,即使在存储器单元尺寸的缩小化发展,将图 11 示出的成形感测电路分别按全部的 2 选择线的每一根进行配置是不现实的情况下,也能采用经由后级的译码器从多根第 2 选择线中能够选择成形感测对象的第 2 选择线的结构。由此,因为能按多根第 2 选择线的每一根连接成形感测电路,所以能一边节约成形感测电路的电路占有面积,一边高效率地进行存储器单元的成形处理。

[0126] 本发明在非易失性可变电阻元件的电阻控制中能进行利用,特别在具备非易失性可变电阻元件而形成的非易失性半导体存储装置的成形处理的控制中能进行利用。

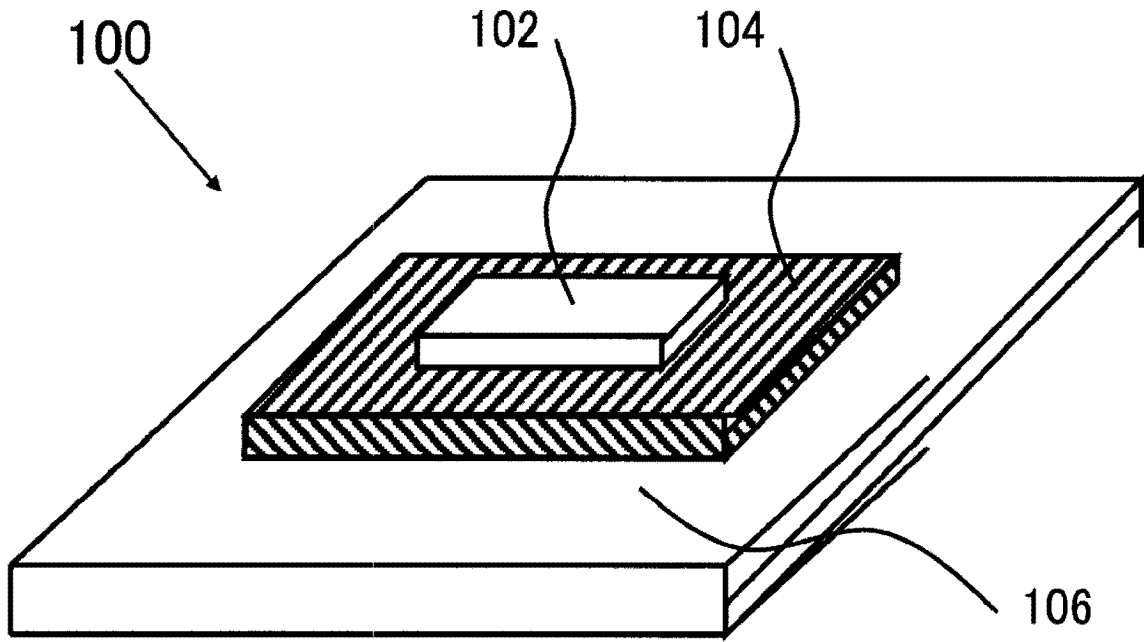


图 1

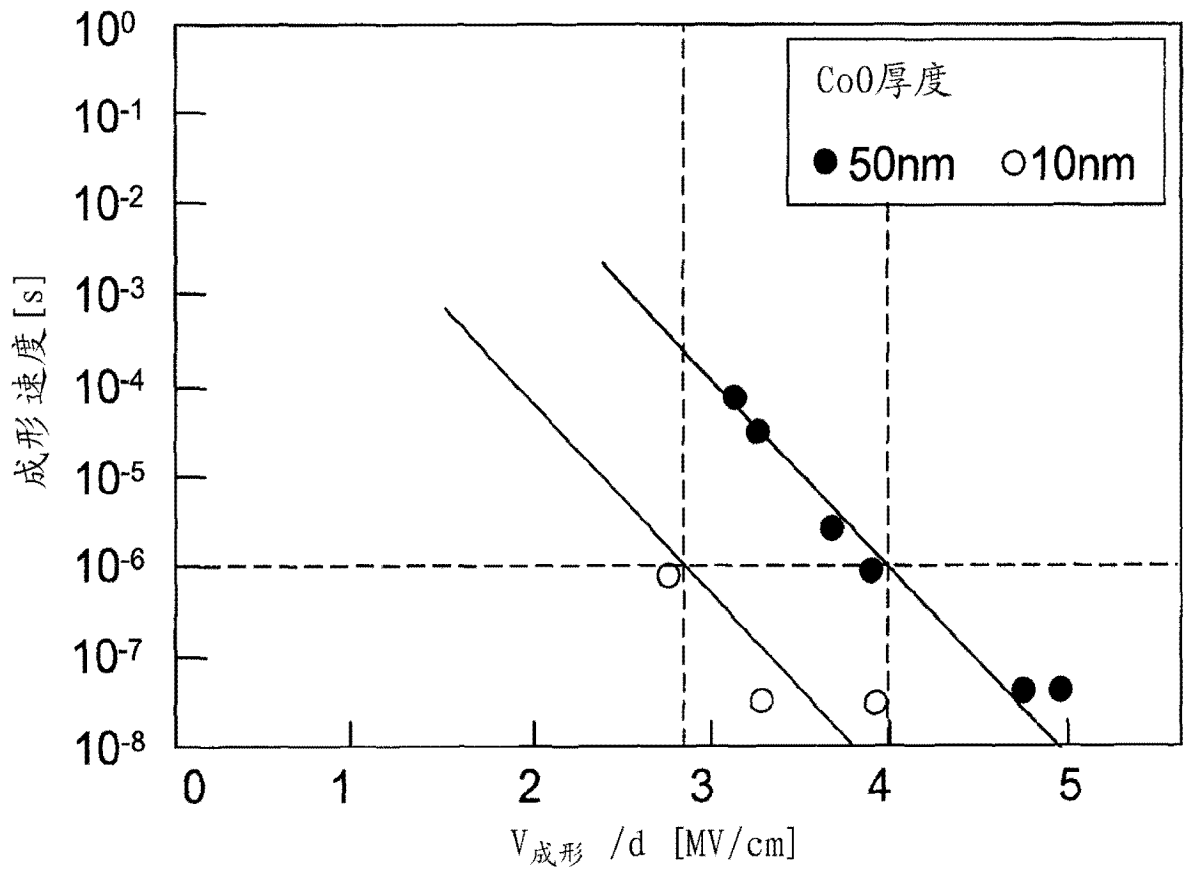


图 2

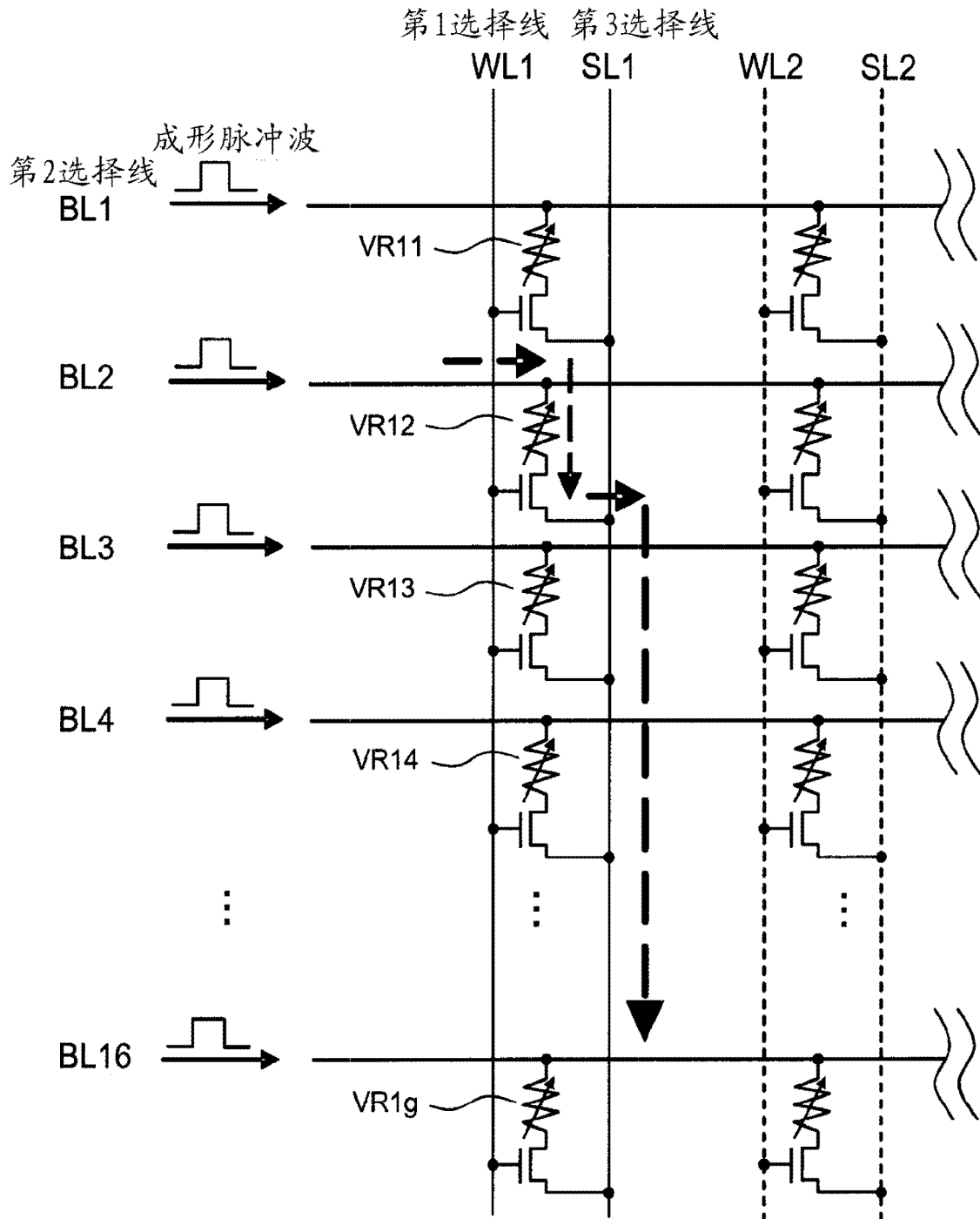


图 3

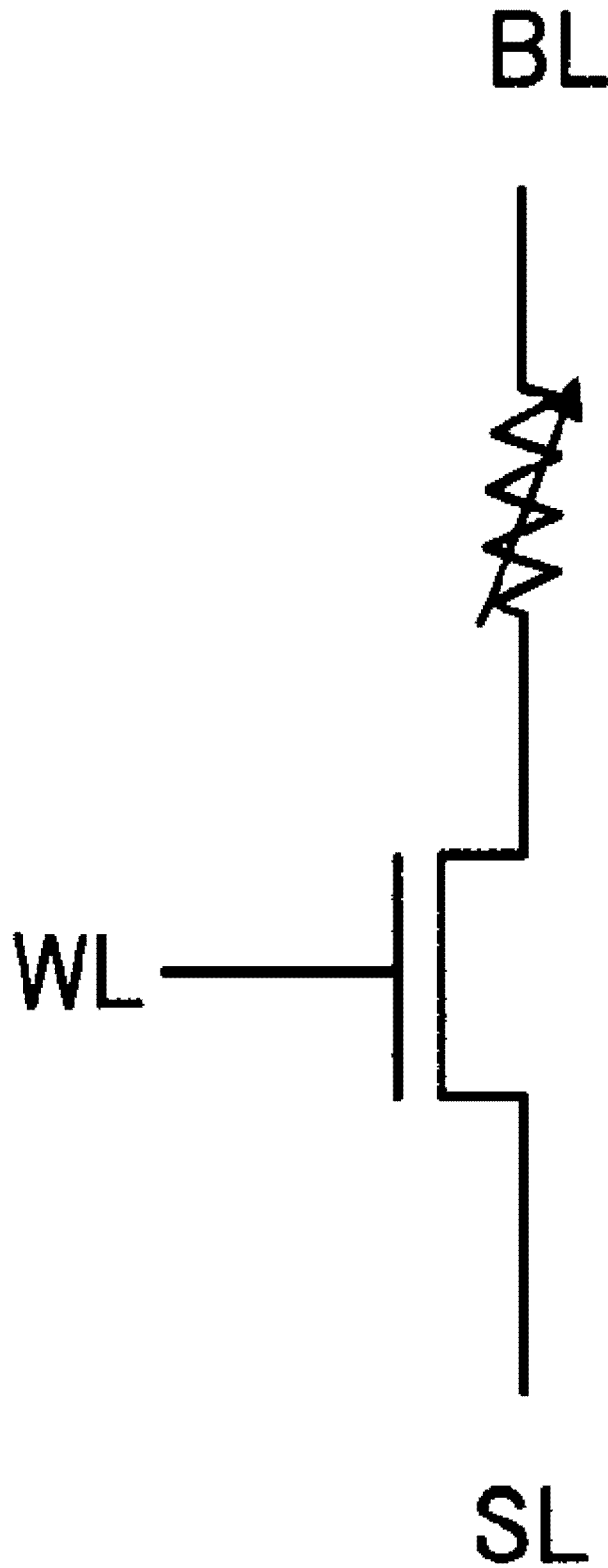


图 4

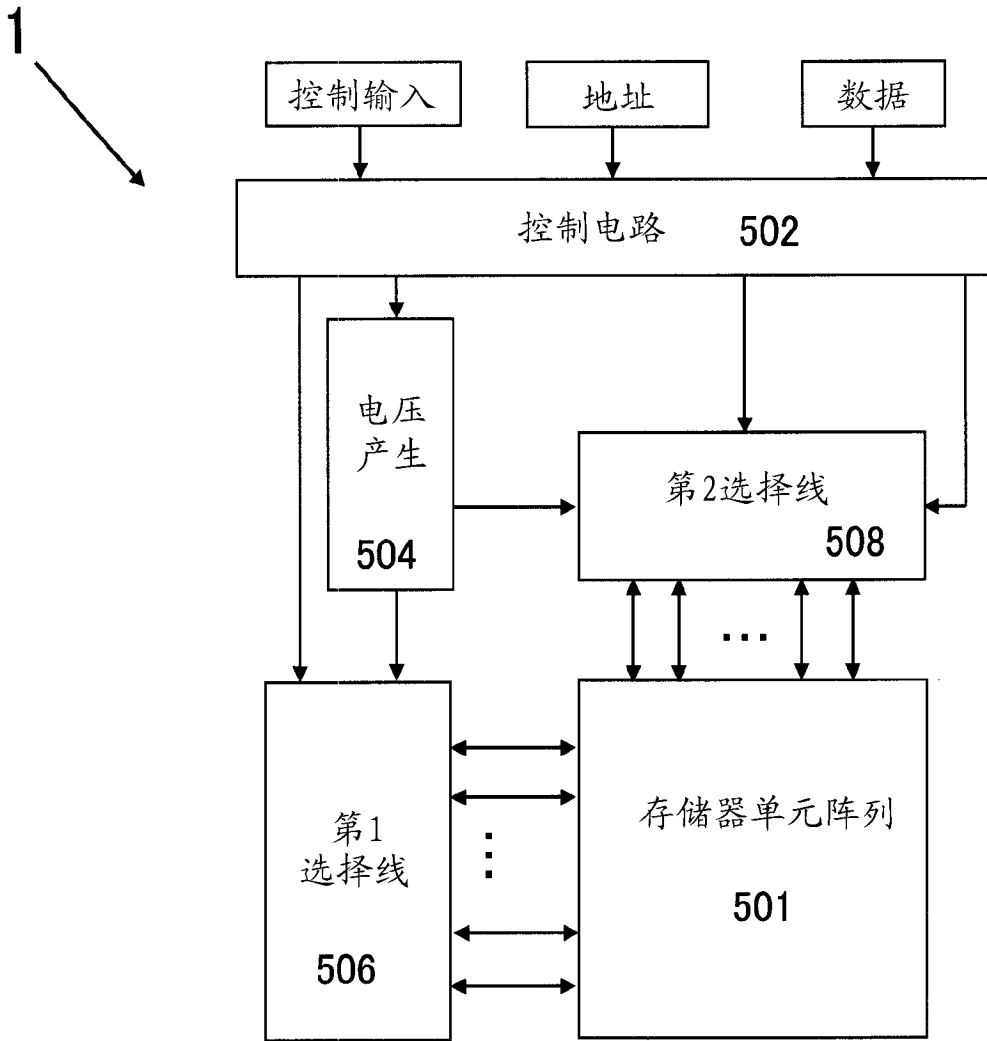


图 5

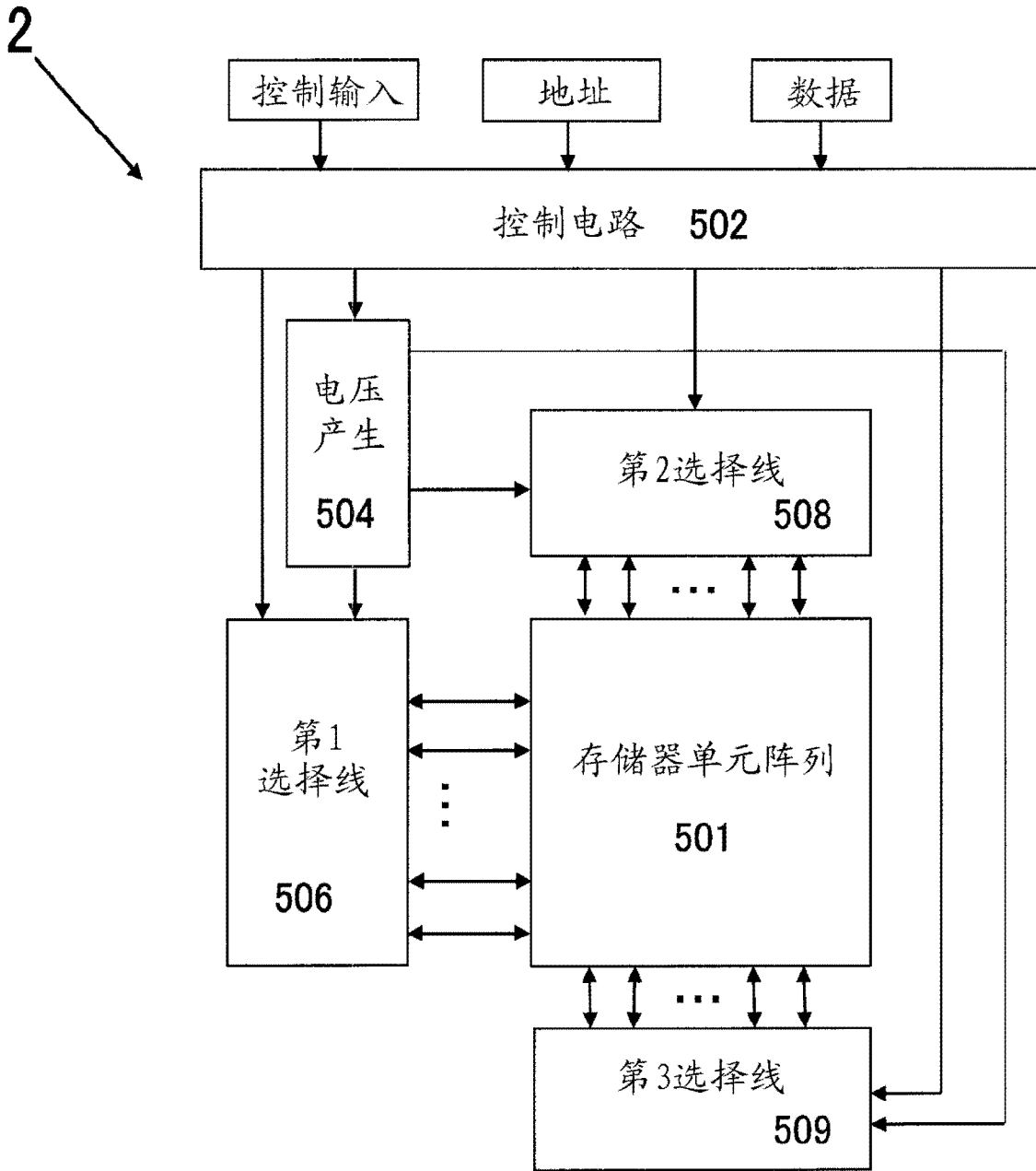


图 6

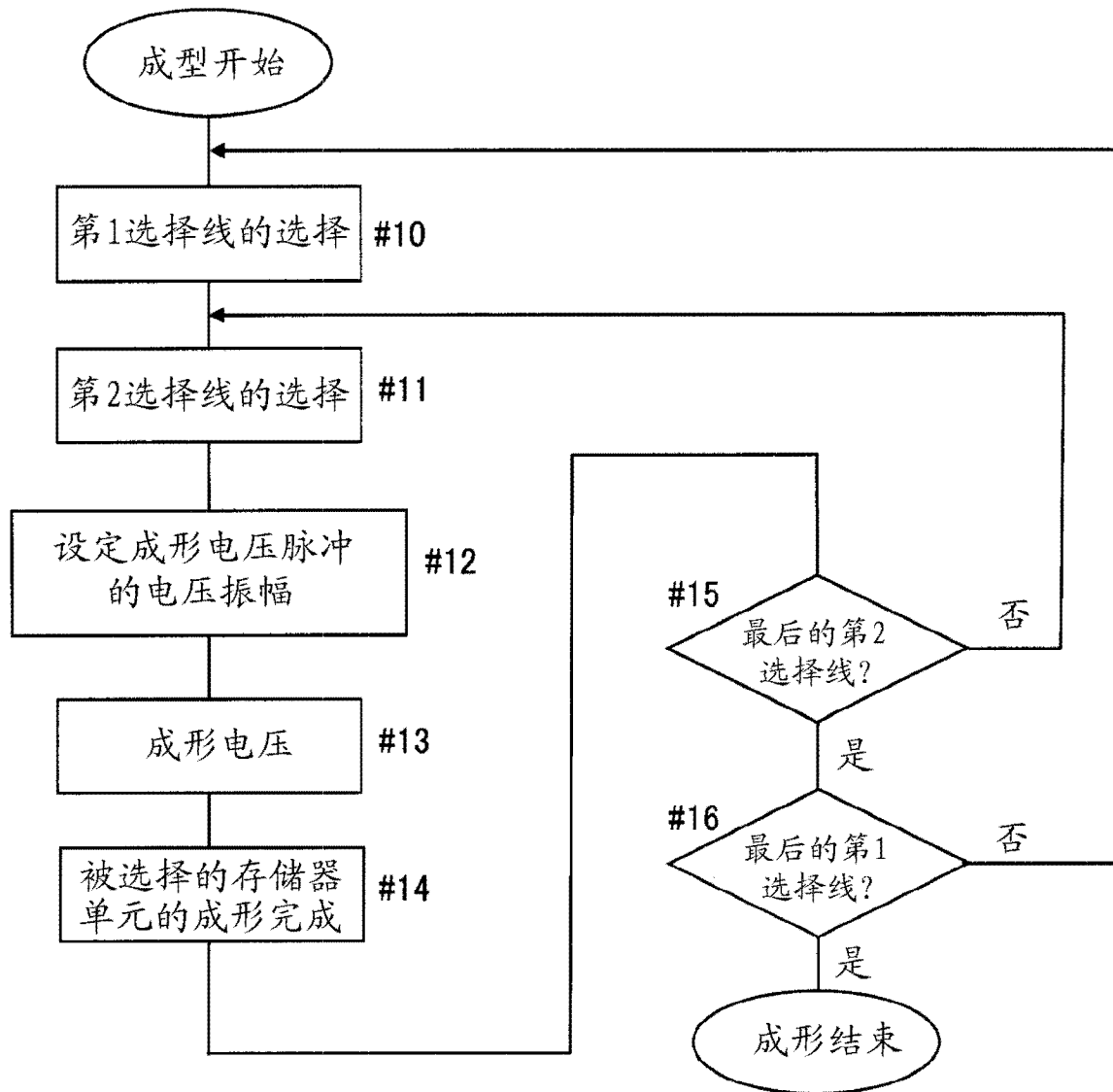


图 7

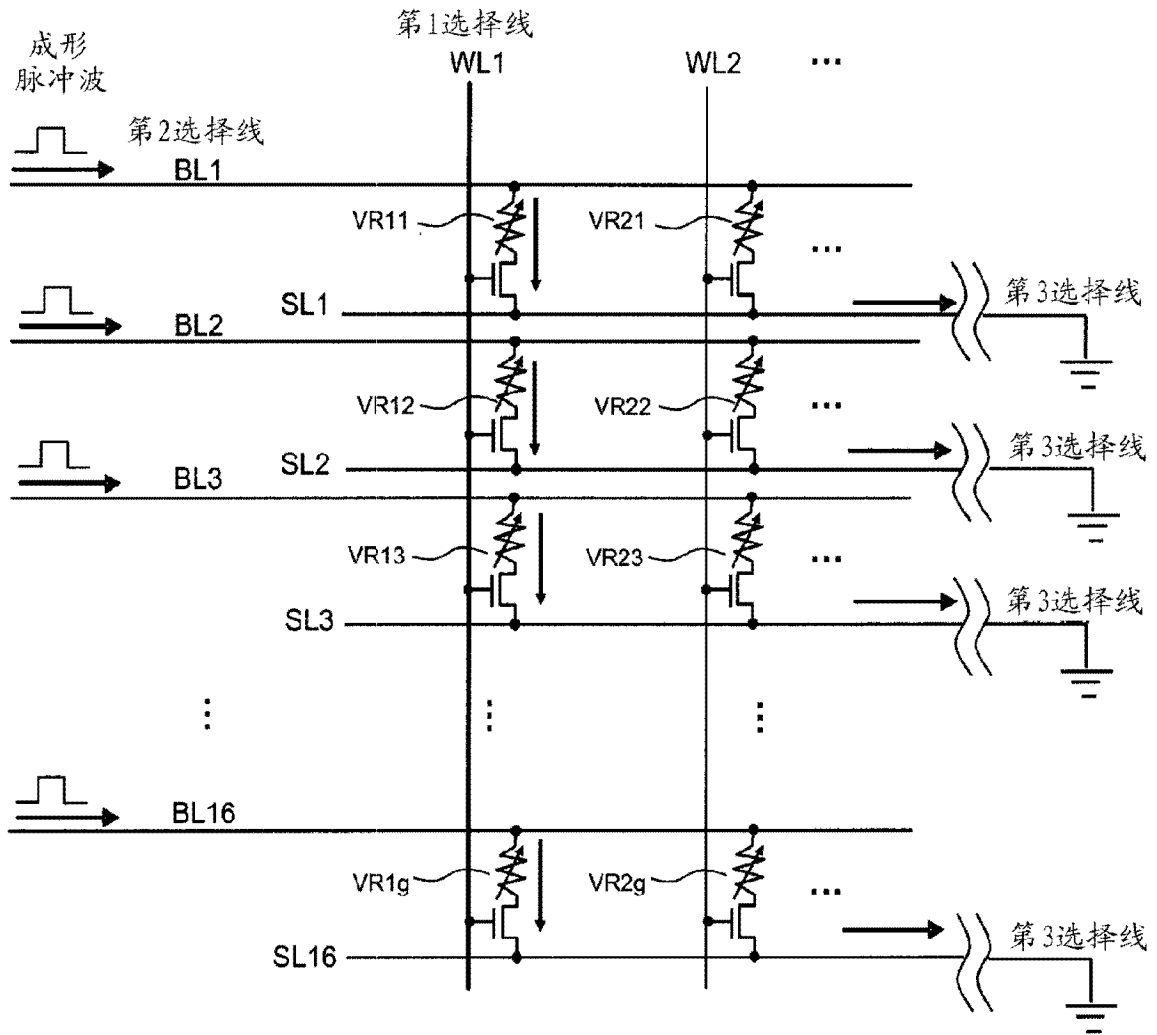


图 8

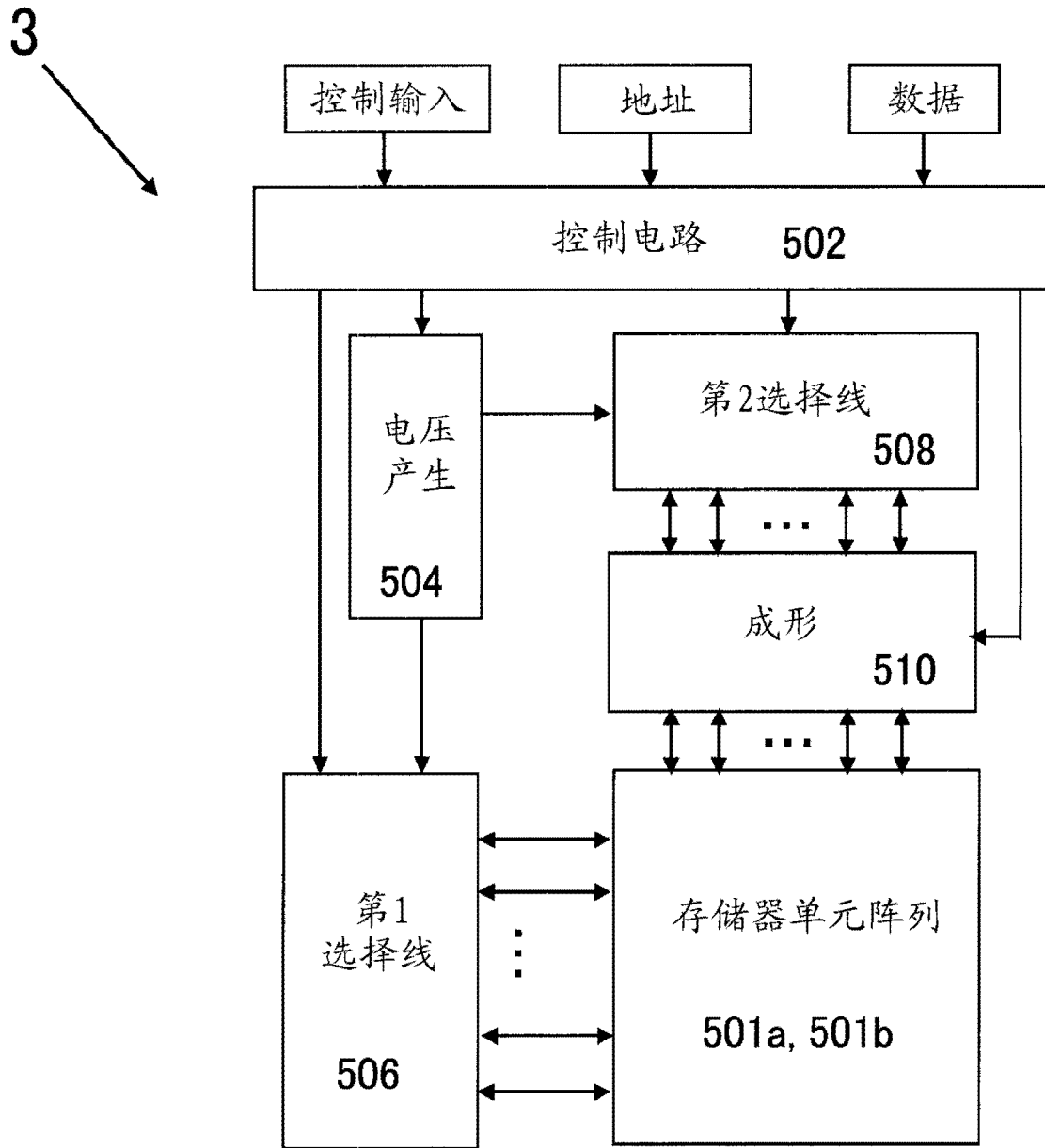


图 9

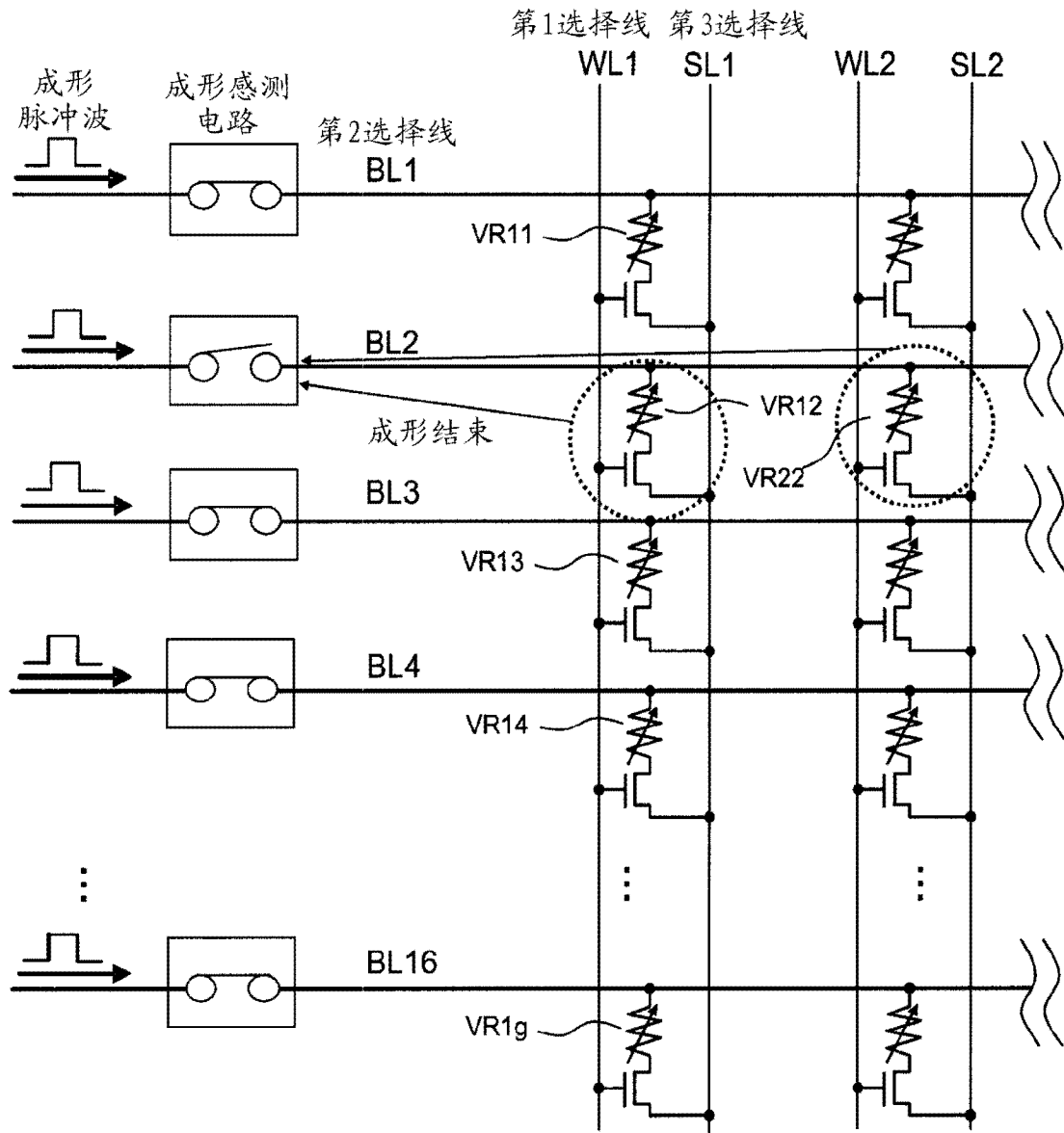


图 10

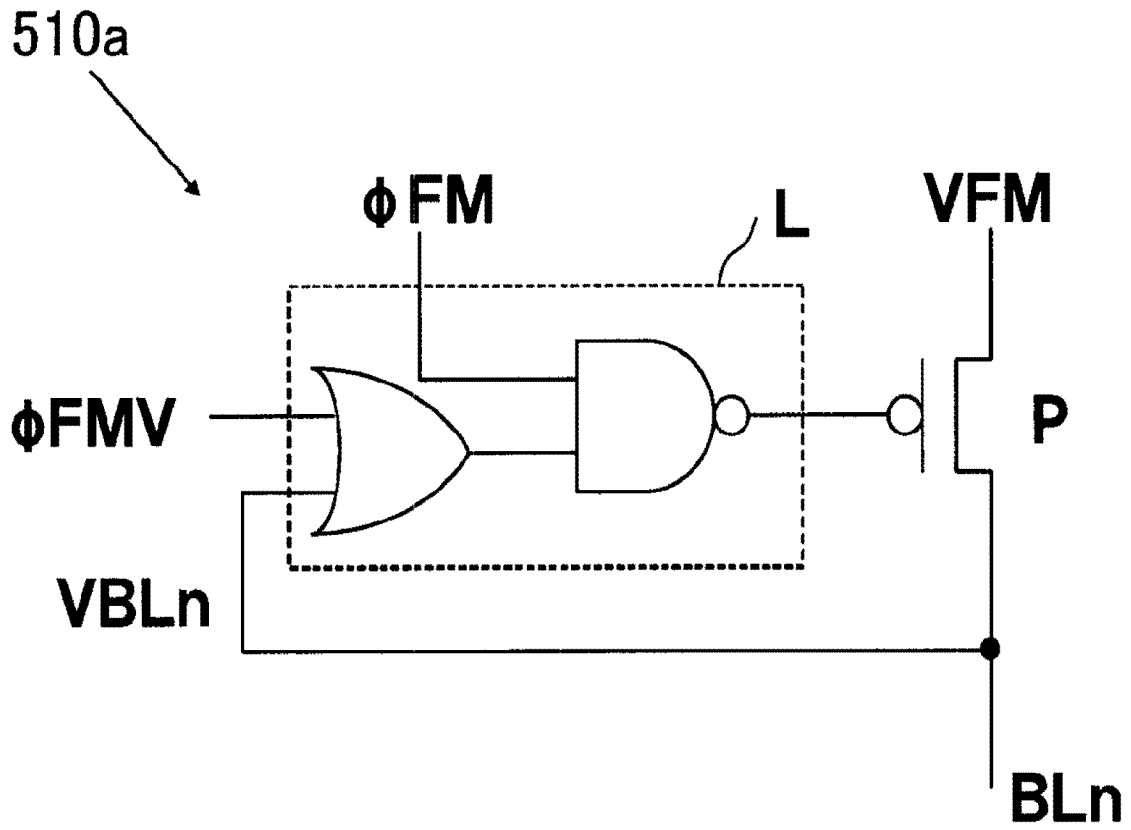


图 11

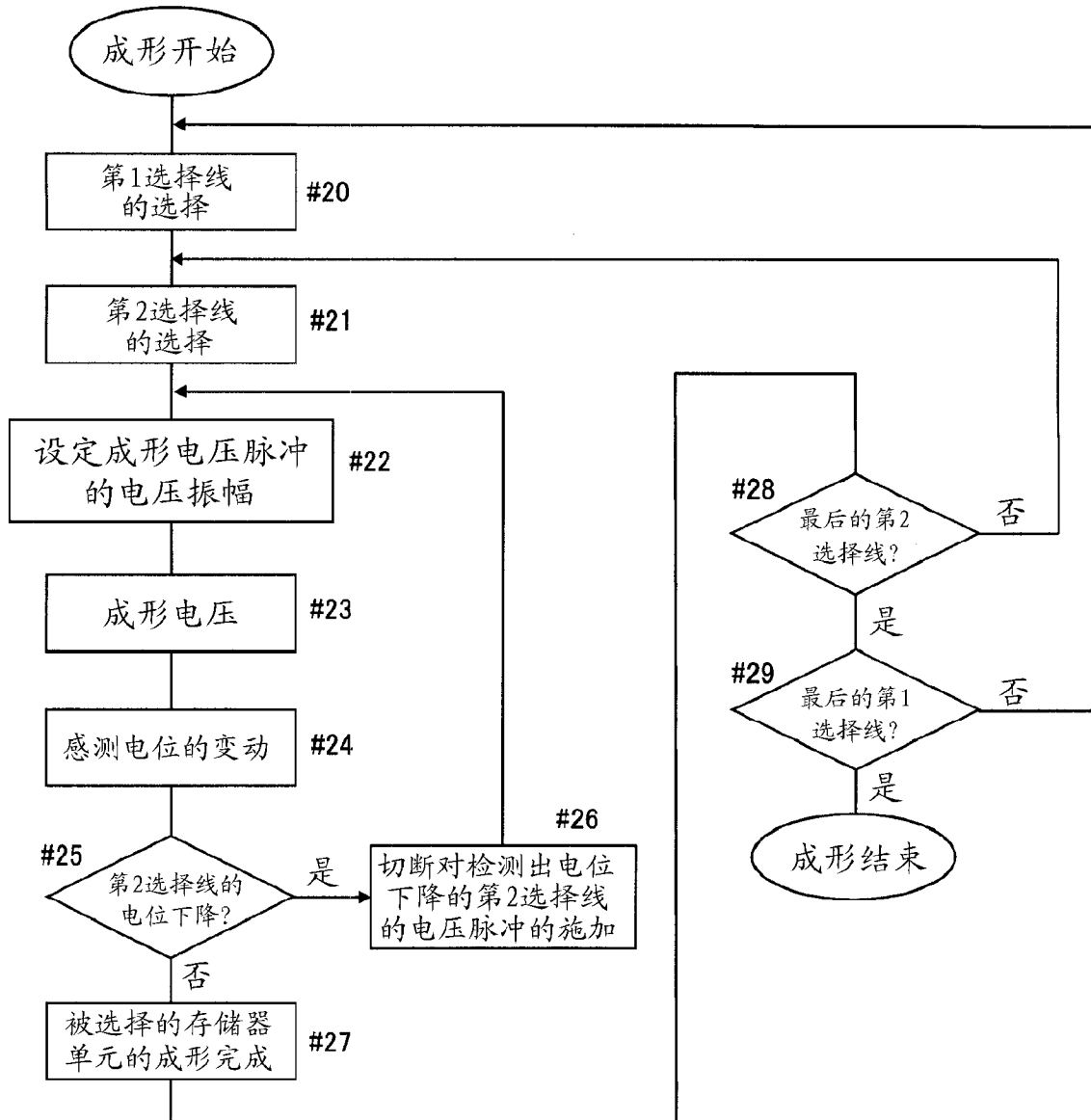


图 12

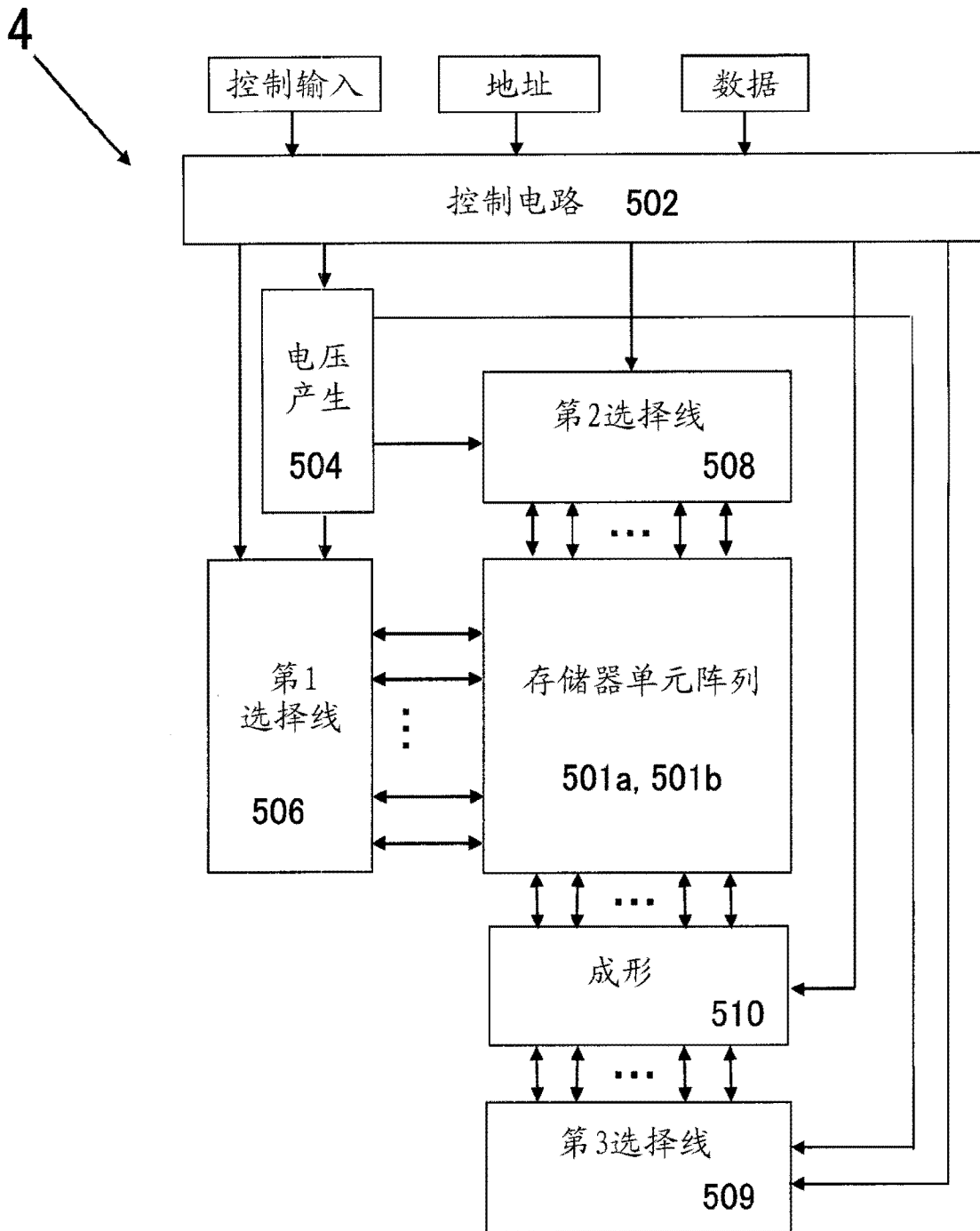


图 13

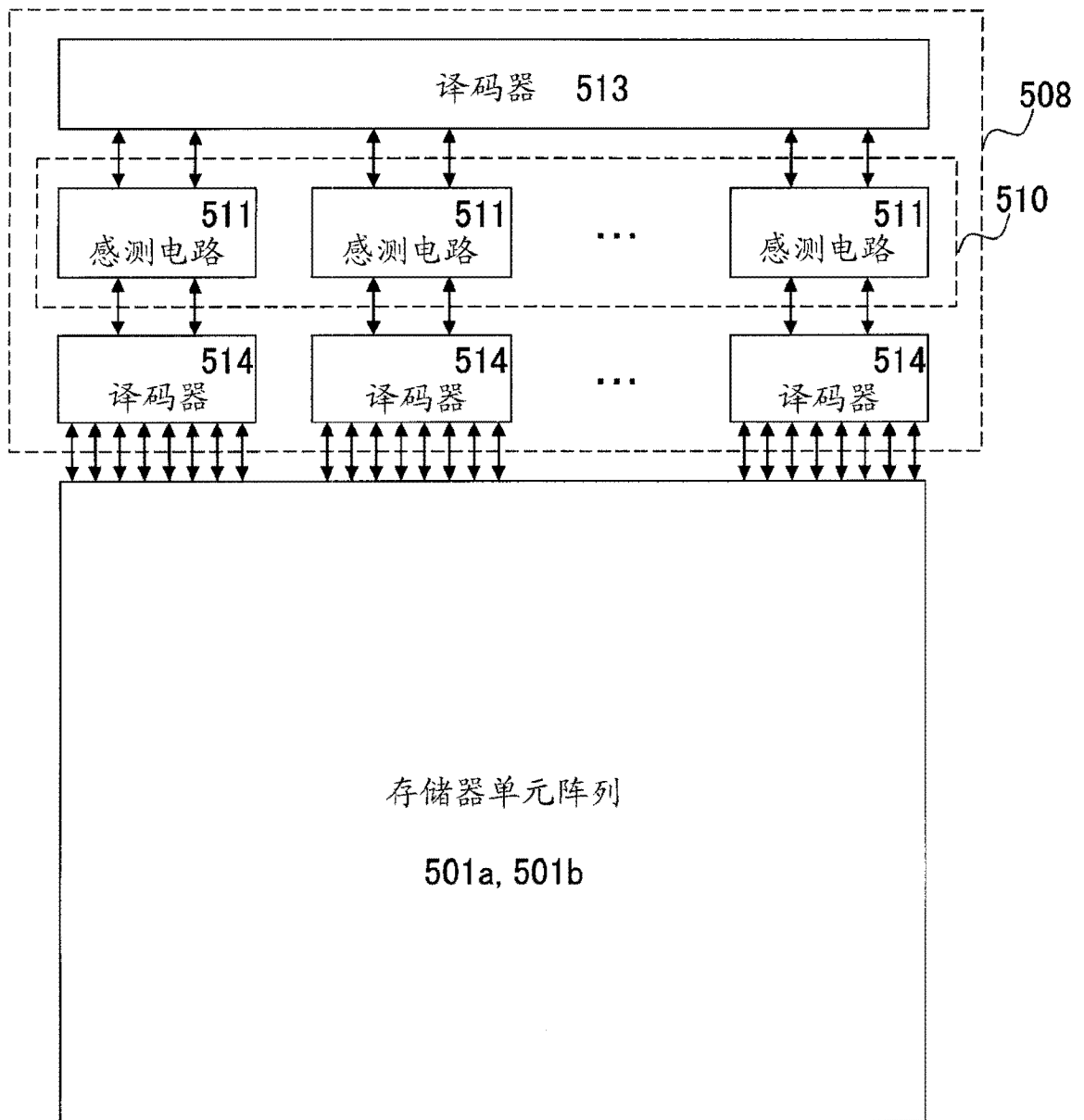


图 14