



(12)发明专利

(10)授权公告号 CN 104050139 B

(45)授权公告日 2017.09.29

(21)申请号 201410096807.X

(22)申请日 2014.03.17

(65)同一申请的已公布的文献号
申请公布号 CN 104050139 A

(43)申请公布日 2014.09.17

(30)优先权数据
13/840885 2013.03.15 US

(73)专利权人 英特尔公司
地址 美国加利福尼亚州

(72)发明人 O.巴格

(74)专利代理机构 中国专利代理(香港)有限公司 72001
代理人 谢攀 马永利

(51)Int.Cl.

G06F 15/163(2006.01)

(56)对比文件

- US 2003039313 A1, 2003.02.27,
- US 2003039313 A1, 2003.02.27,
- US 7099970 B1, 2006.08.29,
- US 5867043 A, 1999.02.02,
- CN 102457797 A, 2012.05.16,
- US 2012299628 A1, 2012.11.29,
- EP 0019920 A1, 1980.12.09,
- US 2006098691 A1, 2006.05.11,

审查员 黄文琪

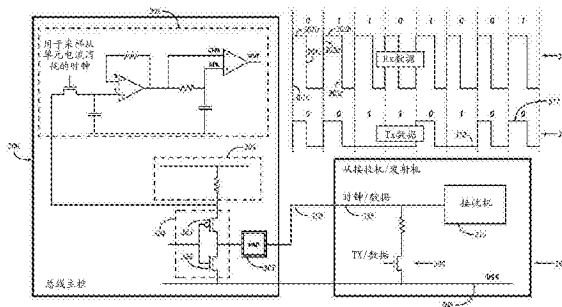
权利要求书3页 说明书17页 附图7页

(54)发明名称

用于改善串行接口的芯片间、单导线通信的方法、装置和系统

(57)摘要

本发明涉及用于改善串行接口的芯片间、单导线通信的方法、装置和系统。按照本公开的系统和方法包括主设备、总线接口链路和从设备。主设备包括电源和用于检测电源的阻抗的检测单元。反相器在时钟信号的第一阶段提供到电源的第一路径,并且,此外,反相器在时钟信号的第二阶段提供到第一接地线的第二路径。总线接口链路将主设备耦合到从设备。另外,双向通信线路耦合到总线接口链路。选通组件通过第一路径向电源提供第二接地线。此外,接收机根据从主设备传送的多个时钟数据信号来确定比特值。



1. 一种用于芯片间通信的系统,包括:
 - 主设备,包括:
 - 第一电源;
 - 第一检测单元,用于检测第一电源的阻抗;
 - 第一反相器,用于在时钟信号的第一阶段提供到第一电源的第一路径,并且在时钟信号的第二阶段提供到第一接地线的第二路径;
 - 第二电源;
 - 第二检测单元,用于检测第二电源的阻抗;
 - 第二反相器,用于在时钟信号的第一阶段提供到第二接地线的第三路径,并且在时钟信号的第二阶段提供到第二电源的第四路径;
 - 总线接口链路,用于将主设备耦合到第一从设备和第二从设备,该第一从设备包括:
 - 第一双向通信线路,用于通过总线接口链路在时钟信号的第一阶段从主设备接收多个窄的和宽的时钟脉冲以及用于在时钟信号的第二阶段从所述第一从设备传送多个窄的和宽的时钟脉冲;
 - 第一选通组件,用于通过第一双向通信线路提供从到第一电源的第一路径至第二接地线的导电路径;以及
 - 第一接收机,用于分配与从主设备传送的多个窄的和宽的时钟脉冲相关联的比特值;
 - 以及
 - 该第二从设备包括:
 - 第二双向通信线路,用于通过总线接口链路在时钟信号的第一阶段从第二从设备接收多个窄的和宽的时钟脉冲以及用于在时钟信号的第二阶段从所述主设备传送多个窄的和宽的时钟脉冲;
 - 第二选通组件,用于通过第二双向通信线路提供从到第二电源的第四路径至第二接地线的导电路径;以及
 - 第二接收机,用于分配与从主设备传送的多个窄的和宽的时钟脉冲相关联的比特值,
 - 其中所述第一从设备和所述第二从设备依次传送数据到所述主设备,其中所述第一从设备和所述第二从设备依次从所述主设备接收数据。
2. 根据权利要求1所述的用于芯片间通信的系统,其中,从设备包括数字麦克风。
3. 根据权利要求1所述的用于芯片间通信的系统,其中,反相器包括CMOS反相器。
4. 根据权利要求1所述的用于芯片间通信的系统,其中,主设备进一步包括总线时钟。
5. 根据权利要求1所述的用于芯片间通信的系统,其中,所述第一选通组件和所述第二选通组件包括晶体管。
6. 根据权利要求1所述的用于芯片间通信的系统,其中,第一检测单元检测第一电源的阻抗的改变并且第二检测单元检测第二电源的阻抗的改变。
7. 根据权利要求1所述的用于芯片间通信的系统,其中,所述第一双向通信线路并发地传播多个窄的和宽的时钟脉冲以及来自第一电源的电流,
 - 其中,所述第二双向通信线路并发地传播多个窄的和宽的时钟脉冲以及来自第二电源的电流。
8. 根据权利要求1所述的用于芯片间通信的系统,其中,所分配的比特值的一部分是用

于从设备的命令。

9. 一种主设备,包括:

第一检测单元,用于检测第一电源的第一阻抗;

其中,检测所述第一阻抗是检测来自第一外部设备的数据;

第一反相器,用于在时钟信号的第一阶段提供到第一电源的第一路径,并且在时钟信号的第二阶段提供到第一接地线的第二路径;

第二检测单元,用于检测第二电源的第二阻抗;

其中,检测所述第二阻抗是检测来自第二外部设备的数据;

第二反相器,用于在时钟信号的第二阶段提供到第二电源的第三路径,并且在时钟信号的第一阶段提供到第二接地线的第四路径;和

第三反相器,耦合到第一反相器以使输入到第一反相器中的时钟信号反相,

其中所述主设备用于依次接收来自所述第一外部设备和所述第二外部设备的数据。

10. 根据权利要求9所述的主设备,进一步包括主时钟。

11. 根据权利要求9所述的主设备,其中,第一反相器和第二反相器均包括晶体管的补集。

12. 根据权利要求9所述的主设备,进一步包括用于向两个从设备传送时钟数据信号的第一电连接和第二电连接。

13. 根据权利要求9所述的主设备,进一步包括用于生成时钟数据信号的时钟。

14. 根据权利要求9所述的主设备,进一步包括接收机、天线或编码器中的至少一个。

15. 一种用于芯片间通信的方法,包括:

在主设备、第一从设备和第二从设备之间形成总线接口链路,其中主设备包括第一从设备可及的第一电源并进一步包括第二从设备可及的第二电源;

将第一从设备的第一双向通信线路耦合到总线接口链路;

将第二从设备的第二双向通信线路耦合到总线接口链路;

通过总线接口链路、第一双向通信线路和第二双向通信线路从主设备向第一从设备和第二从设备向下传输多个时钟数据信号;以及

通过从第一电源汲取电流来发送第一比特值并且通过拒绝从第一电源汲取电流来发送第二比特值,来在时钟信号的第一阶段沿着总线接口链路将沿着第一从设备的第一双向通信线路的至少一个数据信号向上传输到主设备;以及

通过从第二电源汲取电流来发送第一比特值并且通过拒绝从第二电源汲取电流来发送第二比特值,来在时钟信号的第二阶段沿着总线接口链路将沿着第二从设备的第二双向通信线路的至少一个数据信号向上传输到主设备,

其中所述第一从设备和所述第二从设备依次将数据向上传输到所述主设备。

16. 根据权利要求15所述的用于芯片间通信的方法,进一步包括,监视第一电源的阻抗值来确定从该第一从设备传送了第一比特值还是第二比特值。

17. 根据权利要求15所述的用于芯片间通信的方法,进一步包括,通过从主设备内的时钟频率按比例降低沿着总线接口链路的时钟频率来生成具有变化的宽度的多个时钟脉冲,并且在用于每个时钟脉冲的期望宽度相对应的时钟周期的时段内沿着总线接口链路将时钟电压设置为高。

18. 一种总线主控,包括:

集成电路(IC),被配置为耦合到第一双向通信导线,该IC包括向第一双向通信导线传送信息并且从第一双向通信导线接收信息的输入/输出(I/O)逻辑,其中,所述I/O逻辑传送一时钟脉冲信号,该时钟脉冲信号包括具有第一占空比的第一时钟脉冲信号以表示第一数据逻辑电平以及具有不同于第一占空比的第二占空比的第二时钟脉冲信号以表示第二数据逻辑电平,

其中所述IC包括耦合到所述第一双向通信导线的电源,其中与所述电源相关联的第一阻抗水平表示在时钟信号的第一阶段来自第一外部设备的第一信号,其中与所述电源相关联的第二阻抗水平表示在时钟信号的第二阶段来自第一外部设备的第二信号。

19. 根据权利要求18所述的总线主控,其中所述I/O逻辑进一步包括提供经8b10b编码的数据的逻辑,其中经8b10b编码的数据包括具有第一占空比的第一时钟信号和具有第二占空比的第二时钟信号。

20. 根据权利要求18所述的总线主控,其中IC将通过第一双向通信导线耦合到接收机设备,其中所述接收机设备包括接收机I/O逻辑以用于:从第一双向通信导线接收第一时钟信号和第二时钟信号、基于第一占空比确定第一时钟信号是否将表示第一数据逻辑电平,以及基于第二占空比确定第二时钟信号是否将表示第二数据逻辑电平。

21. 根据权利要求20所述的总线主控,其中接收机设备包括第一麦克风,并且其中IC进一步包括通过第二双向通信导线耦合到第二麦克风的第二I/O逻辑,其中第二I/O逻辑将改变要在第二双向通信导线上向第二麦克风传送的时钟信号的占空比以表示数据。

用于改善串行接口的芯片间、单导线通信的方法、装置和系统

技术领域

[0001] 本公开涉及计算系统,并且具体地(但不排他地)涉及芯片间通信。

附图说明

[0002] 图1图示出包括多核处理器的计算系统的框图的实施例。

[0003] 图2图示出低功率计算平台的实施例。

[0004] 图3图示出耦合到按照本公开的接收机的按照本公开的总线主控(bus master)的实施例。

[0005] 图4图示出按照本公开的接收机的实施例。

[0006] 图5图示出显示电容器的电压在按照本公开的接收机内如何根据时钟脉冲列的各个时钟脉冲而变化的曲线图。

[0007] 图6图示出耦合到具有按照本公开的电路的多个数字麦克风的总线主控。

[0008] 图7图示出耦合到按照本公开的接收机的数字麦克风的实施例。

[0009] 图8图示出按照本公开的方法的实施例。

具体实施方式

[0010] 在下面的描述中,阐述了许多的特定细节,诸如特定的类型的处理器和系统配置、特定的硬件结构、特定的架构和微型架构细节、特定寄存器配置、特定指令类型、特定系统组件、特定测量/高度、特定处理器流水线阶段和操作等等的示例,以便提供对本公开的彻底的了解。然而,对于本领域技术人员明显的是,不必采用这些特定细节来实践本公开。在其他的实例中,没有详细描述诸如特定和替换处理器架构、用于描述的算法的特定逻辑电路/代码、特定固件代码、特定互连操作、特定逻辑配置、特定生产技术和材料、特定编译器实施方式、代码中的算法的特定表达、特定掉电和选通技术/逻辑之类的众所周知的组件或方法和计算机系统的其他特定操作细节,以免不必要地使本公开晦涩难懂。

[0011] 尽管可以参考诸如计算平台或微处理器中的特定集成电路中的能量节约和能量效率来描述以下实施例,但其他的实施例可适用于其他类型的集成电路和逻辑设备。类似的技术和在此描述的实施例的教导可以应用于也可以受益于良好能量效率和能量节约的其他类型的电路或半导体设备。例如,所公开的实施例不局限于台式计算机系统或 Ultrabooks™。并且也可以被用于诸如手持设备、平板机、其他轻薄笔记本、片上系统(SOC)设备之类的其他设备以及嵌入式应用中。手持设备的一些示例包括蜂窝电话、网际协议设备、数字式照相机、个人数字助理(PDA)和手持PC。嵌入式应用典型地包括微控制器、数字信号处理器(DSP)、片上系统、网络计算机(NetPC)、机顶盒、网络集线器、广域网(WAN)交换机,或可以执行以下讲授的功能和操作的任何其他系统。此外,在此描述的装置、方法和系统不局限于物理计算设备,而是也可以涉及用于能量节约和效率的软件优化。如将根据以下的描述明显的是,在此描述的方法、装置和系统的实施例(不管是设计硬件、固件、软件还是其组合)是与性能考虑进行平衡的“绿色技术”未来所不可缺少的。

[0012] 由于计算系统在发展,其中的组件变得更复杂。结果,在组件之间进行耦合和通信的互连架构的复杂度也在增加,以保证满足用于最优组件操作的带宽要求。此外,不同的市场区隔要求互连架构的不同方面适合市场的需要。例如,服务器要求较高的性能,而移动生态系统有时能够为了节电而牺牲总体性能。然而,大多数构造(fabric)的单一目的是提供具有最大节电的最高可能性能。以下,对许多互连进行讨论,其将潜在地受益于在此描述的本公开的各方面。

[0013] 关于图1,描绘了包括多核处理器的计算系统的框图的实施例。处理器100包括任何处理器或处理设备,诸如微处理器、嵌入式处理器、数字信号处理器(DSP)、网络处理器、手持处理器、应用处理器、协处理器、片上系统(SOC)或运行代码的其他设备。在一个实施例中,处理器100包括至少两个核——核101和102,其可能包括不对称的核或对称的核(所图示的实施例)。然而,处理器100可以包括可以是对称的或不对称的任何数量的处理元件。

[0014] 在一个实施例中,处理元件指的是支持软件线程的硬件或逻辑。硬件处理元件的示例包括:线程单元、线程槽、线程、处理单元、上下文、上下文单元、逻辑处理器、硬件线程、核,和/或能够保持诸如执行状态或架构状态之类的处理器的状态的任何其他元件。换句话说,在一个实施例中,处理元件指的是能够与诸如软件线程、操作系统、应用之类的代码或其他代码独立地相关联的任何硬件。物理处理器(或处理器插槽)典型地指的是集成电路,其潜在地包括任何数量的其他处理元件,诸如核或硬件线程。

[0015] 核往往指的是位于集成电路上的能够维持独立的架构状态的逻辑,其中每个独立地维持的架构状态与至少一些专用的执行资源相关联。与核形成对比,硬件线程典型地指的是位于集成电路上的能够维持独立的架构状态的任何逻辑,其中该独立地维持的架构状态共享对执行资源的访问。能够看出,当某些资源被共享并且其它资源专用于一种架构状态时,硬件线程和核的命名法之间的线发生重叠。然而,经常是,由操作系统将核和硬件线程视为独立的逻辑处理器,其中操作系统能够单独地调度每个逻辑处理器上的操作。

[0016] 如图1所图示的,物理处理器100包括两个核——核101和102。这里,核101和102被考虑为对称的核,即,具有相同的配置、功能单元和/或逻辑的核。在另一个实施例中,核101包括乱序(out-of-order)处理器核,而核102包括有序(in-order)处理器核。然而,可以从诸如本机核(native core)、软件管理的核、适合于执行本机指令集架构(ISA)的核、适合于执行转换的指令集架构(ISA)的核、协同设计的核之类的任何类型的核或其他已知核中单独地选择核101和102。在异构核环境(即不对称的核)中,可以利用像二进制转换的某种形式的转换来调度或执行一个或两个核上的代码。又进行进一步的讨论,以下更加详尽地描述核101中图示的功能单元,这是因为在所描绘的实施例中核102中的单元以类似方式操作。

[0017] 如所描绘的,核101包括两个硬件线程101a和101b,其也可以被称为硬件线程槽101a和101b。因此,诸如操作系统之类的软件实体在一个实施例中潜在地把处理器100视为四个分离处理器,即能够并发地执行四个软件线程的四个逻辑处理器或处理元件。至于提及以上时,第一线程与架构状态寄存器101a相关联,第二线程与架构状态寄存器101b相关联,第三线程可以与架构状态寄存器102a相关联,并且第四线程可以与架构状态寄存器102b相关联。这里,每一个架构状态寄存器(101a、101b、102a和102b)可以被称为处理元件、线程槽,或线程单元,如上所述。如所图示的,在架构状态寄存器101b中复制架构状态寄存

器101a,所以能够为了逻辑处理器101a和逻辑处理器101b而存储单独的架构状态/上下文。在核101中,也可以对于线程101a和101b而复制诸如分配器和更名器块130中的指令指针和更名逻辑之类的其他的较小资源。可以通过分割来共享诸如重排序/回收(retirement)单元135中的重排序缓冲器、ILTB 120、加载/存储缓冲器以及队列之类的一些资源。潜在地对诸如通用内部寄存器、页表基址寄存器(一个或多个)、低级别数据高速缓存和数据TLB 115、执行单元(一个或多个)140和乱序单元135的各部分之类的其他资源进行充分地共享。

[0018] 处理器100往往包括其他的资源,其可以由处理元件充分地共享、通过分割由处理元件共享,或专用于处理元件。在图1中,图示出具有处理器的说明性逻辑单元/资源的纯示例性处理器的实施例。注意到,处理器可以包括或省略这些功能单元中的任何一项,以及包括没有描绘的任何其他已知功能单元、逻辑或固件。如所图示的,核101包括简单化的、有代表性的乱序(OOO)处理器核。但是可以在不同的实施例中利用有序处理器。OOO核包括用于预测要被执行/采取的分支的分支目标缓冲器120以及用于存储用于指令的地址转换条目的指令转换缓冲器(I-TLB) 120。

[0019] 核101进一步包括耦合到取出单元120的、用于解码所取出的元素的解码模块125。在一个实施例中,取出逻辑包括分别地与线程槽101a、101b相关联的单独的定序器。通常,核101与定义/指定可在处理器100上执行的指令的第一ISA相关联。作为第一ISA的一部分的机器代码指令往往包括对要被执行的指令或操作进行引用/指定的指令的一部分(被称为操作码)。解码逻辑125包括电路,该电路从它们的操作码中识别这些指令,并且在用于第一ISA所定义的处理的流水线中传递经解码的指令。例如,如以下更详细地讨论的,在一个实施例中,解码器125包括被设计为或适于识别诸如事务性指令之类的特定指令的逻辑。由于由解码器125进行的识别,架构或核101采取特定、预定义的动作来执行与适当的指令相关联的任务。重要的是注意到,可以响应于单个或多个指令(其中一些可以是新的或旧的指令)来执行在此描述的任务、框、操作和方法中的任何一项。请注意,在一个实施例中,解码器126识别相同的ISA(或其子集)。替换地,在异构核环境中,解码器126识别第二ISA(为第一ISA的子集或者不同的ISA)。

[0020] 在一个示例中,分配器和更名器框130包括用于保留诸如用于存储指令处理结果的寄存器文件之类的资源的分配器。然而,线程101a和101b是潜在地能够进行乱序执行,其中分配器和更名器框130也保留其他的资源,诸如用于跟踪指令结果的重排序缓冲器。单元130也可以包括寄存器更名器,用于将程序/指令引用寄存器更名到处理器100内部的其他寄存器。重排序/回收单元135包括诸如如上所述的重排序缓冲器、加载缓冲器和存储缓冲器之类的组件,以支持乱序执行以及乱序执行的指令的稍后的有序回收。

[0021] 在一个实施例中,调度器和执行单元(一个或多个)框140包括调度器单元,用于调度执行单元上的指令/操作。例如,在具有可用的浮点执行单元的执行单元的端口上调度浮点指令。还包括与执行单元相关联的寄存器文件来存储信息指令处理结果。示例性执行单元包括浮点执行单元、整数执行单元、跳转执行单元、加载执行单元、存储执行单元和其他已知执行单元。

[0022] 较低级别数据高速缓存和数据转换缓冲器(D-TLB) 150耦合到执行单元(一个或多个)140。数据高速缓存将存储潜在地保持在存储器一致性状态中的诸如数据操作数之类的最近使用/操作的元素。D-TLB将存储最近的虚拟/线性地址至物理地址转换。作为特定示

例,处理器可以包括将物理存储器分为多个虚拟页的页表结构。

[0023] 这里,核101和102共享对诸如与片上接口110相关联的二级高速缓存之类的较高级别或更远的高速缓存的访问。注意到,较高级别或更远指的是相对于所述执行单元(一个或多个)增加或进一步远离的高速缓存级别。在一个实施例中,较高级别的高速缓存是最后级别的高速缓存——处理器100上的存储器分级体系中的最后的高速缓存——诸如二级或三级数据高速缓存。然而,较高级别高速缓存不限于此,因为其可以与指令高速缓存相关联或包括指令高速缓存。作为代替,跟踪高速缓存——一种类型的指令高速缓存可以耦合在解码器125之后,用于存储最近解码的跟踪。这里,指令潜在地指的是宏指令(即由解码器识别的通用指令),其可以解码为许多微指令(微操作)。

[0024] 在所描绘的配置中,处理器100还包括片上接口组件110。历史上,以下更详细地描述的存储器控制器已经被包括在处理器100之外的计算系统中。在该场景中,片上接口110将与诸如系统存储器175、芯片组(往往包括连接到存储器175的存储器控制器集线器以及连接外围设备的I/O控制器集线器)、存储器控制器集线器、北桥之类的处理器100以外的设备或其他的集成电路进行通信。并且,在该场景中,总线105可以包括任何已知的互连,诸如多点分支总线、点到点互连、串行互连、并行总线、一致性(例如高速缓存一致性)总线、分层协议架构、差分总线和GTL总线。

[0025] 存储器175可以专用于处理器100或与系统中的其他设备共享。存储器175的常见示例类型包括DRAM、SRAM、非易失性存储器(NV存储器)和其他已知存储设备。注意到,设备180可以包括图形加速器、处理器或耦合到存储器控制器集线器的卡、耦合到I/O控制器集线器的数据存储器、无线收发器、闪存设备、音频控制器、网络控制器或其他已知设备。

[0026] 然而,最近,随着更多逻辑和设备被集成在诸如SOC之类的单个管芯上,可以在处理器100上合并这些设备中的每一个。例如,在一个实施例中,存储器控制器集线器与处理器100位于相同的封装和/或管芯上。这里,核的一部分(核上(on-core)部分)110包括用于与诸如存储器175或图形设备180之类的其他设备对接的一个或多个控制器。包括用于与这样的设备对接的互连和控制器的配置往往被称为核上(或非核(un-core)配置)。举例来说,片上接口110包括用于片上通信的环形互连和用于片外通信的高速串行点到点链路105。而在SOC环境中,可以在单个管芯或集成电路上集成诸如网络接口、协处理器、存储器175、图形处理器180以及任何其他已知计算机设备/接口之类的甚至更多的设备,以提供具有高性能和低功耗的较小形状因数。

[0027] 在一个实施例中,处理器100能够执行编译器、优化和/或转换器代码177以编译、转换和/或优化应用代码176,以支持在此描述的装置和方法或与之对接。编译器往往包括程序或程序集来将源文本/代码转换为目标文本/代码。通常,在多个阶段和多遍中完成利用编译器进行程序/应用代码的编译,以将高级编程语言代码转换为低级机器或汇编语言代码。然而,仍然可以利用单遍编译器来用于简单编译。编译器可以利用任何已知编译技术并且执行任何已知编译器操作,诸如词法分析、预处理、解析、语义分析、代码生成、代码变换以及代码优化。

[0028] 较大的编译器往往包括多个阶段,但是最经常的是,这些阶段被包括在两个通用阶段内:(1)前端,即,通常在其中可以发生语法处理、语义处理和一些变换/优化,以及(2)后端,即,通常在其中可以发生分析、变换、优化和代码生成。一些编译器参看中部,其说明

编译器的前端与后端之间的划定的模糊。结果,对编译器的插入、关联、生成或其他操作的引用可以发生在上述的编译器的阶段或遍以及任何其他的已知阶段或遍中的任何一项中。作为说明性示例,编译器潜在地在编译的一个或多个阶段中插入操作、调用、函数等等,诸如在编译的前端阶段中插入调用/操作,并且然后在变换阶段期间将调用/操作变换为较低级别代码。注意到,在动态编译期间,编译器代码或动态优化代码可以插入这样的操作/调用以及优化用于在运行时间期间执行的代码。作为特定说明性示例,可以在运行时间期间动态地优化二进制代码(已经编译的代码)。这里,程序代码可以包括动态优化代码、二进制代码,或其组合。

[0029] 类似于编译器,诸如二进制转换器之类的转换器静态地或动态地转换代码,以优化和/或转换代码。因此,对代码、应用代码、程序代码或其他软件环境的执行的提及可以指的是:(1)动态地或静态地执行编译器程序(一个或多个)、优化代码优化器或转换器,以编译程序代码、维持软件结构、执行其他操作、优化代码或者转换代码;(2)执行包括诸如已经被优化/编译的应用代码之类的操作/调用的主程序代码;(3)执行诸如与主程序代码相关联的库之类的其他的程序代码,以维持软件结构、执行其他软件有关的操作,或优化代码;或者(4)其组合。

[0030] 一种互连构造架构包括外部组件互联(PCI)高速(PCIe)架构。PCIe的主要目标将是使得来自不同厂商的组件和设备能够在开放式架构中互操作、跨多个市场区隔、客户端(桌上型和移动)、服务器(标准和企业)以及嵌入式和通信设备。PCI高速是为各式各样的未来计算和通信平台定义的高性能、通用互连I/O互连。诸如其使用模型、加载-存储架构和软件接口之类的一些PCI属性已经通过其修订被维持,而先前的并行总线实施方式已经由高度可伸缩的、完全串行接口替代。PCI高速的最新近版本利用点到点互连、基于交换机的技术和封包化协议中的进展,以提供新级别的性能和特征。功率管理、服务质量(QoS)、热插拔/热切换支持、数据完整性和错误处理都是由PCI高速所支持的一些高级特征。

[0031] 关于图2,描绘了低功率计算平台的实施例。在一个实施例中,低功率计算平台200包括诸如电话、智能电话、平板机、超轻型式笔记本、笔记本、桌上型电脑、服务器、发射设备、接收设备之类的用户端点,或者任何其他已知或可用的计算平台。所图示的平台描绘用于耦合多个不同的设备的多个不同的互连。以下提供这些互连的示例性讨论,以提供在实施方式和包含上的选择。然而,不要求低功率平台200包括或实施所描绘的互连或设备。此外,可以包括没有具体地示出的其他设备和互连结构。

[0032] 从图的中心开始,平台200包括应用处理器205。往往这包括低功率处理器,其可以是在此描述的或行业中已知的处理器配置的版本。作为一个示例,处理器200被实施为片上系统(SoC)。作为特定说明性示例,处理器200包括诸如i3、i5、i7之类的基于Intel® Architecture Core™的处理器或可从加州的圣克拉拉的Intel公司获得的另一个这样的处理器。然而,应理解,诸如可以从加州的森尼韦耳的Advanced Micro Devices公司(AMD)获得的之类的其他低功率处理器、来自加州的森尼韦耳的MIPS Technologies公司的基于MIPS的设计、经ARM Holdings有限公司许可的基于ARM的设计、或其顾客或者它们的持牌者或采纳者可以代之以而存在于其他的实施例中,诸如苹果A5/A6处理器、高通骁龙处理器或TI OMAP处理器。

[0033] 串行接口被用于电子装备中的集成电路(IC)与设备之间的控制和通信。电子装备

中的许多集成电路和设备具有高引脚数,其对于组件和电路板而言是显著成本增加。例如,常规移动电话中的IC之间的串行接口以每接口两个导线为特征。值得注意地,常规的移动电话包括时钟和双向数据引脚,可能外加芯片使能总线特定的电源引脚。例如,MIPI RFFE和I2C标准协议每接口提供两个导线。

[0034] 事实上,一些数字麦克风接口需要至麦克风的四个连接——电源、接地、时钟和数据。因而,当前的数字麦克风接口技术是从以用于接地和电源/信号的两个引脚连接为特征的模拟接口而产生的倒退。

[0035] 本公开提供能够以高数据比特率(例如MB/s比特率)进行全双工操作的单导线双向接口。另外,本公开使得能够使用两个物理引脚来实施数字麦克风。此外,本公开提供一实施例,其使得两个相同的麦克风能够附接到相同的总线接口链路,以用于噪声消除。有利地,可以至少部分地在诸如但不限于数字麦克风、个人计算机、电视、跟踪板、电脑鼠标、GPS接收机、SIM卡阅读器、蓝牙连接器等等的其他设备内实施在这里公开的主设备和接收机从设备。

[0036] 图3图示出耦合到按照本公开的数字麦克风350的按照本公开的总线主控300的实施例。然而,不需要设备或它们的组件来实践本公开。如所示,总线主控300经由总线接口320耦合到数字麦克风350。在一些实施例中,示出在图3中的总线主控300和数字麦克风350两者都是移动电话中的组件(在一些实施例中也被称为具有语音通信能力的用户端点(UE))。更具体地说,根据本公开的某些实施例,总线主控300和数字麦克风350两者都是数字麦克风的组件。

[0037] 在一些实施例中,按照本公开的总线主控(例如总线主控300)可以包括接收机和天线(两者都未示出),其接收来自从接收机设备(例如数字麦克风350)的音频数据、处理所接收的数据,并且将(例如无线电波形式的)音频数据传送到另一个设备中的接收机。

[0038] 在一些实施例中,总线主控300连续地以编码符号的形式向数字麦克风350传送(例如向下传输(downlink))时钟信号形式的数据,以维持每个设备之间的同步。另外,数字麦克风350可以向总线主控300连续地发送数据(例如音频数据)。

[0039] 本领域普通技术人员可以理解,数字麦克风350可以接收可以碰撞并且使其中的元件(例如,像膜片)振动的音频信号。根据采样频率,振动可以被转换为电信号。

[0040] 例如,按照本公开的数字麦克风可以根据诸如20kHz、44kHz、48kHz和96kHz之类的常规的采样频率来采样音频数据(例如话音)。

[0041] 此外,按照本公开的数字麦克风或其他的从接收机设备可以根据由总线主控发出的命令(一个或多个)来执行动作,该总线主控可能要求数字麦克风将数据发回总线主控设备。

[0042] 总线主控300可能使得能够进行与可以在CPU的控制下的其他组件(例如从装置)的直接通信。进一步,总线主控300可以对其上有地址、控制和数据信号流动的总线接口链路320进行控制。在一些实施例中,数字麦克风350是总线主控300的从单元。有利地,总线主控可以增加操作系统的数据传送速率、节约系统资源并且提升性能和响应时间。

[0043] 在本公开的一些实施例中,总线主控300产生宽时钟脉冲和窄时钟脉冲,并且通过总线接口链路320将这些时钟脉冲传送到从设备——数字麦克风350。另外,总线主控300可以具有比沿着总线接口链路320的频率更高的频率的内部时钟。具体地,在一些实施例中,

总线主控300的内部时钟的频率是沿着总线接口链路320的频率的整数倍大(例如10倍)。

[0044] 例如,如果总线主时钟具有100Mhz的频率,则沿着总线接口链路320的频率可以是10Mhz。因而,根据该示例,总线主时钟可以对于沿着总线接口链路320传播的每个时钟周期生成十个时钟周期(例如BUSCLK)。总线主控300可以包含内部状态机来基于要传送的数据生成BUSCLK信号。

[0045] 在一些实施例中,输出驱动器可以分别地将BUSCLK线驱动为高和低。另外,时钟电压可以是用于高的Vcc以及用于低的Vss,如将在以下更详细地描述的(参见图6)。

[0046] 为了产生窄的时钟脉冲,总线主控300可以引导BUSCLK在短时间内为高,并且然后使BUSCLK在更长的时段内为低。例如,可以引导BUSCLK在3个时钟周期内为高,并且然后在7个时钟周期内为低。

[0047] 替换地,为了产生宽的时钟脉冲,总线主控300可以引导BUSCKLK在延长时段的时钟周期(例如7个时钟周期)内为高,并且然后引导其在短时段的时钟周期(例如3个时钟周期)内为低。

[0048] 此外,在一些实施例中,对于每个10 BUSCLK周期,可以将10比特的数据传送到接收机从单元(例如数字麦克风350),其对应于一个8b/10b符号。及时地,8b/10b符号可以由接收机从单元中的8b/10b解码器来解码。所传送的8b/10b符号可以包括根据8b/10b编码协议的逗号、数据或命令符号。

[0049] 本领域普通技术人员可以理解,本公开不局限于8b/10b编码协议。因而,可以利用允许总线主控300将数据、命令等等传送到从接收机(例如数字麦克风350)的其他的编码协议。

[0050] 如图中所示,总线主控300包括检测单元302,该检测单元302提供在从从数字麦克风350的向上传输(uplink)期间检测总线主控300是接收1还是0的电路。在一些实施例中,检测单元302内的时钟频率可以比沿着总线接口320的频率高得多。例如,检测单元302内的时钟频率可以大约高达沿着总线接口320的时钟频率的十倍。总线主控300进一步包括数字麦克风350可及(accessible)的电源303。

[0051] 另外,总线主控300包括CMOS反相器(inverter)304,其耦合到电源303和接地306(Vss)。此外,总线主控300包括PAD 305,其允许包括总线主控300的集成电路连接到外部设备。

[0052] 在一些实施例中,CMOS反相器304在其中包括PMOS晶体管365和NMOS晶体管366。典型地CMOS反相器304内的PMOS和NMOS晶体管365、366是互补的,使得当一个晶体管导通时,另一个晶体管是截止的。

[0053] 如图3中进一步示出的,PMOS晶体管365耦合到电源303,使得当电压或电流被施加到其时,释放功率以对PAD 305充电。

[0054] 替换地,NMOS晶体管366耦合到接地,使得当电压或电流被施加到其时,PAD 305被放电到接地。

[0055] 在一些实施例中,当总线主控300内的时钟信号为高时,PMOS晶体管365将PAD 305连接到电源303,而当时钟信号为低时,NMOS晶体管366将PAD 305连接到接地线306。

[0056] 数字麦克风350可以包括双向通信导线335,其允许接收时钟数据信号以及从其传送数据信号。如所示,双向的通信导线335在向下传输期间接收时钟数据信号,并且在向上

传输期间传送数据。

[0057] 在向上传输期间,总线主控300可以向数字麦克风350传送时钟数据信号。在一些实施例中,以如由时钟脉冲列321所示的时钟脉冲的形式来传送数据信号。如所示,时钟脉冲列321包括多个窄的以及宽的时钟脉冲301、302。

[0058] 在一些实施例中,数字麦克风350的接收机组件330可以检测从总线主控300传送1还是0比特值,如将在以下更详细地描述的。

[0059] 在向上传输期间,数字麦克风350可以通过从总线主控300上的电源303汲取电流或拒绝从电源303汲取电流来传送数据。在一些实施例中,检测单元302在每个时钟周期的下降沿期间检测是否从数字麦克风350汲取功率。在一些实施例中,检测单元302可以检测电源303内的阻抗的差异。

[0060] 此外,数字麦克风350通过拒绝从电源303汲取电流来在上传输期间向总线主控300传送1。因而,传输数据列331图示低输出信号312,其指示不从电源303汲取功率(例如低功率)和电流。

[0061] 替换地,数字麦克风350通过从电源303汲取电流来在上传输期间向总线主控300传送0。在一些实施例中,检测单元302在每个时钟周期的下降沿期间检测数字麦克风350是否从电源303汲取电流。因而,传输数据列331图示高输出信号311,其指示从电源汲取的功率或电流。

[0062] 换言之,当数字麦克风350在上传输期间传送0时,晶体管340提供从总线主控300上的电源303到接地线306的导管。在一些实施例中,在将电流从电源303汲取到数字麦克风350时,检测单元302检测到低阻抗。

[0063] 相比之下,当数字麦克风350在上传输期间传送1时,晶体管340阻挡从电源303到接地线306的电通路。因而,当电流未被汲取时,检测单元302可以检测到高阻抗。

[0064] 因而,根据本公开的某些实施例,如在这里所描述的从接收机(例如数字麦克风350)向总线主控(例如总线主控300)上传输数据的过程可以被表征为阻抗或振幅移动键控。另外,以在此描述的方式,从总线主控向接收机向下传输数据的过程可以被表征为相移键控。

[0065] 图4图示出按照本公开的接收机400的实施例。接收机400可以被实施在图3中示出的数字麦克风350内。在一些实施例中,接收机400从诸如总线主控的主设备接收编码数据流。例如,所接收的数据流可以是经8b/10b编码的。

[0066] 如所示,时钟数据信号被输入到数字麦克风400中,其被传播到路径(导线)401a、401b和401c。例如,时钟数据信号可以沿着路径401b传播而成为“异或(XOR)”门406的输入405并且(沿着路径408)而成为到“与”门425的输入。此外,“与”门425的输出412被施加到晶体管416(M1),如以下将更详细地描述的。

[0067] 另外,“异或”门406的输出407(经由路径409、410)被输入到“与”门425、430中,其部分地确定施加到晶体管416、418的每个时钟脉冲的极性。

[0068] 另外,接收机400提供将时钟数据信号传送到“异或”门406的第二输入404的路径。最值得注意地,上述路径包括两个反相器403、414和延迟元件402。反相器403、414和延迟元件402使在接收机400内传播的时钟信号延迟。

[0069] 如所示,延迟元件402包括电阻器435和电容器436。在一些实施例中,延迟的量取

决于电阻器435和电容器436的大小。

[0070] 例如,电阻器435可以具有 $200\text{k}\Omega$ 的电阻,并且电容器436可以具有 100×10^{-15} (毫微微)法拉的电容。

[0071] 在一些实施例中,反相器403、414和延迟元件402使从输出412传播的时钟脉冲(P1)出现在从输出413传播的时钟脉冲(P2)之前。例如,根据本公开的某些实施例,可以在时钟信号的上升沿时分派P1时钟脉冲,而可以在时钟周期(或信号)的下降沿时分派P2时钟脉冲。

[0072] 此外,路径401a使时钟信号传播通过反相器414,该反相器414使时钟信号反相并且将信号传送到“与”门430的输入411。“与”门430的输出被传播到晶体管418。最后,如所示出的,路径401c提供使时钟信号传播到接收机电路400的下半区的路径。

[0073] 在一些实施例中,在时钟信号的上升沿时,“与”门425的输出412将短时钟脉冲(P1)传播到晶体管426,该短时钟脉冲(P1)将导通晶体管426并且将随后使C2电容器415放电。另外,一旦短P1脉冲发出,C2电容器415将开始通过R2电阻器429充电。

[0074] 在一些实施例中,R2电阻器429具有 $10\text{M}\Omega$ 的电阻。此外,C2电容器415具有 100×10^{-15} 法拉的电容。同样地,晶体管416、418两者都是具有大约180nm的长度和大约500nm的宽度的NMOS晶体管。

[0075] 另外,在时钟周期的下降沿时,短P2时钟脉冲使C2电容器415的一部分放电,使得其中的电压被复制到或采样到C3电容器417。因而,P2时钟脉冲使C2电容器415和C3电容器417具有相同的电压。

[0076] 换句话说,当P2时钟脉冲为高时,C2电容器415的电压被复制到C3电容器417上。相比之下,当P2时钟脉冲为低时,C3电容器417上的电压与先前的时钟周期中的C3电容器417上的平均电压相比较,如将在以下更详细地描述的。

[0077] 此外,当P2时钟脉冲为低时,C2电容器415将继续放电,直到时钟信号的上升沿使C2电容器415再充电为止。在一些实施例中,C2电容器415的大小可以比C3电容器417的大小大得多。例如,C2电容器415的大小可以大约是C3电容器417的大小的十倍。例如,C2电容器415的电容是 100×10^{-15} 法拉,而C3电容器417的电容大约是 10×10^{-15} 法拉。

[0078] 此外,一旦电压被复制到C3电容器417上,该电压可以被传播到运算放大器419(运放419)的输出428。有利地,C3电容器417的电压能够被施加到运放419的输入427。

[0079] 在一些实施例中,运放419可以具有特性高输入阻抗。例如,运放419的电阻器444的电阻可以大到 $1\text{G}\Omega$ 。因此,运放419可以起理想运算放大器的作用,使得施加到输入427(V_{in})的C3电压被传播到运放419的输出428(V_{out})。

[0080] 如进一步图示的,在输出428的电压被传播到运算放大器420的第一输入431。最值得注意地,先前的时钟周期的平均C3电压可以存储在低通滤波器433的C4电容器422中。

[0081] 存储在低通滤波器433中的平均电压可以是该滤波器433内的电阻器和电容器组件421、422的大小的函数。因而,可以根据可以被定义为跨电阻组件(电阻器421)将电容组件(C4电容器422)充电到它的最终值的大约63%所需要的时间量的RC时间常数来设计低通滤波器433。因此,RC时间常数越大,越多的C3电容器电压周期能够被计入平均C3电容器电压(即C4电容器上的电压)中。在一些实施例中,电阻器421可以是30、40或 $100\text{M}\Omega$,而C4电容器422可以是 100×10^{-15} 法拉。

[0082] 因此,一旦C3电容电压被传播到第一输入431并且平均电压(C4电容器422)被施加到第二输入432,运放420就执行比较。其后,运放420生成1或0输出。在一些实施例中,在当前的C3电容电压大于平均电压(例如C4电容电压)时,然后运放420输出1。相比之下,在当前的C3电容电压小于平均电压时,然后运放随后输出0。

[0083] 本领域普通技术人员将认识到,可以(例如根据8b/10b编码方案)解码一系列1和0,以根据诸如发自总线主控的命令之类的消息来施行各种命令。例如,解码的命令可以包括但不限于,当将0从设备传送到总线主控时,对向上传输期间的数字麦克风中的增益进行编程或设置所汲取的电流的量。

[0084] 图5图示出显示C2电容器的电压在按照本公开的接收机内如何根据时钟脉冲列的各个时钟脉冲501、502而变化的曲线图500。

[0085] 值得注意地,每个宽时钟脉冲501表示1,而每个窄脉冲502表示0。每个宽时钟脉冲501包括上升沿501a、高状态501b和下降沿501c。同样地,每个窄脉冲502包括上升沿502a、高状态502b和下降沿502c。

[0086] 现在参考图4和图5,在时钟信号的上升沿(例如图5的501a或502a),短P1时钟脉冲被施加到晶体管416(图4)并且通过晶体管416来将C2电容器415放电。

[0087] 另外,一旦P1脉冲沉降并且时钟信号留在高状态(501b或502b),通过电阻器429对C2电容器415进行充电。替换地,在时钟周期的下降沿(例如501c或502c)上,短P2时钟脉冲被施加到晶体管418,使得C2电容器415的电压被采样到C3电容器417上。

[0088] 图5进一步示出随着时钟脉冲列从宽时钟脉冲501变化到窄时钟脉冲502,C2电容器415的电压如何发生变化,等等。如所示,在时间0.0,时钟信号处于上升沿状态,并且因此在C2电容器415的电压是0V,这是因为电容器被放电。

[0089] 然而,一旦时钟信号到达高状态(501b或502b),则C2电容器415开始通过电阻器429充电,如由图中的电压上升503a、504a指示的。最后,时钟信号将到达它的下降沿(501c或502c)并且C2电容器415上的电压将被复制到C3电容器417上。

[0090] 在一些实施例中,当C2电容器415上的电压被采样到C3电容器417上时,两个电容器上的电压大约是相同的。相应地,C2电容器415上的电压的降低由电压下降503b、504b来示出。时钟周期通过使C2电容器415放电的上升沿(503c、504c)来再次进行重复,如图5中所示。

[0091] 继续看各图,图6图示出耦合到具有按照本公开的电路的多个数字麦克风650、660的总线主控600。如所示,总线主控600包含支持与两个数字麦克风650、660的数据交换的电路。本领域普通技术人员可以理解,电信设备内的多个数字麦克风可以用于噪声消除。最值得注意的是,图6中示出的系统被配置为使得在总线主控600与两个数字麦克风650、660之间仅仅需要两个引脚连接。

[0092] 如所图示的,总线主控600包含两个检测单元602、612。检测单元602、612共同地提供用于在从数字麦克风650、660的向上传输期间检测总线主控600是接收1还是0的电路。在一些实施例中,在时钟信号的某些阶段,数字麦克风650、660将它们的数据向上传输到总线主控600。例如,数字麦克风650、660中的一个可以在时钟信号的上升沿时向上传输数据,而另一个数字麦克风可以在时钟周期的下降沿时向上传输数据。

[0093] 此外,检测单元602、612内的时钟频率可以比沿着总线接口链路620a、622a的频率

高得多。例如,检测单元602、612内的时钟频率可以大约高达沿着总线接口620a、622a的时钟频率的十倍。

[0094] 另外,总线主控600进一步包括数字麦克风650、660可及的两个电源603、613。在一些实施例中,数字麦克风650、660从电源603、613任一汲取电流以传送0比特值,并且拒绝从603、613汲取电流以传送1比特值。

[0095] 最初,可以由总线主控600从晶体振荡器、PLL或DLL接收多个时钟信号。基于这些时钟信号和数据,总线主控600应该向从设备传送总线主控600中的状态机,其可以生成要被施加到输入连接601的BUSCLK信号。

[0096] BUSCLK信号可以包括通常如此编码的宽的和窄的脉冲,在给定间隔中传送相等数量的宽的和窄的脉冲。在一些实施例中,编码是8b/10b编码。然而,在又一个实施例中,编码是无DC编码。生成的时钟信号可以经由路径601a和601b传播到总线主控600的每个子单元。

[0097] 接收的时钟信号可以经由路径601a和601b传播到总线主控600的每个子单元。具体地,可以沿着路径601a将时钟信号发送给CMOS反相器604,而可以沿着路径601b将时钟信号发送到CMOS反相器614。如所示,CMOS反相器604、614分别地耦合到电源603、613和接地连接606、616(V_{ss})。

[0098] 在一些实施例中,每个CMOS反相器604、614在其中包括PMOS(665、667)和NMOS(666、668)晶体管。典型地,CMOS反相器604、614内的PMOS和NMOS晶体管是互补的,使得当一个晶体管导通时,另一个晶体管是截止的。

[0099] 如图6中进一步示出的,PMOS晶体管665、667耦合到电源603、613,使得当电压或电流被施加到其时,释放功率以对PAD 605、615充电。替换地,NMOS晶体管666、668耦合到接地,使得当电压或电流被施加到其时,PAD 605、615被放电到接地。

[0100] 例如,当总线主控600内的时钟信号为高时,PMOS晶体管667将PAD 615连接到电源613,而当时钟信号为低时,NMOS晶体管668将PAD 615连接到接地线616。

[0101] 另外,当总线主控600内的时钟信号为高时,反相器607可以使时钟信号反相,使得PMOS晶体管665将PAD 605连接到电源603。替换地,低时钟信号被反相,使得NMOS晶体管666将PAD 605连接到接地线606。

[0102] 因此,在本公开的一些实施例中,可以在时钟信号的上升沿时将时钟数据信号传送到数字麦克风650,而可以在时钟周期的下降沿时将时钟数据信号传送到数字麦克风660。因此,当CLKP信号为高时,CLKN信号为低。

[0103] 具体地,在向上传输期间,电流可以在BUSCLK信号的上升沿时从CLKP流动到CLKN,并且在下降沿时从CLKN流动到CLKP。此外,可以在BUSCLK信号的上升沿期间使数字麦克风660内的(耦合到V_{dd}的)晶体管导通,而可以在BUSCLK信号的下降沿期间使数字麦克风650内的(耦合到V_{dd}的)晶体管导通。此外,总线主控600的CLKP上的采样电路可以对较早的BUSCLK周期(例如周期1)进行采样,而CLKN上的采样电路可以对较迟的BUSCLK周期(例如周期8)进行采样。

[0104] 此外,PAD 605、615允许总线主控600和总线主控600被放置在其上的集成电路连接到外部设备。PAD 605、615可以经由总线接口链路620a、622a连接到数字麦克风650、660内的每个双向通信线路。

[0105] 另外,总线接口链路620a可以沿着路径620b向数字麦克风650内的双向通信线路655提供用于CLKP的输入。另外,总线接口链路620a可以沿着路径620c向数字麦克风660内的双向通信线路658提供用于CLKP的输入。

[0106] 另外,总线接口链路622a可以沿着路径622b向数字麦克风660内的双向通信线路657提供用于CLKP的输入,并且沿着路径622c向双向通信线路656提供用于CLKN的输入。

[0107] 因此,数字麦克风650、660可以包括双向通信导线655、666、667、668,其允许接收时钟数据信号和从其传送数据信号。在一些实施例中,双向通信导线655、666、667、668在向上传输期间接收时钟信号并且在向上传输期间传送数据。

[0108] 在向上传输期间,数字麦克风650、660可以通过从总线主控600上的电源603、613汲取电流来传送数据。在一些实施例中,检测单元602、612检测是否从每个数字麦克风650、660汲取功率。例如,检测单元602、612可以检测电源603、613内的阻抗的差异。

[0109] 在本公开的一些实施例中,当数字麦克风650、660在向上传输期间传送0比特值时,晶体管682、692提供从总线主控600上的电源603、613到接地线625、635的导管。同样地,在从电源603、613向数字麦克风650、660汲取电流时,检测单元602、612检测到低阻抗。

[0110] 相比之下,当数字麦克风650、660在向上传输期间传送1比特值时,晶体管682、692阻挡从电源603、613到接地线625、635的电通路。因而,当电流未被汲取时,检测单元602、612检测到高阻抗。

[0111] 因而,根据本公开的某些实施例,如在这里所描述的从接收机(例如数字麦克风650、660)向主设备(例如总线主控600)向上传输数据的过程可以被表征为阻抗或振幅偏移键控。另外,以在此描述的方式,从总线主控向接收机向下传输数据的过程可以被表征为相移键控。

[0112] 在一些实施例中,总线接口链路620a、622a是差分总线接口,并且数字麦克风650、660是差分接收机。在一些实施例中,差分数字麦克风接收机650、660可以自动地检测差分时钟信号的极性。

[0113] 另外,数字麦克风650、660均具有两个引脚,使得CLKP连接到一个数字麦克风上的第一引脚,并且CLKN连接到另一个数字麦克风上的第二引脚。因此,两个数字麦克风650、660可以分别地在每个时钟周期的上升和下降沿时向上传输数据信号。

[0114] 在一些实施例中,每个数字麦克风650、660可以在时钟信号为高时向上传输数据。然而,总线主控600上的反相器607向CMOS反相器604提供反相的总线时钟信号,使得数字麦克风650、660依次向上传输数据。

[0115] 因而,检测单元602可以确定当反相时钟信号为高时——其为低总线时钟信号时由数字麦克风650、660传送什么数据。替换地,检测单元612可以确定当总线主控时钟信号为高时由数字麦克风650、660传送什么数据。

[0116] 在一些实施例中,当CLKN是数字麦克风内的最正(most positive)电压时, V_{SS} 接地线625、635将断开,这是因为(623、633的整流器的)二极管624、634可以阻止电流流到每个相应的接地线623、633。

[0117] 本领域普通技术人员应当理解,当CLKN是数字麦克风650、660中的最正电压时,CLKP将是数字麦克风内的最负(most negative)电压。因此,因为CLKN和CLKP改变极性,所以“虚拟接地”从数字麦克风的一个引脚更改到另一个数字麦克风的另一个引脚。

[0118] 因而,当CLKN是数字麦克风650、660内的最正电压时,CLKN将经由二极管626、636来对Vdd线621、631进行充电。在一些实施例中,每个数字麦克风650、660包括电压调节器627、637来调节麦克风650、660内的电压。

[0119] 替换地,当CLKN是数字麦克风650、660中的最正电压时,CLKP将是最负电压。CLKP将分别地经由二极管681、691对Vdd电源轨621、631进行充电。

[0120] 如果CLKN电压与接地线625、635上的电压相比更负,则电流可以从接地线625、635流动到CLKN,使得接地线625、635将具有每个相应的数字麦克风650、660内的最负电压。

[0121] 因此,整流器623、633被配置为使得最正电压耦合到Vdd电源轨621、631。整流器623、633也被配置为使得最负电压耦合到Vss接地线625、635。因而,Vdd电源轨621、631将总是高达最正电压,而Vss线625、635将总是低到最负电压。

[0122] 每个双向通信线路耦合到数字麦克风650、660内的运放628、638的输入。根据本公开的某些实施例,运放628、638将CLKP和CLKN的电压相比较,并且输出与CLKP相关联的电压。在又一些实施例中,每个运放628、638具有高增益(例如,10k),使得运放628、638的输出685、695理想地将不高于Vdd或不低于Vss。

[0123] 运放628、638可以被配置为将它的输出传送到按照本公开的接收机685、686。在一些实施例中,接收机685、686与图4中图示的接收机400一致。

[0124] 图7图示出耦合到按照本公开的接收机775的数字麦克风750的实施例。最值得注意的是,经由路径729将运算放大器728的输出传送到接收机775、数字麦克风750的组件。

[0125] 接收机775可以被配置为检测由总线主控传送的宽时钟脉冲和窄时钟脉冲。在一些实施例中,接收机775输出用于宽时钟脉冲的比特值1以及用于窄脉冲的比特值0。后来,可以是8b/10b编码的比特值随后被解码以用于确定从总线主控传送的消息(例如符号)。例如,解码的符号可以包括使数字麦克风750执行某一动作的命令,以便增大或减小麦克风750内的增益。

[0126] 图8图示出按照本公开的方法800的实施例。方法800可以从框801开始,其提供在主设备和从设备间形成总线接口链路,其中主设备包括该从设备可及的电源。主设备可以包括总线主控。从设备可以包括数字麦克风、GPS接收机、蓝牙连接器、SIM卡阅读器,并且可以实施在个人计算机、电视、跟踪板或电脑鼠标内。

[0127] 接下来,根据框802,将该从设备的双向通信线路(一个或多个)耦合到总线接口链路,以从主设备接收多个时钟信号并且与主设备交换多个数据信号。除使得从设备能够将数据信号传送到主设备之外,按照本公开的双向通信线路还使得从设备能够从主设备接收时钟数据信号。

[0128] 此外,根据框803,通过从电源汲取电流来发送0比特值并且通过拒绝从电源汲取电流来发送1比特值,沿着总线接口链路将沿着从设备的双向通信线路的至少一个数据信号传送到主设备。

[0129] 本领域普通技术人员可以理解,本公开不局限于上述的比特值分配。例如,按照本发明的系统可以配置主和从设备,使得从电源汲取电流指示比特值1,而拒绝从电源汲取电流指示比特值0。

[0130] 接下来,根据框804,在时钟信号的某一阶段监视电源的阻抗值,以用于确定是从该从设备传送了1比特值还是0比特值。在本公开的一些实施例中,对阻抗或振幅偏移键控

技术的使用被用于检测由该从设备传送的数据信号。

[0131] 以下示例属于进一步的实施例。在一个或多个实施例中,可以在任何地方使用示例中的特定细节。例如,也可以关于在此描述的方法或过程来实施在此描述的装置或系统的所有可选特征。

[0132] 示例1:一种系统,包括:主设备,该主设备包括:电源;检测单元,用于检测电源的阻抗;反相器,用于在时钟信号的第一阶段提供到电源的第一路径,并且在时钟信号的第二阶段提供到第一接地线的第二路径;总线接口链路,用于将主设备耦合到从设备。此外,从设备包括:双向通信线路,用于通过总线接口链路从主设备接收多个窄的和宽的时钟脉冲;选通组件,用于通过双向通信线路提供从到电源的第一路径至第二接地线的导电路径;以及接收机,用于分配与从主设备传送的多个窄的和宽的时钟脉冲相关联的比特值。

[0133] 示例2:主设备包括总线主控。

[0134] 示例3:从设备包括数字麦克风。

[0135] 示例4:反相器包括CMOS反相器。

[0136] 示例5:主设备进一步包括总线时钟。

[0137] 示例6:选通组件包括晶体管。

[0138] 示例7:检测单元可以检测电源的阻抗的改变。

[0139] 示例8:双向通信线路可以并发地传播多个窄的和宽的时钟脉冲以及来自电源的电流。

[0140] 示例9:所分配的比特值的一部分是用于从设备的命令。

[0141] 示例10:一种设备,包括:整流器,耦合到耦合到接地线和电源轨,该整流器在负时钟电压耦合到整流器时使得接地线能够放电并且在正时钟电压耦合到整流器时使得电源轨能够充电;和一组双向通信线路,用于响应于时钟数据信号来传送数据。

[0142] 示例11:该设备进一步包括接地线和电源轨。

[0143] 示例12:通过汲取改变电源的阻抗,该组双向通信线路中的至少一个向上传输数据。

[0144] 示例13:通过拒绝改变电源的阻抗,该组双向通信线路中的至少一个向上传输数据。

[0145] 示例14:接收机,用于为每个接收的时钟数据信号分配比特值。

[0146] 示例15:整流器耦合到总线接口链路。

[0147] 示例16:该组双向通信线路耦合到选通元件,该选通元件可以提供从电源到从设备内的接地线的路径。

[0148] 示例17:一种设备,包括:第一检测单元,用于检测第一电源的第一阻抗;第一反相器,用于在时钟信号的第一阶段提供到第一电源的第一路径,并且在时钟信号的第二阶段提供到第一接地线的第二路径;第二检测单元,用于检测第二电源的第二阻抗;第二反相器,用于在时钟信号的第二阶段提供到第二电源的第三路径,并且在时钟信号的第一阶段提供到第二接地线的第四路径;和第三反相器,该第三反相器耦合到第一反相器以使输入到第一反相器中的时钟信号反相。

[0149] 示例18:先前描述的设备包括主时钟。

[0150] 示例19:第一反相器和第二反相器均包括晶体管的补集。

- [0151] 示例20:第一电连接和第二电连接,用于向两个从设备传送时钟数据信号。
- [0152] 示例21:时钟,用于生成时钟数据信号。
- [0153] 示例22:该设备进一步包括接收机、天线或编码器中的至少一个。
- [0154] 示例23:一种方法,包括:在主设备和从设备之间形成总线接口链路,其中主设备包括从设备可及的电源;将从设备的双向通信线路耦合到总线接口链路;通过总线接口链路和双向通信线路从主设备向从设备向下传输多个时钟数据信号;以及
- [0155] 通过从电源汲取电流来发送第一比特值并且通过拒绝从电源汲取电流来发送第二比特值,来沿着总线接口链路将沿着从设备的双向通信线路的至少一个数据信号向上传输到主设备。
- [0156] 示例24:监视电源的阻抗值来用于确定从该从设备传送了第一比特值还是第二比特值。
- [0157] 示例25:在时钟信号的下降沿监视电源的阻抗值。
- [0158] 通过从主设备内的时钟频率按比例降低沿着总线接口链路的时钟频率来生成具有变化的宽度的多个时钟脉冲,并且在与用于每个时钟脉冲的期望宽度相对应的时钟周期的时段内沿着总线接口链路将时钟电压设置为高。
- [0159] 该从设备通过在时钟信号的上升沿时从主设备汲取电流来传送至少一个数据信号。
- [0160] 主设备包括总线主控,并且从设备包括数字麦克风。
- [0161] 根据8b/10编码协议来编码多个时钟数据信号。
- [0162] 从设备通过将阈值电压施加到耦合在电源和接地线之间的晶体管使得晶体管提供电源和接地线之间的导电通道来从电源汲取电流。
- [0163] 一种设备,包括:集成电路(IC),被配置为耦合到导线,该IC包括向导线传送信息并且从导线接收信息的输入/输出(I/O)逻辑,其中,向导线传送信息的I/O逻辑包括传送具有第一占空比的第一时钟信号以表示第一数据逻辑电平并且传送具有不同于第一占空比的第二占空比的第二时钟信号以表示第二数据逻辑电平的I/O逻辑。
- [0164] 向导线传送信息的I/O逻辑进一步包括提供经8b10b编码的数据的I/O逻辑,其中所述经8b10b编码的数据包括具有第一占空比的第一时钟信号和具有第二占空比的第二时钟信号。
- [0165] IC通过导线耦合到接收机设备,所述接收机设备包括接收机I/O逻辑来:从导线接收第一时钟信号和第二时钟信号、基于第一占空比确定第一时钟信号将表示第一数据逻辑电平,以及基于第二占空比确定第二时钟信号将表示第二数据逻辑电平。
- [0166] 接收机设备包括第一麦克风,并且其中IC进一步包括通过第二导线耦合到第二麦克风的第二I/O逻辑,其中第二I/O逻辑将改变要在第二导线上向第二麦克风传送的时钟信号的占空比以表示数据。
- [0167] 尽管已经参考有限数量的实施例描述了本发明,但本领域技术人员将理解由其而来的许多的修改和变化。所附权利要求意图覆盖属于本发明的真实的精神和范围的所有这类的修改和变化。
- [0168] 设计可以经历各个阶段,从创建到仿真到制造。表示设计的数据可以以许多方式表示设计。首先,如在仿真中有用的,可以使用硬件描述语言或另一个功能描述语言来表示

硬件。另外,可以在设计过程的某些阶段产生具有逻辑和/或晶体管门的电路级别模型。此外,大多数设计在某一阶段达到表示各个设备在硬件模型中的物理放置的数据的级别。在使用常规的半导体制造技术的情况下,表示硬件模型的数据可以是指定在对于用于产生集成电路的掩模的不同的掩模层上存在还是不存在各个特征的数据。在设计在任何表示中,数据可以存储在任何形式的机器可读介质中。诸如磁盘之类的存储器或磁性的或光存储器可以是用于存储经由被调制或以另外方式被生成来传送这样的信息的光或电波而传送的信息的机器可读介质。当传送指示或承载代码或设计的电载波时,在执行电信号的复制、缓冲或再传输这样的程度上,产生新的副本。因此,通信提供商或网络提供商可以在有形的机器可读介质上至少暂时地存储诸如编码到载波中、体现本发明的实施例的技术的信息之类的产品。

[0169] 如在这里所使用的,模块指的是硬件、软件和/或固件的任何组合。举例来说,模块包括与非临时介质相关联的诸如微控制器的硬件,该非临时介质用于存储适合于由微控制器执行的代码。因此,在一个实施例中,对模块的引用指的是硬件,该硬件具体地被配置为识别和/或执行要被保持在非临时介质上的代码。此外,在另一个实施例中,模块的使用指的是包括代码的非临时介质,该代码具体地适合于由微控制器来执行以执行预先确定的操作。并且,如能够被推断的,在又一个实施例中,术语模块(在该示例中)可以指的是微控制器和非临时介质的组合。往往,图示为分离的模块边界通常改变并且潜在地重叠。例如,第一和第二模块可以共享硬件、软件、固件或其组合,同时潜在地保持一些独立的硬件、软件或固件。在一个实施例中,术语逻辑的使用包括诸如晶体管、寄存器之类的硬件,或诸如可编程逻辑设备之类的其他硬件。

[0170] 在一个实施例中,词语“用于”或“被配置为”的使用指的是布置、放在一起、制造、提供出售、进口和/或设计装置、硬件、逻辑或元件来执行指定的或确定的任务。在该示例中,不正在进行操作的装置或其元件仍然“被配置为”执行指定的任务,如果其被设计、耦合和/或互连以执行所述指定的任务的话。作为纯说明性的示例,逻辑门可以在操作期间提供0或1。但是“被配置为”向时钟提供使能信号的逻辑门不包括可以提供1或0的每个潜在的逻辑门。代之以,逻辑门是在操作期间1或0输出将使能时钟的某种方式被耦合的那种逻辑门。再一次注意,术语“被配置为”的使用不要求操作,但是代之以集中在装置、硬件和/或元件的潜隐的状态,其中在潜隐的状态中,该装置、硬件和/或元件被设计为当该装置、硬件和/或元件操作时执行特定任务。

[0171] 此外,在一个实施例中,词语“能够/用于”和/或“操作于”指的是以实现以指定的方式来使用一些装置、逻辑、硬件和/或元件的方式来设计的装置、逻辑、硬件和/或元件。通过以上注意到,在一个实施例中,对用于、能够或操作于的使用指的是装置、逻辑、硬件和/或元件的潜隐的状态,其中该装置、逻辑、硬件和/或元件不正在进行操作但是以实现以指定的方式使用装置的方式被设计。

[0172] 如在这里所使用的,值包括数量、状态、逻辑状态或二进制逻辑状态的任何已知表示。往往,逻辑电平、逻辑值或多个逻辑值使用也被称为简单地表示二进制逻辑状态的1和0。例如,1指的是高逻辑电平,并且0指的是低逻辑电平。在一个实施例中,诸如晶体管或闪存单元之类的存储单元可以能够保持单个逻辑值或多个逻辑值。然而,已经使用了计算机系统之值的其他表示。例如,十进制数10也可以被表示为二进制值1010以及十六进制字

母A。因此,值包括能够保持在计算机系统上的信息的任何表示。

[0173] 此外,状态可以由值或值的各部分来表示。举例来说,诸如逻辑1之类的第一值可以表示缺省或初始状态,而诸如逻辑0之类的第二值可以表示非缺省状态。另外,在一个实施例中,术语复位和置位分别地指的是缺省和更新的值或状态。例如,缺省值潜在地包括高逻辑值,即,复位,而更新的值潜在地包括低逻辑值,即被置位。注意到,值的任何组合可以被用来表示任意数量的状态。

[0174] 可以经由可由处理元件执行的、存储在机器可访问的、机器可读的、计算机可访问的或计算机可读介质上的指令或代码来实施以上阐述的方法、硬件、软件、固件或代码的实施例。非临时机器可访问的/可读介质包括以由诸如计算机或电子系统之类的机器可读的形式提供(即存储和/或传送)信息的任何机制。例如,非临时机器可访问介质包括诸如静态RAM(SRAM)或动态RAM(DRAM)之类的随机存取存储器(RAM);ROM;磁性的或光存储介质;闪存存储器设备;电存储设备;光存储设备;声学存储设备;用于保持从瞬态的(传播的)信号(例如载波、红外信号、数字信号)接收的信息的、不同于可以从其接收信息的非临时介质的其他形式的存储设备等等。

[0175] 可以在诸如DRAM、高速缓存、闪存存储器或其他贮存器之类的系统中的存储器内存储用于对逻辑进行编程来执行本发明的实施例的指令。此外,经由网络或借助于其他计算机可读的介质来分发指令。因此,机器可读介质可以包括用于以机器(例如计算机)可读的形式传送信息的任何机制,但不限于软盘、光盘、压缩光盘、只读存储器(CD-ROM)和磁光盘、只读存储器(ROM)、随机存取存储器(RAM)、可擦除可程序只读存储器(EPROM)、电可擦可编程只读存储器(EEPROM)、磁卡或光卡、闪存存储器或在经由电的、光的、声学的或其他形式的传播信号(例如载波、红外信号、数字信号等等)来通过因特网传输信息中使用的有形的机器可读的贮存器。因此,计算机可读介质包括适合于以由机器(例如计算机)可读的形式存储或传送电子指令或信息的任何类型的有形机器可读介质。

[0176] 遍及说明书,对“一个实施例”或“实施例”的引用意指结合实施例描述的特定特征、结构或特性被包括在至少一个本发明的实施例中。因此,遍及该说明书的在不同地方出现的词语“在一个实施例中”或“在实施例中”不必要地全都指代相同的实施例。此外,可以在一个或多个实施例中以任何适当的方式组合特定特征、结构或特性。

[0177] 在上述说明书中,已经参考特定示意性实施例给出具体实施方式。然而,将明显的是,在不背离在所附权利要求中阐述的本发明的较宽的精神和范围的情况下,可以对其进行各种修改和改变。因此,说明书和附图被认为是说明意义的,而不是限制意义的。此外,实施例和其他示范性语言的上述使用不必要地指代相同的实施例或相同的示例,而是可以指代不同的和有区别的实施例以及潜在地指代相同的实施例。

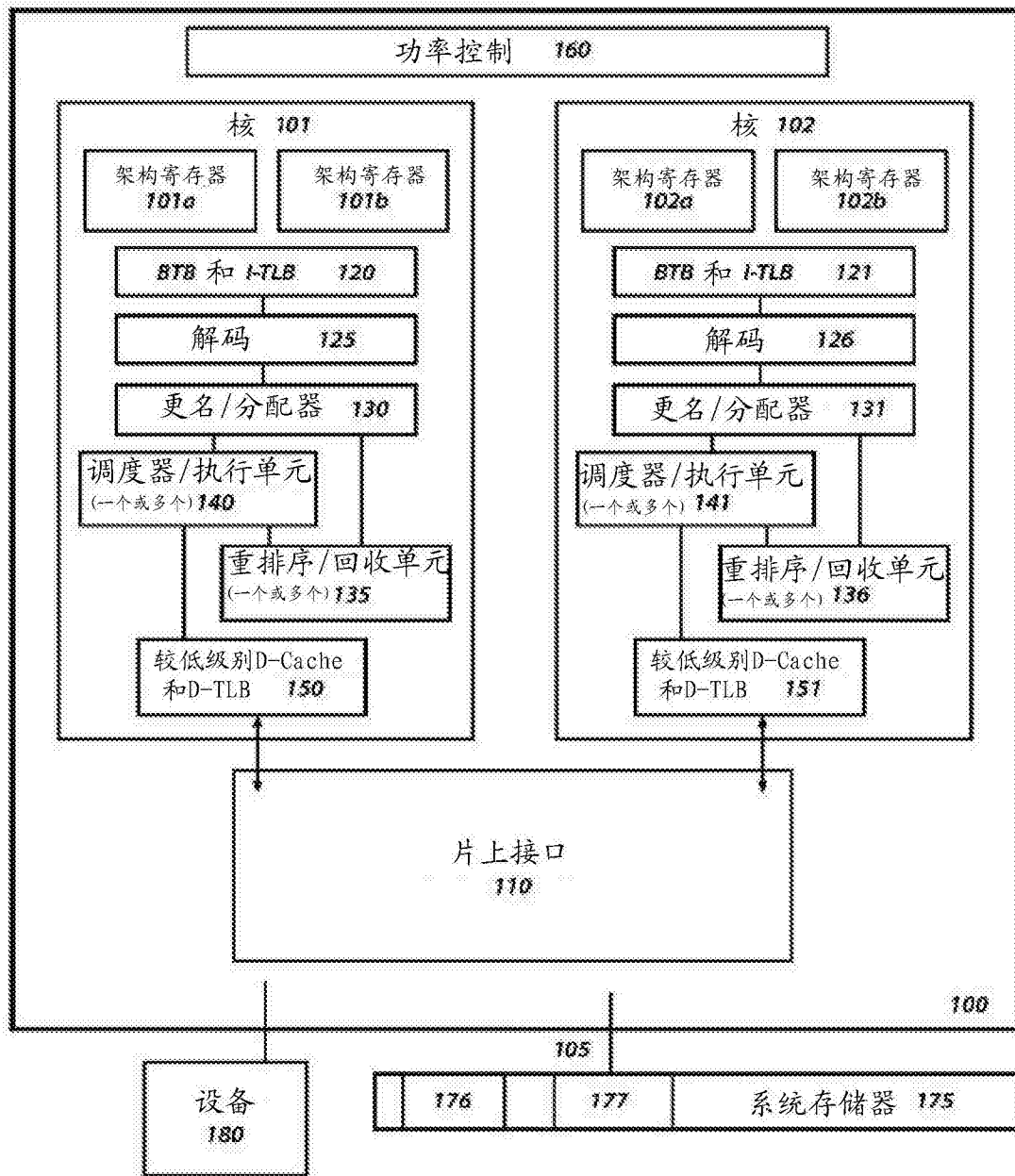


图 1

200

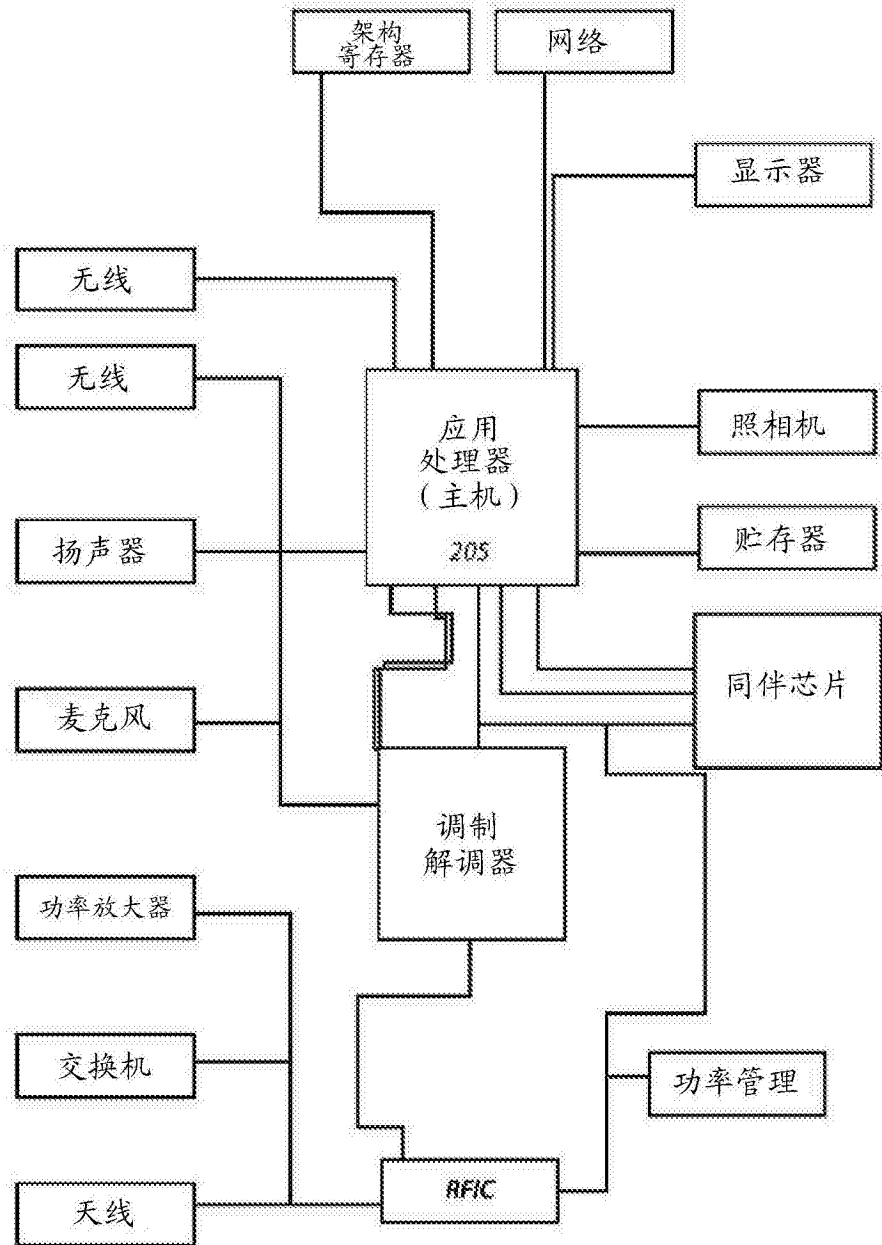


图 2

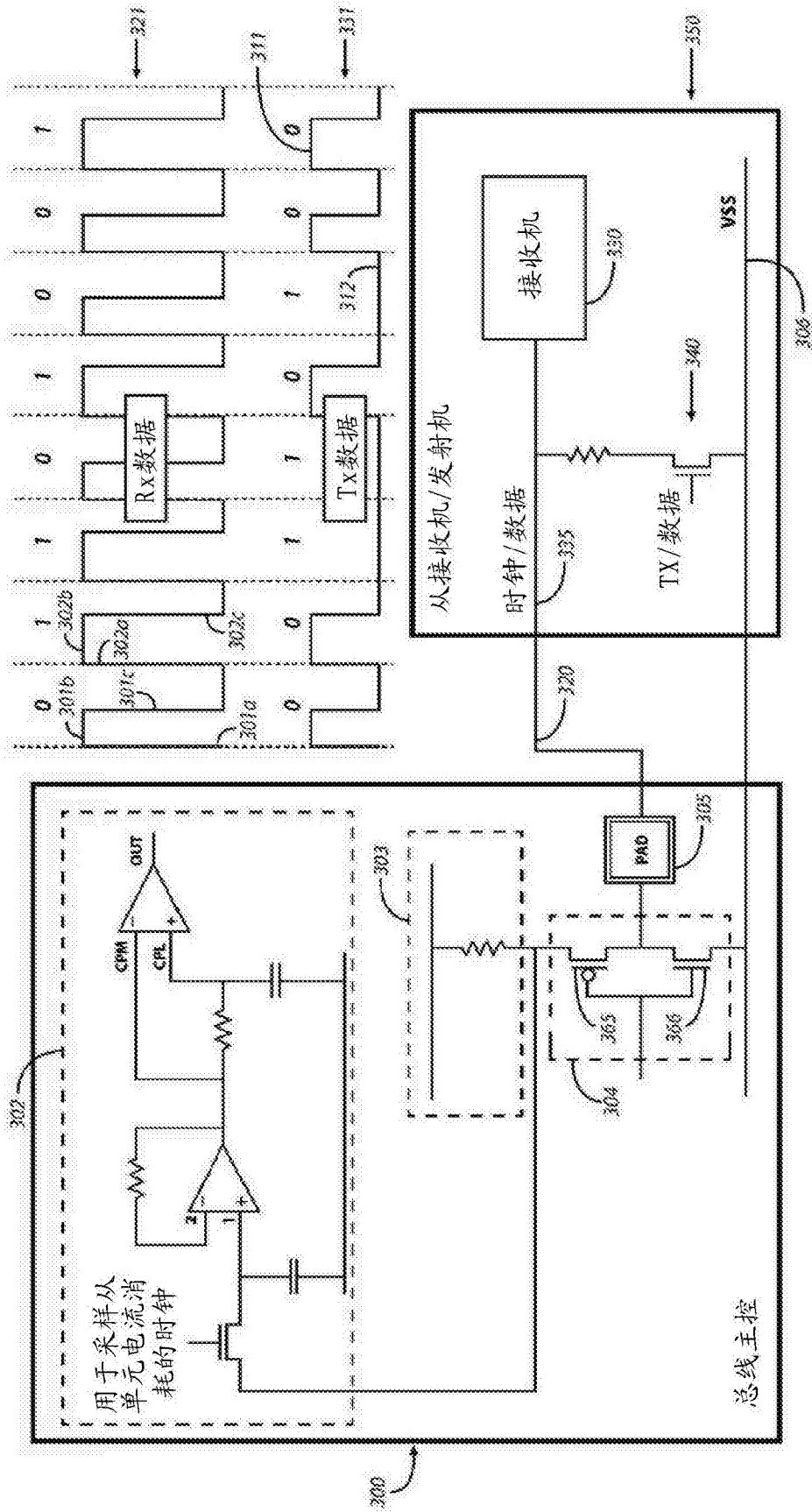


图 3

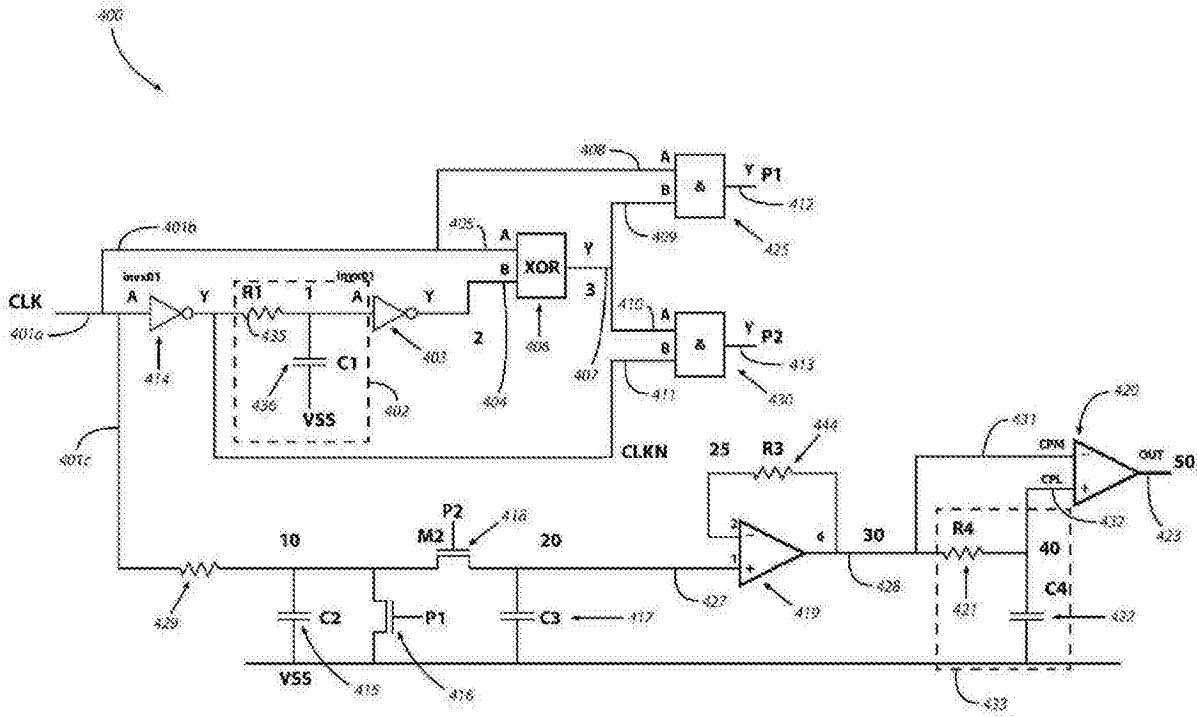


图 4

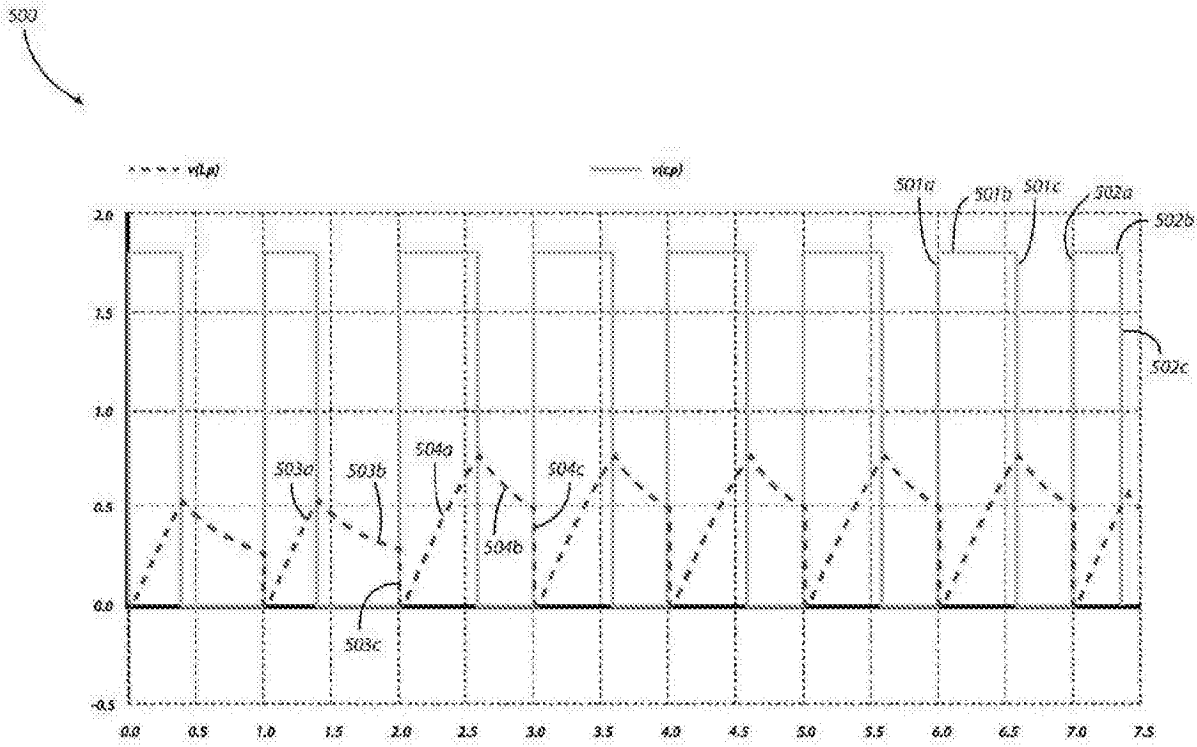


图 5

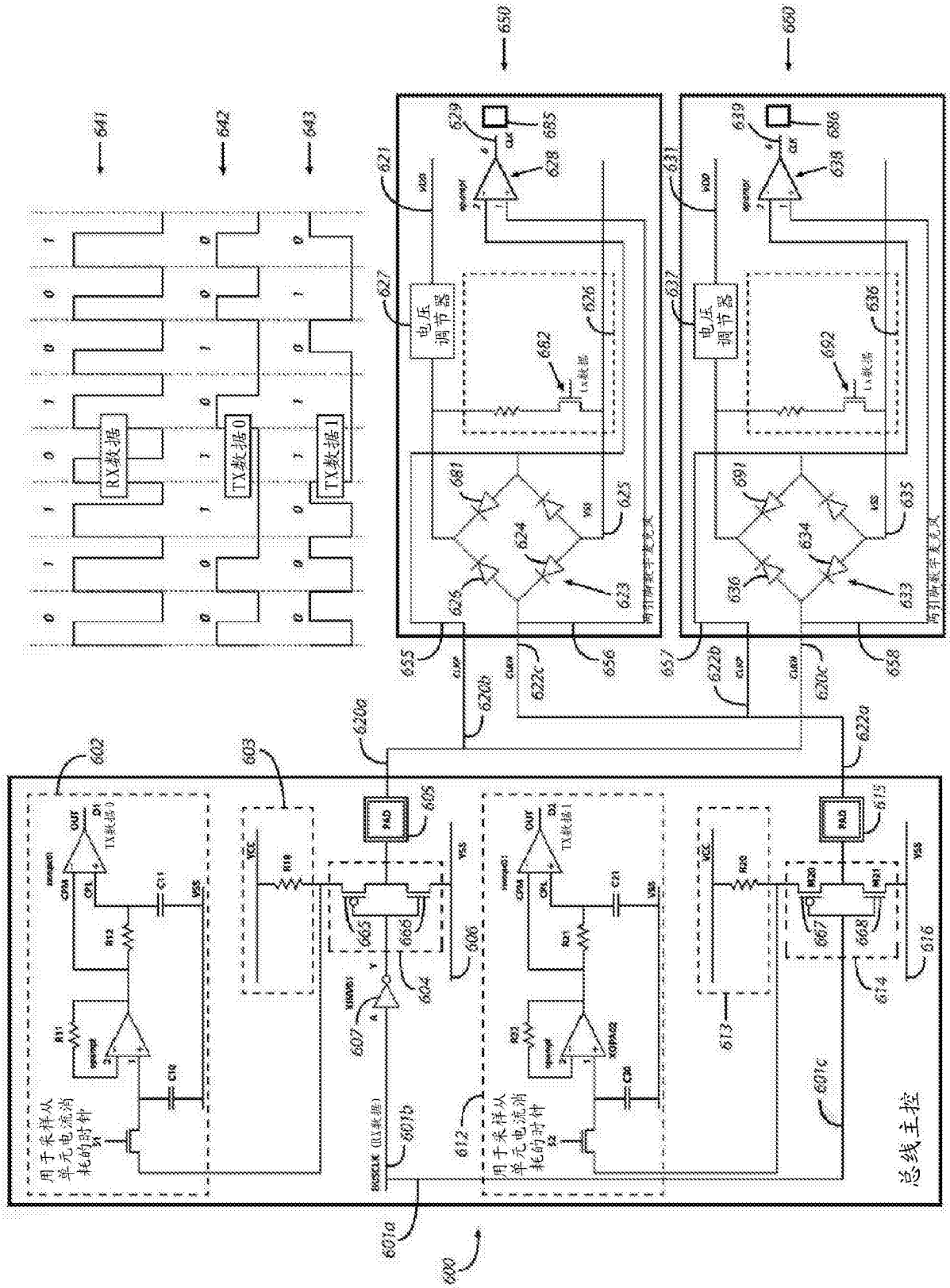


图 6

麦克风接收机 (从设备)

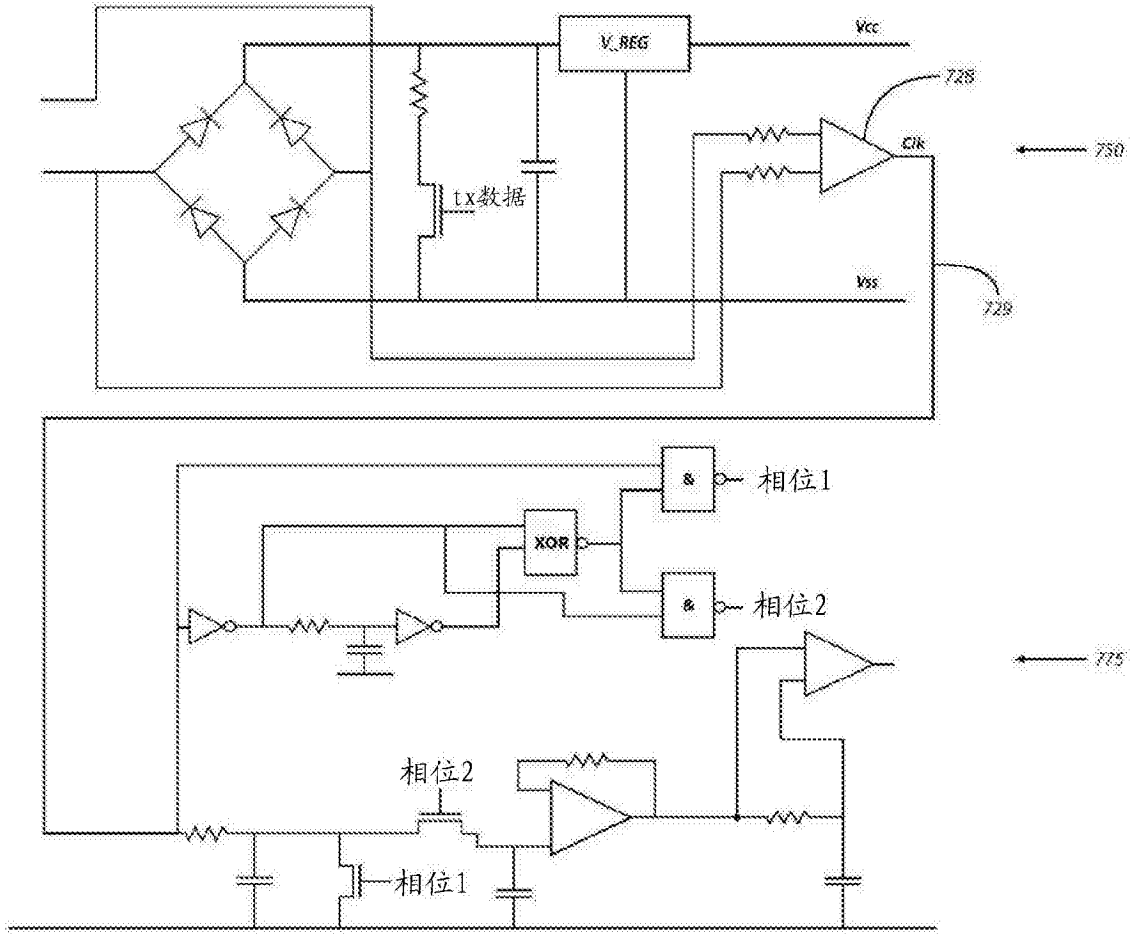


图 7

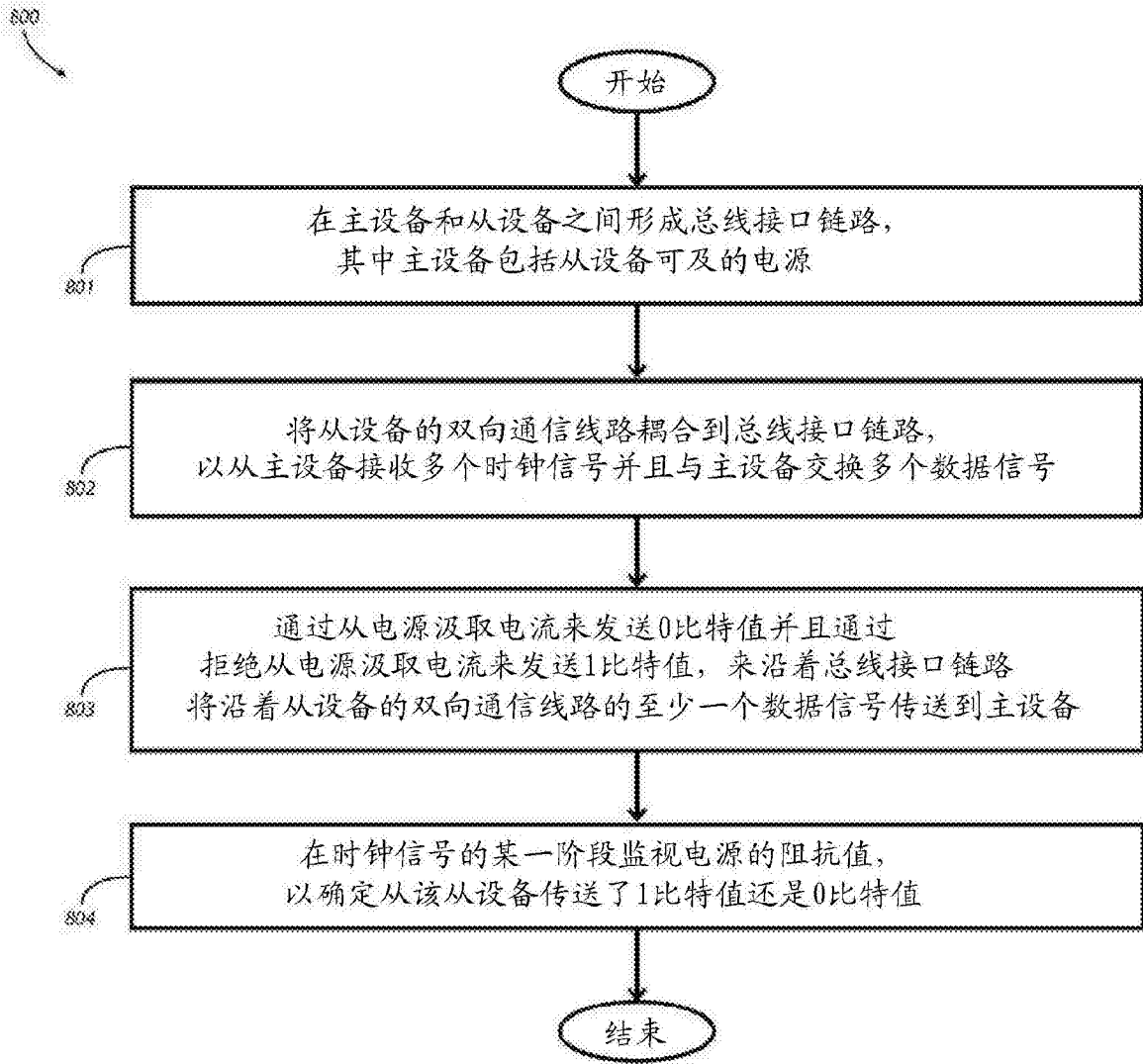


图 8