

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2017年8月31日(31.08.2017)



(10) 国際公開番号

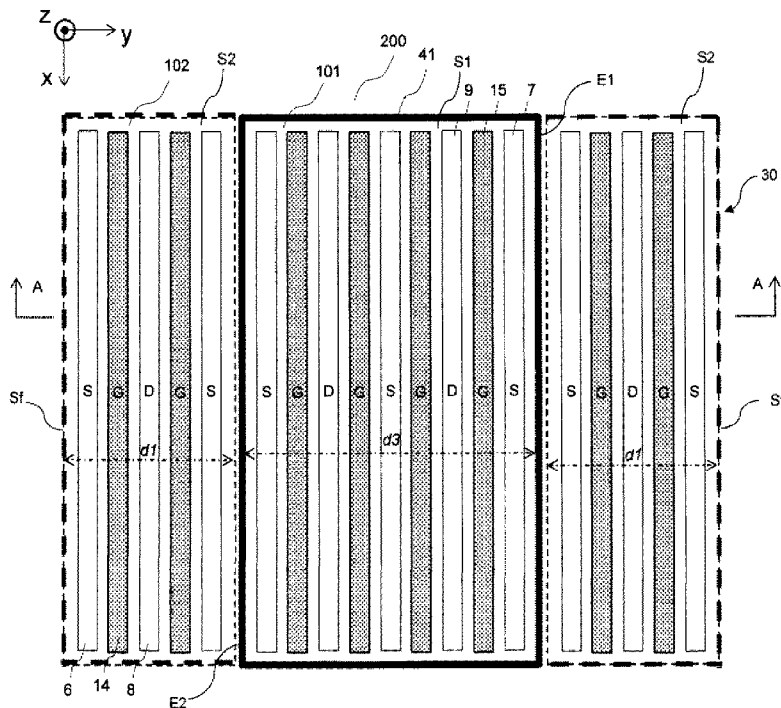
WO 2017/145542 A1

- (51) 国際特許分類:
H01L 21/822 (2006.01) H01L 27/12 (2006.01)
H01L 21/336 (2006.01) H01L 29/786 (2006.01)
H01L 21/76 (2006.01) H03K 17/687 (2006.01)
H01L 27/04 (2006.01)
- (21) 国際出願番号: PCT/JP2017/000701
- (22) 国際出願日: 2017年1月12日(12.01.2017)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2016-032697 2016年2月24日(24.02.2016) JP
- (71) 出願人: 日立オートモティブシステムズ株式会社 (HITACHI AUTOMOTIVE SYSTEMS, LTD.)
[JP/JP]; 〒3128503 茨城県ひたちなか市高場2520番地 Ibaraki (JP).
- (72) 発明者: 和田 真一郎 (WADA Shinichirou); 〒1008280 東京都千代田区丸の内一丁目6番6号株式会社日立製作所内 Tokyo (JP). 池ヶ谷 克己 (IKEGAYA Katsumi); 〒3128503 茨城県ひたちなか市高場2520番地 日立オートモティブシステムズ株式会社内 Ibaraki (JP).
- (74) 代理人: 戸田 裕二 (TODA Yuji); 〒1008220 東京都千代田区丸の内一丁目6番1号 株式会社日立製作所内 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーロパ (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置



(57) Abstract: Provided is a semiconductor device capable of suppressing substrate bias effects of a high-side transistor while increasing the heat dissipation properties of a low-side transistor. A high-side NMOS transistor 101 is formed on a surface region S1 of an SOI substrate 30. A trench groove 41 surrounds the high-side NMOS transistor 101. SiO₂ (first insulating body) fills the trench groove 41. A low-side NMOS transistor 102 is formed in a surface region S2 of the SOI substrate 30 around the trench groove 41. A side face Sf that connects the region S2 on which the low-side NMOS transistor 102 is formed and a rear surface of the SOI substrate 30 is exposed.

(57) 要約: ローサイドトランジスタの放熱性を高めつつ、ハイサイドトランジスタの基板バイアス効果を抑制することができる半導体装置を提供する。ハイサイドNMOSTランジスタ101は、SOI基板30の表面の領域S1に形成される。トレンチ溝41は、ハイサイドNMOSTランジスタ101を囲む。SiO₂ (第1の絶縁体)は、トレンチ溝41を埋める。ローサイドNMOSTランジスタ102は、トレンチ溝41の周りのSOI基板30の

表面の領域S2に形成される。ローサイドNMOSTランジスタ102が形成される領域S2とSOI基板30の裏面とを繋ぐ側面Sfが露出している。



添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：半導体装置

技術分野

[0001] 本発明は、半導体装置に関する。

背景技術

[0002] 車載ECU（Electrical Control Unit）に搭載されるソレノイド負荷などの駆動回路を構成する半導体装置には、30V以上の高耐圧とアンペアオーダーの高い電流駆動能力に加え、誤動作や破壊が生じないように出力端子に発生した電流エネルギーを吸収することが求められる。

[0003] このため、例えば、出力段のパワートランジスタのゲート・ドレイン間にアクティブクランプ回路を設け、大きな誘導性電流ノイズの印加により、絶対最大定格を超えるような電圧が出力端子に発生したときに、パワートランジスタのゲート電圧を上げてトランジスタをオン（アクティブクランプ動作）させることで、出力端子に発生した電流ノイズをグランドに吸収する技術が知られている（例えば、特許文献1参照）。また、特許文献1に開示されるような技術では、ソレノイド負荷からの電流をハイサイド側に流す環流経路が異常時に遮断された場合においても、アクティブクランプ動作させることで、負荷エネルギーを吸収して、ローサイドのパワートランジスタが破壊されるのを防止している。

[0004] アクティブクランプ動作時におけるパワートランジスタの吸収可能な電流エネルギー（熱破壊エネルギー）はトランジスタの自己発熱による熱暴走の発生条件によって決まり、一般にトランジスタサイズを大きくすることで、その値を大きくすることができる。しかしながら、トランジスタサイズの増大はチップコストの増大を招く問題がある。

[0005] 一方、サイズの比較的大きなパワートランジスタは、トランジスタ内で均一な電流密度の条件下では、その放熱性が異なるために、その中央領域と周

辺領域で大きな温度差が生じる。すなわち、放熱性が悪い中央領域では温度の高くなり熱暴走が生じやすくなっているが、周辺領域では放熱効果によって温度が低い。この結果、トランジスタの熱破壊エネルギーをサイズ増大相当分大きくすることができないという問題がある。

[0006] この問題に対して、トランジスタ内の温度分布を一様にするための技術が開示されている（例えば、特許文献2参照）。その1つは、並列に配置されたトランジスタの能動領域の間隔を中央領域で大きくし、周辺領域で小さくする方法で、もう1つは中央領域の電力入力を周辺領域の電力入力より低減する方法である。いずれの方法も、単位面積あたりの消費電力を周辺領域から中央領域に向けて減少させることにより、トランジスタ内の温度分布を一様にすることができ、その結果、トランジスタの熱破壊エネルギーを高めることができる。

[0007] また、パワートランジスタの中央領域に非活性領域を設け、非活性領域上に放熱用電極を形成する技術が開示されている（例えば、特許文献3参照）。温度が高くなる中央領域を非活性化することで、トランジスタ内の温度を低減できると共に温度の均一性を向上できる。また、放熱用電極を介して半導体外部に放熱することで、温度をさらに低減することができる。この結果、同様にトランジスタの熱破壊エネルギーを高めることができる。

[0008] また、トランジスタ間の寄生インダクタンスを低減することを目的に、ハイサイドトランジスタとローサイドトランジスタを交互に配置し、ハイサイドトランジスタのソース電極とローサイドトランジスタのドレイン電極を1つの共通な電極とする技術が開示されている（例えば、特許文献4参照）。本技術により、ローサイドトランジスタにおける発熱をハイサイドトランジスタ領域に放熱できるため、ハイサイドトランジスタとローサイドトランジスタで構成される出力回路のチップサイズを大きくすることなく、ローサイドトランジスタの熱破壊エネルギーを高めることができる。

先行技術文献

特許文献

[0009] 特許文献1：特開2008-35067号公報

特許文献2：特開平6-342803号公報

特許文献3：特開2008-182122号公報

特許文献4：国際公開第2014/188651号

発明の概要

発明が解決しようとする課題

[0010] しかしながら、特許文献2に記載されている技術では、いずれもトランジスタの消費電力密度を周辺領域から中央領域に向けて小さくなるように、中央領域のトランジスタの電流性能を抑えている。このため、通常動作時のトランジスタの面積あたりの性能が中央領域で低下するという問題がある。また、中央領域のトランジスタの電流性能を抑えるための、トランジスタの配置設計や制御が複雑になるといった問題もある。

[0011] また、特許文献3に記載されている方法では、通常動作時のトランジスタ性能が同一の条件では、非活性領域を設けない場合と比べて、非活性領域分だけチップサイズが大きくなって、コストが増大するという問題がある。

[0012] また、特許文献4に記載されている方法では、サイズの増大を抑制しながら、ローサイドトランジスタにおける発熱を隣接するハイサイドトランジスタへ放熱でき、一定の温度低減の効果はあるが、ハイサイドトランジスタとローサイドトランジスタの並列配置方向がゲート配列の方向にのみ制限される。このため、ローサイドトランジスタからの放熱性が高くなるように必ずしも最適化された構造にはなっていない。

[0013] さらに、特許文献4に記載されている方法では、ハイサイドMOSトランジスタのソース電極とローサイドMOSトランジスタのドレイン電極を同一電極としているために、必然的にハイサイドとローサイドのトランジスタのウエル層が同じ電位設定となってしまう。このため、ハイサイドMOSトランジスタがオン状態時に、ソースとウエル間に電源電圧相当の逆バイアスが印加される基板バイアス効果が生じ、ハイサイドトランジスタの電流性能が低下するという問題が生じる。

[0014] このように、従来技術では、ローサイドトランジスタの放熱性を高めつつ、ハイサイドトランジスタの基板バイアス効果を抑制することができなかった。

[0015] 本発明の目的は、ローサイドトランジスタの放熱性を高めつつ、ハイサイドトランジスタの基板バイアス効果を抑制することができる半導体装置を提供することにある。

課題を解決するための手段

[0016] 上記目的を達成するために、本発明は、半導体基板と、前記半導体基板の表面の第1の領域に形成されるハイサイドトランジスタと、前記ハイサイドトランジスタを囲むトレンチと、トレンチを埋める第1の絶縁体と、前記トレンチの周りの前記半導体基板の表面の第2の領域に形成されるローサイドトランジスタと、を備え、前記ローサイドトランジスタが形成される前記第2の領域と前記半導体基板の裏面とを繋ぐ側面が露出している。

[0017] また、上記目的を達成するために、本発明は、半導体基板と、前記半導体基板の表面の第1の領域に形成されるハイサイドトランジスタと、前記ハイサイドトランジスタを囲むトレンチと、トレンチを埋める第1の絶縁体と、前記トレンチの周りの前記半導体基板の表面の第2の領域に形成されるローサイドトランジスタと、を備え、前記ローサイドトランジスタが形成される第2の領域の総面積は、前記ハイサイドトランジスタが形成される第1の領域の総面積よりも大きい。

発明の効果

[0018] 本発明によれば、ローサイドトランジスタの放熱性を高めつつ、ハイサイドトランジスタの基板バイアス効果を抑制することができる。上記した以外の課題、構成及び効果は、以下の実施形態の説明により明らかにされる。

図面の簡単な説明

[0019] [図1A]第1の実施形態による半導体装置を模式的に示す平面図である。

[図1B]図1Aの矢視Aで示す領域における縦断面図である。

[図2]図1Aに示す半導体装置を含む電流駆動回路系のアクティブクランプ動

作を説明するための図である。

[図3]第2の実施形態による半導体装置を模式的に示す平面図である。

[図4]第3の実施形態による半導体装置を模式的に示す平面図である。

[図5]第4の実施形態による半導体装置を模式的に示す平面図である。

発明を実施するための形態

[0020] 以下、図面を用いて、本発明の第1～第4の実施形態による半導体装置の構成及び作用効果について説明する。なお、各図において、同一符号は同一部分を示す。本発明の実施形態による半導体装置は、前述した目的と一部重複するが、例えば、次の第1～第3の目的を達成しようとするものである。

[0021] 第1の目的は、チップサイズを増大させることなく、さらに通常動作時におけるハイスイドトランジスタの面積あたりの電流性能を低下させることなく、ハイスイドトランジスタに対するローサイドトランジスタの配置に自由度を持たせることで、アクティブクランプ動作時のローサイドトランジスタの温度の均一性と放熱性を上げて、熱破壊エネルギーを増大することにある。

[0022] 第2の目的は、高耐圧のハイスイドトランジスタとローサイドトランジスタで構成される駆動回路のチップサイズを増大させることなく、ローサイドトランジスタの放熱性をより高めると共に、アクティブクランプ動作時のローサイドトランジスタの熱破壊エネルギーを、ハイスイドトランジスタの熱破壊エネルギーよりも大きくすることにある。

[0023] 第3の目的は、ハイスイドのMOSトランジスタとローサイドのMOSトランジスタのウエル層を互いに絶縁分離し、ハイスイドトランジスタのウエル電位をソース電位と同電位にさせることで、基板バイアス効果によってハイスイドトランジスタのオン動作時の電流性能が低下する問題を防ぐことにある。

[0024] (第1の実施形態)

図1は本発明の実施形態を示しており、以下これについて説明する。図1Aは第1の実施形態による半導体装置を模式的に示す平面図である。また、

図 1 B は図 1 A の矢視 A で示す領域における縦断面図を示している。

[0025] 図 1 A に示すように、半導体装置 200 は、ローサイド NMOS トランジスタ 102 とトレンチ溝 41 で囲われたハイサイド NMOS トランジスタ 101 からなり、トレンチ溝 41 で囲われたハイサイド NMOS トランジスタ 101 の両側面にローサイド NMOS トランジスタ 102 が隣接して配置されている。

[0026] 図 1 B に示すように、ハイサイド NMOS トランジスタ 101 の P ウエル層 3 とローサイド NMOS トランジスタ 102 の P ウエル層 2 を絶縁分離するため、トレンチ溝 41 は SOI (Silicon on Insulator) 基板の SiO₂ 層 32 と接しており、電源電圧以上の絶縁耐圧を得るために、溝内に SiO₂ の絶縁層が埋めこまれている。また、図 1 A に示すように、各トランジスタはいずれも複数のソース 6、7 とゲート 14、15 とドレイン 8、9 が並列に配列された同じ特性を持つ横型の NMOS トランジスタ群で構成されている。

[0027] 換言すれば、ハイサイド NMOS トランジスタ 101 (ハイサイドトランジスタ) は、SOI 基板 30 (半導体基板) の表面 Ff の領域 S1 (第 1 の領域) に形成される。トレンチ溝 41 (トレンチ) は、ハイサイド NMOS トランジスタ 101 を囲む。SiO₂ (第 1 の絶縁体) は、トレンチ溝 41 を埋める。ローサイド NMOS トランジスタ 102 (ローサイドトランジスタ) は、トレンチ溝 41 の周りの SOI 基板 30 の表面 Ff の領域 S2 (第 2 の領域) に形成される。図 1 B に示すように、ローサイド NMOS トランジスタ 102 が形成される領域 S2 (第 2 の領域) と SOI 基板 30 の裏面 Bf とを繋ぐ側面 Sf が露出している。

[0028] つまり、ローサイド NMOS トランジスタ 102 は、トレンチ溝 41 で囲まれていない。

[0029] 図 1 A では、領域 S1 (第 1 の領域) は、四角形である。ローサイド NMOS トランジスタ 102 (ローサイドトランジスタ) は、領域 S1 の 1 組の対辺 E1、E2 にそれぞれ隣接する 2 つの領域 S2 に形成される。

[0030] 図1Bに示すように、SOI基板30（半導体基板）は、Si支持基板31（支持基板）、SiO₂層32（第2の絶縁体）、及びP型半導体層33（P型半導体）が積層されて構成される。トレンチ溝41を埋めるSiO₂（第1の絶縁体）は、SiO₂層32（第2の絶縁体）と接する。これにより、基板バイアス効果を確実に防止することができる。

[0031] ここで、ローサイドトランジスタのアクティブクランプ動作について述べる。図2にアクティブクランプ回路210を含む電流駆動回路201、及び電磁負荷202、電源211、スイッチ203で構成される駆動回路系全体を示す。電磁負荷202は、駆動回路の出力と電源211に接続される。通常動作時は、スイッチ203はオン状態で、電流駆動回路201に例えば14Vの電源VB211が供給される。

[0032] 負荷駆動電流は電源VB211から電磁負荷202を通じて、ローサイドトランジスタ207がオンの時にはGNDへ、オフ時はハイサイドトランジスタ204を通じて電源に環流電流が流れる。ここで、ローサイドトランジスタ207がオンからオフとなった時に、スイッチ203が異常によって切断されて電源が供給されなくなった場合に、本来、ハイサイドトランジスタ204を通じて流れていた電磁負荷からの環流電流が行き場を失うために、出力端子の電位が上昇する。

[0033] この時、ローサイドトランジスタ207が耐圧破壊しないように、出力端子の電位はある電圧（クランプ電圧）、例えば35Vとなると、ローサイドトランジスタ207のゲートとドレインに接続されたツェナーダイオード（アクティブクランプ回路210）に電流が流れ始める。この電流はゲートとソース間に接続された抵抗208を流れるため、ローサイドトランジスタ207はゲート電圧が上昇して、ドレイン電流 I_d が流れる。

[0034] ドレイン電流 I_d は電磁負荷の起電力（ $-L \cdot dI_d/dt$ ）と電源VBとの和がクランプ電圧となるように線形に減少し、ドレイン電流 I_d とクランプ電圧の積の時間積分で算出されるエネルギーがローサイドトランジスタ207で消費される。このエネルギー量は例えば電磁負荷が13mH、駆動電流が

2 A時では20 mJとなるが、このエネルギーの消費によってローサイドトランジスタ207は発熱する。この時、トランジスタの温度が、ある閾値以上となると、トランジスタ熱暴走して熱破壊に至るため、熱破壊しないよう、トランジスタの温度を抑える必要がある。一方、ハイサイドトランジスタ204ではこのような大きなエネルギーを消費する状態は生じることはない。

[0035] 図1Aに示すように、ローサイドNMOSトランジスタ102を2分割し、ハイサイドNMOSトランジスタ101の両側面に接するように配置すると、ローサイドNMOSトランジスタ102からの放熱領域となる周辺領域はハイサイドNMOSトランジスタ101に比べて大きくできる。このため、ローサイドNMOSトランジスタ102の放熱性をハイサイドNMOSトランジスタ101と比べて高くすることができる。

[0036] 例えば、ローサイドNMOSトランジスタ102の短辺の長さd1は50 μm 、ハイサイドトランジスタd3の長さは90 μm で、また、トレンチ溝41の幅は1 μm である。この時、トレンチ溝41を挿入することによる、チップサイズの増大量は約1%に抑えられる。トレンチ溝41の数は少ない方がチップサイズへ与える影響は抑えられるので、ハイサイドNMOSトランジスタ101の数は少ない方が良い。

[0037] 換言すれば、領域S1（第1の領域）及び領域S2（第2の領域）が配置される方向（図1Aのy軸方向）について、領域S1の1組の対辺E1、E2にそれぞれ隣接する2つの領域S2のそれぞれの幅d1は等しい。これにより、アクティブクランプ動作時に2つの領域S2の放熱性を一様にすることができる。

[0038] また、ローサイドNMOSトランジスタ102の総面積は、ハイサイドNMOSトランジスタ101の総面積と比べて大きい。

[0039] 換言すれば、ローサイドNMOSトランジスタ102（ローサイドトランジスタ）が形成される領域S2（第2の領域）の総面積は、ハイサイドNMOSトランジスタ101（ハイサイドトランジスタ）が形成される領域S1

(第1の領域)の総面積よりも大きい。

[0040] ローサイドNMOSトランジスタ102の総面積を大きくすることで、単位面積当たりの電力密度を下げるができるので、アクティブクランプ動作時の温度を低減することができる。

[0041] 一方、ハイサイドNMOSトランジスタ101はアクティブクランプ動作状態が生じないために、発熱による熱破壊を考慮する必要がない。従って、通常動作時の電流性能が仕様を満たすようにハイサイドNMOSトランジスタ101は設計でき、ローサイドNMOSトランジスタ102に比べて面積を小さくすることができる。

[0042] また、ローサイドNMOSトランジスタ102の周辺にはハイサイドNMOSトランジスタ101と接するところ以外はトレンチ溝41がない。ローサイドNMOSトランジスタ102のソース6とPウエル層2はGND電位で、P型半導体層33と同電位に設定されるため、トレンチ溝で分離する必要がない。P型半導体層33と比べて熱抵抗が高くなるトレンチ溝41を設けないことで、半導体装置200における周辺への放熱性を高めることができる。

[0043] これらの結果、ローサイドNMOSトランジスタ102のアクティブクランプ動作時の熱破壊エネルギーを増大することが可能となる。

[0044] 換言すれば、ローサイドNMOSトランジスタ102（ローサイドトランジスタ）の熱破壊エネルギーは、ハイサイドNMOSトランジスタ101（ハイサイドトランジスタ）の熱破壊エネルギーよりも大きい。

[0045] また、各トランジスタはSi支持基板31から絶縁分離されたP型半導体層33上にN型のドレインドリフト層4、5およびPウエル層2、3が形成される。ローサイドNMOSトランジスタ102のPウエル層2とハイサイドNMOSトランジスタ101のPウエル層3はトレンチ溝41により絶縁分離されている。このため、ハイサイドNMOSトランジスタ101のPウエル層3をソース7とソース電極20で電氣的に同電位に接続することができる。

[0046] この結果、ハイサイドNMOSトランジスタ101の基板バイアス効果によるハイサイドNMOSトランジスタ101の電流性能の低下を無くすることができる。なお、本実施例においてはNMOSトランジスタの場合を示しているが、P型半導体層33上に形成したIGBT (Insulated Gate Bipolar Transistor) を用いることもできる。また、図には記載されていないが、ハイサイドNMOSトランジスタ101のソース電極20とローサイドNMOSトランジスタ102のドレイン電極18は配線層を介して接続され出力端子となっている。

[0047] 以上説明したように、本実施形態によれば、ローサイドトランジスタの側面が露出していることにより、ローサイドトランジスタの放熱性を高めることができる。また、トレンチがハイサイドトランジスタを囲むことによりハイサイドトランジスタの基板バイアス効果を抑制することができる。

[0048] (第2の実施形態)

図3は本発明の第2の実施形態による半導体装置200を模式的に示す平面図である。半導体装置200はトレンチ溝41で囲われるハイサイドNMOSトランジスタ101とローサイドNMOSトランジスタ102からなり、ローサイドNMOSトランジスタ102はハイサイドNMOSトランジスタ101を囲うように、隣接して配置されている。

[0049] 換言すれば、ローサイドNMOSトランジスタ102（ローサイドトランジスタ）は、トレンチ溝41（トレンチ）を囲むように配置される。

[0050] ローサイドNMOSトランジスタ102の周辺放熱領域は、ハイサイドNMOSトランジスタ101とローサイドNMOSトランジスタ102の外周領域全体となり、第1の実施形態と比べてさらに放熱性を高められる。また、第1の実施形態と比べて、ローサイドNMOSトランジスタ102の面積を同じとした場合、ローサイドNMOSトランジスタ102の幅d1、d2をより小さくできるため、トランジスタ内の温度の均一性と放熱性をより上げることができる。なお、ローサイドNMOSトランジスタ102の幅d1、d2は、トランジスタ内の温度差が小さくなるように、等しいことが望ま

しい。

[0051] また、ローサイドNMOSトランジスタ102の面積は、ハイサイドNMOSトランジスタ101の面積と比べて大きくして、アクティブクランプ動作時のローサイドトランジスタにおける面積あたりのエネルギーを低減することで、トランジスタ内の温度を低減することができる。この結果、ローサイドトランジスタの熱破壊エネルギーを増大することが可能となる。

[0052] (第3の実施形態)

図4は本発明の第3の実施形態による半導体装置200を模式的に示す平面図である。本実施形態は、第1の実施形態における、ローサイドNMOSトランジスタ102の分割数を増やした場合である。図にソース、ドレインは記載されていないが、各々ゲート14、15に隣接して配置されている。

[0053] 各ローサイドNMOSトランジスタ102はトレンチ溝41で囲われるハイサイドNMOSトランジスタ101に隣接して配置され、その数はハイサイドNMOSトランジスタ101の数に対して多い。ローサイドNMOSトランジスタ102の領域を2箇所以上に分割することにより、ローサイドNMOSトランジスタ102の短辺の長さ d_1 を小さくすることができ、これによってトランジスタ内の温度の均一性を確保できる。

[0054] さらに、ローサイドNMOSトランジスタ102の放熱する周辺領域を大きくすることで、温度を低減することができる。ここで、分割数を多くすると、ハイサイドNMOSトランジスタ101とローサイドNMOSトランジスタ102の境界部のトレンチ溝41の領域分だけ、全体のチップサイズが増大するため、各トランジスタの短辺の長さ d_1 、 d_3 は、トレンチ溝の幅に対しで十分大きいことが望ましい。

[0055] 例えば、トレンチ溝の幅が $1\mu\text{m}$ 時には、 d_1 、 d_3 は $30\mu\text{m}$ 以上とすれば、サイズ増大の影響は約3%とすることができる。ローサイドNMOSトランジスタ102の分割数を増やす以外には、トランジスタの短辺の長さ d_1 を保ちながら、長辺の長を増大することで、トランジスタの温度の均一性を維持しながら、トランジスタの総面積を増やすことができる。

[0056] (第4の実施形態)

図5は本発明の第4の実施形態による半導体装置200を模式的に示す平面図である。半導体装置200は、2つのハイサイドNMOSトランジスタ101と、それらを3方向で取り囲むローサイドNMOSトランジスタ102からなる。

[0057] 換言すれば、ハイサイドNMOSトランジスタ101（ハイサイドトランジスタ）が形成される領域S1をそれぞれ囲むトレンチ溝41（トレンチ）は、SOI基板30（半導体基板）の一端に接する。

[0058] 第2の実施形態による4方向で取り囲む場合と比べると、ローサイドNMOSトランジスタ102の放熱性は低下するが、ローサイドNMOSトランジスタ102のゲート15の引き出し配線が容易となる利点がある。

[0059] ローサイドNMOSトランジスタ102における発熱は、ハイサイドNMOSトランジスタ101および半導体装置200の周辺領域に放熱される。ここで、外周領域にあるローサイドNMOSトランジスタ102の幅d1、d2は、トランジスタ内の温度差が小さくなるように、等しいことが望ましいが、両側面にハイサイドNMOSトランジスタ101があるローサイドNMOSトランジスタ102領域の幅d5は、一方側面にしかハイサイドNMOSトランジスタ101がないローサイドNMOSトランジスタ102領域の幅d1に比べて小さい。

[0060] 換言すれば、ハイサイドNMOSトランジスタ101（ハイサイドトランジスタ）は、互いに離れた少なくとも2つの領域S1に形成される。トレンチ溝41（トレンチ）は、ハイサイドNMOSトランジスタ101が形成される領域S1をそれぞれ囲む。隣接するトレンチ溝41の間の距離（幅d5）は、ハイサイドNMOSトランジスタ101が形成される領域S1が配置される方向（図5のy軸方向）のトレンチ溝41とSOI基板30（半導体基板）の端の間の距離（幅d1）よりも小さい。

[0061] ハイサイドトランジスタを囲うトレンチ溝は熱抵抗が高いため、両側面にハイサイドNMOSトランジスタ101があるローサイドトランジスタ領域

では放熱性が低下するため、領域幅を小さくして発熱量を小さくすることで、ローサイドトランジスタ全体の温度の均一性を上げることができる。この結果、ローサイドトランジスタの熱破壊エネルギーを増大することが可能となる。

[0062] なお、本発明は上記した実施形態に限定されるものではなく、様々な変形例が含まれる。例えば、上述した実施形態は本発明を分かりやすく説明するために詳細に説明したものであり、必ずしも説明した全ての構成を備えるものに限定されるものではない。また、ある実施形態の構成の一部を他の実施形態の構成に置き換えることが可能であり、また、ある実施形態の構成に他の実施形態の構成を加えることも可能である。また、各実施形態の構成の一部について、他の構成の追加・削除・置換をすることが可能である。

[0063] 本図面では、ハイサイドトランジスタをゲート配列方向に並行方向に2箇所配置しているが、3箇所以上の配置やゲート配列方向に垂直方向に配置することもできる。

[0064] 上記実施形態のローサイドNMOSトランジスタ102（ローサイドトランジスタ）及びハイサイドNMOSトランジスタ101（ハイサイドトランジスタ）は、30ボルト以上の耐圧を有するようにしてもよい。これにより、半導体装置200は、高耐圧が必要とされるパワートランジスタとして、車両用ソレノイドなどを駆動することができる。

[0065] なお、本発明の実施形態は、以下の態様であってもよい。

[0066] （1）半導体基板と、前記半導体基板上に設けられたハイサイド及びローサイドのトランジスタ群を備えた回路であって、ローサイドトランジスタ領域の間には、トレンチ溝で囲われるハイサイドトランジスタ領域が配置されていて、前記ハイサイドトランジスタ領域と前記ローサイドトランジスタ領域との境界には、前記トレンチ溝が配置されていることを特徴とする半導体装置。

[0067] かかる構成により、アクティブクランプ動作時における、ローサイドトランジスタにおける発熱を周辺領域に放熱することができる。また、ローサイ

ドトランジスタ領域を駆動回路の外周領域に設けて、放熱性をハイサイドトランジスタ領域より高めることができる。さらに、ハイサイドトランジスタとローサイドトランジスタを分離距離の小さいトレンチ溝で分離することで、チップサイズの増大を抑制しながら、ローサイドトランジスタの放熱が最適となるようにローサイドトランジスタをハイサイドトランジスタに対して自由に配置できる。また、トレンチ溝による分離で、ローサイドとハイサイドのMOSトランジスタのウエル層を互いに絶縁分離することができ、基板バイアス効果によるハイサイドトランジスタの電流性能低下の問題を解決することができる。

[0068] (2) 前記ローサイドトランジスタ領域の総面積は、前記ハイサイドトランジスタ領域の総面積と比べて、大きいことを特徴とする(1)に記載の半導体装置。

[0069] かかる構成により、ローサイドトランジスタとハイサイドトランジスタで構成される出力トランジスタの総面積を大きくすることなく、ローサイドトランジスタ領域の総面積を大きくすることができるため、アクティブクランプ動作時のローサイドトランジスタ領域の温度をより低減することができる。

[0070] (3) 前記半導体基板上に設けられた前記ローサイドトランジスタ領域は、前記ハイサイドトランジスタ領域を囲うように配置されていることを特徴とする(1)又は(2)に記載の半導体装置。

[0071] かかる構成により、アクティブクランプ動作時におけるローサイドトランジスタ領域の発熱をローサイドトランジスタの外周領域とハイサイドトランジスタ領域に放熱することができ、ローサイドトランジスタとハイサイドトランジスタで構成される出力トランジスタの面積増大を抑えて、放熱性に優れたローサイドトランジスタを形成することができる。

[0072] (4) 前記ローサイドトランジスタ領域は前記ハイサイドトランジスタ領域の少なくとも両側面に隣接して配置されていることを特徴とする、(1)又は(2)に記載の半導体装置。

- [0073] かかる構成により、ローサイドトランジスタとハイサイドトランジスタで構成される出力トランジスタの面積増大を抑えて、ローサイドトランジスタから放熱する領域をハイサイドトランジスタと比べて大きくすることができ、アクティブクランプ動作時のローサイドトランジスタの温度増大を抑制できる。
- [0074] (5) 前記半導体装置において、外周に配置される前記ローサイドトランジスタ領域の幅は等しいことを特徴とする、(3) 又は (4) に記載の半導体装置。
- [0075] かかる構成により、外周に配置されるローサイドトランジスタ領域からの放熱性を一様にするため、温度の均一性を上げることができる。このため、アクティブクランプ動作時のローサイドトランジスタ領域の温度増大を抑制できる。
- [0076] (6) 両側面に前記ハイサイドトランジスタ領域がある前記ローサイドトランジスタ領域の短辺の長さは、片側面にのみ前記ハイサイドトランジスタ領域がある前記ローサイドトランジスタ領域の短辺の長さに比べて、小さいことを特徴とする、(4) 又は (5) に記載の半導体装置。
- [0077] かかる構成により、両側面に前記ハイサイドトランジスタ領域が配置されるローサイドトランジスタ領域と片側面にのみ前記ハイサイドトランジスタ領域が配置されるローサイドトランジスタ領域との温度差を小さくすることができる。
- [0078] (7) 前記ローサイドのトランジスタ群と前記ハイサイドのトランジスタ群は、支持基板から絶縁分離されたP型半導体層上にN型ドレイン領域が形成されたNMOSトランジスタで構成され、前記ローサイドのトランジスタ群は、前記トレンチ溝で囲われていないことを特徴とする、(1) 乃至 (6) のいずれかに記載の半導体装置。
- [0079] かかる構成により、ローサイドトランジスタからの放熱性を向上できる。
- [0080] (8) 前記ローサイドのトランジスタ群と前記ハイサイドのトランジスタ群は、支持基板から絶縁分離されたP型半導体層上にP型のホール注入領域

が形成された I G B T で構成され、前記ローサイドのトランジスタ群は、前記トレンチ溝で囲われていないことを特徴とする、(1)乃至(7)のいずれかに記載の半導体装置。

[0081] かかる構成により、ローサイドトランジスタからの放熱性を向上できる。

[0082] (9) 前記ローサイドのトランジスタ群の熱破壊エネルギーは、前記ハイサイドのトランジスタ群の熱破壊エネルギーに比べて大きいことを特徴とする、(1)乃至(8)に記載の半導体装置。

[0083] かかる構成により、駆動回路のチップサイズの増大を抑えながら、ローサイドトランジスタの熱破壊エネルギーを増大することができる。

[0084] (10) 前記ハイサイドトランジスタ領域は耐圧が30V以上のトランジスタで構成され、前記ローサイドトランジスタ領域は耐圧が30V以上のトランジスタで構成されることを特徴とする(1)乃至(9)のいずれかに記載の半導体装置。

符号の説明

[0085] 1…STI (Shallow Trench Isolation)

2、3…Pウエル層

4、5…N型のドレインドリフト層

6、7…ソース

8、9…ドレイン

10、11…Pウエル層接続P層

12、13…ゲート酸化膜

14、15…ゲート

16…配線層接続コンタクト

17、20…ソース電極

18、21…ドレイン電極

19、22…ゲート電極

31…Si支持基板

32…SiO₂層

3 3 ... P型半導体層
4 1 ... トレンチ溝
1 0 1 ... ハイサイドNMOSトランジスタ
1 0 2 ... ローサイドNMOSトランジスタ
2 0 0 ... 半導体装置
2 0 1 ... 電流駆動回路
2 0 2 ... 電磁負荷
2 0 3 ... スイッチ
2 0 4 ... ハイサイドトランジスタ
2 0 5 ... 抵抗
2 0 6 ... ハイサイドゲートドライバ
2 0 7 ... ローサイドトランジスタ
2 0 8 ... 抵抗
2 0 9 ... ローサイドゲートドライバ
2 1 0 ... アクティブクランプ回路
2 1 1 ... 電源

請求の範囲

- [請求項1] 半導体基板と、
 前記半導体基板の表面の第1の領域に形成されるハイサイドトランジスタと、
 前記ハイサイドトランジスタを囲むトレンチと、
 トレンチを埋める第1の絶縁体と、
 前記トレンチの周りの前記半導体基板の表面の第2の領域に形成されるローサイドトランジスタと、を備え、
 前記ローサイドトランジスタが形成される前記第2の領域と前記半導体基板の裏面とを繋ぐ側面が露出している
 ことを特徴とする半導体装置。
- [請求項2] 半導体基板と、
 前記半導体基板の表面の第1の領域に形成されるハイサイドトランジスタと、
 前記ハイサイドトランジスタを囲むトレンチと、
 トレンチを埋める第1の絶縁体と、
 前記トレンチの周りの前記半導体基板の表面の第2の領域に形成されるローサイドトランジスタと、を備え
 前記ローサイドトランジスタが形成される前記第2の領域の総面積は、
 前記ハイサイドトランジスタが形成される前記第1の領域の総面積よりも大きい
 ことを特徴とする半導体装置。
- [請求項3] 請求項1乃至2に記載の半導体装置であって、
 前記ローサイドトランジスタは、
 前記トレンチを囲むように配置される
 ことを特徴とする半導体装置。
- [請求項4] 請求項1乃至2に記載の半導体装置であって、

前記第 1 の領域は、
四角形であり、
前記ローサイドトランジスタは、
前記第 1 の領域の 1 組の対辺にそれぞれ隣接する 2 つの領域に形成される
ことを特徴とする半導体装置。

[請求項5] 請求項 4 に記載の半導体装置であって、
前記第 1 の領域及び前記第 2 の領域が配置される方向について、前記第 1 の領域の 1 組の対辺にそれぞれ隣接する 2 つの領域のそれぞれの幅は等しい
ことを特徴とする半導体装置。

[請求項6] 請求項 1 乃至 2 に記載の半導体装置であって、
前記ハイサイドトランジスタは、
互いに離れた少なくとも 2 つの領域に形成され、
前記トレンチは、
前記ハイサイドトランジスタが形成される領域をそれぞれ囲み、
隣接する前記トレンチの間の距離は、
前記ハイサイドトランジスタが形成される領域が配置される方向の前記トレンチと前記半導体基板の端の間の距離よりも小さい
ことを特徴とする半導体装置。

[請求項7] 請求項 1 乃至 2 に記載の半導体装置であって、
前記半導体基板は、
支持基板、第 2 の絶縁体、及び P 型半導体が積層されて構成され、
前記第 1 の絶縁体は、
前記第 2 の絶縁体と接する
ことを特徴とする半導体装置。

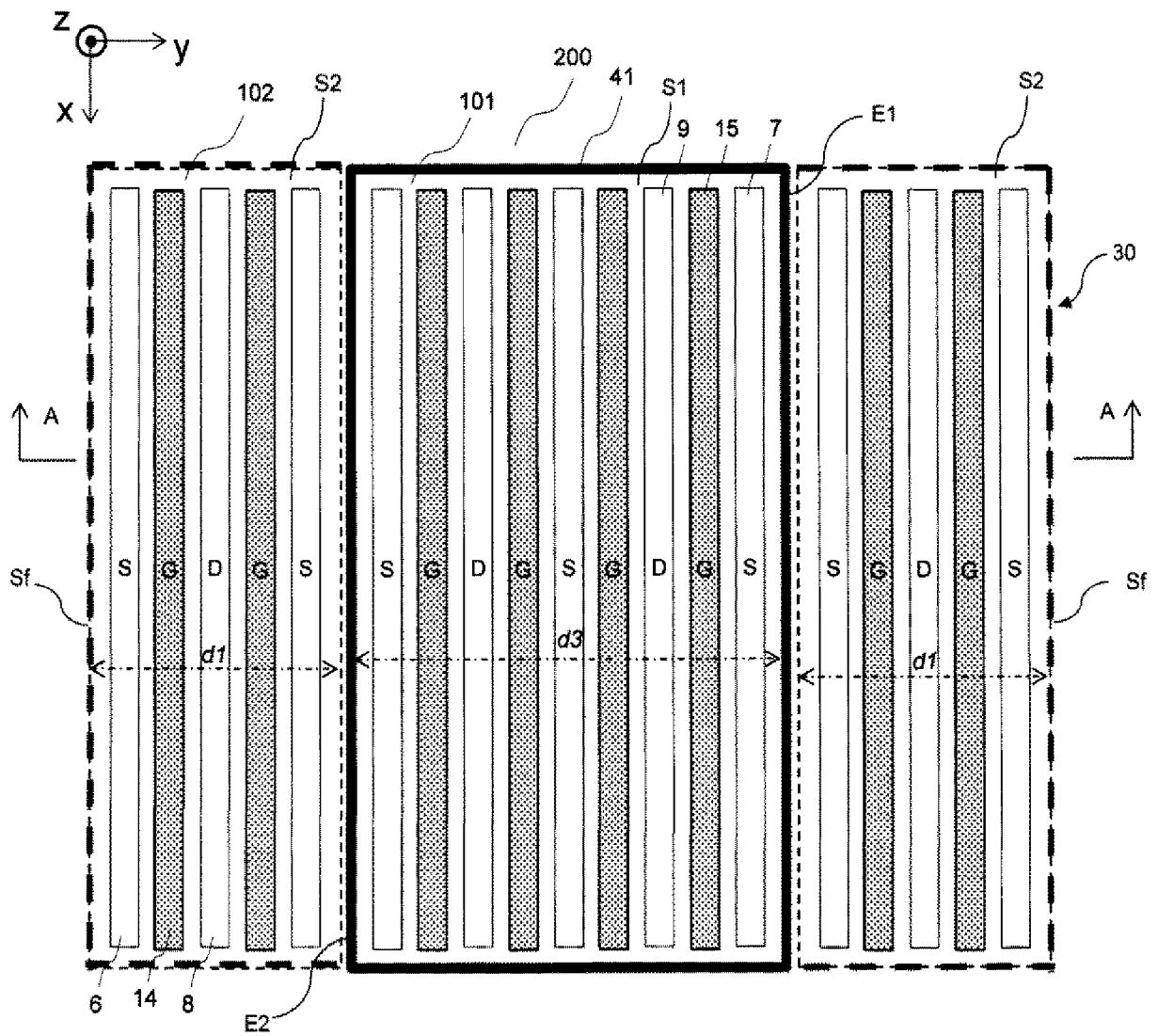
[請求項8] 請求項 1 乃至 2 に記載の半導体装置であって、
前記ローサイドトランジスタ及び前記ハイサイドトランジスタは、

NMOSトランジスタ又はIGBTであることを特徴とする半導体装置。

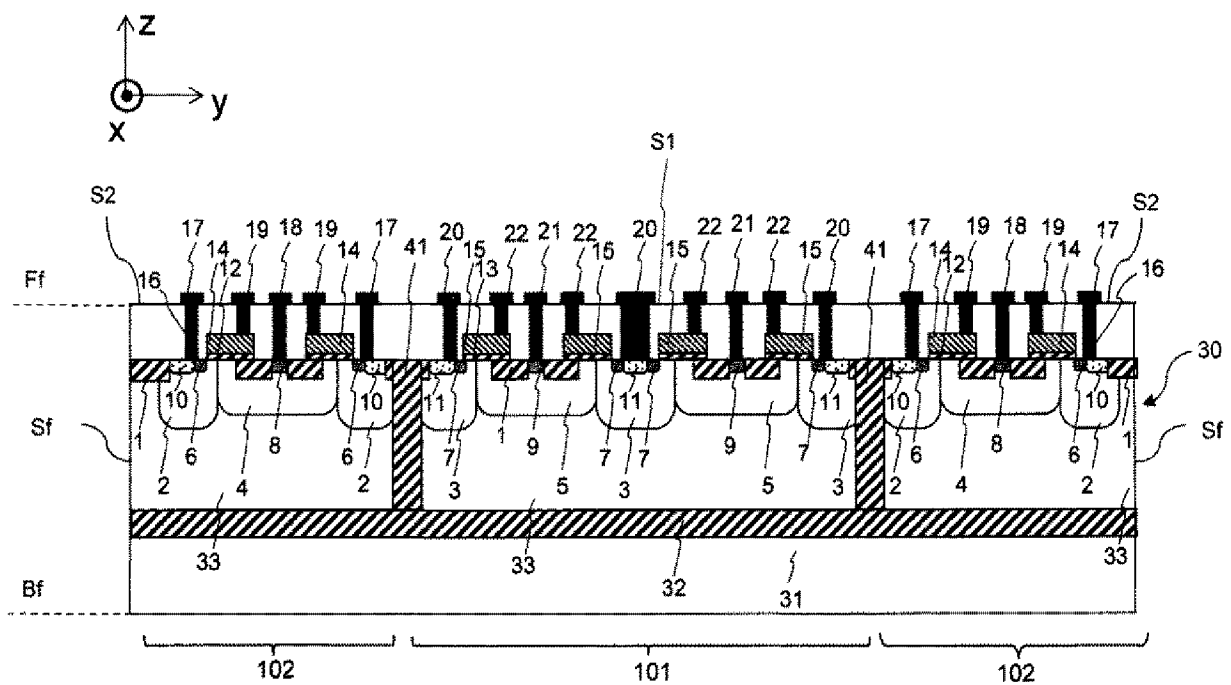
[請求項9] 請求項1乃至2に記載の半導体装置であって、
前記ローサイドトランジスタの熱破壊エネルギーは、
前記ハイサイドトランジスタの熱破壊エネルギーよりも大きい
ことを特徴とする半導体装置。

[請求項10] 請求項1乃至2に記載の半導体装置であって、
前記ローサイドトランジスタ及び前記ハイサイドトランジスタは、
30ボルト以上の耐圧を有する
ことを特徴とする半導体装置。

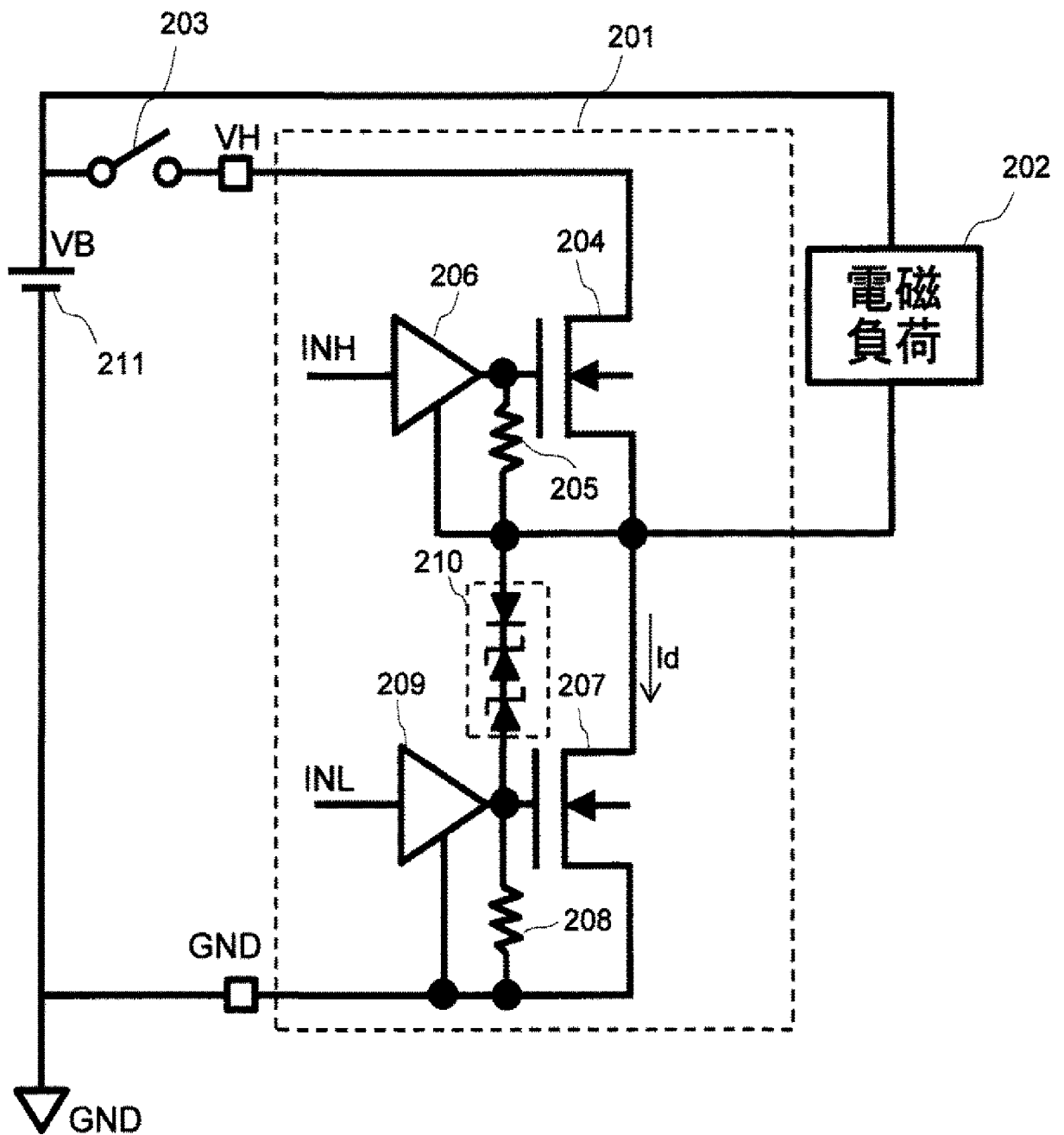
[図1A]



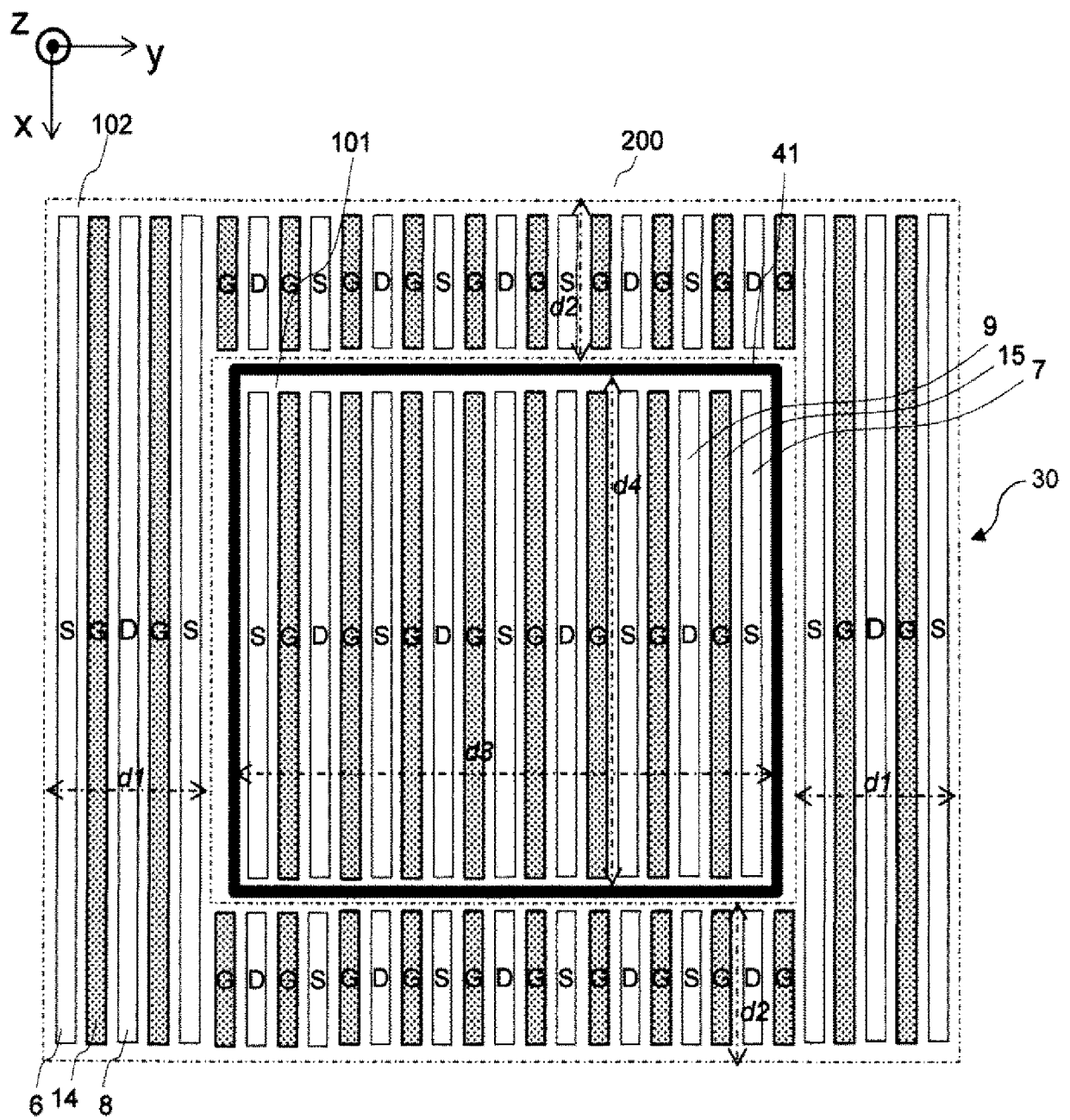
[図1B]



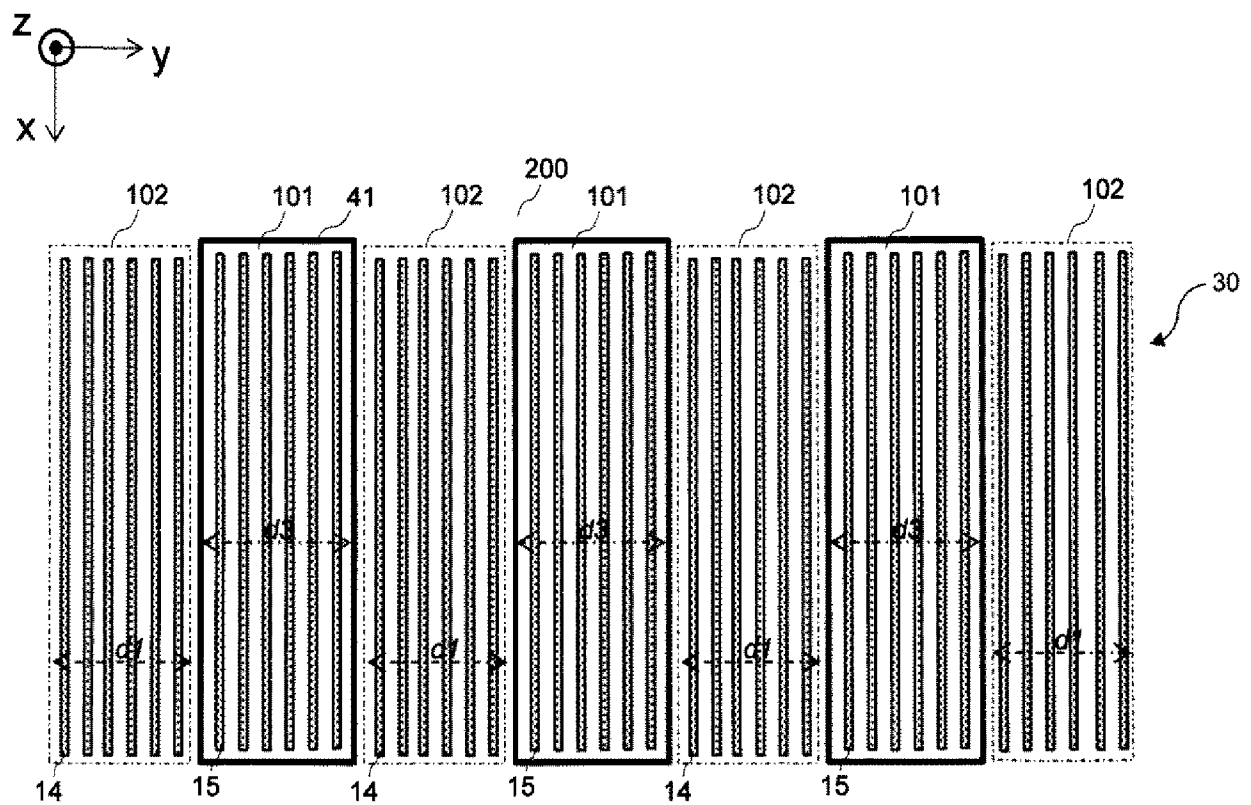
[図2]



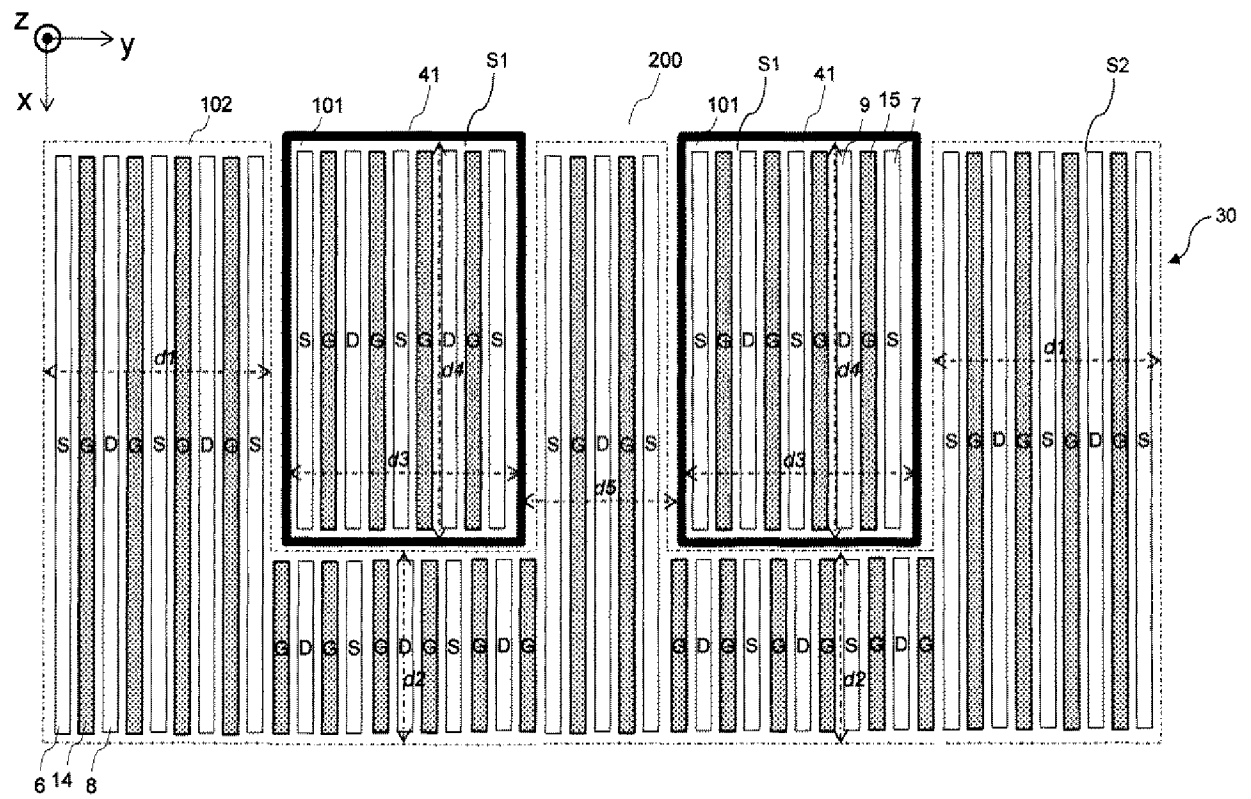
[図3]



[図4]



[図5]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/000701

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/822(2006.01)i, H01L21/336(2006.01)i, H01L21/76(2006.01)i,
H01L27/04(2006.01)i, H01L27/12(2006.01)i, H01L29/786(2006.01)i,
H03K17/687(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/822, H01L21/336, H01L21/76, H01L27/04, H01L27/12, H01L29/786,
H03K17/687

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2017
Kokai Jitsuyo Shinan Koho	1971-2017	Toroku Jitsuyo Shinan Koho	1994-2017

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	WO 2016/017068 A1 (Panasonic Intellectual Property Management Co., Ltd.), 04 February 2016 (04.02.2016), paragraphs [0043] to [0111]; fig. 1 (Family: none)	2, 7-10 1, 3-6
Y	JP 2010-080803 A (Hitachi, Ltd.), 08 April 2010 (08.04.2010), paragraphs [0017] to [0050]; fig. 7 to 13 & US 2010/0078676 A1 paragraphs [0032] to [0065]; fig. 7 to 13	2, 7-10
A	JP 11-214710 A (Sansha Electric Manufacturing Co., Ltd.), 06 August 1999 (06.08.1999), entire text; all drawings (Family: none)	1-10

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
28 April 2017 (28.04.17)

Date of mailing of the international search report
16 May 2017 (16.05.17)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/000701

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2006-186159 A (Renesas Technology Corp.), 13 July 2006 (13.07.2006), entire text; all drawings & US 2006/0138460 A1	1-10
A	JP 2008-244094 A (Toshiba Corp.), 09 October 2008 (09.10.2008), entire text; all drawings (Family: none)	1-10
A	JP 2006-049341 A (Renesas Technology Corp.), 16 February 2006 (16.02.2006), entire text; all drawings & US 2006/0022298 A1 & KR 10-2006-0050185 A & CN 1728379 A & TW 200618252 A	1-10

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H01L21/822(2006.01)i, H01L21/336(2006.01)i, H01L21/76(2006.01)i, H01L27/04(2006.01)i, H01L27/12(2006.01)i, H01L29/786(2006.01)i, H03K17/687(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H01L21/822, H01L21/336, H01L21/76, H01L27/04, H01L27/12, H01L29/786, H03K17/687

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2017年
日本国実用新案登録公報	1996-2017年
日本国登録実用新案公報	1994-2017年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	WO 2016/017068 A1 (パナソニック IP マネジメント株式会社) 2016.02.04, 段落[0043]-段落[0111], 図1 (ファミリーなし)	2, 7-10 1, 3-6
Y	JP 2010-080803 A (株式会社日立製作所) 2010.04.08, 段落[0017]-段落[0050], 図7-図13 & US 2010/0078676 A1, 段落[0032]-段落[0065], 図7-図13	2, 7-10
A	JP 11-214710 A (株式会社三社電機製作所) 1999.08.06, 全文全図 (ファミリーなし)	1-10

☑ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

28.04.2017

国際調査報告の発送日

16.05.2017

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)
郵便番号 100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

小堀 行彦

5 F

5293

電話番号 03-3581-1101 内線 3516

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2006-186159 A (株式会社ルネサステクノロジ) 2006.07.13, 全文全図 & US 2006/0138460 A1	1-10
A	JP 2008-244094 A (株式会社東芝) 2008.10.09, 全文全図 (ファミリーなし)	1-10
A	JP 2006-049341 A (株式会社ルネサステクノロジ) 2006.02.16, 全文全図 & US 2006/0022298 A1 & KR 10-2006-0050185 A & CN 1728379 A & TW 200618252 A	1-10