



(12) 发明专利申请

(10) 申请公布号 CN 102821873 A

(43) 申请公布日 2012. 12. 12

(21) 申请号 201180015332. 1

H05K 3/28 (2006. 01)

(22) 申请日 2011. 01. 21

H01J 37/32 (2006. 01)

(30) 优先权数据

H01L 23/29 (2006. 01)

2010/0035 2010. 01. 22 BE

(85) PCT申请进入国家阶段日

2012. 09. 24

(86) PCT申请的申请数据

PCT/EP2011/000242 2011. 01. 21

(87) PCT申请的公布数据

W02011/089009 EN 2011. 07. 28

(71) 申请人 欧洲等离子公司

地址 比利时奥德纳尔德

(72) 发明人 F. 赖盖恩 A. 范兰德赫姆

P. 马腾斯

(74) 专利代理机构 北京市柳沈律师事务所

11105

代理人 赵国荣

(51) Int. Cl.

B05D 7/24 (2006. 01)

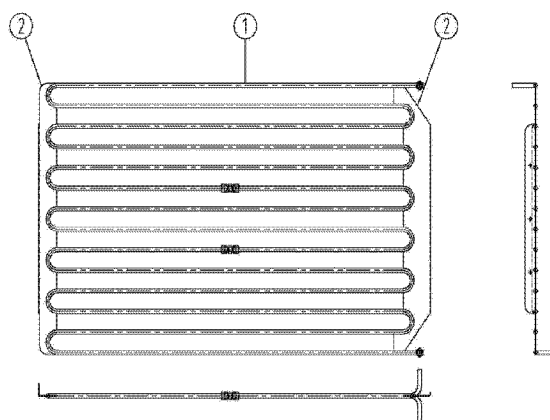
权利要求书 3 页 说明书 5 页 附图 1 页

(54) 发明名称

通过低压等离子体工艺施加保形纳米涂层的方法

(57) 摘要

本发明涉及通过低压等离子体工艺施加的保形纳米涂层。本发明还涉及在三维结构、特别是包含导电和非导电元件的三维结构上形成这样的保形纳米涂层的方法。



1. 一种在由导电和非导电元件组成的三维结构或组件上沉积保形纳米涂层的方法,其特征在于,所述涂层通过低压等离子体工艺沉积。
2. 根据权利要求1所述的方法,其中所述涂层通过低压等离子体聚合工艺沉积。
3. 根据权利要求2所述的方法,其中在该等离子体聚合工艺之前进行等离子体清洗和/或蚀刻步骤。
4. 根据权利要求2所述的方法,其中在该等离子体聚合工艺之前进行等离子体活化步骤。
5. 根据权利要求2到4所述的方法,其中在该等离子体聚合工艺之前进行该结构或组件的除气步骤。
6. 根据权利要求1到5中任一项所述的方法,包括以下步骤:
 - a. 根据权利要求5的除气,
 - b. 根据权利要求3的等离子体清洗和/或蚀刻,以及
 - c. 根据权利要求1或2的涂敷。
7. 根据权利要求1至5中任一项所述的方法,包括以下步骤:
 - a. 根据权利要求5的除气,
 - b. 根据权利要求3的等离子体清洗和/或蚀刻,
 - c. 根据权利要求4的活化,以及
 - d. 根据权利要求1或2的涂敷。
8. 根据权利要求7所述的方法,其中该清洗和/或该蚀刻和该活化结合在单个工艺步骤中。
9. 根据权利要求7或8所述的方法,其中该除气、该清洗和/或该蚀刻和该活化结合在单个工艺步骤中。
10. 根据权利要求3至9中任一项所述的方法,其中所有步骤在相同的等离子体室中进行。
11. 根据权利要求1至10中任一项所述的方法,其中该涂层的厚度在5nm到500nm之间,优选在25nm到250nm之间。
12. 根据权利要求1至10中任一项所述的方法,其中该等离子工艺在从10到1000mTorr之间的压力下进行。
13. 根据权利要求1至10中任一项所述的方法,其中该等离子体工艺在5°C至200°C之间的温度下进行,优选在20°C至90°C之间的温度下进行。
14. 根据权利要求1至10中任一项所述的方法,其中该等离子体工艺执行在20kHz至2.45GHz的频率下,优选在40kHz的频率下,更优选在13.56MHz的频率下。
15. 根据权利要求1至14中任一项所述的方法,其中RF功率在该等离子体聚合工艺期间连续地保持。
16. 根据权利要求1至14中任一项所述的方法,其中RF功率在该等离子体聚合工艺期间是脉冲的,并且该脉冲的频率典型地在1Hz到100kHz之间,且占空比典型地在0.05到50%之间。
17. 根据权利要求3所述的方法,其中该清洗和/或该蚀刻采用气态O₂、N₂、H₂、CF₄、Ar、He或其混合物进行。

18. 根据权利要求 4 所述的方法, 其中该活化采用诸如 O_2 、 N_2O 、 N_2 、 NH_3 、 H_2 、 CF_4 、 CH_4 、Ar、He 或其混合物的气体进行。

19. 根据权利要求 2 至 18 中任一项所述的方法, 其中采用混合有权利要求 17 或 18 中所列气体的气态可聚合单体或其混合物。

20. 根据权利要求 19 所述的方法, 其中由气态前体产生单体, 该气态前体通过加热液体前体或加热固态前体或前述二者的组合而得到。

21. 根据权利要求 19 或 20 所述的方法, 其中这些单体包括卤素、硫、磷、氮和 / 或硅树脂。

22. 根据权利要求 19 或 20 所述的方法, 其中该单体源自于前体 CF_4 、 C_2F_6 、 C_3F_8 、 C_4F_8 、 C_5F_{12} 、 C_6F_{14} 的一种或多种和 / 或任何其它饱和或非饱和氢氟碳化合物 (C_xF_y)。

23. 根据权利要求 19 或 20 所述的方法, 其中该单体源自于磷酸三甲酯、磷酸三乙酯、磷酸三丙酯或其它磷酸衍生物的一种或多种前体。

24. 根据权利要求 19 或 20 所述的方法, 其中该单体源自于前体乙胺、三乙胺、丙烯胺或丙烯腈的一种或多种。

25. 根据权利要求 19 或 20 所述的方法, 其中该单体源自于丙烯酸盐、甲基丙烯酸盐或其混合物。

26. 根据权利要求 19 或 20 所述的方法, 其中该单体源自于硅氧烷、硅烷、硅氮烷或其混合物。

27. 根据权利要求 1 至 26 中任一项所述的方法, 其中该结构或组件的导电部分包括金属, 诸如铜、铝、银或金。

28. 根据权利要求 1 至 26 中任一项所述的方法, 其中该结构或组件的导电部分包括半导体材料或导电聚合物。

29. 根据权利要求 1 至 26 中任一项所述的方法, 其中该结构或组件的非导电部分包括纸或者具有或者没有玻璃纤维加固的塑料, 诸如, 聚酰亚胺、聚四氟乙烯、硅树脂或聚酰胺。

30. 根据权利要求 1 至 26 中任一项所述的方法, 其中该结构或组件的非导电部分包括诸如玻璃的陶瓷材料。

31. 根据权利要求 1 至 26 中任一项所述的方法, 其中该三维结构或组件是刚性的。

32. 根据权利要求 1 至 26 中任一项所述的方法, 其中该三维结构或组件是柔性的。

33. 一种根据权利要求 1 至 32 中任一项的方法的应用, 用于涂敷电子部件和微电子器件。

34. 一种根据权利要求 1 至 32 中任一项的方法的应用, 用于涂敷集成电路。

35. 一种根据权利要求 1 至 32 中任一项的方法的应用, 用于涂敷裸印刷电路板。

36. 一种根据权利要求 1 至 32 中任一项的方法的应用, 用于涂敷组装有电子部件的印刷电路板。

37. 一种根据权利要求 1 至 36 中任一项的方法的应用, 用于沉积纳米涂层, 以向该结构或组件的所有表面和部分提供防水、防油、阻盐、阻酸和阻燃保护。

38. 一种根据权利要求 1 至 36 中任一项的方法的应用, 用于沉积弹性纳米涂层。

39. 一种根据权利要求 1 至 36 中任一项的方法的应用, 用于沉积能够通过其焊接的纳米涂层。

40. 一种施加到导电和非导电部分和 / 或不同材料部件的三维结构的保形纳米涂层。

41. 根据权利要求 40 所述的保形纳米涂层, 其中该涂层的厚度在 5 到 500nm 之间, 优选在 25 到 250nm 之间。

42. 根据权利要求 40 或 41 所述的保形纳米涂层, 利用权利要求 1 至 32 中任一项所述的方法沉积。

43. 一种印刷电路板组件, 包括权利要求 40 至 42 中任一项所述的保形纳米涂层。

44. 根据权利要求 43 所述的印刷电路板组件, 其中该保形纳米涂层通过低压等离子体工艺沉积。

通过低压等离子体工艺施加保形纳米涂层的方法

技术领域

[0001] 本发明涉及在三维结构上保形地施加纳米涂层的低压等离子体工艺。本发明还涉及这样的保形涂层在由不同材料制作的三维纳米结构上的施加,特别是在包含导电元件和非导电元件的三维结构上的施加。

背景技术

[0002] 大部分电子器件主要为导电材料和电绝缘材料的三维结构。这样的电子器件不仅包括设备,而且包括组件、裸和组装的印刷电路板(PCB)以及诸如集成电路和晶体管的单个部件。这样结构的导电部分通常由诸如铜、铝、银或金的金属或导电聚合物或半导体材料组成。这些结构的非导电部分或绝缘体通常由具有或者没有玻璃纤维加固的诸如聚酰亚胺、聚四氟乙烯、硅树脂或聚酰胺的聚合物或纸基材料组成。该结构或组件中的绝缘体也可包括诸如玻璃的陶瓷材料。在电子器件的生命周期中,它们经受各种形式的污染。某些材料的导电性可能被大气腐蚀而降低,并且污染可能导致导电通道建立在相邻的轨迹或导体之间,树枝状结晶(dendrite)是该机构的示例。

[0003] 电子器件不断增加地用在恶劣和污染环境中,增加了采用保形涂层保护其不受到污染。这样的保形涂层通常为非导电的。

[0004] 传统的保形涂层已经用于组装的电路板和组装的单元,但是它们也可用在裸电路板上以在焊接前防止铜焊盘氧化,并且在组装工艺后提供一定程度的保护使其免受污染。

[0005] 对保形涂层的最低要求是它应在器件和环境之间提供有效的屏障,并且它应电绝缘。保形涂层应防止物理污染,例如,其会导致跨过结构或装置的非导电部分的导电生长,而会导致短路。这样污染的示例是树枝状结晶和“锡触须(tin whisker)”,树枝状结晶在一定条件下生长跨过表面,“锡触须”可生长通过部件导线之间的空气。涂层还必须保证金属不在空气中被氧化或者在其它环境气体中不被腐蚀。该涂层应防止在电子装置的生命周期期间产生这样的问题。由于环境变得越具有挑战性,对保形涂层的要求变得越强烈。涂层必须经受住高湿度、高温度和包括灰尘、盐、酸、溶剂等的高污染。

[0006] 传统的保形涂层是基于硅树脂(例如,JP60047024)、环氧树脂(例如,EP0187595)、丙烯酸(例如,EP0492828)或聚氨酯(例如,CA1144293)的聚合物,并且典型地为几十至几百 μm 厚。它们通常通过喷涂或浸渍该器件而施加。在涂层施加前,至关重要是该器件首先被干燥和彻底清洗。在施加涂层后,通常具有另外的干燥工艺。因此,生产工艺具有几个不同的步骤,需要大量的能量和化学品,并且因此对环境的破坏很大。传统的涂层施加到复杂的三维结构是不容易的且甚至可能是不可能的,尤其是这些结构的规模变得日益小型化。很多传统的涂层是脆弱的,这使得它们不适合于柔性结构。对于很多传统涂层,进一步的问题发生在器件经受重复的热循环时,由于有限的粘附性以及膨胀特性的差别,涂层可能变得与器件分开。很多传统的涂层不能穿过它们进行焊接,从而必须在执行修理或改进之前去除涂层。

[0007] 已经开发了聚对二甲苯涂层来提供这些局限性的局部解决方案(例如,

US6389690)。这些涂层在真空下施加,并且因此更适合于施加到复杂的三维结构。生产工艺是复杂的,因为采用必须升华从而开始的固体前体,然后高温分解必须在气相的有用单体形成前执行。聚对二甲苯涂层薄于传统的保形涂层,典型地小于 1 至几十微米。不同的预处理对涂层到包括组件和子组件的三维结构的所有部件的适当粘附性是必要的,并且保证该粘附性在产品的寿命内得到保持。与很多传统的保形涂层一样,聚对二甲苯涂层必须在执行修理前去除。这样的聚对二甲苯涂层是不易去除的。

发明内容

[0008] 本发明采用等离子体聚合,其是这样的工艺:薄聚合物膜沉积在与已经产生在腔室中的有机单体等离子体接触的任何的表面上。根据沉积条件,也称为等离子体参数,例如,功率、压力、温度、流量等,膜的特性可适合于器件应用的要求。

[0009] 在本发明中,通过低压等离子体工艺施加纳米保形涂层。典型的层厚度在 5 和 500nm 之间,优选在 25 和 250nm 之间,因此远薄于现有保形涂层技术中的任何一个。因此,该涂层非常适合于复杂且小的结构,甚至在最小拐角上也提供均匀的涂层。

[0010] 等离子体聚合工艺发生在真空等离子体室中,其中控制工艺的参数包括功率、压力、温度、单体的类型、流量、等离子体发生器的频率和工艺时间。用于等离子体的发生器的频率可在 kHz、MHz 和 GHz 的范围内,并且它可为脉冲的或连续的。也可改变电极的数量和布置。

[0011] 进行等离子体聚合工艺时的压力典型地在 10 和 1000mTorr 之间。执行该工艺直到实现所希望的涂层厚度。

[0012] 所采用的功率很大程度上取决于所采用的单体,但是可典型地变化在 5 和 5000W 之间,并且可连续地或脉冲地施加。在脉冲功率模式中,脉冲的重复频率典型地在 1Hz 和 100kHz 之间,占空比(mark space ratio)典型地在 0.05 和 50% 之间。

[0013] 施加功率的方法主要取决于所用的单体。如果分子较大和/或较不稳定,则它容易被高功率分解,但是这导致很差的涂层。在此情况下,采用低功率操作和/或通过施加脉冲功率可很好地实现良好质量的涂层,脉冲功率的频率为 10 至 100kHz,占空比在 0.05% 和 1% 之间。

[0014] 来自等离子体形成气体的可聚合粒子沉积在表面上以形成涂层。用作开始材料的单体以气体形式引入等离子体中,其已经通过辉光放电(glow discharge)引发。辉光放电中产生的受激电子离子化单体分子。单体分子分离产生自由电子、离子、受激分子和基团。基团吸收、浓缩且聚合在基板上。电子和离子交联或产生化学键(chemical bond),而且材料已经沉积在基板的表面上。

[0015] 自由基的产生优选通过采用等离子体聚合工艺中所用的单体气体而实现。

[0016] 本发明中采用的前体优选为气体,并且因此可易于引入等离子体室中。作为选择,在大气压或减小压力下可采用液体或固体前体,并且通过简单加热而蒸发,加热温度典型地为不超过 200°C。与聚对二甲苯涂层工艺相比其自身显示出非常简单。

[0017] 对于上述电子装置上的保形纳米涂层,可采用不同范围的前体。

[0018] 这些前体应优选包含卤素和/或磷和/或氮和/或硅树脂,例如

[0019] - 从前体 CF_4 、 C_2F_6 、 C_3F_8 、 C_4F_8 、 $\text{C}_3\text{F}_6\text{C}_5\text{F}_{12}$ 、 C_6F_{14} 的一种或多种和/或其它饱和或

非饱和和氢氟碳化合物(C_xF_y)获得的单体,

[0020] - 从丙烯酸盐(例如, $C_{13}H_{17}O_7F_2$)、甲基丙烯酸盐(例如, $C_{14}H_9F_{17}O_2$)或其混合物获得的单体,

[0021] - 从磷酸三甲酯、磷酸三乙酯、磷酸三丙酯或其它磷酸衍生物的一种或多种前体获得的单体,

[0022] - 从前体乙胺、三乙胺、丙烯胺或丙烯腈的一种或多种获得的单体,或者

[0023] - 从硅氧烷、硅烷或其混合物获得的单体。

[0024] 等离子体聚合工艺实际上优选采用相同的电极设置且可能在相同的工艺参数内通过一个或多个等离子体工艺执行。

[0025] 为了获得保形涂层和结构或组件内的所有部分和材料之间的良好粘附性,并且在所完成产品的整个寿命期间保持粘附性,有必要结构或组件的所有构成部分和材料被清洁和/或必要时被蚀刻。清洁意味着去除表面上的有机污染。蚀刻意味着材料自身被去除和/或变粗糙。可以要求蚀刻以促使一定材料上的良好粘附性。

[0026] 低压等离子体工艺对此特别适合,因为反应气体能够渗透通过整个三维结构,与受到表面张力限制的液体基保形涂层不同。该工艺还是干燥的,并且为操作者提供较安全的环境。与传统的保形涂层方法相比,低压等离子体工艺总体上对环境更加有利。

[0027] 根据所选择的气体或气体混合物,可在所有的构成材料,包括导体、半导体和绝缘体,上执行清洁和/或蚀刻。等离子体清洁或蚀刻所用的典型气体为 O_2 、 N_2 、 H_2 、 CF_4 、Ar、He 或其混合物。

[0028] 与当前的保形涂层方法相比可实现显著的成本节约,因为清洁、蚀刻和涂敷可全部发生在相同的腔室中。

[0029] 为了进一步改善保形涂层和结构或组件的所有组成部分和材料之间的接合,可活化结构的构成部分和材料。活化意味着新的化学基团通过表面张力形成在材料的表面上,增加了用于保形涂层的表面的亲和力。等离子体活化所用的典型气体包括 O_2 、 N_2O 、 N_2 、 NH_3 、 H_2 、 CF_4 、 CH_4 、Ar、He 或前述的混合物。作为在相同的腔室中执行活化和涂敷的结果,与传统的保形涂层方法相比,可进一步实现显著的节约。

[0030] 最后,有必要去除任何捕获的气体或水,以实现和保持保形涂层和复杂三维结构或组件中的所有组成部分和材料之间的良好粘附性。这允许等离子体工艺中的气体渗透到结构的核心。与传统的保形涂层技术一样,这可在将结构设在等离子体室中之前通过烘焙结构而实现。这里描述的本发明能使除气至少部分地与预清洗、蚀刻和等离子体聚合在相同的腔室中执行。

[0031] 真空帮助从结构去除湿气,这改善了粘附性且防止在产品的寿命期间在热循环中遭受的问题。除气的压力范围可从 10mTorr 至 760Torr,温度范围从 5 至 200°C,并且可执行 1 到 120 分钟之间,但是典型地为几分钟。再者,通过在相同的腔室中执行预除气和涂敷,与现有的保形涂层方案相比,可实现显著的成本节约。

[0032] 通过适当选择工艺参数和气体混合,清洁、蚀刻和活化可全部在单一工艺步骤中执行用于材料和部件的某些组合。

[0033] 实验显示,例如,保形涂层可用于电子部件,例如,单独晶体管或集成电路。这样的单独部件可在组装成大系统部件后进行涂敷,可再一次根据本发明的方法进行涂敷。还发

现这些涂层特别适合于裸 PCB 和组装的 PCB 二者。

[0034] 本发明的保形纳米涂层因此在复杂结构的涂层中特别有利,这里复杂结构可包括 3D 结构和 / 或不同材料和 / 或部件的组合。

[0035] 本发明的方法允许不同的材料在相同的工艺(时间)中结合在单一纳米涂层中。本发明的方法还允许纳米涂层施加到更加复杂的 3D 结构。

[0036] 在本发明的优选实施例中,纳米涂层施加到具有与其附接的部件的印刷电路板,从而提供组件的保形涂层。在另一优选形式中,复杂的子结构可首先涂有保形纳米涂层,然后互连以形成单一的复杂组件,该单一的复杂组件可以具有给其施加的随后的纳米涂层,以提供整体的保形涂层。如本发明中描述的纳米涂层在结构或组件的所有表面和部分上提供防水、防油、阻盐、阻酸和阻燃保护。

[0037] 实验显示,纳米涂层还能抵抗超过 200° C 的高温。

[0038] 纳米涂层还显示出弹性,这使其适合于柔性结构或需要抗震性的应用。

[0039] 本发明中描述的纳米涂层还具有通过采用标准的焊接工艺可焊接的重要特性。

[0040] 在另一个方面中,本发明还涉及采用上述方法纳米涂镀电子和微电子部件、集成电路、印刷电路板(PCB),包括裸装件和组装件。

[0041] 本发明还涉及采用上述方法给结构的所有表面和部分施加纳米涂层,因此该纳米涂层可防水、防油、阻盐、阻酸和阻燃。

[0042] 本发明还涉及采用上述方法施加弹性可焊接的纳米涂层。

[0043] 在又一个方面中,本发明涉及给不同材料的导电部分和非导电部分和 / 或部件的三维结构施加保形纳米涂层。该涂层具有 5 和 500nm 之间的厚度,优选在 25 和 250nm 之间。该保形纳米涂层通过前述方法施加。

[0044] 在再一个方面中,本发明涉及具有如上所述保形纳米涂层的印刷电路板组件。该保形纳米涂层通过低压等离子体工艺施加。

[0045] 本发明进一步的优点通过结合附图 1 和 2 参考下面示范性实施例的具体描述而变得明显易懂,图 1 和 2 示出了实施例的一个或多个非限定性方面。

附图说明

[0046] 在具体的描述中,将参考具有下面内容的附图:

[0047] 图 1 是根据本发明的单个电极的示意图;

[0048] 图 2 示出了根据本发明的可适合于真空室的多个电极设置的一个实施例。

具体实施方式

[0049] 示例 1:反应室中的电极布置

[0050] 图 1 和 2 示出了优选设置。用于产生低压等离子体的电极设置包括为中空、弯曲且圆形形状的一组浮置电极(1)和真空室(5),真空室(5)用作主体。电极(1)提供有液体,其可被冷却或加热以在 5 至 200° C 的温度范围内进行等离子体处理,并且优选控制在 20 到 90° C 之间的温度。

[0051] 该设置中的典型电极(1)具有在 5 和 50mm 之间的直径、0.25 至 2.5mm 的壁厚且以 180° 的回转圆(turning circle)弯向端部,并且弯曲前和弯曲后管子之间的距离为管直

径的 1 到 10 倍之间,优选为 5 倍。

[0052] 通过离合板(clutch plate)(4)上安装的连接板(connecting plate)(2)给电极(1)施加功率。薄绝缘层或保护(3)施加在离合板(4)和腔室(5)之间。该层的厚度典型地为几毫米,从而其间不能产生等离子体。

[0053] 例如,通过采用可在电极之间推动的穿孔的金属容器或盘(tray)(6),要被施加纳米涂层的三维结构或装置设置在电极之间。优选电极和基板之间保持几毫米的最小距离。上述设备中的浮置电极能在单一的工艺步骤中施加均匀的三维涂层。没必要在不同的步骤中涂敷结构的顶部和底部。

[0054] 电极产生高频电场,频率在 20kHz 至 2.45GHz 之间,典型地为 40kHz 或 13.56MHz,优选为 13.56MHz。

[0055] 这样的电极设置配备在 CD1000 等离子体系统中。

[0056] 示例 2:用于电话的嵌入电路板的低压等离子体聚合 C3F6

[0057] 用于移动电话的组装电路板放置在 CD1000 等离子体室中两分钟以上,如示例 1 所描述,并且在 100 和 1000mTorr 之间的压力下被除气。然后,采用 Ar 清洗和蚀刻该板,并且采用 C3F6 单体在 50mTorr 和室温下执行等离子体聚合 10 分钟。通过该工艺施加的含氟聚合物保形涂层测量为具有约 80nm 的厚度。

[0058] 然后,该电路板暴露到几个老化工艺,涉及延长暴露到湿气、高温和盐雾(salt fume)。视觉上可见具有保形纳米涂层的电路板比没有处理的电路板显示出显著低的腐蚀。在执行电试验时,还可发现具有纳米保形涂层的电路板组件实际上显示出没有电失败,这显著低于没有涂层的电路板组件。

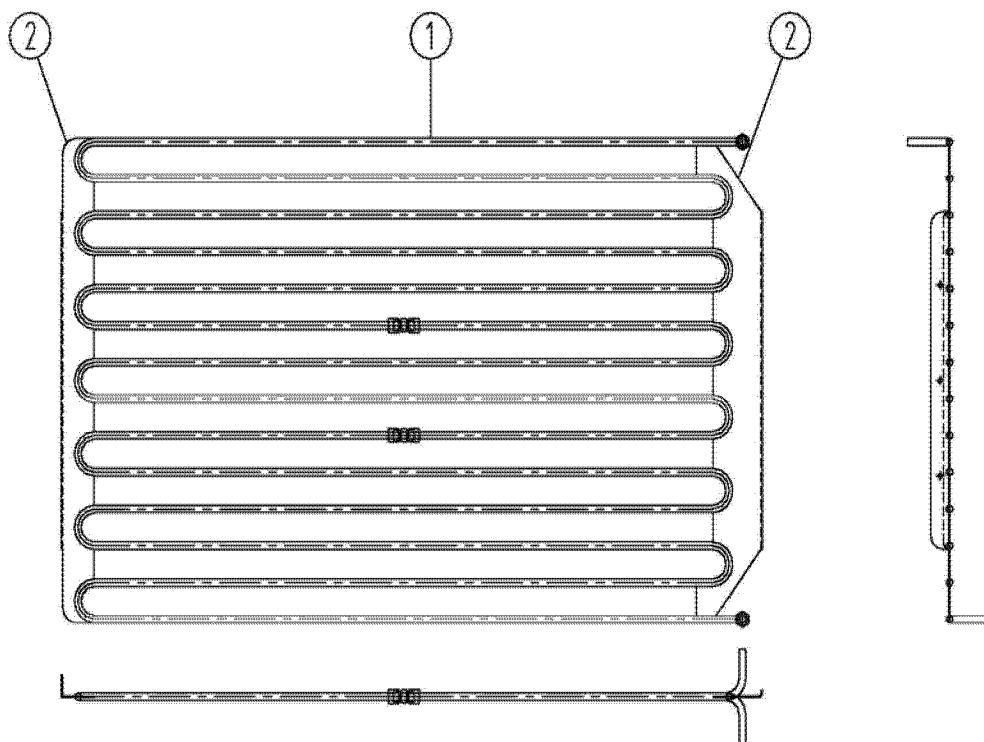


图 1

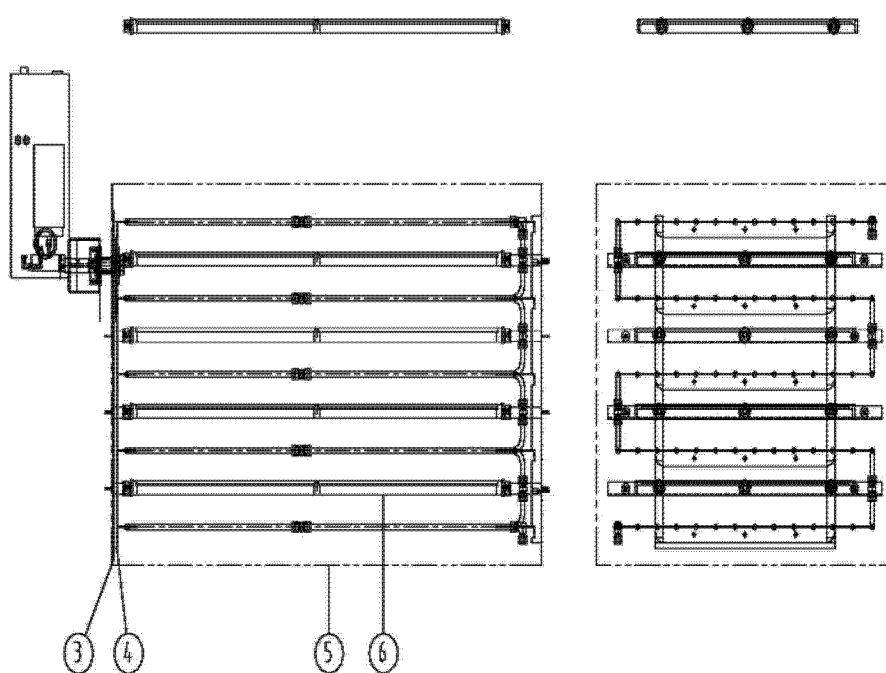


图 2