

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2015 年 7 月 2 日 (02.07.2015)



(10) 国际公布号
WO 2015/096264 A1

- (51) 国际专利分类号:
H01L 21/336 (2006.01) H01L 21/28 (2006.01)
H01L 29/786 (2006.01) H01L 29/423 (2006.01)
- (21) 国际申请号: PCT/CN2014/071266
- (22) 国际申请日: 2014 年 1 月 23 日 (23.01.2014)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201310727131.5 2013 年 12 月 25 日 (25.12.2013) CN
- (71) 申请人: 深圳市华星光电技术有限公司 (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。
- (72) 发明人: 徐向阳 (XU, Xiangyang); 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。

- (74) 代理人: 北京聿宏知识产权代理有限公司 (YUHONG INTELLECTUAL PROPERTY LAW FIRM); 中国北京市西城区宣武门外大街 6 号庄胜广场第一座西翼 713 室吴大建/刘华联, Beijing 100052 (CN)。
- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。
- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

[见续页]

(54) Title: LOW TEMPERATURE POLY-SILICON THIN FILM TRANSISTOR AND MANUFACTURING METHOD THERE-OF

(54) 发明名称: 一种低温多晶硅薄膜晶体管及其制造方法

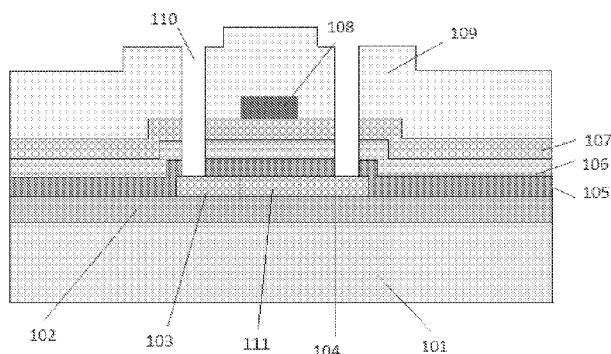


图 3 / Fig. 3

(57) Abstract: Provided are a low temperature poly-silicon thin film transistor and manufacturing method thereof, the low temperature poly-silicon thin film transistor comprising at least a gate insulating layer, the gate insulating layer being a composite insulating layer comprising at least three dielectric layers, the compactness of each dielectric layer increases in the order of being formed in the manufacturing process. Considering the compactness of each layer in the composite dielectric layer enhances the surface contact property and thin film continuity of each layer; and considering the thickness of each layer in the composite dielectric layer effectively reduces spurious capacitance and increases the corresponding speed of the transistor.

(57) 摘要: 提供一种低温多晶硅薄膜晶体管及其制造方法。低温多晶硅薄膜晶体管至少包括一栅极绝缘层, 栅极绝缘层是至少包括三层介电层的复合绝缘层, 其中各层介电层的致密性按照制造过程中形成的顺序依次增大。通过考虑复合绝缘层中每一层的致密性关系, 增强各层表面接触特性和薄膜连续性, 通过考虑复合绝缘层中每一层的厚度, 有效降低寄生电容, 增强晶体管的相应速率。



WO 2015/096264 A1

根据细则 4.17 的声明:

— 发明人资格(细则 4.17(iv))

本国际公布:

— 包括国际检索报告(条约第 21 条(3))。

一种低温多晶硅薄膜晶体管及其制造方法

技术领域

本发明是关于低温多晶硅薄膜晶体管的制作工艺领域，尤其涉及一种可提供电气特性以及可靠度的低温多晶硅薄膜晶体管及其制造方法。

背景技术

在现今的平板显示器技术中，液晶显示器(Liquid Crystal Display, LCD)可以说是其中最为成熟的技术，例如，日常生活中常见的手机、数码相机、摄影机、笔记本电脑以至于监视器均是利用此项技术所制造的商品。

然而，随着人们对于显示器视觉要求提高，加上新技术应用领域不断扩展，更高画质、高清晰度、高亮度且具有低价位的平面显示器已成为未来显示技术发展的趋势，也是新的显示技术发展的原动力。而平面显示器中的低温多晶硅(Low Temperature Poly-silicon, LTPS) 薄膜晶体管除了具有符合有源驱动潮流的特性外，其技术也正是一个可以达到上述目标的重要技术突破。

传统的LTPS TFT如图1所示，包括玻璃基板101、置于玻璃基板101的缓冲层102，在该缓冲层102上形成多晶硅，其上包含有设置在源极区域103的源极电极和设置在漏极区域104的漏极电极以及设置在通道区域111上的栅极绝缘层GI。在该GI层上形成有栅极电极108和钝化层109。GI层通常采用两层复合结构：介电层105和介电层107，一般为SiO₂和SiN_x。

但是，由SiN_x与SiO₂组成的栅极绝缘层具有表面接触特性与薄膜连续性不好，而且在GI形成通孔(VIA hole)时，容易产生二段角(undercut)，即SiO₂比SiN_x的刻蚀速度大造成SiO₂孔大于SiN_x，导致接触性不好。

因此，如何解决上述问题，以提供一种低温多晶硅薄膜晶体管的制造方法，使得所制造的晶体管具有较强的接触连续性、有效降低寄生电容，进而增强晶体管的响应速率，乃业界所致力之课题之一。

发明内容

本发明所要解决的技术问题之一是需要提供一种低温多晶硅薄膜晶体管的制造方法，使得制造得到的晶体管具有较强的接触连续性，能够有效降低寄生电容，进而增强晶体管的响应速率。另外，还提供了一种低温多晶硅薄膜晶体管。

1) 为了解决上述技术问题，本发明提供了一种低温多晶硅薄膜晶体管的制造方法，包括：提供一绝缘基板；在所述绝缘基板的缓冲层上形成至少一多晶硅层，该多晶硅层的表面包含有所属低温多晶硅薄膜晶体管的一源极区域、一漏极区域以及一通道区域；依次进行至少三次 PECVD 工序以在所述通道区域上依序形成至少三层介电层，进而构成一复合栅极绝缘层，其中，各层介电层的致密性按照制造过程中形成的顺序依次增大；以及在该复合栅极绝缘层之上形成一栅极电极。

2) 在本发明的第 1) 项的一个优选实施方式中，所述复合栅极绝缘层由一第一介电层、一第二介电层和一第三介电层组成，且第一介电层为 SiO_2 ，第二介电层为 SiON ，第三介电层为 SiN_x 。

3) 在本发明的第 1) 项或第 2) 项中的一个优选实施方式中，所述第一介电层的膜厚均大于所述第二介电层和所述第三介电层的膜厚。

4) 在本发明的第 1) 项-第 3) 项中任一项的一个优选实施方式中，所述第一介电层 SiO_2 膜厚的范围为 1000~1500 埃，所述第二介电层 SiON 膜厚的范围为 100~1000 埃，所述第三介电层 SiN_x 膜厚的范围为 100~500 埃。

5) 在本发明的第 1) 项-第 4) 项中任一项的一个优选实施方式中，形成所述多晶硅层的步骤包括：进行一溅射工序，以便在所述绝缘基板的表面上形成一非晶硅层，以及进行一退火工序，以使所述非晶硅层再结晶形成所述多晶硅层，其中，所述退火工序包括一准分子激光退火工序。

6) 在本发明的第 1) 项-第 5) 项中任一项的一个优选实施方式中，在形成所述栅极电极之后，再进行一利用所述栅极电极作为 MASK 的离子注入工序，以便在所述源极区域以及漏极区域内的上述多晶硅之内分别形成一源极电极以及一漏极电极，在所述离子注入工序之后，再进行一活化工序，以活化所述源极电极以及漏极电极内的掺杂剂。

7) 根据本发明的另一方面，还提供了一种低温多晶硅薄膜晶体管，其至少包括一栅

极绝缘层，所述栅极绝缘层为复合绝缘层，该复合绝缘层包括至少三层介电层，其中，各层介电层的致密性按照制造过程中形成的顺序依次增大。

8) 在本发明的第 7) 项的优选实施方式中，所述栅极绝缘层由一第一介电层、一第二介电层和一第三介电层组成，且第一介电层为 SiO_2 ，第二介电层为 SiON ，第三介电层为 SiN_x 。

9) 在本发明的第 7) 项或第 8) 项的一个优选实施方式中，所述第一介电层的膜厚均大于所述第二介电层和所述第三介电层的膜厚。

10) 在本发明的第 7) 项-第 9) 项中任一项的一个优选实施方式中所述第一介电层 SiO_2 膜厚的范围为 1000~1500 埃，所述第二介电层 SiON 膜厚的范围为 100~1000 埃，所述第三介电层 SiN_x 膜厚的范围为 100~500 埃。

与现有技术相比，本发明的一个或多个实施例可以具有如下优点：

在本发明中，考虑了复合绝缘层中每一层的致密性关系，因此根据本发明的制造方法得到的低温多晶硅薄膜晶体管的复合绝缘层能够增强各层表面接触特性和薄膜连续性。进一步又考虑了复合绝缘层中每一层的厚度，因此得到的低温多晶硅薄膜晶体管能够有效地降低寄生电容，进而增强晶体管的响应速率。

本发明的其它特征和优点将在随后的说明书中阐述，并且，部分地从说明书中变得显而易见，或者通过实施本发明而了解。本发明的目的和其他优点可通过在说明书、权利要求书以及附图中所特别指出的结构来实现和获得。

附图说明

附图用来提供对本发明的进一步理解，并且构成说明书的一部分，与本发明的实施例共同用于解释本发明，并不构成对本发明的限制。在附图中：

图 1 是现有技术中低温多晶硅薄膜晶体管的部分结构示例图；

图 2 是根据本发明一实施例的低温多晶硅薄膜晶体管的制造方法的流程示意图；

图 3 是根据本发明一实施例的一低温多晶硅薄膜晶体管的部分结构示例图。

具体实施方式

为使本发明的目的、技术方案和优点更加清楚，以下结合附图对本发明作进一步地详细说明。

图 2 是根据本发明一实施例的低温多晶硅薄膜晶体管的制造方法的流程示意图，下面同时参考图 2 和图 3 来说明制造一 LTPS TFT 的方法的各个步骤。

步骤 S210，提供一绝缘基板 101，在该绝缘基板 101 的缓冲（buffer）层 102 上形成至少一多晶硅（LTPS）层，其中，该多晶硅层的表面包含有所属 LTPS TFT 的一源极区域 103、一漏极区域 104 以及一通道区域 111。

需要说明的是，上述绝缘基板 101 包括一玻璃基板或一石英基板，buffer 层 102 是通过 PECVD 在绝缘基板 101 上形成的 SiO₂。

另外，上述形成 LTPS 层的步骤还包括下列工序：

首先，进行一溅射工序，以便在上述绝缘基板 101 的表面上形成一非晶硅层（a-Si），然后进行一退火工序，以使上述 a-Si 层再结晶形成上述多晶硅。其中上述退火工序包括一准分子激光退火工序。

步骤 S220，依次进行一第一 PECVD 工序、一第二 PECVD 工序和一第三 PECVD 工序，以在上述通道区域 111 上依序形成第一介电层 105、第二介电层 106 和第三介电层 107，上述这三层介电层构成一复合栅极绝缘（简称 GI）层，其中，各层介电层的致密性按照制造过程中形成的顺序依次增大，即第一介电层 105 < 第二介电层 106 < 第三介电层 107。

具体地，首先在多晶硅层的表面上通过第一 PECVD 工序沉淀第一介电层 105，其次通过第二 PECVD 工序在该第一介电层 105 上沉淀第二介电层 106，再次通过第三 PECVD 工序在该第二介电层 106 上沉淀第三介电层 107。

需要说明的是，上述复合 GI 层的 PECVD 工序在单一晶片式反应器中连续进行。

并且优选地，上述复合 GI 层的第一介电层 105 为 SiO₂，第二介电层 106 为 SiON，第三介电层 107 为 SiN_x。其中上述复合 GI 层中的第一介电层 105 和 buffer 层 102 的 SiO₂ 用于改善与 LTPS 的界面特性，上述复合 GI 层中的第三介电层 107 的 SiN_x 用于阻挡水气以及金属离子，第二介电层 106 的 SiON 主要起到改善第一介电层 105 和第三介电层 107 界面接触连续性的作用（致密性：SiN_x > SiON > SiO₂）。

这样，由上述三层介电层组成的复合栅绝缘层在改善其自身与低温多晶硅之间的接

触特性并防止水气和金属离子进入到低温多晶硅界面和内部的同时，还能够增强表面接触特性和薄膜连续性。

当然，容易理解，本实施例仅是一个示例，该复合绝缘层可以为其它多层，例如四层或五层，即本领域技术人员可以通过例如四次或五次的 PECVD 形成四层或五层的多层介电层。需要注意的是，该复合绝缘层的各个介电层的致密性关系为：按照制造过程中形成的顺序依次增大。

另外，第一介电层 105 的膜厚远大于第二介电层 106 和第三介电层 107 的膜厚，这样可以有效降低寄生电容。优选地，第一介电层 SiO₂ 膜厚约为 1000~1500 埃，第二介电层 SiON 膜厚约为 100~1000 埃，第三介电层 SiN_x 膜厚约为 100~500 埃。

步骤 S230，在该复合 GI 层之上形成一栅极电极(Gate) 108。

需要说明的是，上述栅极电极的材料优选包括：钨、铬、铝、钼和铜。

步骤 S240，进行一利用上述栅极电极 108 作为 MASK 的离子注入工序，通过过孔 110 以在上述源极区域 103 以及漏极区域 104 内的上述多晶硅之内分别形成一源极电极以及一漏极电极。

步骤 S250，进行一活化工序，以活化上述源极电极以及漏极电极内的掺杂剂。

最后，再进行一 PECVD 工序，形成一钝化层，该钝化层可以为 SiO 或 SiN_x。

那么，根据上述的制造流程最终会形成如图 3 所示的低温多晶硅薄膜晶体管的结构。

综上所述，由于本发明考虑了复合绝缘层中每一层的致密性关系，因此根据本发明的制造方法所制出的低温多晶硅薄膜晶体管能够增强各层表面接触特性和薄膜连续性。进一步又考虑了复合绝缘层中每一层的厚度，因此还能够有效地降低寄生电容，进而增强晶体管的响应速率。即通过改善 GI 成膜质量，提高了低温多晶硅薄膜晶体管的电气特性以及可靠度。

以上所述，仅为本发明较佳的具体实施方式，但本发明的保护范围并不局限于此，任何熟悉该技术的人员在本发明所揭露的技术范围内，可轻易想到的变化或替换，都应涵盖在本发明的保护范围之内。因此，本发明的保护范围应该以权利要求的保护范围为准。

权利要求书

1、一种低温多晶硅薄膜晶体管的制造方法，其中，包括：

提供一绝缘基板；

在所述绝缘基板的缓冲层上形成至少一多晶硅层，该多晶硅层的表面包含有所属低温多晶硅薄膜晶体管的一源极区域、一漏极区域以及一通道区域；

依次进行至少三次 PECVD 工序以在所述通道区域上依序形成至少三层介电层，进而构成一复合栅极绝缘层，其中，各层介电层的致密性按照制造过程中形成的顺序依次增大；以及

在该复合栅极绝缘层之上形成一栅极电极。

2、根据权利要求 1 所述的制造方法，其中，

所述复合栅极绝缘层由一第一介电层、一第二介电层和一第三介电层组成，且第一介电层为 SiO_2 ，第二介电层为 SiON ，第三介电层为 SiN_x 。

3、根据权利要求 2 所述的制造方法，其中，

所述第一介电层的膜厚均大于所述第二介电层和所述第三介电层的膜厚。

4、根据权利要求 3 所述的制造方法，其中，

所述第一介电层 SiO_2 膜厚的范围为 1000~1500 埃，所述第二介电层 SiON 膜厚的范围为 100~1000 埃，所述第三介电层 SiN_x 膜厚的范围为 100~500 埃。

5、根据权利要求 1 所述的制造方法，其中，形成所述多晶硅层的步骤包括：

进行一溅射工序，以便在所述绝缘基板的表面上形成一非晶硅层，以及

进行一退火工序，以使所述非晶硅层再结晶形成所述多晶硅层，其中，所述退火工序包括一准分子激光退火工序。

6、根据权利要求 1 所述的制造方法，其中，

在形成所述栅极电极之后，再进行一利用所述栅极电极作为 MASK 的离子注入工序，以便在所述源极区域以及漏极区域内的上述多晶硅之内分别形成一源极电极以及一漏极电极，在所述离子注入工序之后，再进行一活化工序，以活化所述源极电极以及漏极电极内的掺杂剂。

7、一种低温多晶硅薄膜晶体管，其中，

至少包括一栅极绝缘层，

所述栅极绝缘层为复合绝缘层，该复合绝缘层包括至少三层介电层，其中，各层介电层的致密性按照制造过程中形成的顺序依次增大。

8、根据权利要求 7 所述的低温多晶硅薄膜晶体管，其中，

所述栅极绝缘层由一第一介电层、一第二介电层和一第三介电层组成，且第一介电层为 SiO₂，第二介电层为 SiON，第三介电层为 SiN_x。

9、根据权利要求 8 所述的低温多晶硅薄膜晶体管，其中，
所述第一介电层的膜厚均大于所述第二介电层和所述第三介电层的膜厚。

10、根据权利要求 9 所述的低温多晶硅薄膜晶体管，其中，
所述第一介电层 SiO₂ 膜厚的范围为 1000~1500 埃，所述第二介电层 SiON 膜厚的范围为 100~1000 埃，所述第三介电层 SiN_x 膜厚的范围为 100~500 埃。

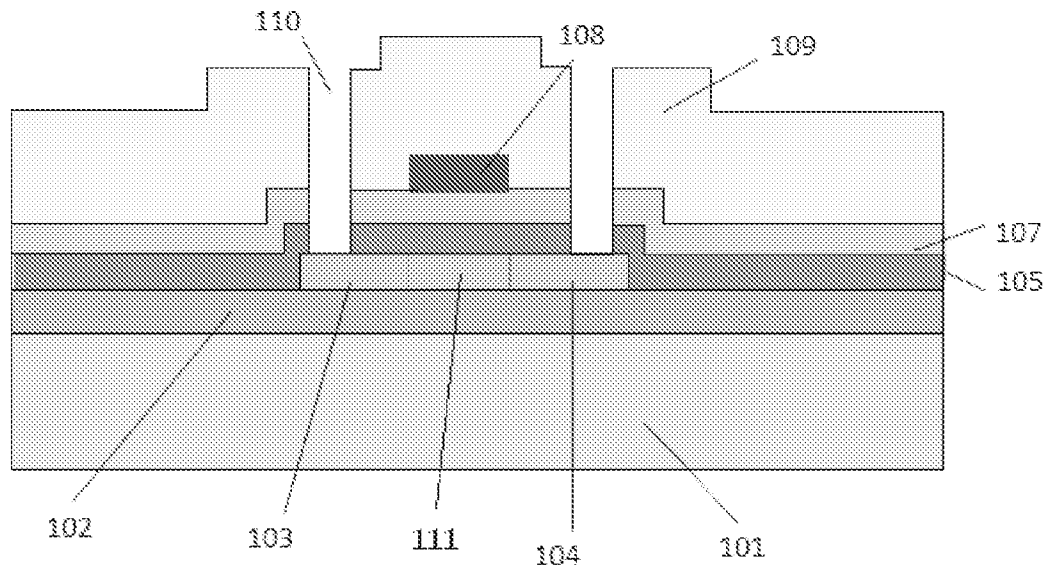


图 1

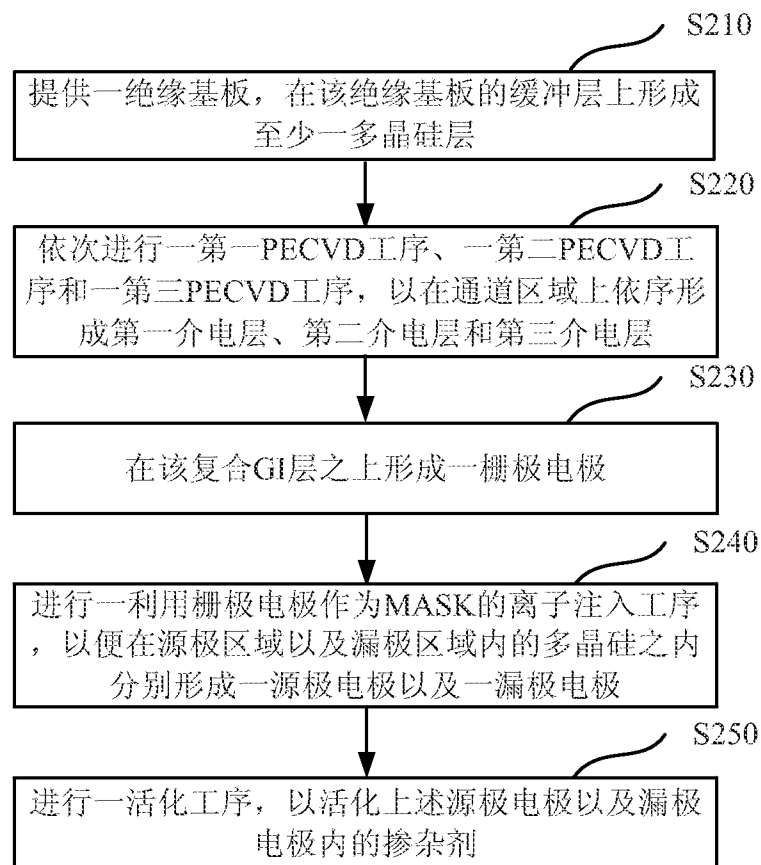


图 2

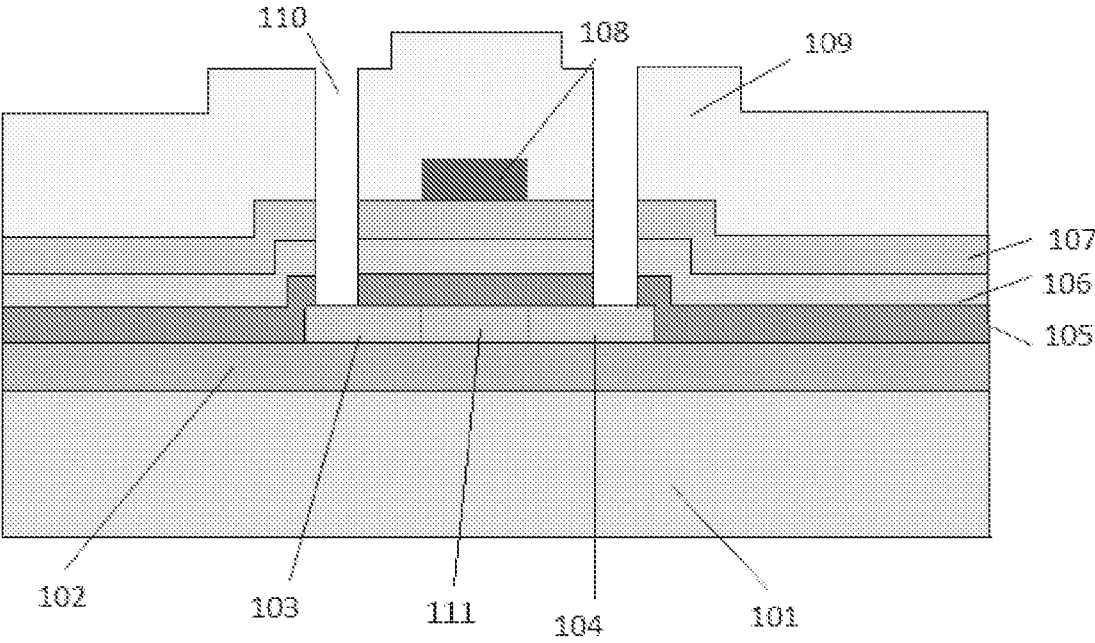


图 3

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2014/071266**A. CLASSIFICATION OF SUBJECT MATTER**

H01L 21/336 (2006.01) i; H01L 29/786 (2006.01) i; H01L 21/28 (2006.01) n; H01L 29/423 (2006.01) n
According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC: H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CPRS, CNKI, EPODOC, DWPI: HOIL 29/786 E4C2, low temperature ploy silicon, gate insulation layer, compactness, silicon oxide, silicon nitride, silicon oxynitride, continuity, contact performance, LTPS, gate insulator, dense, oxide, nitride, SiON, continuous, contact, parasitic capacitance

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 1691340 A (SAMSUNG ELECTRONICS CO., LTD.), 02 November 2005 (02.11.2005), the whole document	1-10
A	CN 101355089 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.), 28 January 2009 (28.01.2009), the whole document	1-10
A	US 7608475 B2 (AU OPTRONICS CORP.), 27 October 2009 (27.10.2009), the whole document	1-10

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“A” document defining the general state of the art which is not considered to be of particular relevance	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“E” earlier application or patent but published on or after the international filing date	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“&” document member of the same patent family
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
20 September 2014 (20.09.2014)

Date of mailing of the international search report
10 October 2014 (10.10.2014)

Name and mailing address of the ISA/CN:
State Intellectual Property Office of the P. R. China
No. 6, Xitucheng Road, Jimenqiao
Haidian District, Beijing 100088, China
Facsimile No.: (86-10) 62019451

Authorized officer
ZHI, Yue
Telephone No.: (86-10) **62089270**

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2014/071266

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 1691340 A	02 November 2005	KR 100601950 B1	14 July 2006
		JP 2005303299 A	27 October 2005
		US 2005236622 A1	27 October 2005
		KR 20050099062 A	13 October 2005
		CN 100479170 C	15 April 2009
CN 101355089 A	28 January 2009	CN 101355089 B	27 June 2012
		US 2009026454 A1	29 January 2009
		TW 200924198 A	01 June 2009
		US 7897971 B2	01 March 2011
		JP 2009049399 A	05 March 2009
		KR 20090012118 A	02 February 2009
US 7608475 B2	27 October 2009	US 2006038173 A1	23 February 2006

国际检索报告

国际申请号

PCT/CN2014/071266

A. 主题的分类

H01L 21/336(2006.01)i; H01L 29/786(2006.01)i; H01L 21/28(2006.01)n; H01L 29/423(2006.01)n

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CPRS, CNKI, EPODOC, DWPI: H01L 29/786 E4C2, 低温多晶硅, 栅极绝缘层, 致密性, 氧化硅, 氮化硅, 氧氮化硅, 氮氧化硅, 连续性, 接触特性, 寄生电容, LTPS, gate insulator, dense, oxide, nitride, SiON, continuous, contact, parasitic capacitance

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
A	CN 1691340 A (三星电子株式会社) 2005年 11月 02日 (2005 - 11 - 02) 全文	1-10
A	CN 101355089 A (株式会社半导体能源研究所) 2009年 1月 28日 (2009 - 01 - 28) 全文	1-10
A	US 7608475 B2 (AU OPTRONICS CORP) 2009年 10月 27日 (2009 - 10 - 27) 全文	1-10

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2014年 9月 20日

国际检索报告邮寄日期

2014年 10月 10日

ISA/CN的名称和邮寄地址

中华人民共和国国家知识产权局 (ISA/CN)
北京市海淀区蓟门桥西土城路6号
100088 中国

授权官员

智月

传真号 (86-10)62019451

电话号码 (86-10)62089270

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2014/071266

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	1691340	A	2005年 11月 02日	KR	100601950	B1	2006年 7月 14日
				JP	2005303299	A	2005年 10月 27日
				US	2005236622	A1	2005年 10月 27日
				KR	20050099062	A	2005年 10月 13日
				CN	100479170	C	2009年 4月 15日
CN	101355089	A	2009年 1月 28日	CN	101355089	B	2012年 6月 27日
				US	2009026454	A1	2009年 1月 29日
				TW	200924198	A	2009年 6月 01日
				US	7897971	B2	2011年 3月 01日
				JP	2009049399	A	2009年 3月 05日
				KR	20090012118	A	2009年 2月 02日
US	7608475	B2	2009年 10月 27日	US	2006038173	A1	2006年 2月 23日

表 PCT/ISA/210 (同族专利附件) (2009年7月)