



(12)发明专利

(10)授权公告号 CN 102742001 B

(45)授权公告日 2017.03.22

(21)申请号 201180008206.3

(22)申请日 2011.01.07

(65)同一申请的已公布的文献号

申请公布号 CN 102742001 A

(43)申请公布日 2012.10.17

(30)优先权数据

2010-024867 2010.02.05 JP

(85)PCT国际申请进入国家阶段日

2012.08.03

(86)PCT国际申请的申请数据

PCT/JP2011/050600 2011.01.07

(87)PCT国际申请的公布数据

W02011/096262 EN 2011.08.11

(73)专利权人 株式会社半导体能源研究所

地址 日本神奈川

(72)发明人 斋藤利彦

(74)专利代理机构 中国国际贸易促进委员会专

利商标事务所 11038

代理人 陈华成

(51)Int.Cl.

H01L 21/8242(2006.01)

G11C 11/405(2006.01)

G11C 11/407(2006.01)

H01L 21/8247(2006.01)

H01L 27/10(2006.01)

H01L 27/108(2006.01)

H01L 27/115(2006.01)

H01L 29/786(2006.01)

H01L 29/788(2006.01)

H01L 29/792(2006.01)

(56)对比文件

JP 特开2002-368226 A,2002.12.20,全文.

US 2005/0281071 A1,2005.12.22,全文.

CN 1848223 A,2006.10.18,全文.

审查员 颜庙青

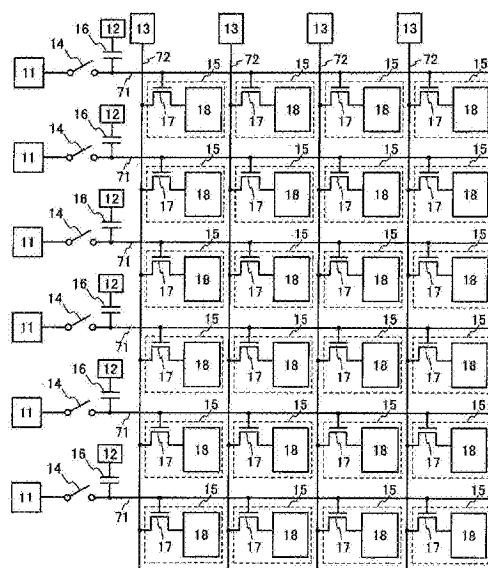
权利要求书3页 说明书22页 附图20页

(54)发明名称

半导体装置

(57)摘要

目的是即便针对包括耗尽模式晶体管的存储器元件也仍然提供能够精确地保持数据的半导体装置。预先对用于控制信号到信号保持部分的输入的晶体管的栅极端子带负电。物理上断开到电源的连接,从而在栅极端子处保持负电荷。此外,提供具有端子的电容器,端子中的一个与晶体管的栅极端子电连接,从而通过电容器控制晶体管的开关操作。



1. 一种半导体装置,包括:
字线;
位线;
存储器元件,包括:
第一晶体管;以及
信号保持部分,
其中所述第一晶体管的栅极端子与所述字线电连接,
其中所述第一晶体管的源极端子和漏极端子中的一个与所述位线电连接,以及
其中所述第一晶体管的所述源极端子和所述漏极端子中的另一个与所述信号保持部分电连接;
电容器,能够保持所述第一晶体管的所述栅极端子的电位,其中所述电容器的第一端子与所述字线电连接;
字线驱动电路,被配置为控制所述电容器的第二端子的电位;以及
位线驱动电路,被配置为控制所述位线的电位。
2. 根据权利要求1所述的半导体装置,还包括开关,
其中所述开关的第一端子与所述字线电连接,并且所述开关的第二端子与电源电路电连接。
3. 根据权利要求2所述的半导体装置,
其中所述开关是第二晶体管。
4. 根据权利要求1所述的半导体装置,
其中所述信号保持部分包括第二晶体管和第二电容器。
5. 根据权利要求1所述的半导体装置,其中所述第一晶体管包括氧化物半导体。
6. 根据权利要求1所述的半导体装置,还包括:
第二晶体管,其中所述第二晶体管的源极端子和漏极端子中的一个与所述字线电连接。
7. 根据权利要求6所述的半导体装置,还包括:
第一电源电路;
第二电源电路;
第一开关,
其中所述第一开关的第一端子与所述第二晶体管的栅极端子电连接,以及
其中所述第一开关的第二端子与所述第一电源电路电连接;以及
第二开关,
其中所述第二开关的第一端子与所述第二晶体管的所述源极端子和所述漏极端子中的另一个电连接,以及
其中所述第二开关的第二端子与所述第二电源电路电连接。
8. 根据权利要求7所述的半导体装置,
其中所述第一开关是第三晶体管,以及
其中所述第二开关是第四晶体管。
9. 根据权利要求6所述的半导体装置,

其中所述信号保持部分包括第三晶体管和第二电容器。

10. 根据权利要求1或6所述的半导体装置，
其中所述字线带负电。

11. 根据权利要求6所述的半导体装置，其中所述第一晶体管和所述第二晶体管均包括氧化物半导体。

12. 一种包括根据权利要求1或6所述的半导体装置的电子装置，其中所述电子装置从包括液晶显示装置、EL显示装置、电视接收机和手机的组中选择。

13. 一种半导体装置，包括：

字线；

位线；

第一晶体管，所述第一晶体管的栅极端子与所述字线电连接；

第一电容器，所述第一电容器的第一端子与所述第一晶体管电连接；

第二电容器，所述第二电容器与所述第一晶体管的源极端子和漏极端子中的一个电连接；

字线驱动电路，被配置为控制所述第一电容器的第二端子的电位；以及

位线驱动电路，被配置为控制所述位线的电位，

其中所述第一晶体管是耗尽模式晶体管；并且

其中所述第一电容器的所述第一端子被配置为带负电。

14. 根据权利要求13所述的半导体装置，其中所述第一晶体管包括氧化物半导体。

15. 根据权利要求13所述的半导体装置，

其中所述第一电容器与所述第一晶体管的所述栅极端子电连接，并且

其中所述第一电容器能够保持所述第一晶体管的所述栅极端子的电位。

16. 一种半导体装置，包括：

字线；

位线；

第一晶体管，所述第一晶体管的栅极端子与所述字线电连接；

第一电容器，所述第一电容器的第一端子与所述第一晶体管电连接；

第二晶体管，所述第二晶体管的栅极端子与所述第一晶体管的源极端子和漏极端子中的一个电连接；

字线驱动电路，被配置为控制所述第一电容器的第二端子的电位；以及

位线驱动电路，被配置为控制所述位线的电位，

其中所述第一晶体管是耗尽模式晶体管；

其中所述第一电容器的所述第一端子被配置为带负电；并且

其中包括在所述第一晶体管中的第一半导体材料与包括在所述第二晶体管中的第二半导体材料不同。

17. 根据权利要求16所述的半导体装置，其中所述第一半导体材料是氧化物半导体。

18. 根据权利要求16所述的半导体装置，还包括第二电容器，所述第二电容器与所述第一晶体管的所述源极端子和所述漏极端子中的一个电连接。

19. 根据权利要求13或16所述的半导体装置，

其中所述第一电容器与所述第一晶体管的所述栅极端子电连接,并且
其中所述第一电容器能够保持所述第一晶体管的所述栅极端子的电位。

20.根据权利要求13或16所述的半导体装置,其中所述位线与所述第一晶体管的所述源极端子和所述漏极端子中的另一个电连接。

21.一种半导体装置,包括:

字线;

位线;

第一电容器,所述第一电容器的第一端子与所述字线电连接;以及

存储器元件,所述存储器元件中的每一个包括:

第一晶体管,所述第一晶体管的栅极端子与所述字线电连接;以及

第二电容器,所述第二电容器与所述第一晶体管的源极端子和漏极端子中的一个电连接;

字线驱动电路,被配置为控制所述第一电容器的第二端子的电位;以及

位线驱动电路,被配置为控制所述位线的电位,

其中所述第一晶体管包括氧化物半导体;并且

其中所述第一电容器能够保持所述第一晶体管的所述栅极端子的电位。

22.根据权利要求21所述的半导体装置,

其中所述第一晶体管是耗尽模式晶体管。

23.根据权利要求21所述的半导体装置,还包括第二晶体管,所述第二晶体管的栅极端子与所述第一晶体管的所述源极端子和所述漏极端子中的所述一个电连接。

24.根据权利要求21所述的半导体装置,

其中所述位线与包括在所述存储器元件中的所述第一晶体管的所述源极端子和所述漏极端子中的另一个电连接。

25.根据权利要求1、6、13、16和21中的任一项所述的半导体装置,其中所述字线带负电。

26.根据权利要求1、6、13、16和21中的任一项所述的半导体装置,其中所述半导体装置是RFID标签。

半导体装置

技术领域

[0001] 本发明涉及使用半导体元件的半导体装置。特别地,本发明涉及具有包括半导体元件的存储器装置的半导体装置(也被称为半导体存储器装置)。注意,本说明书中的半导体装置意指可以通过利用半导体特性来操作的一般装置。

背景技术

[0002] 使用半导体元件的存储器装置被宽泛地分为两类:当停止供电时丢失所存储的数据的易失性装置,以及即便当不供电时仍然保持所存储的数据的非易失性装置。

[0003] 易失性存储器装置的典型例子是DRAM(动态随机存取存储器)。DRAM以如下方式存储数据,即,选择包括在存储器元件中的晶体管,并在电容器中积累电荷。

[0004] 基于上述原则,在DRAM中,因为在读取数据时电容器中的电荷丢失,所以需要再次执行写入,使得每次读取数据时数据被再次存储。另外,包括在存储器元件中的晶体管具有泄漏电流,并且即便当没有选择晶体管时,电荷仍流入或流出电容器,从而使得数据保留时段短。因为该原因,需要以预定间隔进行另一写入操作(刷新操作),并且难以充分地减小功耗。而且,因为在停止供电时所存储的数据丢失,所以需要使用磁材料或光学材料的附加存储器装置,以将数据保持更长的时段。

[0005] 易失性存储器装置的另一例子是SRAM(静态随机存取存储器)。SRAM通过使用诸如触发器之类的电路来保持所存储的数据,从而不需要刷新操作。这意味着SRAM相比于DRAM具有优点。然而,因为诸如触发器之类的电路被使用,所以每个存储容量的成本增加。而且,与DRAM一样,当停止供电时在SRAM中存储的数据丢失。

[0006] 非易失性存储器装置的典型例子是闪存存储器。闪存存储器在晶体管中的栅极电极和沟道形成区之间具有浮动栅极,并通过在浮动栅极中保持电荷来存储数据。因此,闪存存储器具有如下优点,即,数据保留时段极其长(半永久性),并且不需要易失性存储器装置所需的刷新操作(例如,参见专利文件1)。

[0007] 然而,因为包括在存储器元件中的栅极绝缘层由于在写入过程中生成的隧穿电流而劣化,所以在预定数量的写入操作之后存储器元件停止其功能。为了减小该问题的不利影响,例如,利用使存储器元件的写入操作的数量均衡的方法。然而,需要复杂的外围电路来实现该方法。而且,利用这样的方法不解决根本的寿命问题。也就是说,闪存存储器不适合于数据被频繁重写的应用。

[0008] 另外,需要高电压以在浮动栅极中保持电荷或去除电荷,并需要针对其的电路。而且,将花费相对长的时间来保持或去除电荷,并且以更高的速度来执行写入和擦除是不容易的。

[0009] 作为可应用于上述薄膜晶体管的半导体薄膜,基于硅的半导体材料已被普遍使用,但是氧化物半导体作为另选材料已经引人注目。具有氧化物半导体的晶体管可以通过与制造具有非晶硅的晶体管的相同的低温工艺来制造,并具有比具有非晶硅的晶体管高的场效应迁移率。因此,具有氧化物半导体的晶体管已被期望成可以取代或超过具有非晶硅

的晶体管的半导体元件。

[0010] 【参考文献】

[0011] 【专利文件1】日本公开专利申请No.S57-105889

发明内容

[0012] 然而,在具有基于硅的半导体材料的晶体管的领域中已建立了用于控制诸如阈值电压之类的电特性的技术,但是尚未在具有氧化物半导体材料的晶体管的领域中建立该技术。具体地,可以通过例如掺杂杂质来针对具有基于硅的半导体材料的晶体管实现阈值电压控制,但是这种控制对于具有氧化物半导体材料的晶体管具有难度。

[0013] 因此,本发明的一个实施例的目的是提供具有存储器装置的半导体装置,即便当存储器装置具有包括表现阈值电压的明显变化的晶体管或者具有负阈值电压的晶体管(这是耗尽模式晶体管)的存储器元件时,存储器装置也能够存储器元件中实现精确的数据保留。

[0014] 在本发明的一个实施例的半导体装置中,预先对用于控制信号向信号保持部分的输入的晶体管的栅极端子带负电,并在栅极端子处保持负电荷。此外,设置具有端子的电容器,端子中的一个与晶体管的栅极端子电连接,从而通过电容器控制晶体管的开关操作。

[0015] 具体地,本发明的一个实施例是一种半导体装置,该半导体装置包括:带负电的字线;位线;包括晶体管和信号保持部分的存储器元件,在存储器元件中,晶体管的栅极端子与字线电连接,晶体管的源极端子和漏极端子中的一个与位线电连接,源极端子和漏极端子中的另一个与信号保持部分电连接;包括端子的电容器,端子中的一个与字线电连接;控制电容器的端子中的另一个的电位的字线驱动电路;以及控制位线的电位的位线驱动电路。

[0016] 在本发明的一个实施例的半导体装置中,预先对用于控制信号向信号保持部分的输入的晶体管的栅极端子带负电,并在栅极端子处保持负电荷。从而,即便当晶体管是耗尽模式晶体管时,仍然可以保持截止状态。本发明的一个实施例的半导体装置还包括具有端子的电容器,所述端子中的一个与晶体管的栅极端子电连接。因此,可以在长的时段内保持晶体管的栅极端子的电位。此外,通过控制电容器的端子中的另一个的电位,可以控制晶体管的开关操作。因此,即便对于包括耗尽模式晶体管的存储器元件,本发明的一个实施例的半导体装置仍然能够在存储器元件中实现精确的数据保持。

附图说明

[0017] 图1A至1C示出了根据实施例1的半导体装置。

[0018] 图2示出了根据实施例2的半导体装置。

[0019] 图3A和3B示出了根据实施例3的半导体装置。

[0020] 图4A和4B示出了根据实施例3的半导体装置。

[0021] 图5A和5B示出了根据实施例3的半导体装置。

[0022] 图6A和6B示出了根据实施例4的半导体装置。

[0023] 图7示出了根据实施例5的半导体装置。

[0024] 图8示出了根据实施例5的半导体装置。

- [0025] 图9示出了根据实施例5的半导体装置。
- [0026] 图10示出了根据实施例6的半导体装置。
- [0027] 图11A至11H示出了根据实施例6的半导体装置。
- [0028] 图12A至12G示出了根据实施例6的半导体装置。
- [0029] 图13A至13D示出了根据实施例6的半导体装置。
- [0030] 图14示出了根据实施例6的半导体装置。
- [0031] 图15A和15B示出了根据实施例6的半导体装置。
- [0032] 图16A和16B示出了根据实施例6的半导体装置。
- [0033] 图17A和17B示出了根据实施例6的半导体装置。
- [0034] 图18示出了在实施例7中描述的半导体装置的应用例子。
- [0035] 图19示出了在实施例7中描述的半导体装置的应用例子。
- [0036] 图20A至20F中的每一个示出了在实施例8中描述的半导体装置的应用例子。

具体实施方式

[0037] 在下文中,将参考附图详细描述本发明的实施例。注意,本发明不限于以下描述,并且本领域技术人员容易理解可以进行各种改变和修改而不脱离本发明的精神和范围。因此,本发明不应被限制于以下实施例和实施例模式的描述。

[0038] (实施例1)

[0039] 参考图1A至1C,该实施例给出了具有存储器装置的半导体装置的例子。

[0040] 图1A示出了该实施例的半导体装置的结构。图1A所示的半导体装置包括字线19、位线10、电源电路11、字线驱动电路12、用于控制位线10的电位的位线驱动电路13、其一个端子与电源电路11电连接并且其另一个端子与字线19电连接的开关14、与字线19和位线10电连接的存储器元件15、以及其一个端子与字线19电连接并且其另一个端子与字线驱动电路12电连接的电容器16。注意,字线驱动电路12通过控制电容器16的所述另一个端子的电位来控制字线19的电位;即,字线驱动电路12通过使用电容性耦合来控制字线19的电位。此外,存储器元件15包括栅极端子与字线19电连接并且源极端子和漏极端子中的一个与位线10电连接的晶体管17。存储器元件15还包括与晶体管17的源极端子和漏极端子中的另一个电连接的信号保持部分18。注意,晶体管17是n沟道晶体管。对于开关14,可以应用例如晶体管、MEMS开关或者控制字线19和设置在电源电路11中的针(needle)之间的电连接的方法。对于开关14,还可以应用通过激光切割断开电源电路11和字线19之间的电连接的方法。

[0041] 在该实施例的半导体装置中,从位线驱动电路13输出的信号可以被保持在存储器元件15中。换言之,在存储器元件15中,晶体管17充当控制从位线驱动电路13输出的信号输入到保持部分18的信号的开关,并且信号保持部分18具有保持所输入的信号的功能。

[0042] 该实施例的半导体装置的操作时段包括字线19、电容器16的端子中的一个以及晶体管17的栅极端子带负电的时段(充电时段)。此外,该实施例的半导体装置的操作时段包括在充电时段之后信号被输入到信号保持部分18的时段(写入时段)。

[0043] 图1B示出了在充电时段中的该实施例的半导体装置。在充电时段中,开关14接通,电源电路11输出作为负电位的电源电位,字线驱动电路12输出比从电源电路11输出的电位高的电位。因此,电容器16的一个端子带负电,并且另一个端子带正电。此外,与电容器16的

所述一个端子电连接的字线19以及晶体管17的栅极端子带负电。注意,晶体管17此时是截止的。

[0044] 图1C示出了在写入时段中的该实施例的半导体装置。在写入时段中,开关14关断,字线驱动电路12输出比在充电时段中输出的电位高的电位。因此,字线19、电容器16的端子中的一个以及晶体管17的栅极端子相连的节点处于浮动状态,使得节点的电位由于电容性耦合而增加。此时,晶体管17是导通的。

[0045] 在该实施例的半导体装置中,晶体管17的栅极端子与电容器16的一个端子电连接,从而可以在一个较长的时段中保持栅极端子的电位。例如,可以在栅极端子处在延长的时段中保持负电荷。此外,通过控制电容器16的另一个端子的电位,可以控制晶体管17的开关操作。从而,该实施例的半导体装置能够容易地控制晶体管17的开关操作,即便当晶体管17是耗尽模式晶体管时也是如此。因此,可以精确地将信号输入到存储器元件15并保持在存储器元件15中。

[0046] 该实施例的所有或部分可以与另一实施例的所有或部分适当地组合。

[0047] (实施例2)

[0048] 参考图2,该实施例给出了具有存储器装置的半导体装置的例子。

[0049] 图2示出了该实施例的半导体装置的结构。图2所示的半导体装置是通过以用晶体管21代替开关14并添加电源电路22的方式,修改图1A所示的半导体装置而得到的半导体装置。具体地,在晶体管21中,源极端子和漏极端子中的一个与电源电路11电连接,并且源极端子和漏极端子中的另一个与字线19电连接。此外,电源电路22与晶体管21的栅极端子电连接。注意,晶体管21是n沟道晶体管。

[0050] 该实施例的半导体装置的操作时段包括充电时段和写入时段,类似于实施例1中描述的半导体装置的操作时段。注意,实施例2的半导体装置在充电时段和写入时段中的操作与实施例1的半导体装置相同。换言之,电源电路22在充电时段中输出高电平电源电位,并在写入时段中输出低电平电源电位。因此,晶体管21在充电时段中导通,并在写入时段中截止。注意,在半导体装置中包括的其他部件的操作已经在实施例1中进行了描述并可以被应用到该实施例。

[0051] 该实施例的半导体装置具有与实施例1中描述的半导体装置相同的效果。而且,实施例2的半导体装置包括作为在实施例1中描述的半导体装置中包括的开关14的晶体管21。因此,对于实施例2中描述的半导体装置,晶体管17和晶体管21可以在相同的步骤中形成。因此,由于制造步骤的减少,可以降低制造半导体装置的成本并提高产量。

[0052] 该实施例的所有或部分可以与另一实施例的所有或部分适当地组合。

[0053] (实施例3)

[0054] 参考图3A和3B、图4A和4B以及图5A和5B,该实施例给出了具有存储器装置的半导体装置的例子。

[0055] 图3A示出了该实施例的半导体装置的结构。图3A所示的半导体装置是通过以将开关31添加到电源电路11和晶体管21的源极端子和漏极端子中的一个之间、并将开关32添加到晶体管21的栅极端子和电源电路22之间的方式,修改图2所示的半导体装置而得到的半导体装置。换言之,图3A所示的半导体装置是如下的半导体装置,即,除了图2所示的半导体装置的结构之外,还包括其一个端子与电源电路11电连接且其另一个端子与晶体管21的源

极端子和漏极端子中的一个电连接的开关31,并且还包括其一个端子与电源电路22电连接且其另一个端子与晶体管21的栅极端子电连接的开关32。对于开关31,可以应用例如晶体管、MEMS开关、或者控制在电源电路11中设置的针和晶体管21的源极端子和漏极端子中的一个之间的电连接的方法。对于开关32,类似地,可以应用例如晶体管、MEMS开关、或者控制在电源电路22中设置的针和晶体管21的栅极端子之间的电连接的方法。对于开关31,还可以应用通过激光切割断开电源电路11和晶体管21的源极端子和漏极端子中的一个之间的电连接的方法。同样对于开关32,可以应用通过激光切割断开电源电路22和晶体管21的栅极端子之间的电连接的方法。

[0056] 该实施例的半导体装置的操作时段包括充电时段和写入时段,类似于实施例1和2中描述的半导体装置的充电时段和写入时段。此外,实施例3的半导体装置的操作时段包括充电时段和写入时段之间的第一至第三过渡时段。

[0057] 图3B示出了在充电时段中的该实施例的半导体装置。在充电时段中,开关31和32导通,电源电路11输出作为负电位的电源电位,字线驱动电路12输出比从电源电路11输出的电位高的电源电位,并且电源电路22输出比从电源电路11输出的电源电位和晶体管21的阈值电压之和高的电源电位。例如,如果从电源电路11输出的电源电位是-2V并且晶体管21的阈值电压是-1V,那么从电源电路22输出的电源电位是高于-3V的电位。因此,晶体管21导通。从而,电容器16的一个端子带负电,并且另一个端子带正电。并且,与电容器16的所述一个端子处于相同节点的字线19和晶体管17的栅极端子带负电。注意,晶体管17此时是截止的。

[0058] 图4A示出了在第一过渡时段中的该实施例的半导体装置。在第一过渡时段中,从电源电路22输出的电源电位减小。具体地,从电源电路22输出的电源电位低于从电源电路11输出的电源电位和晶体管21的阈值电压之和。例如,如果从电源电路11输出的电源电位是-2V并且晶体管21的阈值电压是-1V,那么从电源电路22输出的电源电位是低于-3V的电位。因此,晶体管21截止。从而,字线19、电容器16的一个端子以及晶体管17的栅极端子都处于浮动状态。

[0059] 图4B图示出在第二过渡时段中的该实施例的半导体装置。在第二过渡时段中,开关31关断。在该情况下,晶体管21保持截止。因此,可以减少开关31的开关操作对于字线19、电容器16的一个端子以及晶体管17的栅极端子的电位的不利影响。

[0060] 图5A示出了在第三过渡时段中的该实施例的半导体装置。在第三过渡时段中,开关32关断。从而,晶体管21的栅极端子、源极端子和漏极端子都处于浮动状态。因此,晶体管21可能会导通。注意,电源电路11和晶体管21的源极端子和漏极端子中的一个之间的电连接是断开的。因此,即使晶体管21导通,仍然可以减小对于字线19、电容器16的一个端子以及晶体管17的栅极端子的电位的不利影响。

[0061] 图5B示出了在写入时段中的该实施例的半导体装置。在写入时段中,字线驱动电路12输出比在充电时段中高的电源电位。因此,由于与电容器16的另一个端子的电容性耦合,字线19、电容器16的一个端子以及晶体管17的栅极端子的电位增加。此时,晶体管17导通。

[0062] 该实施例的半导体装置具有与实施例1和2中描述的半导体装置相同的效果。此外,实施例3的半导体装置是通过以添加开关31和32的方式,修改实施例2中描述的半导体

装置而得到的半导体装置。在该实施例的半导体装置中,如上所述,通过开关31和32的控制,可以减小电容器16的一个端子和晶体管17的栅极端子的电位的变化。因此,在该实施例的半导体装置中,可以比在实施例1和2的半导体装置中更精确地将信号输入到存储器元件15并保持在存储器元件15中。

[0063] 该实施例的所有或部分可以与另一实施例的所有或部分适当地组合。

[0064] (实施例4)

[0065] 参考图6A和6B,该实施例给出了具有存储器装置的半导体装置的例子。具体地,参考图6A和6B描述包括在实施例1至3的半导体装置中的存储器元件的例子。

[0066] 图6A示出了存储器元件15的结构例子。存储器元件15具有晶体管17和信号保持部分18。此外,信号保持部分18包括以下部件:栅极端子与晶体管17的源极端子和漏极端子中的另一个电连接、并且源极端子和漏极端子中的一个接地的晶体管61;其一个端子与晶体管17的源极端子和漏极端子中的另一个电连接、并且其另一个端子接地的电容器62;以及栅极端子与控制端子电连接、并且源极端子和漏极端子中的一个与晶体管61的源极端子和漏极端子中的另一个电连接而源极端子和漏极端子中的另一个与输出端子电连接的晶体管63。

[0067] 在图6A所示的存储器元件15中,如实施例1至3所述,在写入时段中,晶体管17导通,信号被输入到信号保持部分18。具体地,信号被输入到晶体管61的栅极端子和电容器62的一个端子。注意,信号是二值信号(具有比晶体管61的阈值电压高的电位和比晶体管61的阈值电压低电位)。即,信号是两个值中的哪一个确定晶体管61的状态(导通状态或截止状态)。

[0068] 在从图6A所示的存储器元件15读取信号的读取时段中,从控制端子向晶体管63的栅极端子输入高电位信号,使得晶体管63导通。此时,通过形成将晶体管61作为电阻器的分压电路,可以识别保持在存储器元件15中的信号。具体地,当晶体管61导通时从分压电路输出的信号的电位低,或者当晶体管61截止时该信号的电位高。通过输出的信号的识别,可以识别保持在存储器元件15中的信号。

[0069] 图6B示出了存储器元件15的结构例子。存储器元件15具有晶体管17和信号保持部分18。并且,信号保持部分18包括一个端子与晶体管17的源极端子和漏极端子中的另一个电连接、并且另一个端子接地的电容器64。注意,晶体管17的源极端子和漏极端子中的一个充当存储器元件15的输入输出端子。

[0070] 在图6B所示的存储器元件15中,如实施例1至3所述,在写入时段中,晶体管17导通,并且信号被输入到信号保持部分18。具体地,信号被输入到电容器64的一个端子。

[0071] 在从图6B所示的存储器元件15读取信号的读取时段中,如写入时段中那样,晶体管17导通。此时,从晶体管17的源极端子和漏极端子中的一个输出保持在电容器64中的信号。

[0072] 该实施例的所有或部分可以与另一实施例的所有或部分适当地组合。

[0073] (实施例5)

[0074] 参考图7、图8和图9,该实施例给出了具有存储器装置的半导体装置的例子。具体地,参考图7、图8和图9描述具有多个存储器元件的半导体装置的例子。

[0075] 图7示出了该实施例的半导体装置的结构。图7所示的半导体装置包括如下部件:

以矩阵布置的多个存储器元件15;多条字线71,每条字线与在以矩阵布置的存储器元件15中布置在某一行中的存储器元件15所包含的晶体管17的栅极端子电连接;以及多条位线72,每条位线与在以矩阵布置的存储器元件15中布置在某一系列中的存储器元件15所包含的晶体管17的漏极端子和源极端子中的一个电连接。注意,每条字线71的电位由电源电路11、字线驱动电路12、开关14和电容器16控制。并且,从位线驱动电路13向每条位线72输入信号。

[0076] 通过如实施例1所述那样操作,该实施例的半导体装置能够容易地控制晶体管17的开关操作,即便当包括在每个存储器元件15中的晶体管17是耗尽模式晶体管时也是如此。因此,可以将信号精确地输入到存储器元件15并保持在存储器元件15中。下面解释包括在该实施例的半导体装置中的多个存储器元件15的特定结构和它们在读取时段中的操作。

[0077] 图8示出了多个存储器元件15的结构例子。每个存储器元件15具有晶体管17和信号保持部分18。并且,信号保持部分18包括栅极端子与晶体管17的源极端子和漏极端子中的另一个电连接的晶体管81,并且包括一个端子与晶体管17的源极端子和漏极端子中的另一个以及晶体管81的栅极端子电连接的电容器82。并且,在列方向上相邻的两个存储器元件15中,在存储器元件15中的一个中所包含的晶体管81的源极端子和漏极端子中的一个与在存储器元件15中的另一个中所包含的晶体管81的源极端子和漏极端子中的另一个电连接。注意,在相同列中布置的存储器元件15中,位于该列两端之一的存储器元件15中所包含的晶体管81的源极端子和漏极端子中的一个接地,以及位于该列的两端中的另一端的存储器元件15中所包含的晶体管81的源极端子和漏极端子中的另一个与输出端子电连接。并且,包括在每个存储器元件15中的电容器82的另一个端子与控制端子电连接。

[0078] 在图8所示的多个存储器元件15中的每一个中,如实施例1所述,在写入时段中,晶体管17导通,信号被输入到信号保持部分18。具体地,信号被输入到晶体管81的栅极端子和电容器82的一个端子。注意,信号是二值信号(具有比晶体管81的阈值电压高的电位和比晶体管81的阈值电压低电位)。即,信号是两个值中的哪一个确定晶体管81的状态(导通状态或截止状态)。

[0079] 接下来,解释从在图8所示的多个存储器元件15中的所选择的一个存储器元件15读取信号的读取时段中的操作。

[0080] 首先,包括在所选择的一个存储器元件15中的晶体管81的源极端子和漏极端子中的一个被提供地电位,并且源极端子和漏极端子中的另一个与输出端子电连接。这以如下方式执行,即,在列方向上布置的多个存储器元件15中除了该所选择的一个之外的所有存储器元件15中晶体管81都导通。具体地,从控制端子向包括在每个存储器元件15中的电容器82的另一个端子输入高电位。因此,电容器82的一个端子和晶体管81的栅极端子的电位由于电容性耦合而增加。这里,这些电位被设置为高于晶体管81的阈值电压,从而晶体管81可以导通。此时,通过形成将包括在所选择的一个存储器元件15中的晶体管81作为电阻器的分压电路,可以识别保持在存储器元件15中的信号。具体地,当包括在所选择的一个存储器元件15中的晶体管81导通时,从分压电路输出的信号的电位低,当包括在所选择的一个存储器元件15中的晶体管81截止时,该信号的电位高。通过输出的信号的识别,可以识别保持在所选择的一个存储器元件15中的信号。

[0081] 图9示出了多个存储器元件15的结构例子。每个存储器元件15具有晶体管17和

信号保持部分18。并且,信号保持部分18包括栅极端子与晶体管17的源极端子和漏极端子中的另一个电连接的晶体管91,并且包括一个端子与晶体管17的源极端子和漏极端子中的另一个电连接而另一个端子与读取字线93电连接的电容器92。注意,每条读取字线93与布置在某一行中的所有存储器元件15中所包含的每个电容器92的另一个端子电连接。另外,布置在某一系列中的所有存储器元件15中所包含的晶体管91的源极端子和漏极端子中的一个接地,源极端子和漏极端子中的另一个与预定输出端子电连接。

[0082] 在图9所示的每个存储器元件15中,如实施例1所述,在写入时段中,晶体管17导通,并且信号被输入到信号保持部分18。具体地,信号被输入到晶体管91的栅极端子和电容器92的一个端子。注意,信号是二值信号(具有比晶体管91的阈值电压高的电位和比晶体管91的阈值电压低电位)。即,信号是两个值中的哪一个确定晶体管91的状态(导通状态或截止状态)。

[0083] 接下来,在下面解释从在图9所示的多个存储器元件15中的所选择的一个存储器元件15读取信号的读取时段中的操作。

[0084] 首先,输出端子通过除了所选择的一个存储器元件15之外的多个存储器元件15而免于接地。这以如下方式执行,即,在布置在列方向上的多个存储器元件15中除了所选择的一个之外的所有存储器元件15中晶体管91截止。具体地,从读取字线93向包括在多个存储器元件15中的每个电容器92的另一个端子输入低电位。因此,电容器92的一个端子和晶体管91的栅极端子的电位由于电容性耦合而减小。这里,这些电位被设置为低于晶体管91的阈值电压,从而布置在与所选择的存储器元件15处于相同列中的所有存储器元件15中所包含的晶体管91可以截止。此时,通过形成将包括在所选择的一个存储器元件15中的晶体管91作为电阻器的分压电路,可以识别保持在存储器元件15中的信号。具体地,当晶体管91导通时,从分压电路输出的信号的电位低,或者当晶体管91截止时,从分压电路输出的信号的电位高。通过输出的信号的识别,可以识别保持在所选择的一个存储器元件15中的信号。

[0085] 该实施例的所有或部分可以与另一实施例的所有或部分适当地组合。

[0086] (实施例6)

[0087] 在该实施例中,描述包括在实施例1至5中所述的半导体装置中的晶体管的例子。具体地,描述具有使用包括半导体材料的衬底形成的晶体管和使用氧化物半导体形成的晶体管的半导体装置的例子。

[0088] <结构例子>

[0089] 图10是该实施例的半导体装置的截面图。

[0090] 图10所示的晶体管160包括设置在包括半导体材料的衬底100上的沟道形成区116、一对杂质区域114a和114b以及一对高浓度杂质区域120a和120b(这些区域也被共同简称为杂质区域,设置成使得沟道形成区116介于它们之间)、设置在沟道形成区116上的栅极绝缘层108a、设置在栅极绝缘层108a上的栅极电极层110a、与杂质区域114a电连接的源极电极层130a、以及与杂质区域114b电连接的漏极电极层130b。

[0091] 注意,侧壁绝缘层118设置在栅极电极层110a的侧面上。包括半导体材料的衬底100在不与侧壁绝缘层118交叠的区域中设置有该对高浓度杂质区域120a和120b。衬底100还在该对高浓度杂质区域120a和120b上设置有一对金属化合物区域124a和124b。并且,元件隔离绝缘层106被设置在衬底100上,使得晶体管160可以介于它们之间,并且层间绝缘层

126和层间绝缘层128被设置成覆盖晶体管160。源极电极层130a和漏极电极层130b分别通过在层间绝缘层126和层间绝缘层128中形成的开口与金属化合物区域124a和金属化合物区域124b电连接。换言之,源极电极层130a通过金属化合物区域124a与高浓度杂质区域120a和杂质区域114a电连接,而漏极电极层130b通过金属化合物区域124b与高浓度杂质区域120b和杂质区域114b电连接。

[0092] 另外,作为后面描述的晶体管164之下的层,存在包括与栅极绝缘层108a相同材料的绝缘层108b、包括与栅极电极层110a相同材料的电极层110b、以及包括与源极电极层130a和漏极电极层130b相同材料的电极层130c。

[0093] 图10所示的晶体管164包括设置在层间绝缘层128上的栅极电极层136d、设置在栅极电极层136d上的栅极绝缘层138、设置在栅极绝缘层138上的氧化物半导体层140、以及设置在氧化物半导体层140上并与氧化物半导体层140电连接的源极电极层142a和漏极电极层142b。

[0094] 这里,栅极电极层136d被设置成嵌入到在层间绝缘层128上形成的绝缘层132中。类似于栅极电极层136d,形成电极层136a和电极层136b,它们分别与包括在晶体管160中的源极电极层130a和漏极电极层130b接触。另外,形成与电极层130c接触的电极层136c。

[0095] 在晶体管164上,保护绝缘层144被设置成与氧化物半导体层140部分地接触,并且层间绝缘层146被设置在保护绝缘层144上。这里,在保护绝缘层144和层间绝缘层145中设置到达源极电极层142a和漏极电极层142b的开口。形成电极层150d和电极层150e,它们分别通过开口与源极电极层142a和漏极电极层142b接触。类似于电极层150d和150e,形成电极层150a、电极层150b和电极层150c,它们分别通过在栅极绝缘层138、保护绝缘层144和层间绝缘层146中设置的开口与电极层136a、电极层136b和电极层136c接触。

[0096] 通过充分地去除杂质(这里例如氢)来高度纯化氧化物半导体层140。具体地,氧化物半导体层140的氢浓度是 5×10^{19} (原子/ cm^3)或更少。注意,优选的氧化物半导体层140的氢浓度是 5×10^{18} (原子/ cm^3)或更少,更优选的是 5×10^{17} (原子/ cm^3)或更少。通过使用具有充分减小的氢浓度的高度纯化的氧化物半导体层140,可以得到具有优异截止电流特性的晶体管164。例如,在漏极电压 V_d 是+1V或者+10V的情况下,泄漏电流是 1×10^{-13} [A]或更少。应用具有充分减小的氢浓度的高度纯化的氧化物半导体层140使得晶体管164的泄漏电流减小。注意,通过二次离子质谱测定法(SIMS)测量氧化物半导体层140中的氢的浓度。

[0097] 在层间绝缘层146上,设置绝缘层152,并且电极层154a、电极层154b、电极层154c和电极层154d被设置成嵌入到绝缘层152中。电极层154a与电极层150a接触;电极层154b与电极层150b接触;电极层154c与电极层150c和电极层150d接触;以及电极层154d与电极层150e接触。

[0098] 该实施例的晶体管160中的源极电极层130a与设置在上部区域中的电极层136a、150a和154a电连接。从而,用于上述电极层的导电层被适当地形成,从而晶体管160中的源极电极层130a可以与设置在上部区域中的晶体管164中包括的任何电极层电连接。晶体管160中的漏极电极层130b还可以与设置在上部区域中的晶体管164中包括的任何电极层电连接。虽然未在图10中示出,但是晶体管160中的栅极电极层110a可以通过设置在上部区域中的电极层与包括在晶体管164中的任何电极层电连接。

[0099] 类似地,在该实施例中描述的晶体管164中的源极电极层142a与设置在下部区域

中的电极层130c和110b电连接。由此,适当地形成用于上述电极层的导电层,从而晶体管164中的源极电极层142a可以与设置在下部区域中的晶体管160中所包含的栅极电极层110a、源极电极层130a和漏极电极层130b中的任何一个电连接。虽然未在图10中示出,但是晶体管164中的栅极电极层136d或漏极电极层142b可以通过设置在下部区域中的电极层与包括在晶体管160中的任何电极层电连接。

[0100] 适当地设置上述晶体管160和164,从而可以形成在实施例1至5中描述的任何半导体装置中所包含的晶体管。优选地,将包括氧化物半导体的晶体管164应用到在实施例1至5中描述的任意半导体装置中所包含的晶体管17(参见图1A至1C),以及应用到在实施例2和3中描述的任意半导体装置中所包含的晶体管21(参见图2)。晶体管164的泄漏电流低于晶体管160的泄漏电流。因此,通过将晶体管164应用到晶体管17和21,可以在延长的时段中在存储器元件15中精确地保持信号。

[0101] <制造步骤的例子>

[0102] 接下来,描述制造晶体管160和晶体管164的方法的例子。在下文中,首先参考图11A至11H描述制造晶体管160的方法,然后参考图12A至12G和图13A至13D描述制造晶体管164的方法。

[0103] 首先,制备包括半导体材料的衬底100(参见图11A)。作为包括半导体材料的衬底100,例如,可以应用包含硅、碳化硅等的单晶半导体衬底、多晶半导体衬底、包含硅锗等的化合物半导体衬底、或者SOI衬底。这里,描述将单晶硅衬底用作包括半导体材料的衬底100的情况的例子。注意,通常,“SOI衬底”意指硅半导体层被设置在绝缘表面上的半导体衬底。在该说明书等中,“SOI衬底”在其类别中还包括包含除了硅之外的材料的半导体层被设置在绝缘表面上的半导体衬底。即,包括在“SOI衬底”中的半导体层不限于硅半导体层。此外,“SOI衬底”包括半导体层被设置在诸如玻璃衬底之类的绝缘衬底上并且绝缘层被插入到它们之间的结构。

[0104] 在衬底100上,用作用于形成元件隔离绝缘层的掩模的保护层102被形成(参见图11A)。作为保护层102,例如,可以使用包含诸如氧化硅、氮化硅或氮氧化硅之类的材料的绝缘层。注意,在该步骤之前或之后,可以将呈现n型导电性的杂质元素或呈现p型导电性的杂质元素添加到衬底100以控制半导体装置的阈值电压。在半导体是硅的情况下,可以将磷、砷等用作呈现n型导电性的杂质。作为呈现p型导电性的杂质,可以使用硼、铝、镓等。

[0105] 接下来,通过将保护层102用作掩模,刻蚀未被保护层102覆盖的区域(暴露区域)中的衬底100的部分。通过该刻蚀,形成隔离的半导体区域104(参见图11B)。作为刻蚀,优选地利用干刻蚀,但是也可以利用湿刻蚀。可以根据要刻蚀的层的材料,适当地选择刻蚀气体和刻蚀剂。

[0106] 接下来,形成绝缘层来覆盖半导体区域104,并选择性地去除与半导体区域104交叠的区域中的绝缘层,从而形成元件隔离绝缘层106(参见图11B)。使用氧化硅、氮化硅、氮氧化硅等来形成绝缘层。作为去除绝缘层的方法,可以给出诸如CMP(化学机械抛光)、刻蚀处理等的抛光处理,并可以使用任何上述处理。注意,在形成半导体区域104之后或者在形成元件隔离绝缘层106之后,去除保护层102。

[0107] 接下来,在半导体区域104上形成绝缘层,并在绝缘层上形成包括导电材料的层。

[0108] 绝缘层之后用作栅极绝缘层,并且是包含氧化硅、氮氧化硅、氮化硅、氧化钪、氧化

铝、氧化钽等的膜的单层结构或其叠层结构,通过CVD法、溅射方法等形成。另选地,可以通过高密度等离子体处理或热氧化处理来使半导体区域104的表面氧化或氮化,从而形成绝缘层。可以通过例如使用诸如He、Ar、Kr或Xe之类的稀有气体和诸如氧、氮氧化物、氨或氮之类的气体的混合气体来执行高密度等离子体处理。对于绝缘层的厚度没有特别限制,但是可以将厚度设置在例如大于或等于1nm到小于或等于100nm的范围内。

[0109] 可以通过使用诸如铝、铜、钛、钽或钨之类的金属材料来形成包括导电材料的层。还可以通过使用包括导电材料的诸如多晶硅之类的半导体材料来形成包括导电材料的层。同样,对于形成包括导电材料的层的方法没有特别限制,可以利用诸如蒸发(evaporation)法、CVD法、溅射法或旋涂法之类的多种膜形成方法。注意,在该实施例中,描述通过使用金属材料来形成包括导电材料的层的情况。

[0110] 接着,选择性地刻蚀绝缘层和包括导电材料的层,从而形成栅极绝缘层108a和栅极电极层110a(参见图11C)。

[0111] 接下来,形成覆盖栅极电极层110a的绝缘层112(参见图11C)。接着,将硼(B)、磷(P)、砷(As)等添加到半导体区域104,从而形成具有浅结的一对杂质区域114a和114b(参见图11C)。注意,通过形成该对杂质区域114a和114b,在栅极绝缘层108a下的半导体区域104的一部分中形成沟道形成区116(参见图11C)。这里,所添加的杂质的浓度可以适当地设置,但是当半导体元件的尺寸被高度小型化时浓度优选地增大。虽然这里在形成绝缘层112之后形成该对杂质区域114a和114b,但是也可以在形成该对杂质区域114a和114b之后形成绝缘层112。

[0112] 接下来,形成侧壁绝缘层118(参见图11D)。形成绝缘层以覆盖绝缘层112,并在绝缘层上执行高度各向异性的刻蚀处理,从而可以以自对准的方式形成侧壁绝缘层118。此时,通过部分地刻蚀绝缘层122,优选地将栅极电极层110a的顶表面和杂质区域114a和114b的顶表面暴露出来。

[0113] 接下来,形成绝缘层以覆盖栅极电极层110a、该对杂质区域114a和114b、侧壁绝缘层118等。然后,将硼(B)、磷(P)、砷(As)等添加到部分杂质区域114a和114b,使得形成一对高浓度杂质区域120a和120b(参见图11E)。在这之后,去除绝缘层,并形成金属层122以覆盖栅极电极层110a、侧壁绝缘层118、该对高浓度杂质区域120a和120b等(参见图11E)。可以通过诸如真空蒸发方法、溅射方法或旋涂方法之类的多种膜形成方法来形成金属层122。优选地,通过使用与包括在半导体区域104中的半导体材料反应的金属材料来形成金属层122以形成具有低电阻的金属化合物。这样的金属材料的例子包括钛、钽、钨、镍、钴、铂等。

[0114] 接下来,执行热处理,使得金属层122与半导体材料起反应。因此,形成一对金属化合物区域124a和124b,它们与所述一对高浓度杂质区域120a和120b接触(参见图11F)。在将多晶硅等用于栅极电极层110a的情况下,与金属层122接触的栅极电极层110a的一部分也变成金属化合物区域。

[0115] 作为热处理,可以采用使用闪光灯的照射。虽然毋庸置疑可以使用其他热处理方法,但是优选地采用可以实现在极其短的时间内进行热处理的方法,以改善在金属化合物的形成中化学反应的控制性。注意,每个金属化合物区域通过金属材料 and 半导体材料的反应而形成,并且是具有充分增加的导电性的区域。金属化合物区域的形成可以充分地减小电阻并改善元件特性。注意,在形成所述一对金属化合物区域124a和124b之后去除金属层

122。

[0116] 接下来,形成层间绝缘层126和层间绝缘层128以覆盖在上述步骤中形成的部件(参见图11G)。可以通过使用包括诸如氧化硅、氮氧化硅、氮化硅、氧化钪、氧化铝或氧化钽之类的无机绝缘材料的材料来形成层间绝缘层126和128。也可以使用诸如聚酰亚胺或丙烯酸之类的有机绝缘材料。注意,这里,利用具有层间绝缘层126和128的两层结构;然而,层间绝缘层的结构不限于该结构。在形成层间绝缘层128之后,优选地使用CMP、刻蚀等来使其表面平坦化。

[0117] 接着,在层间绝缘层中形成到达所述一对金属化合物区域124a和124b的开口,并在开口中形成源极电极层130a和漏极电极层130b(参见图11H)。可以以如下方式形成源极电极层130a和漏极电极层130b,例如,通过PVD法、CVD法等包括开口的区域中形成导电层,然后通过诸如刻蚀或CMP之类的方法去除部分导电层。

[0118] 优选地,源极电极层130a和漏极电极层130b被形成为具有平坦的表面。例如,当在包括开口的区域中形成薄的钛膜或薄的氮化钛膜、然后形成钨膜以嵌入到开口中时,去除过多的钨、钛、氮化钛等,并可以通过后续的CMP来改善表面的平坦性。当以这种方式使包括源极电极层130a和漏极电极层130b的表面平坦化时,可以在之后的步骤中有利地形成电极、布线、绝缘层、半导体层等。

[0119] 注意,这里仅仅示出与金属化合物区域124a和124b接触的源极电极层130a和漏极电极层130b;然而,在该步骤中也可以形成用作布线的电极层(例如图10中的电极层130c)等。对于可以用于源极电极层130a和漏极电极层130b的材料没有特别限制,并且可以使用多种导电材料。例如,可以使用诸如钼、钛、铬、钽、钨、铝、铜、钽或钨之类的导电材料。

[0120] 通过上述步骤,形成使用包括半导体材料的衬底100的晶体管160。注意,可以在上述步骤之后进一步形成电极、布线、绝缘层等。当布线具有包括层间绝缘层和导电层的叠层的多层结构时,可以提供高度集成的电路。

[0121] 接下来,参考图12A至12G和图13A至13D描述用于在层间绝缘层128上制造晶体管164的步骤。注意,图12A至12D和图13A至13D示出了用于在层间绝缘层128上制造各种电极层、晶体管164等的步骤,设置在晶体管164之下的晶体管160等的描述被省略。

[0122] 首先,在层间绝缘层128、源极电极层130a、漏极电极层130b和电极层130c上形成绝缘层132(参见图12A)。可以通过PVD法、CVD法等形成绝缘层132。还可以通过使用包括诸如氧化硅、氮氧化硅、氮化硅、氧化钪、氧化铝或氧化钽之类的无机绝缘材料的材料来形成绝缘层132。

[0123] 接下来,在绝缘层132中形成到达源极电极层130a、漏极电极层130b和电极层130c的开口。此时,还在之后将形成栅极电极层136d的区域中形成开口。接着,形成导电层134以嵌入到开口中(参见图12B)。可通过诸如使用掩模的刻蚀之类的方法来形成开口。可以通过诸如使用光掩模的曝光之类的方法来形成掩模。可以使用湿刻蚀或干刻蚀作为刻蚀;在微型制造方面优选地使用干刻蚀。可以通过诸如PVD法或CVD法之类的膜形成方法来形成导电层134。作为可以用于形成导电层134的材料,例如,可以给出钼、钛、铬、钽、钨、铝、铜、钽或钨或者任何这些材料的合金或化合物(例如氮化物)。

[0124] 具体地,可以利用如下方法,例如,通过PVD法在包括开口的区域中形成薄的钛膜并通过CVD法形成薄的氮化钛膜,接着形成钨膜以嵌入到开口中。这里,通过PVD法形成的钛

膜具有使界面处的氧化物膜脱氧的功能,从而减小与下面的电极层(这里,源极电极层130a、漏极电极层130b、电极层130c等)的接触电阻。并且,在形成钛膜之后形成的氮化钛膜具有抑制导电材料的扩散的阻挡功能。还可以在形成钛、氮化钛等的阻挡膜之后通过镀法形成铜膜。

[0125] 在形成导电层134之后,通过诸如刻蚀或CMP之类的方法去除导电层134的一部分,使得绝缘层132被暴露,并且形成电极层136a、电极层136b、电极层136c和栅极电极层136d(参见图12C)。注意,当通过去除导电层134的一部分而形成电极层136a、电极层136b、电极层136c和栅极电极层136d时,优选地执行处理以使得表面平坦化。当以这种方式使绝缘层132、电极层136a、电极层136b、电极层136c和栅极电极层136d的表面平坦化时,可以在之后的步骤中有利地形成电极、布线、绝缘层、半导体层等。

[0126] 接下来,形成栅极绝缘层138以覆盖绝缘层132、电极层136a、电极层136b、电极层136c和栅极电极层136d(参见图12D)。可以通过CVD法、溅射方法等形成栅极绝缘层138。优选地,将栅极绝缘层138形成为包括氧化硅、氮化硅、氧氮化硅、氮氧化硅、氧化铝、氧化钪、氧化钽等。注意,栅极电极层138可以具有单层结构或叠层结构。例如,可以将硅烷(SiH_4)、氧和氮用作源气体通过等离子体CVD法形成由氧氮化硅构成的栅极绝缘层138。对于栅极绝缘层138的厚度没有特别限制;例如,可以将厚度设置为大于或等于10nm且小于或等于50nm。在叠层结构的情况下,例如,优选地,利用具有厚度大于或等于50nm且小于或等于200nm的第一栅极绝缘层和具有厚度大于或等于5nm且小于或等于300nm的第二栅极绝缘层的叠层。

[0127] 注意,通过去除杂质变得本征(intrinsic)或基本上本征的氧化物半导体(高度纯化的氧化物半导体)非常容易受到界面电平和界面电荷的影响;因此,当这样的氧化物半导体被用于氧化物半导体层时,与栅极绝缘层的界面是重要的。换言之,要与高度纯化的氧化物半导体层接触的栅极绝缘层138需要具有高质量。

[0128] 例如,因为栅极绝缘层138可以是致密的(dense)并具有高耐受电压和高质量,所以优选地使用微波(2.45GHz)通过高密度等离子体CVD法形成栅极绝缘层138。当高度纯化的氧化物半导体层和高质量的栅极绝缘层相互紧密接触时,可以减小界面电平并可以得到有利的界面特性。

[0129] 毋庸置疑,即便当使用高度纯化的氧化物半导体层时,仍可以利用诸如溅射方法或等离子体CVD法之类的其它方法,只要可以将高质量的绝缘层形成为栅极绝缘层即可。而且,可以使用其质量和界面特性通过在形成绝缘层之后执行的热处理改善的绝缘层。在任何情况下,形成作为栅极绝缘层138的具有有利的膜质量的绝缘层,其可以减小与氧化物半导体层的界面的界面态密度以形成有利的界面。

[0130] 在以85℃通过 2×10^6 (V/cm)进行12小时的栅极偏压-温度压力测试(BT测试)中,如果将杂质添加到氧化物半导体,那么杂质和氧化物半导体的主要成分之间的键(bond)由于高电场(B:偏压)和高温(T:温度)而断开,并且所生成的悬键引起阈值电压(V_{th})的漂移。

[0131] 相反,当氧化物半导体中的杂质(特别是氢和水)被减小到最小而使得与栅极绝缘层的界面可以具有上述的优选特性时,可以得到通过BT测试的稳定的晶体管。

[0132] 接下来,氧化物半导体层被形成在栅极绝缘层138上,并通过诸如使用掩模的刻蚀

之类的方法被处理,从而形成岛状氧化物半导体层140(参见图12E)。

[0133] 作为氧化物半导体层,优选的是使用基于In-Ga-Zn-O的氧化物半导体层、基于In-Sn-Zn-O的氧化物半导体层、基于In-Al-Zn-O的氧化物半导体层、基于Sn-Ga-Zn-O的氧化物半导体层、基于Al-Ga-Zn-O的氧化物半导体层、基于Sn-Al-Zn-O的氧化物半导体层、基于In-Zn-O的氧化物半导体层、基于Sn-Zn-O的氧化物半导体层、基于Al-Zn-O的氧化物半导体层、基于In-O的氧化物半导体层、基于Sn-O的氧化物半导体层、或者基于Zn-O的氧化物半导体层,特别地,其优选是非晶的。在该实施例中,作为氧化物半导体层,使用基于In-Ga-Zn-O的氧化物半导体靶(target)通过溅射方法来形成非晶氧化物半导体层。注意,因为可以通过将硅添加到非晶氧化物半导体层来抑制层的结晶化,所以,例如,可以使用包含大于或等于2wt%且小于或等于10wt%的SiO₂的靶来形成氧化物半导体层。

[0134] 作为用于通过溅射方法形成氧化物半导体层的靶,例如,可以使用包含锌氧化物等作为其主要成分的金属氧化物靶。例如,还可以使用包含In、Ga和Zn的氧化物半导体靶(作为构成比,In₂O₃与Ga₂O₃和ZnO的比是1:1:1[摩尔比],或者In与Ga和Zn的比为1:1:0.5[原子比])。作为包含In、Ga和Zn的氧化物半导体靶,还可以使用In与Ga和Zn的构成比是1:1:1[原子比]的靶或者In与Ga和Zn的构成比是1:1:2[原子比]的靶。氧化物半导体靶的填充率(filling rate)是大于或等于90%且小于或等于100%,优选地,大于或等于95%(例如99.9%)。通过使用具有高填充率的氧化物半导体靶来形成致密的氧化物半导体层。

[0135] 形成氧化物半导体层的气氛优选的是稀有气体(典型地为氩)气氛、氧气氛或者包含稀有气体(典型地为氩)和氧的混合气氛。具体地,优选的是使用高纯度气体,例如,从其中将诸如氢、水、羟基或氢化物之类的杂质去除到大约百万分之几(ppm)(优选地,大约十亿分之几(ppb))的浓度。

[0136] 在形成氧化物半导体层时,将衬底保持在维持在减小的压力下的处理室中,并将衬底温度设置在大于或等于100℃到小于或等于600℃,优选地,大于或等于200℃到小于或等于400℃。在加热衬底时形成氧化物半导体层,使得可以减小氧化物半导体层中的杂质的浓度。另外,减小由溅射引起的损伤。接着,将从其去除氢和水的溅射气体引入到处理室中,同时去除留在处理室中的湿气,并将金属氧化物作为靶来形成氧化物半导体层。优选地,使用诱捕(entrapment)真空泵以去除留在处理室中的湿气。例如,可以使用低温泵、离子泵或者钛升华(sublimation)泵。抽空(evacuation)单元可以是设置有冷槽(cold trap)的涡轮泵。在使用低温泵抽空的淀积室中,去除氢原子、诸如水(H₂O)等的包含氢原子的化合物(以及优选地,还有包含碳原子的化合物)等,因此,可以减小在淀积室中形成的氧化物半导体层中的杂质的浓度。

[0137] 可以在以下条件下形成氧化物半导体层,例如:衬底和靶之间的距离是100mm;压力是0.6Pa;直流(DC)功率是0.5kW;以及气氛是氧(氧的流速比是100%)。注意,优选的是使用脉冲直流(DC)电源,因为在淀积中生成的灰尘可以减少并且厚度分布均匀。氧化物半导体层的厚度是大于或等于2nm且小于或等于200nm,优选地,大于或等于5nm且小于或等于30nm。注意,取决于氧化物半导体材料,厚度适当地有所区别,并且根据要使用的材料适当地设置厚度。

[0138] 注意,在通过溅射方法形成氧化物半导体层之前,优选地通过反向溅射来去除附着到栅极绝缘层138的表面的灰尘,在反向溅射中引入氩气并生成等离子体。这里,反向溅

射是相对于其中离子与溅射靶碰撞的正常溅射而言,离子与要被处理的表面碰撞使得表面的质量改变的方法。用于使离子与要被处理的表面碰撞的方法的例子是在氩气氛中将高频电压施加到表面使得在衬底附近生成等离子体的方法。注意,代替氩气氛,可以使用氮、氦、氧气等的气氛。

[0139] 作为氧化物半导体层的刻蚀,可以采用干刻蚀或湿刻蚀。毋庸置疑,可以组合使用干刻蚀和湿刻蚀。根据材料适当地设置刻蚀条件(例如,刻蚀气体或刻蚀溶液、刻蚀时间以及温度),使得可以将氧化物半导体层刻蚀为期望的形状。

[0140] 用于干刻蚀的刻蚀气体的例子是包含氯的气体(诸如氯气(Cl_2)、氯化硼(BCl_3)、氯化硅(SiCl_4)或氯化碳(CCl_4)之类的基于氯的气体)。还可以使用包含氟的气体(诸如四氟化碳(CF_4)、氟化硫(SF_6)、氟化氮(NF_3)或三氟甲烷(CHF_3)之类的基于氟的气体)、溴化氢(HBr)、氧气(O_2)、添加有诸如氦(He)或氩(Ar)之类的稀有气体的任何这些气体等。

[0141] 作为干刻蚀方法,可以使用平行板RIE(反应离子刻蚀)方法或ICP(感应耦合等离子体)刻蚀方法。为了将氧化物半导体层刻蚀为期望的形状,可以恰当地设置刻蚀条件(例如,施加到盘绕的电极的电功率量、施加到衬底侧的电极的电功率量以及衬底侧的电极温度)。

[0142] 作为用于湿刻蚀的刻蚀剂,可以使用磷酸、醋酸和硝酸的混合溶液等。还可以使用诸如ITO07N(由KANTO CHEMICAL有限公司制造)之类的刻蚀剂。

[0143] 接着,优选地对氧化物半导体层执行第一热处理。通过第一热处理,可以使氧化物半导体层脱水或脱氢。第一热处理的温度大于或等于 300°C 且小于或等于 750°C ,优选地,大于或等于 400°C 且小于衬底的应变点。例如,将衬底引入使用电阻加热元件等的电炉,并使氧化物半导体层140在氩气氛中在 450°C 下经受一个小时的热处理。在热处理中氧化物半导体层140不暴露于空气,从而可以防止水和氢再次进入。

[0144] 热处理设备不限于电炉,可以是来自诸如加热气体之类的媒介的热辐射或热传导来加热对象的设备。例如,可以使用诸如GRTA(气体快速热退火)设备或LRTA(灯快速热退火)设备之类的RTA(快速热退火)设备。LRTA设备是通过从诸如卤素灯、金属卤化物灯、氙弧灯、碳弧灯、高压钠灯或高压汞灯之类的灯发射的光(电磁波)的辐射来加热要处理的对象的设备。GRTA设备是使用高温气体来执行热处理的设备。作为气体,使用不与要通过热处理而处理的对象发生反应的惰性气体,例如氮或诸如氩之类的稀有气体。

[0145] 例如,作为第一热处理,可以如下执行GRTA处理。衬底被放入已被加热到 650°C 至 700°C 的高温的惰性气体中,加热几分钟,从惰性气体取出。通过使用GRTA处理,可以实现短时间的高温热处理。而且,即便当温度超过衬底的应变点时,仍可以采用GRTA处理,因为它是短时间的高温热处理。

[0146] 注意,优选地,在包含作为其主要成分的氮或稀有气体(例如,氮、氦或氩)并且不包含水、氢等的气氛中执行第一热处理。例如,引入到热处理设备中的氮或诸如氮、氦或氩之类的稀有气体的纯度大于或等于 $6\text{N}(99.9999\%)$,优选地,大于或等于 $7\text{N}(99.99999\%)$ (即,杂质浓度是 1ppm 或更小,优选地, 0.1ppm 或更小)。

[0147] 取决于第一热处理的条件或氧化物半导体层的材料,有时氧化物半导体层结晶为微晶或多晶。例如,氧化物半导体层有时变为具有 90% 或更多或者 80% 或等多的结晶度的微晶氧化物半导体层。并且,取决于第一热处理的条件或氧化物半导体层的材料,氧化物半

导体层可以是不包含结晶成分的非晶氧化物半导体层。

[0148] 此外,氧化物半导体层有时变成在非晶氧化物半导体(例如,氧化物半导体层的表面)中混合有微晶体(具有大于或等于1nm且小于或等于20nm的颗粒尺寸,典型地,大于或等于2nm且小于或等于4nm)的层。

[0149] 可以通过在非晶结构中对准微晶体来改变氧化物半导体层的电特性。例如,当使用基于In-Ga-Zn-O的氧化物半导体靶来形成氧化物半导体层时,可以通过形成在其中具有电各向异性的 $\text{In}_2\text{Ga}_2\text{ZnO}_7$ 的晶粒对准的微晶部分来改变氧化物半导体层的电特性。

[0150] 更具体地,例如,当晶粒被布置成使得 $\text{In}_2\text{Ga}_2\text{ZnO}_7$ 的c轴与氧化物半导体层的表面垂直时,可以改善与氧化半导体层的表面平行的方向上的导电性,并可以改善与氧化物半导体层的表面垂直的方向上的绝缘性能。此外,这样的微晶部分具有抑制诸如水或氢之类的杂质侵入氧化物半导体层中的功能。

[0151] 注意,可以通过在GRTA处理中加热氧化物半导体层的表面来形成包括微晶部分的氧化物半导体层。并且,可以通过使用Zn的量小于In或Ga的量的溅射靶这种更优选的方式来形成氧化物半导体层。

[0152] 可以对还未被处理为岛状氧化物半导体层140的氧化物半导体层执行用于氧化物半导体层140的第一热处理。在该情况下,在第一热处理之后,从加热设备取出衬底,并执行光刻步骤。

[0153] 注意,上述热处理可以被称为脱水处理、脱氢处理等,因为其在使氧化物半导体层140退水或脱氢方面是有效的。例如,可以在形成氧化物半导体层之后,在氧化物半导体层140上堆叠源极电极层和漏极电极层之后,或者在源极电极层和漏极电极层上形成保护绝缘层之后,执行这样的退水处理或脱氢处理。可以多于一次地实施这样的脱水处理或脱氢处理。

[0154] 接下来,形成源极电极层142a和漏极电极层142b以使其与氧化物半导体层140接触(参见图12F)。可以以导电层被形成为覆盖氧化物半导体层140并接着对其进行选择性刻蚀的方式来形成源极电极层142a和漏极电极层142b。

[0155] 可以通过诸如溅射方法之类的PVD法或者诸如等离子体CVD法之类的CVD法来形成导电层。作为用于导电层的材料,可以使用从铝、铬、铜、钽、钛、钼和钨中选择元素、包含任何这些元素作为成分的合金等。可以使用从锰、镁、锆、铍和钽中选择的一种或多种材料。还可以使用与从钛、钽、钨、钼、铬、钽和钨中选择的一种或多种元素化合的铝。导电层可以具有单层结构或者包括两层或更多层的叠层结构。例如,导电层可以具有包含硅的铝膜的单层结构、在铝膜上堆叠钛膜的双层结构、堆叠钛膜、铝膜和钛膜的三层结构等。

[0156] 这里,在形成用于刻蚀的掩模中,优选地将紫外光、KrF激光或ArF激光用于曝光。

[0157] 通过源极电极层142a的下边缘部分和漏极电极层142b的下边缘部分之间的距离来确定晶体管的沟道长度(L)。注意,在沟道长度(L)小于25nm的情况下,使用其波长为几纳米至几百纳米的极其短的极端紫外射线来执行用于形成掩模的曝光。在使用极端紫外光的曝光中,分辨率高并且聚焦深度大。因为这些原因,将在之后形成的晶体管的沟道长度(L)可以在大于或等于10nm至小于或等于1000nm的范围内,并且电路可以以更高的速度操作。

[0158] 适当地调整导电层和氧化物半导体层140的材料和刻蚀条件,使得在导电层的刻蚀中不去除氧化物半导体层140。注意,在一些情况下,氧化物半导体层140在刻蚀步骤中被

部分地刻蚀,从而具有取决于材料和刻蚀条件的沟槽部分(凹陷部分)。

[0159] 可以在氧化物半导体层140和源极电极层142a之间或者在氧化物半导体层140和漏极电极层142b之间形成氧化物导电层。可以依次形成(依次淀积)用于形成源极电极层142a和漏极电极层142b的氧化物导电层和金属层。氧化物导电层可以充当源极区域或漏极区域。设置这样的氧化物导电层可以减小源极区域或漏极区域的电阻,使得晶体管可以以高速操作。

[0160] 为了减小要使用的上述掩模的数量并减少步骤的数量,可以使用通过多色调(multi-tone)掩模形成的抗蚀剂掩模来执行刻蚀步骤,所述多色调掩模是透射光以使它具有多种强度的曝光掩模。使用多色调掩模形成的抗蚀剂掩模具有带有多种厚度的形状(具有阶梯形状),并且该形状还可以通过灰化来改变;因此,抗蚀剂掩模可以被用在多个刻蚀步骤中进行处理以得到不同的图案。即,可以通过使用多色调掩模形成与至少两种不同的图案对应的抗蚀剂掩模。从而,可以减少曝光掩模的数量,也可以减少对应的光刻步骤的数量,从而可以简化处理。

[0161] 注意,优选地,在上述步骤之后使用诸如 N_2O 、 N_2 或Ar之类的气体来执行等离子体处理。等离子体处理去除附着到氧化物半导体层的暴露表面的水等。在等离子体处理中,可以使用氧和氩的混合气体。

[0162] 接下来,与氧化物半导体层140不暴露于空气的部分相接触地形成保护绝缘层144(参见图12G)。

[0163] 可以适当地通过诸如溅射方法之类的方法形成保护绝缘层144,通过该方法阻止诸如水和氢之类的杂质混合到保护绝缘层144。保护绝缘层144具有至少1nm或更多的厚度。可以使用氧化硅、氮化硅、氧氮化硅、氮氧化硅等形成保护绝缘层144。保护绝缘层144可以具有单层结构或叠层结构。优选地,在形成保护绝缘层144时的衬底温度大于或等于室温且小于或等于300℃。优选地,用于形成保护绝缘层144的气氛是稀有气体(典型地为氩)气氛、氧气气氛或者包含稀有气体(典型地为氩)和氧的混合气氛。

[0164] 如果在保护绝缘层144中包含有氢,那么,例如,氢可以渗入到氧化物半导体层140中或提取出氧化物半导体层140中的氧,从而可能减小背沟道侧的氧化物半导体层140的电阻,并可能形成寄生通道。因此,不在形成保护绝缘层144使使用氢以使得保护绝缘层144包含尽可能少的氢是很重要的。

[0165] 而且,优选地,在去除留在处理室中的湿气的同时形成保护绝缘层144,以使得氢、羟基或湿气不被包含在氧化物半导体层140和保护绝缘层144中。

[0166] 优选地将诱捕真空泵用来去除留在处理室中的湿气。例如,优选地使用低温泵、离子泵或钛升华泵。抽空单元可以是设置有冷槽的涡轮泵。在使用低温泵抽空的淀积室中,例如,去除氢原子和诸如水(H_2O)之类的包含氢原子的化合物,因此,可以减小在淀积室中形成的保护绝缘层144中的杂质的浓度。

[0167] 作为在形成保护绝缘层144中使用的溅射气体,优选的是使用从其将诸如氢、水、羟基或氢化物之类的杂质去除到大约百万分之几(ppm)(优选地,大约十亿分之几(ppb))的浓度的高纯度气体。

[0168] 接下来,优选地,在惰性气体气氛或氧气体气氛中执行第二热处理(例如,大于或等于200℃且小于或等于400℃,大于或等于250℃且小于或等于350℃)。例如,在氮气气氛中

以250℃执行一个小时的第二热处理。第二热处理可以减小晶体管的电特性的改变。

[0169] 可以在空气以大于或等于100℃且小于或等于200℃执行大于或等于1小时且小于或等于30小时的热处理。在该热处理中,可以在维持固定的加热温度的同时,或者在从室温增加到在大于或等于100℃至小于或等于200℃的范围内的加热温度并从该加热温度减小到室温被重复大于一次的同时,执行加热。可以在形成保护绝缘层之前,在减小的压力下执行该热处理。热处理时间可以在减小的压力下被缩短。例如,可以执行该热处理代替第二热处理,或者可以在第二热处理之前或之后执行该热处理。

[0170] 接下来,在保护绝缘层144上形成层间绝缘层146(参见图13A)。可以通过PVD法、CVD法等形成层间绝缘层146。可以使用包括诸如氧化硅、氮氧化硅、氮化硅、氧化铅、氧化铝或氧化钽之类的无机绝缘材料来形成层间绝缘层146。在形成层间绝缘层146之后,优选地通过诸如CMP或刻蚀之类的方法使层间绝缘层146的表面平坦化。

[0171] 接下来,在层间绝缘层146、保护绝缘层144和栅极绝缘层138中形成到达电极层136a、电极层136b、电极层136c、源极电极层142a和漏极电极层142b的开口。接着,形成导电层148以嵌入到开口中(参见图13B)。可以通过诸如使用掩模的刻蚀之类的方法来形成开口。可以通过诸如使用光掩模的曝光之类的方法来形成掩模。可以使用湿刻蚀或干刻蚀作为刻蚀;在微型制造方面优选地使用干刻蚀。可以通过诸如PVD法或CVD法之类的膜形成方法来形成导电层148。作为可以用于形成导电层148的材料,例如,可以给出诸如钼、钛、铬、钽、钨、铝、铜、钽或铪之类的导电材料或者任意这些材料的合金或合成物(例如,氮化物)。

[0172] 具体地,可以利用如下方法,例如,通过PVD法在包括开口的区域中形成薄的钛膜以及通过CVD法形成薄的氮化钛膜,接着形成钨膜以嵌入到开口中。这里,通过PVD法形成的钛膜具有使界面处的氧化膜脱氧的功能,从而减小与下面的电极(这里,电极层136a、电极层136b、电极层136c、源极电极层142a和漏极电极层142b)的接触电阻。在形成钛膜之后形成的氮化钛膜具有抑制导电材料的扩散的阻挡功能。还可以在形成钛、氮化钛等的阻挡膜之后通过镀法形成铜膜。

[0173] 在形成导电层148之后,通过诸如刻蚀或CMP之类的方法去除部分导电层148,使得层间绝缘层146暴露出来,并形成电极层150a、电极层150b、电极层150c、电极层150d和电极层150e(参见图13C)。注意,当通过去除部分导电层148形成电极层150a、电极层150b、电极层150c、电极层150d和电极层150e时,优选地执行处理来使得表面被平坦化。当以这种方式使层间绝缘层146、电极层150a、电极层150b、电极层150c、电极层150d和电极层150e的表面平坦化时,可以在之后的步骤中有利地形成电极、布线、绝缘层、半导体层等。

[0174] 接着,形成绝缘层152,并在绝缘层152中形成到达电极层150a、电极层150b、电极层150c、电极层150d和电极层150e的开口。在形成导电层以嵌入开口中之后,通过诸如刻蚀或CMP之类的方法去除部分导电层。由此,绝缘层152暴露出来,并且形成电极层154a、电极层154b、电极层154c和电极层154d(参见图13D)。该步骤与用于形成电极层150a等的步骤相同,因此不详细描述。

[0175] 在通过上述方法形成晶体管164的情况下,氧化物半导体层140的氢浓度是 5×10^{19} (原子/cm³)或更少,晶体管164的截止电流是 1×10^{-13} [A]或更少。

[0176] <修改例子>

[0177] 图14、图15A和15B、图16A和16B以及图17A和17B示出了晶体管164的结构修改例

子。即,晶体管160的结构与上述结构相同。

[0178] 图14示出了具有如下结构的晶体管164的例子,即,栅极电极层136d被放置在氧化物半导体层140下,以及相互面对的源极电极层142a的端面和漏极电极层142b的端面与氧化物半导体层140接触。

[0179] 图10和图14之间的结构的大的差异是氧化物半导体层140与源极电极层142a和漏极电极层142b相连的位置。即,在图10的结构中,氧化物半导体层140的上表面与源极电极层142a和漏极电极层142b接触,而在图14的结构中,氧化物半导体层140的下表面与源极电极层142a和漏极电极层142b接触。而且,接触位置的该差异导致其他电极层、绝缘层等的布置的差异。注意,每一部件的细节与图10相同。

[0180] 具体地,图14所示的晶体管164包括设置在层间绝缘层128上的栅极电极层136d、设置在栅极电极层136d上的栅极绝缘层138、设置在栅极绝缘层138上的源极电极层142a和漏极电极层142b、以及与源极电极层142a和漏极电极层142b的上表面接触的氧化物半导体层140。另外,在晶体管164上,设置保护绝缘层144以覆盖氧化物半导体层140。

[0181] 图15A和15B均示出了在氧化物半导体层140上设置栅极电极层136d的晶体管164。图15A示出了源极电极层142a和漏极电极层142b与氧化物半导体层140的下表面接触的结构例子。图15B示出了源极电极层142a和漏极电极层142b与氧化物半导体层140的上表面接触的结构例子。

[0182] 图15A和15B与图10和图14的结构的大的差异是在氧化物半导体层140上设置栅极电极层136d。并且,图15A和图15B之间的结构的大的差异是源极电极层142a和漏极电极层142b是与氧化物半导体层140的下表面接触还是与氧化物半导体层140的上表面接触。而且,这些差异导致其他电极层、绝缘层等的布置的差异。每个部件的细节与图10等相同。

[0183] 具体地,图15A所示的晶体管164包括设置在层间绝缘层128上的源极电极层142a和漏极电极层142b、与源极电极层142a和漏极电极层142b的上表面接触的氧化物半导体层140、设置在氧化物半导体层140上的栅极绝缘层138、以及在与氧化物半导体层140交叠的区域中的栅极绝缘层138上的栅极电极层136d。

[0184] 图15B所示的晶体管164包括设置在层间绝缘层128上的氧化物半导体层140、设置为与氧化物半导体层140的上表面接触的源极电极层142a和漏极电极层142b、设置在氧化物半导体层140以及源极电极层142a和漏极电极层142b上的栅极绝缘层138、以及设置在栅极绝缘层138上并在与氧化物半导体层140交叠的区域中的栅极电极层136d。

[0185] 注意,在图15A和15B中的结构中,有时从图10等中的结构中省略部件(例如,电极层150a或电极层154a)。在该情况下,可以得到诸如简化制造过程之类的附带效果。毋庸置疑,同样在图10等中的结构中省略非必要部件。

[0186] 图16A和16B均示出了在元件的尺寸相对大并且在氧化物半导体层140下设置栅极电极层136d的情况下的晶体管164。在该情况下,对于表面的平坦化和覆盖的要求相对温和,使得布线、电极等不需要被嵌入绝缘层中。例如,可以在形成导电层之后通过构图来形成栅极电极层136d等。

[0187] 图16A和图16B之间的结构的大的差异是源极电极层142a和漏极电极层142b是与氧化物半导体层140的下表面接触还是与氧化物半导体层140的上表面接触。而且,这些差异导致其他电极层、绝缘层等的布置的差异。注意,每个部件的细节与图7等相同。

[0188] 具体地,图16A所示的晶体管164包括设置在层间绝缘层128上的栅极电极层136d、设置在栅极电极层136d上的栅极绝缘层138、设置在栅极绝缘层138上的源极电极层142a和漏极电极层142b、以及与源极电极层142a和漏极电极层142b的上表面接触的氧化物半导体层140。

[0189] 此外,图16B所示的晶体管164包括设置在层间绝缘层128上的栅极电极层136d、设置在栅极电极层136d上的栅极绝缘层138、设置在栅极绝缘层138上以与栅极电极层136d交叠的氧化物半导体层140、以及设置成与氧化物半导体层140的上表面接触的源极电极层142a和漏极电极层142b。

[0190] 注意,同样在图16A和16B中的结构中,有时从图10等中的结构中省略部件。同样在该情况下,可以得到诸如简化制造过程之类的附带效果。

[0191] 图17A和17B均示出了在元件的尺寸相对大并且在氧化物半导体层140上设置栅极电极层136d的情况下的晶体管164。同样在该情况下,对于表面的平坦化和覆盖的要求相对温和,使得布线、电极等不需要被嵌入绝缘层中。例如,可以在形成导电层之后通过构图来形成栅极电极层136d等。

[0192] 图17A和17B之间的结构的大的差异是源极电极层142a和漏极电极层142b是与氧化物半导体层140的下表面接触还是与氧化物半导体层140的上表面接触。而且,这些差异导致其他电极层、绝缘层等的布置的差异。每个部件的细节与图7等相同。

[0193] 具体地,图17A所示的晶体管164包括设置在层间绝缘层128上的源极电极层142a和漏极电极层142b、与源极电极层142a和漏极电极层142b的上表面接触的氧化物半导体层140、设置在源极电极层142a和漏极电极层142b以及氧化物半导体层140上的栅极绝缘层138、以及设置在栅极绝缘层138上以与氧化物半导体层140交叠的栅极电极层136d。

[0194] 图17B所示的晶体管164包括设置在层间绝缘层128上的氧化物半导体层140、设置成与氧化物半导体层140的上表面接触的源极电极层142a和漏极电极层142b、设置在源极电极层142a和漏极电极层142b以及氧化物半导体层140上的栅极绝缘层138、以及设置在栅极绝缘层138上的栅极电极层136d。注意,在与氧化物半导体层140交叠的区域中设置栅极电极层136d,栅极绝缘层138插入栅极电极层136d和氧化物半导体层140之间。

[0195] 注意,同样在图17A和17B中的结构中,有时从图10等中的结构中省略部件。同样在该情况下,可以得到诸如简化制造过程之类的附带效果。

[0196] 在该实施例中,描述了在晶体管160上堆叠晶体管164的例子;然而,晶体管160和晶体管164的结构不限于上述结构。例如,可以在相同的平面上形成p沟道晶体管和n沟道晶体管。此外,晶体管160和164可以被设置成相互交叠。

[0197] 优选地,将上述晶体管164应用到包括在实施例1至5中描述的任意半导体装置中的晶体管17(参见图1A至1C)和包括在实施例2和3中描述的任意半导体装置中的晶体管21(参见图2)。晶体管164的泄漏电流小于晶体管160的泄漏电流。因此,通过将晶体管164应用到晶体管17和21,可以在延长的时段中将信号精确地保持在存储器元件15中。

[0198] 该实施例的所有或部分可以与另一实施例的所有或部分适当地组合。

[0199] (实施例7)

[0200] 在该实施例中,将描述作为在上述实施例中描述的具有存储器装置的半导体装置的应用例子的RFID(射频识别)标签500(参见图18)。

[0201] RFID标签500包括天线电路501和信号处理电路502。信号处理电路502包括整流器电路503、电源电路504、解调器电路505、振荡电路506、逻辑电路507、存储器控制电路508、存储器电路509、逻辑电路510、放大器511和调制电路512。存储器电路509包括在上述实施例中描述的任何存储器装置。

[0202] 由天线电路501接收的通信信号被输入到解调器电路505。所接收的通信信号(即,在天线电路501和读取器/写入器之间传递的信号)的频率例如是基于ISO标准等确定的在超高频带内的13.56MHz、915MHz或2.45GHz。毋庸置疑,在天线电路501和读取器/写入器之间传递的信号频率不限于此,例如,可以使用如下任何频率:300GHz至3THz的亚毫米波、30GHz至300GHz的毫米波;3GHz至30GHz的微波;300MHz至3GHz的超高频;以及30MHz至300MHz的极高频。此外,在天线电路501和读取器/写入器之间传递的信号是通过载波调制得到的信号。通过可以利用幅度调制、相位调制、频率调制和扩展频谱调制中的任何一个的模拟调制或数字调制来调制载波。优选地,使用幅度调制或频率调制。

[0203] 从振荡电路506输出的振荡信号作为时钟信号被提供给逻辑电路507。另外,在解调电路505中解调调制的载波。解调后的信号还被发送给逻辑电路507并被分析。在逻辑电路507中分析的信号被发送给存储器控制电路508。存储器控制电路508控制存储器电路509,取出存储在存储器电路509中的数据,并将数据发送给逻辑电路510。发送给逻辑电路510的信号在逻辑电路510中被编码并在放大器511中被放大。通过所放大的信号,调制电路512调制载波。根据调制的载波,读取器/写入器识别来自RFID标签500的信号。

[0204] 输入到整流器电路503的载波被整流,然后被输入到电源电路504。以该方式获得的电源电压从电源电路504被提供给解调电路505、振荡电路506、逻辑电路507、存储器控制电路508、存储器电路509、逻辑电路510、放大器511、调制电路512等。

[0205] 对于信号处理电路502和天线电路501中的天线之间的连接没有特别限制。例如,可以通过导线接合或突起连接来连接天线和信号处理电路502。另选地,信号处理电路502可被形成为具有芯片形状,并且其一个表面被用作电极并附接到天线。可以使用ACF(各向异性的导电膜)使信号处理电路502和天线彼此附接。

[0206] 在与信号处理电路502相同的衬底上堆叠天线,或者将天线形成为外部天线。毋庸置疑,在信号处理电路上或信号处理电路下设置天线。

[0207] 在整流器电路503中,将由天线电路501接收的载波所引起的AC信号转换为DC信号。

[0208] RFID标签500可以包括电池561(参见图19)。当从整流器电路503输出的电源电压不足够高而不能操作信号处理电路502时,电池561也向包括在信号处理电路502中的每个电路(诸如解调电路505、振荡电路506、逻辑电路507、存储器控制电路508、存储器电路509、逻辑电路510、放大器511和调制电路512之类的电路)提供电源电压。

[0209] 从整流器电路503输出的电源电压的过剩电压被存储在电池561中。当除天线电路501和整流器电路503之外还在RFID标签中设置天线电路和整流器电路时,可以从随机生成的电磁波等得到存储在电池561中的能量。

[0210] 可以通过充电来连续地使用电池。作为电池,使用形成为薄片形式的电池。例如,通过使用包括凝胶电解液、锂离子电池、锂蓄电池等的锂聚合物电池,可以减小电池的尺寸。例如,可以给出镍金属氢化物电池、镍镉电池、具有大电容的电容器等。

[0211] (实施例8)

[0212] 在该实施例中,将参考图20A至20F描述在上述实施例中描述的半导体装置的应用例子。

[0213] 如图20A至20F所示,半导体装置可以被广泛使用,并设置用于例如诸如票据、硬币、有价证券、债券、文档(例如,驾照或身份证,参见图20A)、记录介质(例如,DVD软件或录像带,参见图20B)、包装容器(例如,包装纸或瓶,参见图20C)、交通工具(例如,自行车,参见图20D)、个人物品(例如,包或眼睛)、食品、植物、动物、人体、衣物、家庭物品和电子电器(例如,液晶显示装置、EL显示装置、电视接收机或手机)之类的产品或者产品上的标签(参见图20E和20F)。

[0214] 半导体装置1500通过被安装在印刷板上而被固定到产品、被附于产品的表面或者被嵌入到产品中。例如,可以通过嵌入书的纸张中或嵌入由有机树脂构成的包装的有机树脂中来将半导体装置1500固定到每个产品。因为半导体装置1500可以在尺寸、厚度和重量方面被减小,所以它可以在不损伤产品的设计的情况下被固定到产品。此外,通过设置半导体装置1500,票据、硬币、有价证券、债券、文档等可以具有识别功能,并且可以利用该识别功能来阻止伪造。而且,通过将本发明的半导体装置附于包装容器、记录介质、个人物品、食品、衣物、家庭物品、电子电器等,可以有效率地使用诸如检查系统之类的系统。通过将RFID标签1520附于自行车,可以改善防盗窃的安全性等。

[0215] 从而,通过针对在该实施例中给出的目的而使用在上述实施例中描述的任意半导体装置,用于数据通信的数据可以被保持为是精确的;因此,可以改善产品的认证、安全性等。

[0216] 该申请基于2010年2月5日提交给日本专利局的日本专利序列号2010-024867,通过引用将其全部内容合并于此。

[0217] 附图标记说明:

[0218] 10:位线,11:电源电路,12:字线驱动电路,13:位线驱动电路,14:开关,15:存储器元件,16:电容器,17:晶体管,18:信号保持部分,19:字线,21:晶体管,22:电源电路,31:开关,32:开关,61:晶体管,62:电容器,63:晶体管,64:电容器,71:字线,72:位线,81:晶体管,82:电容器,91:晶体管,92:电容器,93:读取字线,100:衬底,102:保护层,104:半导体区域,106:元件隔离绝缘层,108a:栅极绝缘层,108b:绝缘层,110a:栅极电极层,110b:电极层,112:绝缘层,114a:杂质区域,114b:杂质区域,116:沟道形成区,118:侧壁绝缘层,120a:高浓度杂质区域,120b:高浓度杂质区域,122:金属层,124a:金属化合物区域,124b:金属化合物区域,126:层间绝缘层,128:层间绝缘层,130a:源极电极层,130b:漏极电极层,130c:电极层,132:绝缘层,134:导电层,136a:电极层,136b:电极层,136c:电极层,136d:栅极电极层,138:栅极绝缘层,140:氧化物半导体层,142a:源极电极层,142b:漏极电极层,144:保护绝缘层,146:层间绝缘层,148:导电层,150a:电极层,150b:电极层,150c:电极层,150d:电极层,150e:电极层,152:绝缘层,154a:电极层,154b:电极层,154c:电极层,154d:电极层,160:晶体管,164:晶体管,500:RFID标签,501:天线电路,502:信号处理电路,503:整流器电路,504:电源电路,505:解调电路,506:振荡电路,507:逻辑电路,508:存储器控制电路,509:存储器电路,510:逻辑电路,511:放大器,512:调制电路,1500:半导体装置。

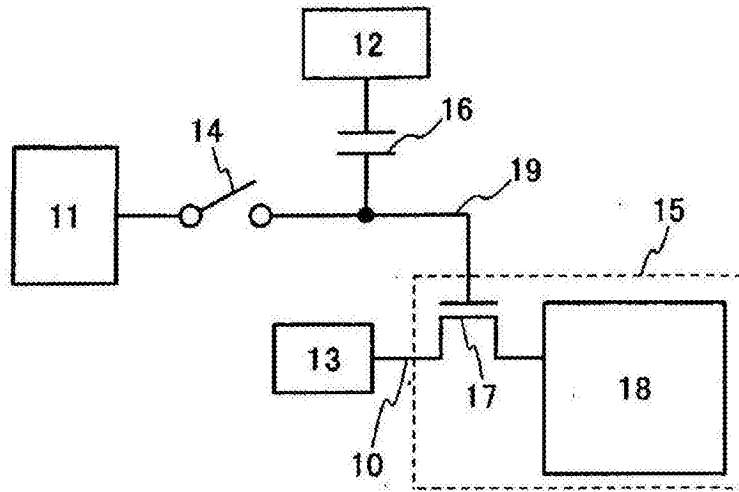


图1A

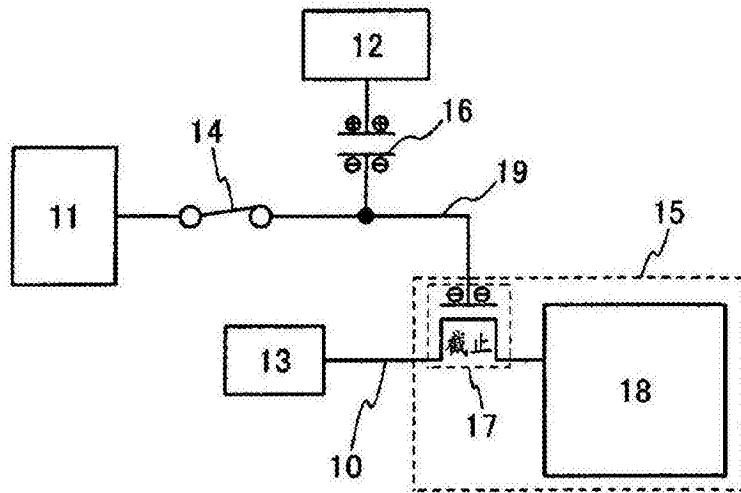


图1B

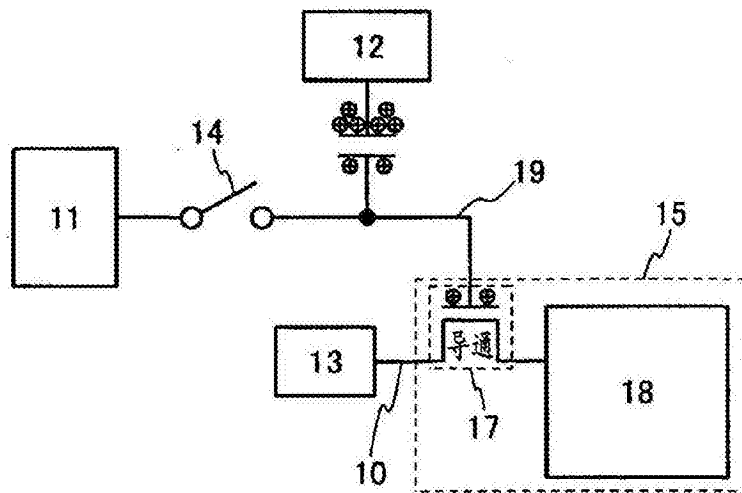


图1C

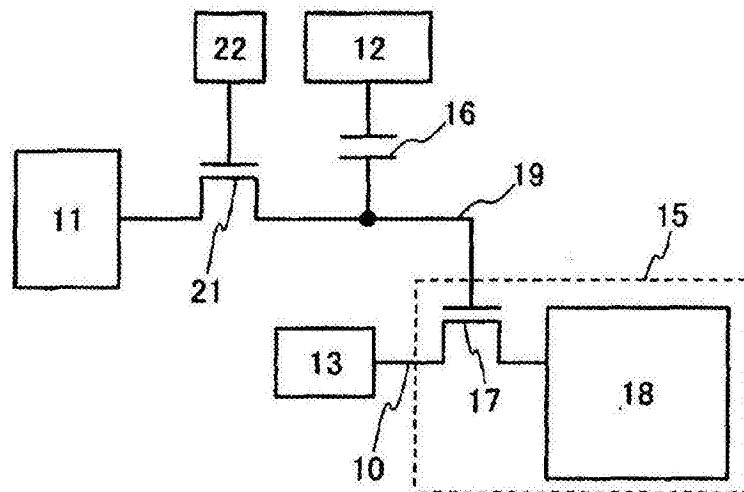


图2

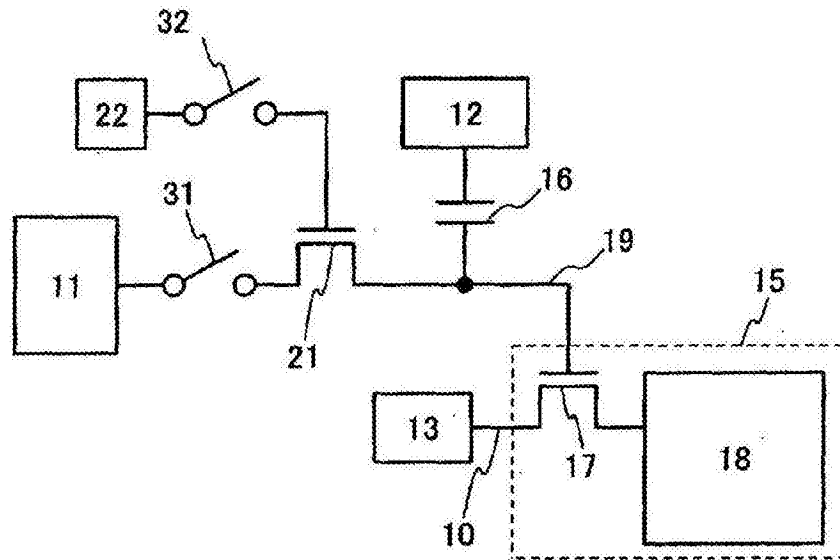


图3A

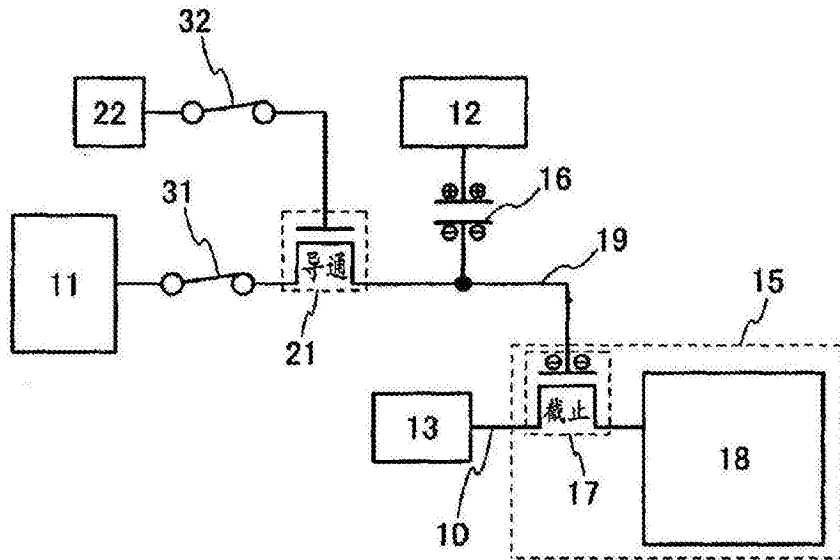


图3B

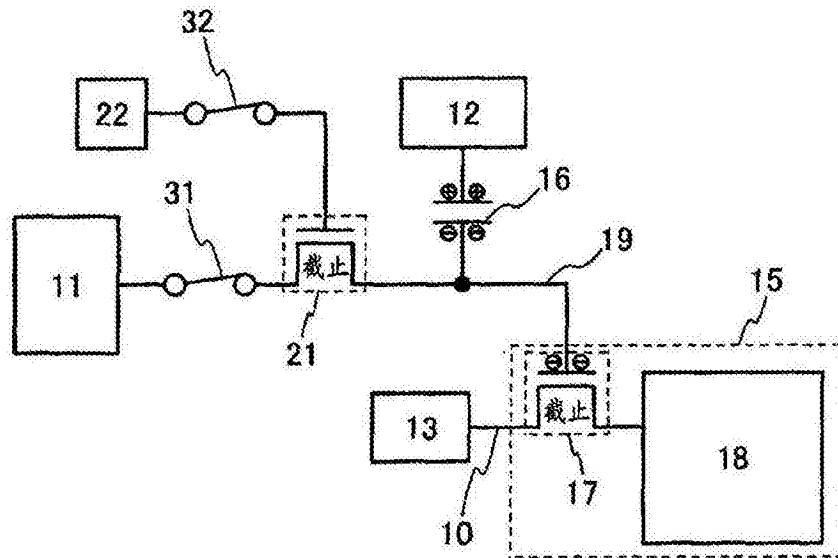


图4A

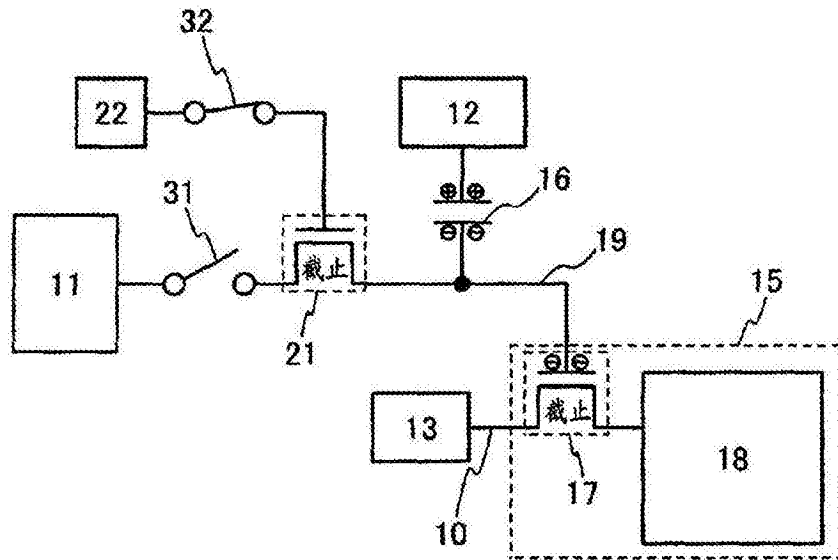


图4B

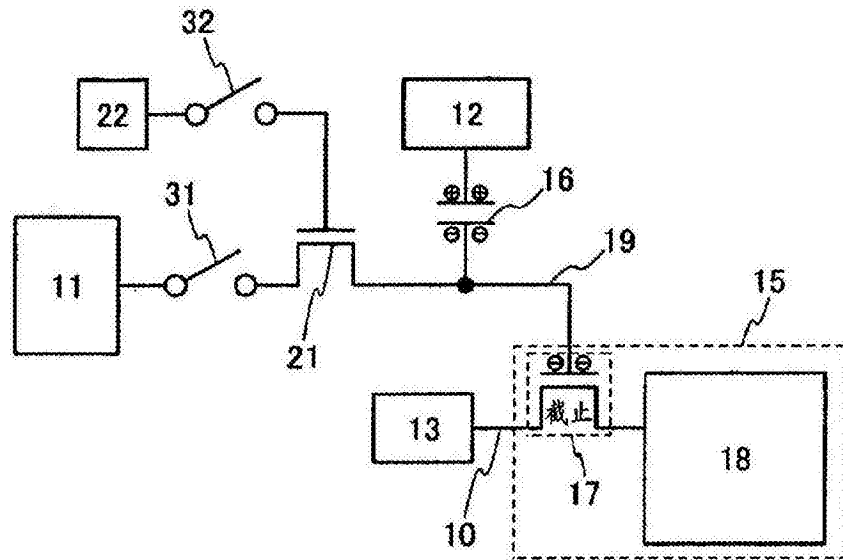


图5A

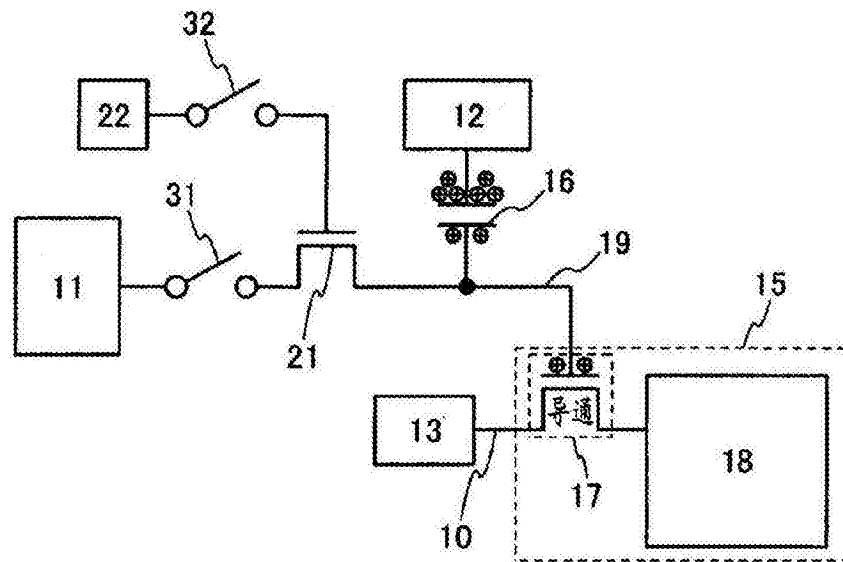


图5B

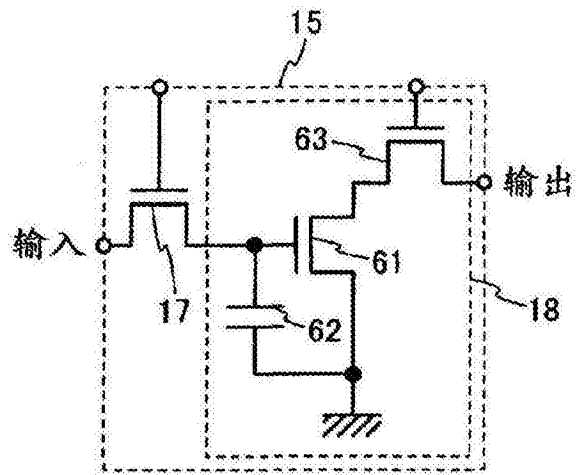


图6A

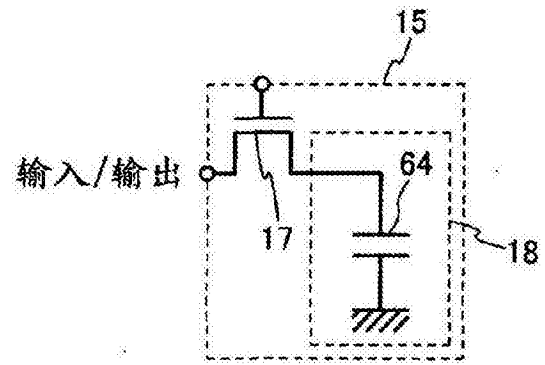


图6B

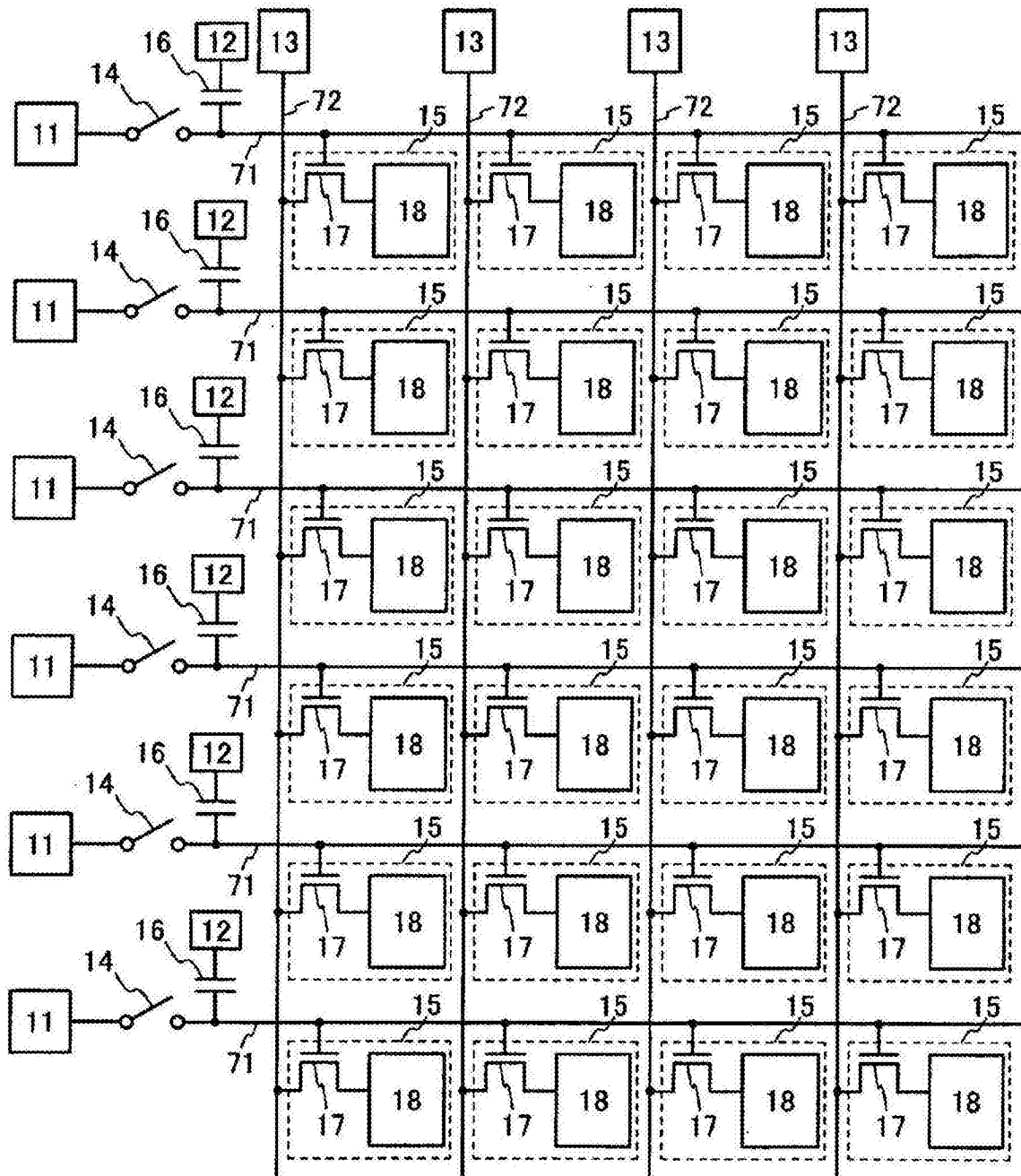


图7

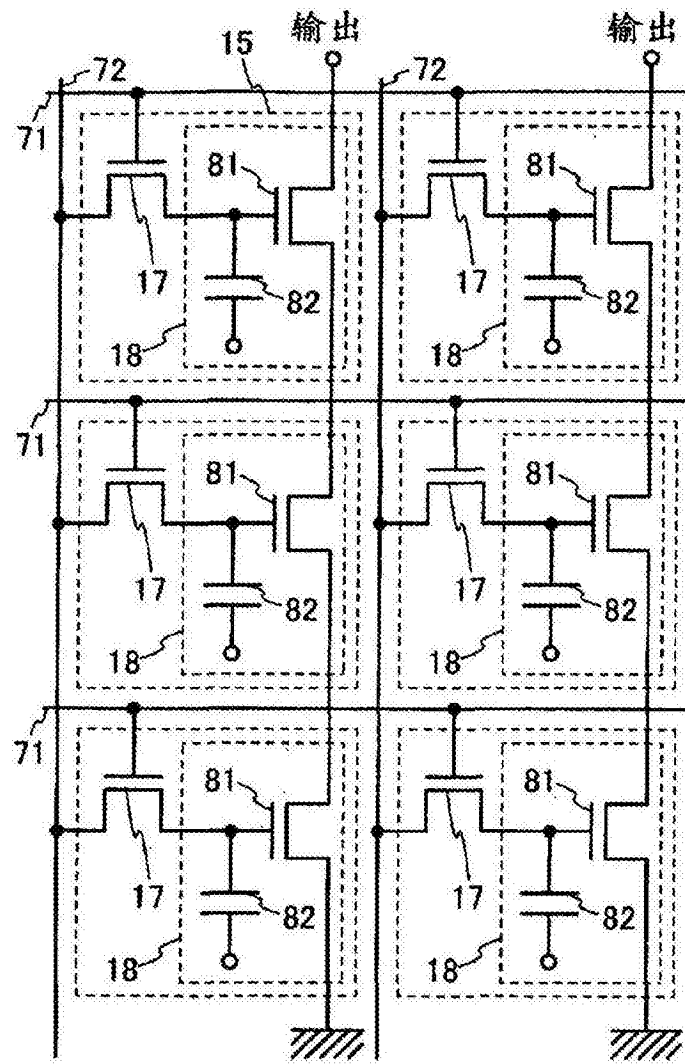


图8

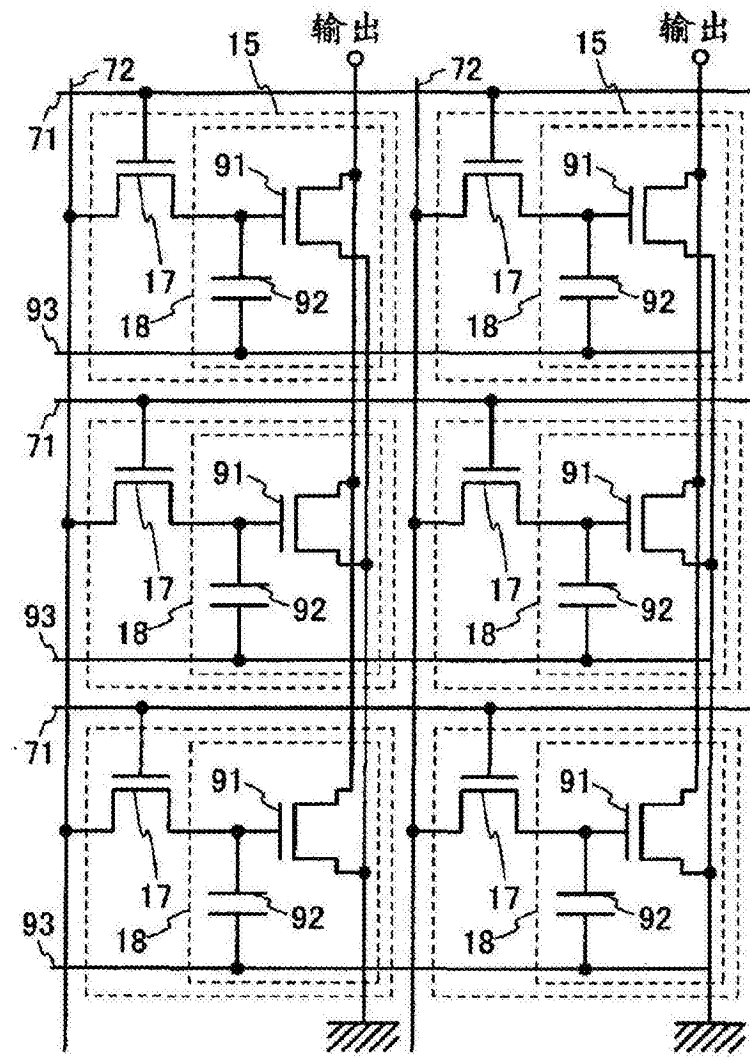


图9

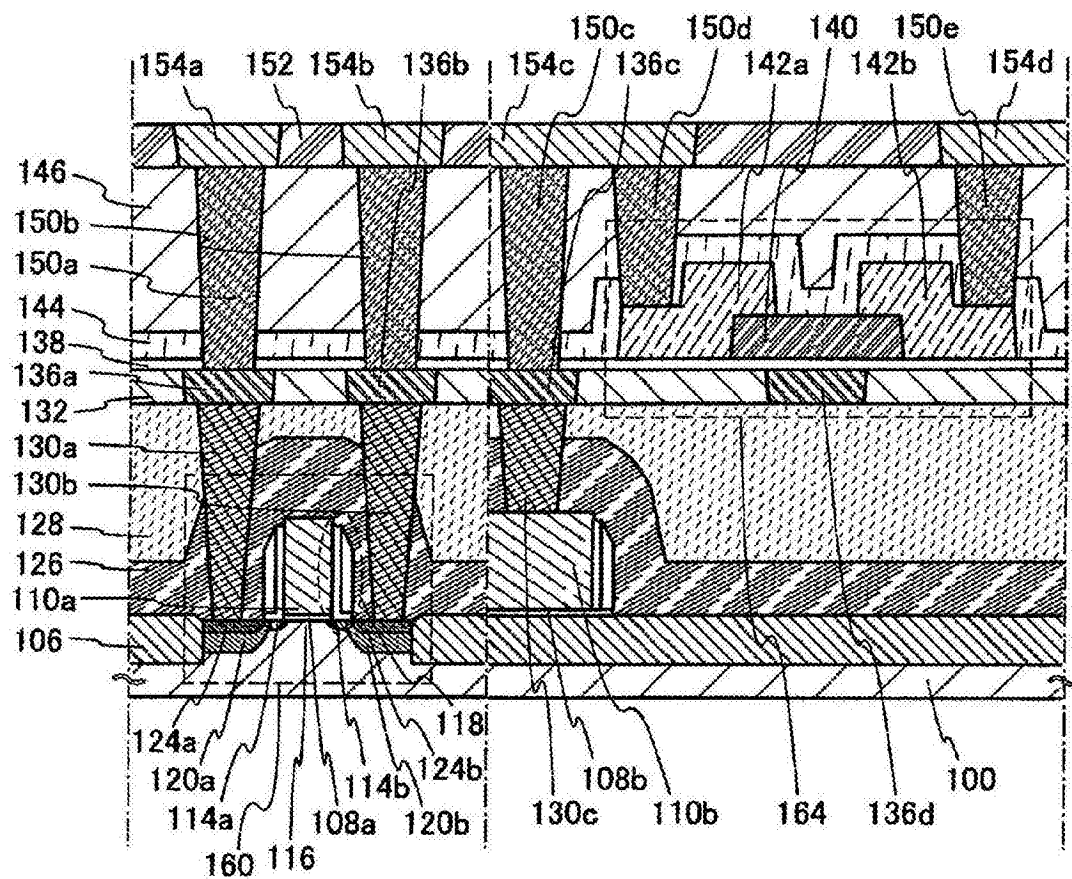


图10

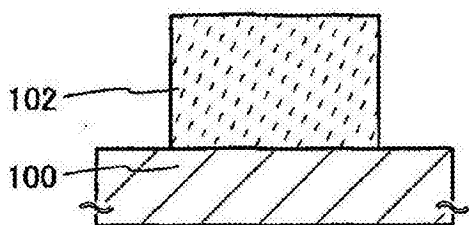


图11A

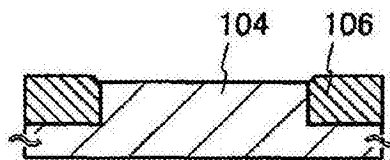


图11B

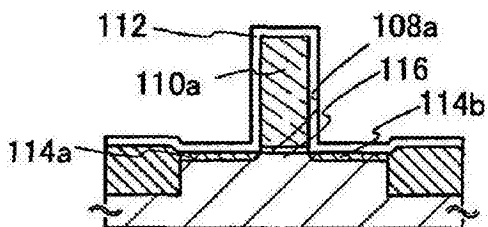


图11C

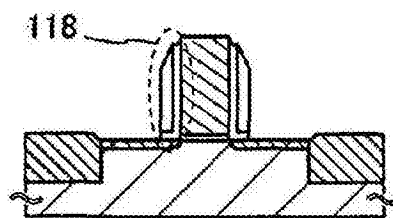


图11D

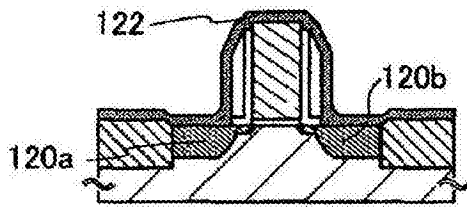


图11E

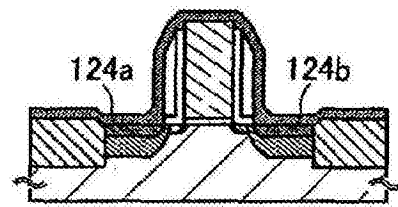


图11F

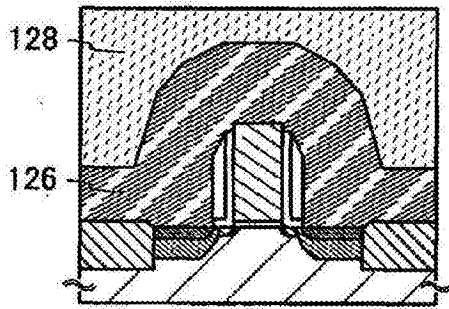


图11G

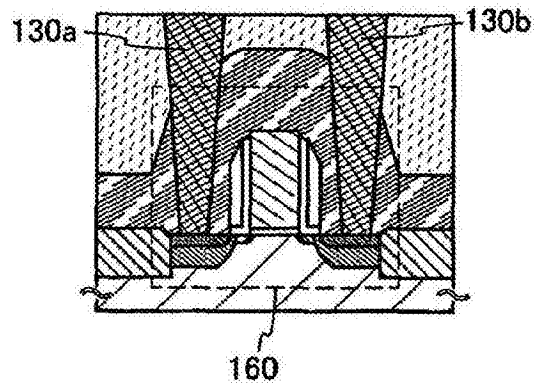


图11H

图12A

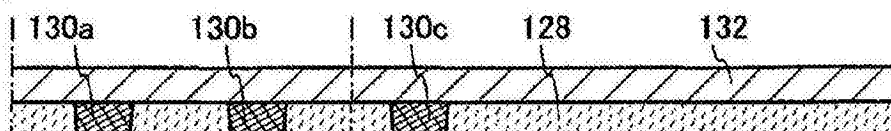


图12B

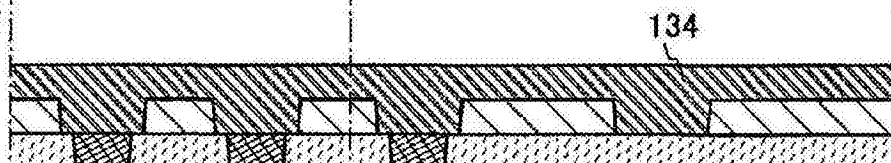


图12C

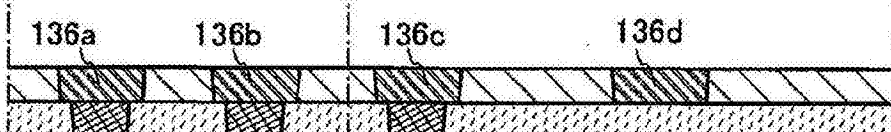


图12D

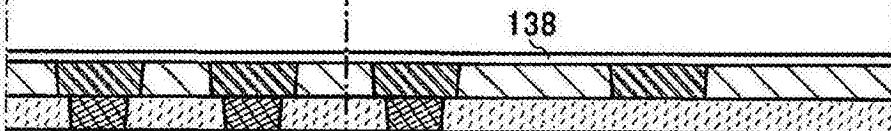


图12E

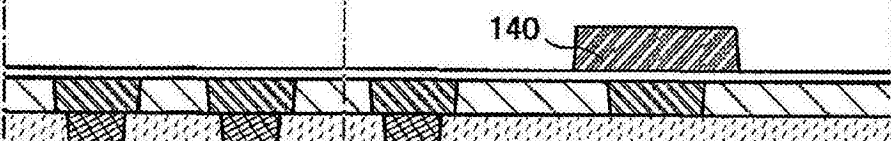


图12F

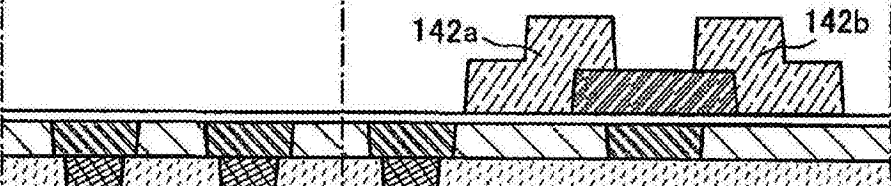


图12G

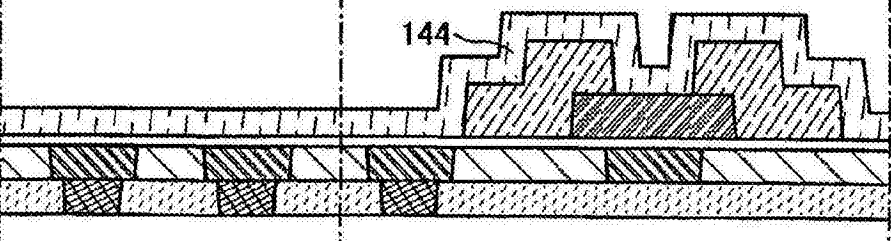


图13A

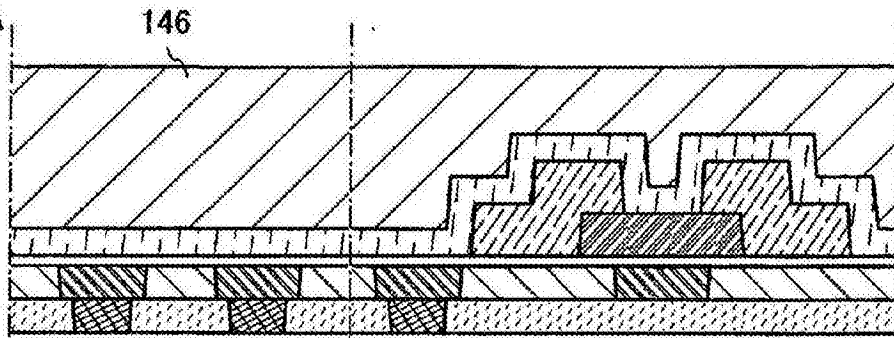


图13B

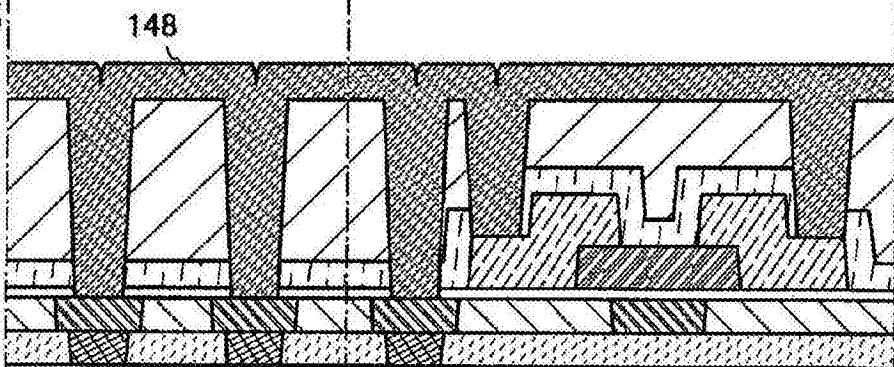


图13C

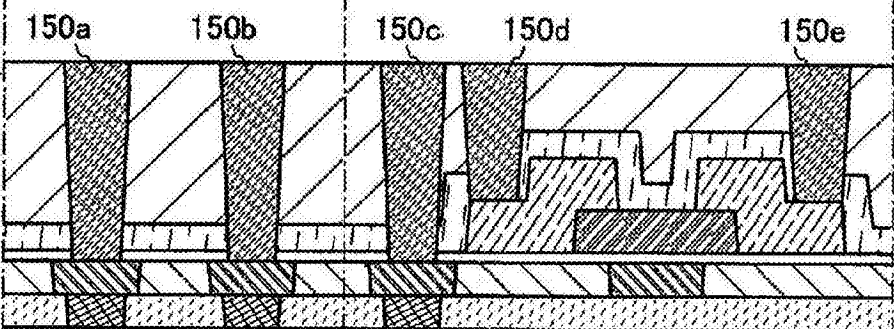
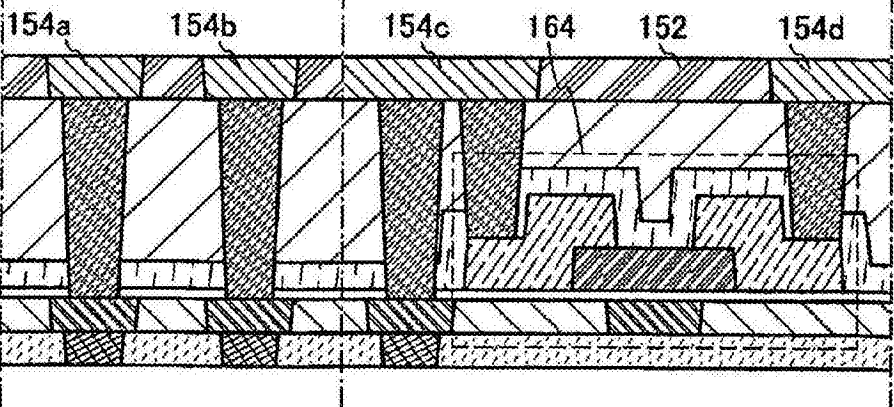


图13D



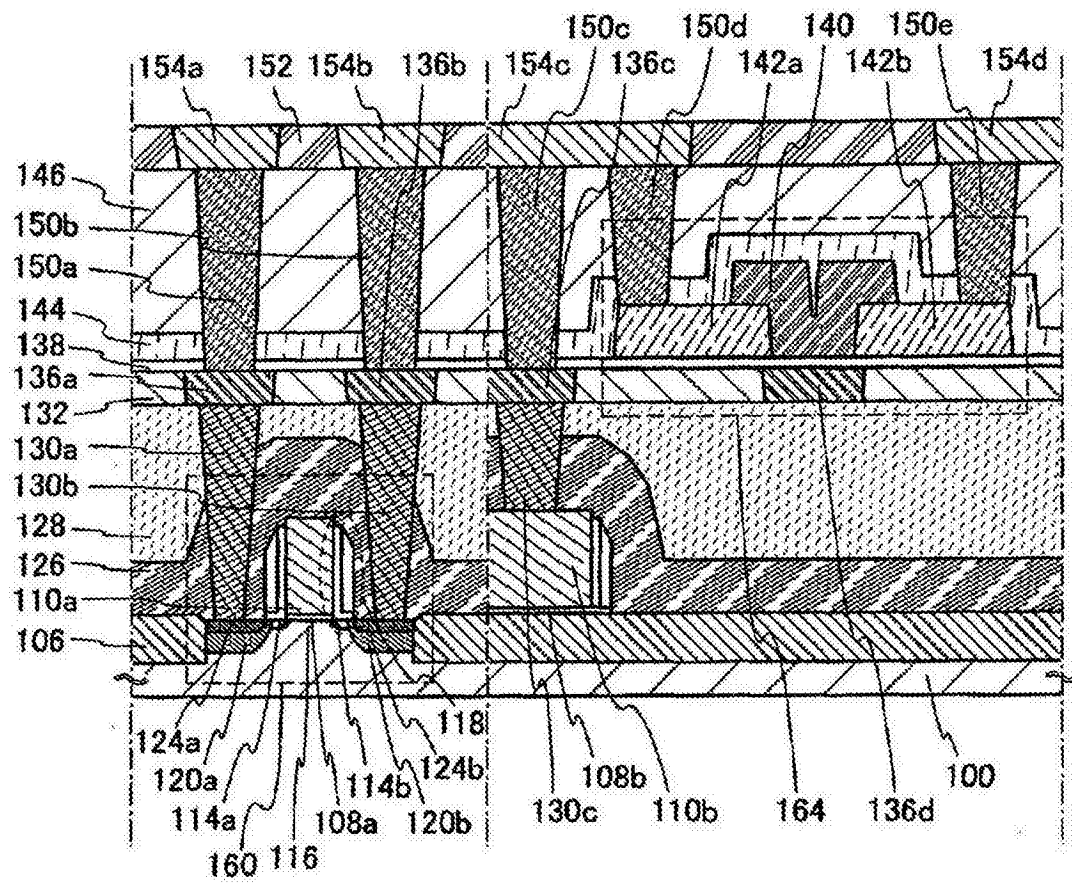


图14

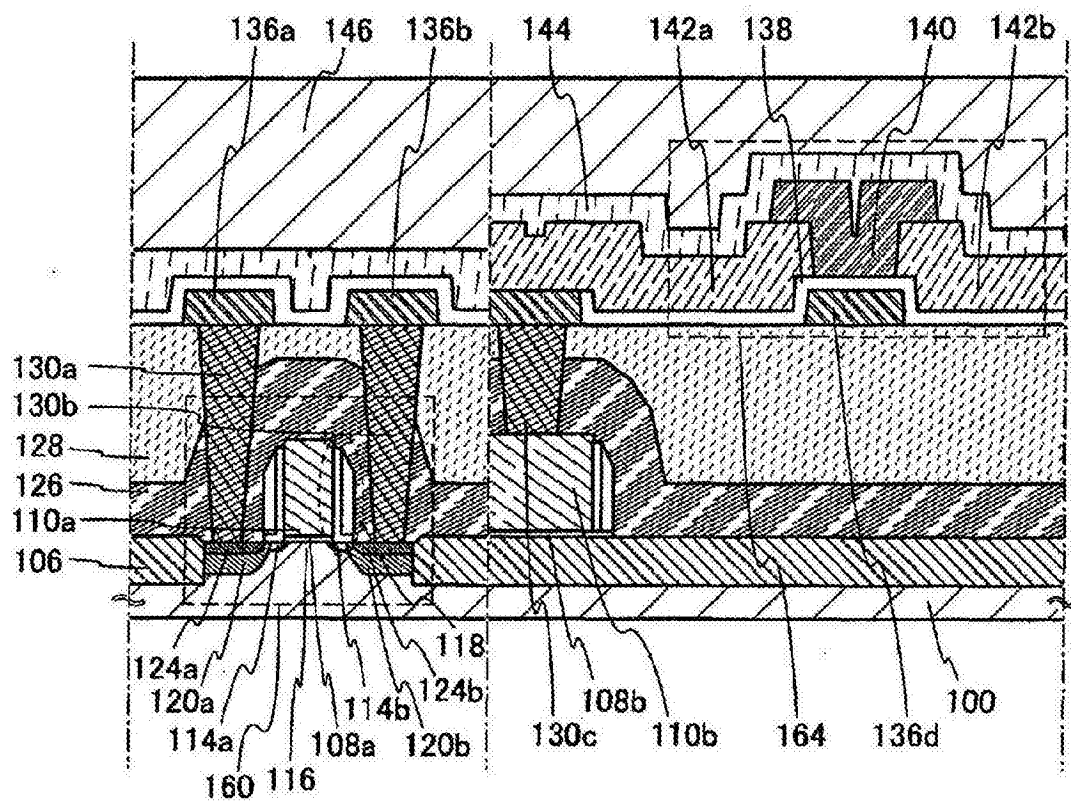


图16A

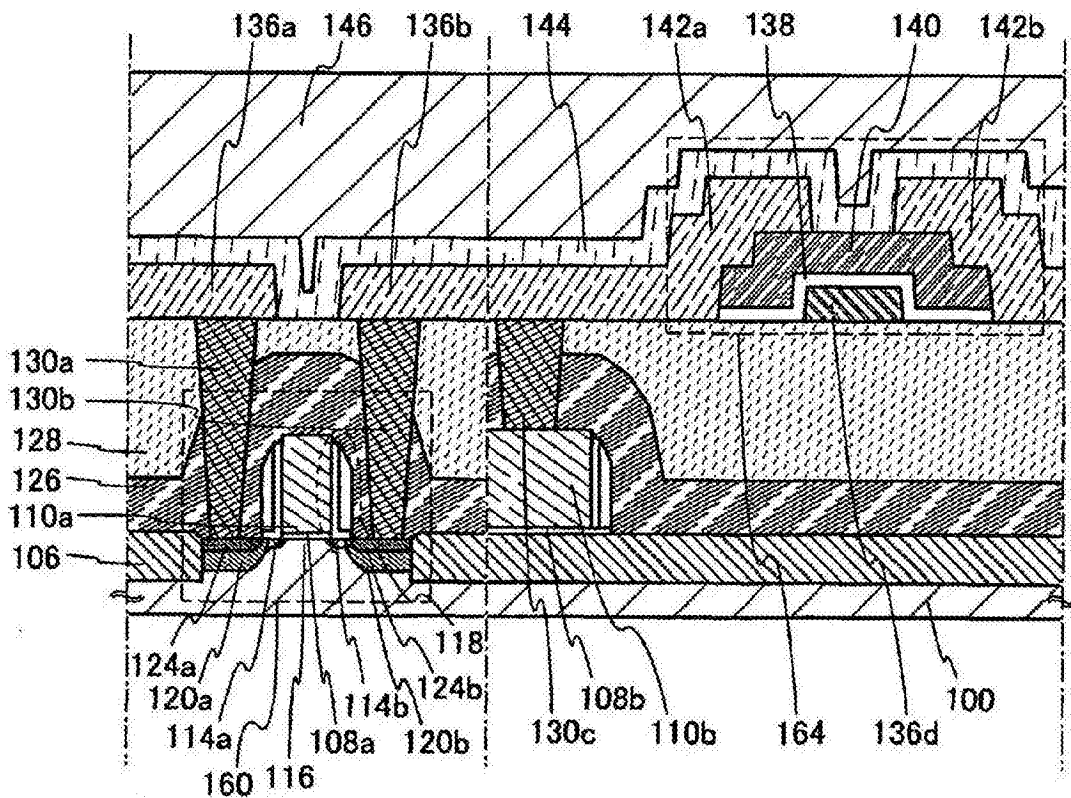


图16B

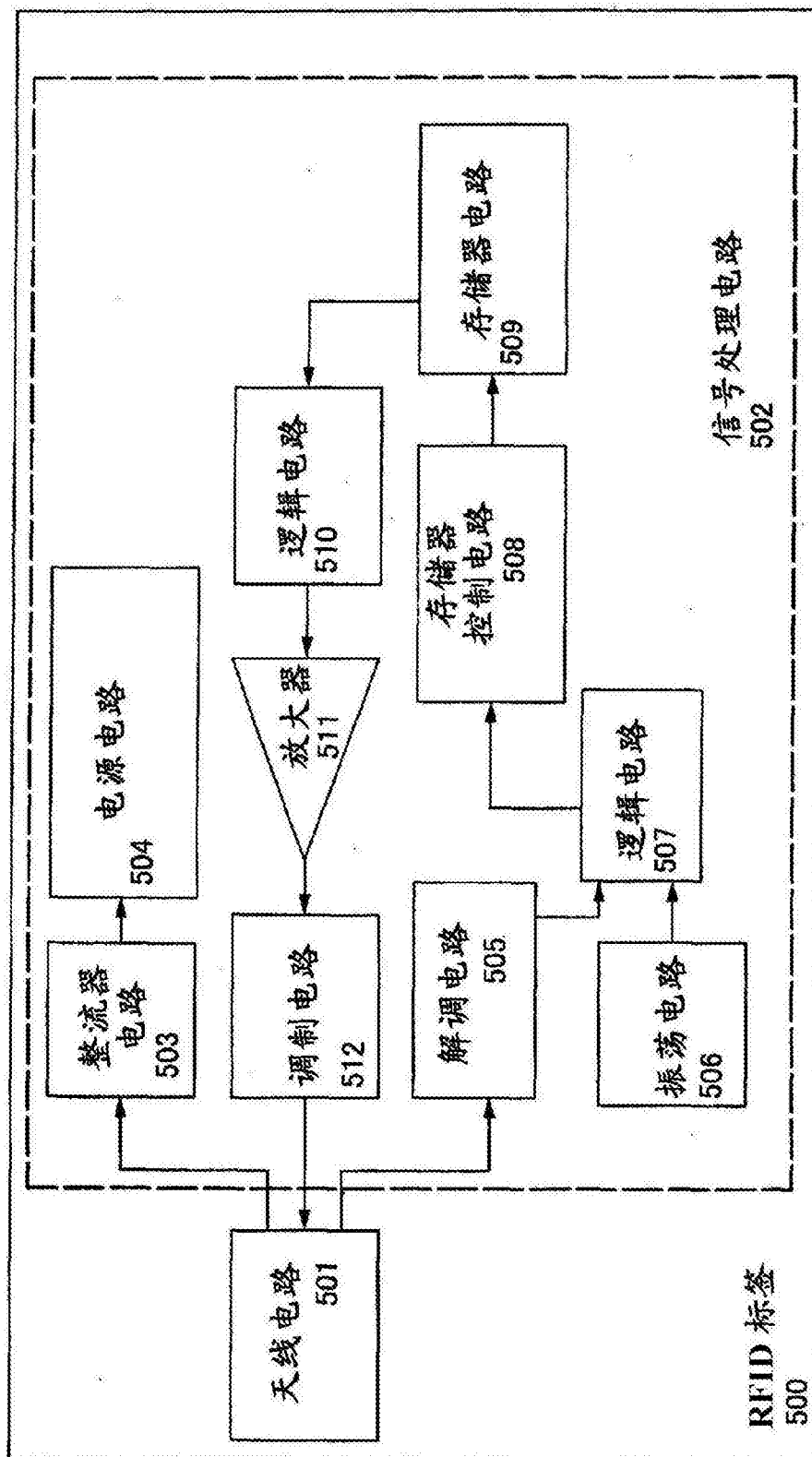


图18

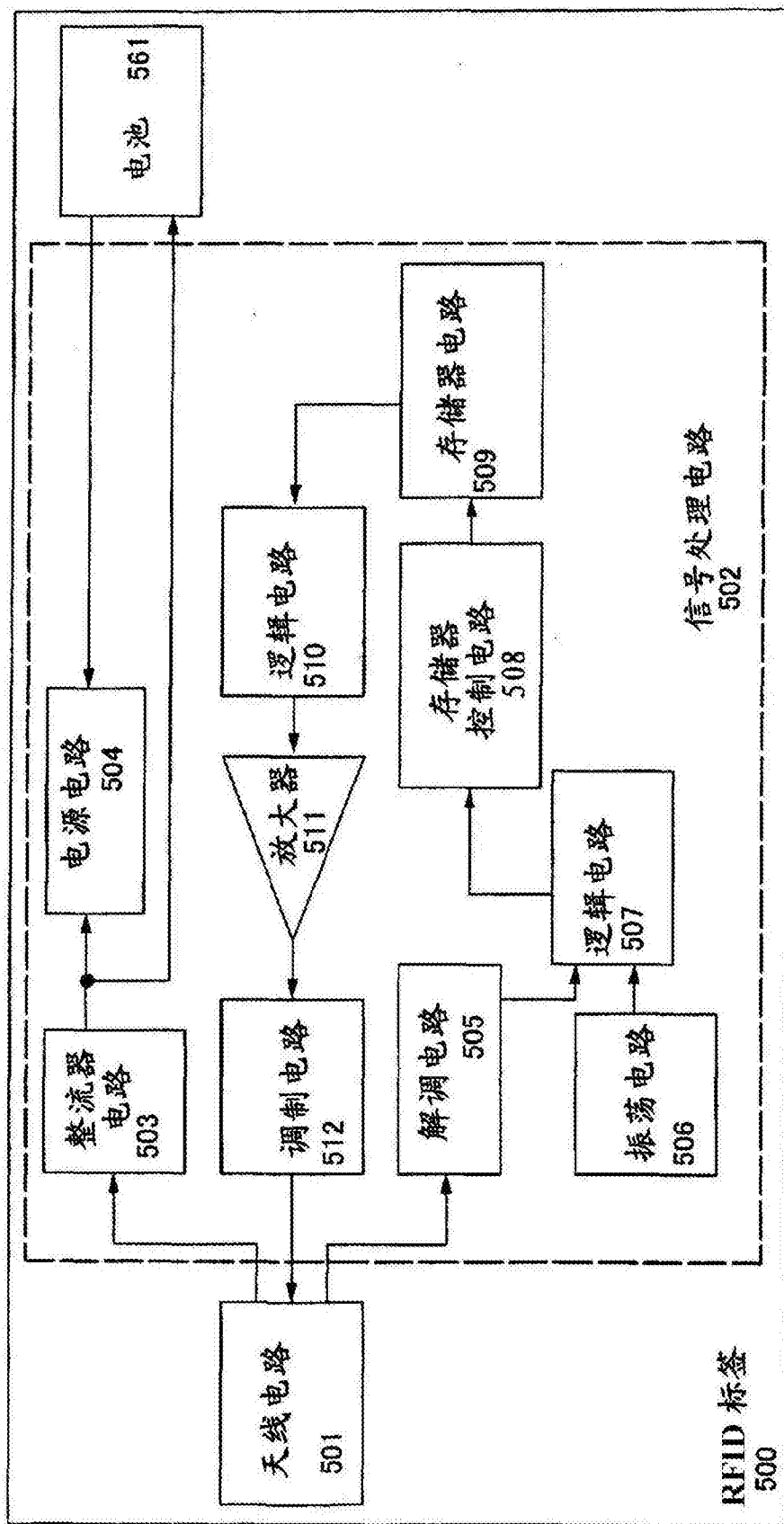


图19

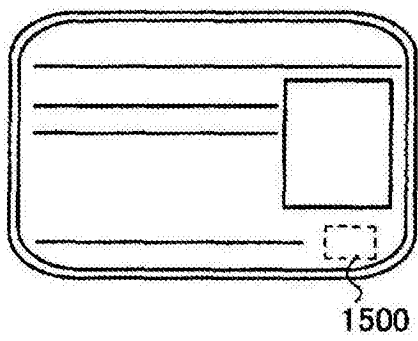


图20A

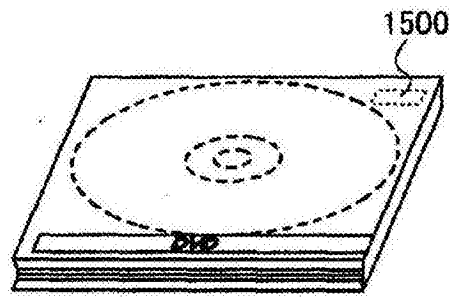


图20B

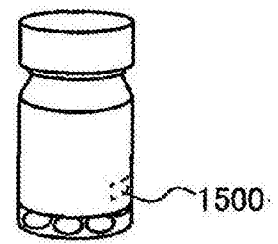


图20C

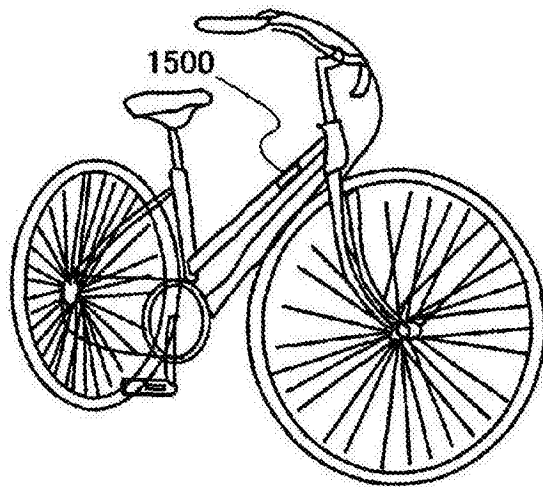


图20D

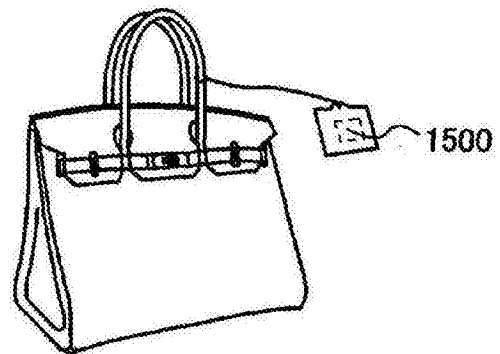


图20E

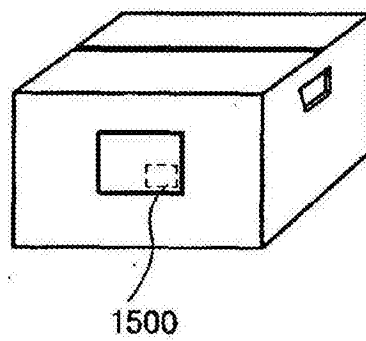


图20F