

公告本

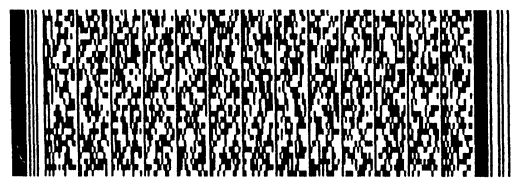
申請日期: 91. 4. 30	案號: P1109276
類別: H01L 21/56	

(以上各欄由本局填註)

發明專利說明書

536764

一、 發明名稱	中文	多晶片封裝方法及其結構
	英文	METHOD FOR MULTI-CHIP PACKAGE AND STRUCTURE THEREOF
二、 發明人	姓名 (中文)	1. 劉文俊
	姓名 (英文)	1. Wen-Chun Liu
	國籍	1. 中華民國
	住、居所	1. 高雄市高雄加工出口區東一街1號
三、 申請人	姓名 (名稱) (中文)	1. 華新先進電子股份有限公司
	姓名 (名稱) (英文)	1. Walsin Advanced Electronics LTD.
	國籍	1. 中華民國
	住、居所 (事務所)	1. 高雄市高雄加工出口區東一街1號
	代表人 姓名 (中文)	1. 焦佑衡
	代表人 姓名 (英文)	1. Chiao Yu-Heng



本案已向

國(地區)申請專利

申請日期

案號

主張優先權

無

有關微生物已寄存於

寄存日期

寄存號碼

無



五、發明說明 (1)

【發明領域】

本發明係有關於多晶片封裝方法，特別係有關於一種多晶片封裝方法以及由該方法形成之結構。

【先前技術】

習知多晶片封裝 (Multi-Chip Package, MCP) 係在一半導體封裝結構內包含有多個晶片，用以提昇記憶體容量或增加性能，習知多晶片封裝須對裸晶片先行電性測試，再將多個已知良好裸晶片 (Known Good Die, KGD) 封裝成一半導體封裝結構，依習知之多晶片封裝方法若不使用已知良好裸晶片 (KGD)，只要有一個晶片為不良將使得整個多晶片半導體封裝結構無法使用，導致相當高之報廢率，並且在封裝後該多晶片半導體封裝結構應再進行一次電性測試，以確保封裝品質，然而由於半導體晶片之製程精進以及晶片低價化趨勢，電性測試之步驟應盡可能地簡併，以降低成本。

在歐盟專利第EP1061579號「Stack type multi chip package」中，揭示一種堆疊型態之多晶片封裝結構，其係在一基板上固定有一較大尺寸之晶片，該較大尺寸之晶片上並固定有一較小尺寸之晶片，利用金屬焊線與在較大尺寸晶片上之電路層電性連接該些晶片至該基板，但此一堆疊型態之多晶片封裝結構在製造時仍應使用已知良好裸晶片 (KGD)，以避免報廢率過高，並且此多晶片封裝結構不適用於相同晶片之多晶片封裝。

【發明目的及概要】



五、發明說明 (2)

本發明之主要目的在於提供一種多晶片封裝方法，利用封裝基板之槽孔與選擇性切割之切割道，以構成多個形成於單一半導體封裝結構內共平面之電路基板，在相鄰兩電路基板之間具有一由槽孔構成之間隔，以填充絕緣膠體，達到熱應力之緩衝以及增強組合結構之強度。

本發明之次一目的在於提供一種多晶片封裝方法，其係在一封裝基板上進行多晶片之電性測試，並選擇性切割該封裝基板，以彈性製造多晶片封裝結構及單晶片封裝結構，特別適用於非已知良好裸晶片之多晶片封裝。

本發明之再一目的在於提供一種半導體封裝結構，其相鄰兩共平面電路基板之間具有一間隔，填充有絕緣膠體，達到熱應力之緩衝以及增強組合結構之強度。

依本發明之多晶片封裝方法，係在一具有槽孔之封裝基板進行黏設晶片、電性連接、形成絕緣膠體及電性測試等步驟，再依照測試結果選擇性切割該封裝基板，以形成多晶片封裝結構或單晶片封裝結構，由封裝基板之槽孔與切割道構成多個形成單一半導體封裝結構內共平面之電路基板，在相鄰兩電路基板之間具有一由槽孔構成之間隔，其填充有絕緣膠體，達到熱應力之緩衝以及增強組合結構之強度，較佳地，在選擇性切割之前在封裝基板形成外端接點，如焊球或導電凸塊。

依本發明之半導體封裝結構，其包含有對應於每一晶片之多個電路基板，該些電路基板係形成於同一平面且相鄰之電路基板具有一間隔，而絕緣膠體係填充於該間隔，



五、發明說明 (3)

以緩衝熱應力及增進對電路基板之結合，較佳地，在電路基板之周邊形成有被絕緣膠體填充之缺口。

【發明詳細說明】

請參閱所附圖式，本發明將列舉以下之實施例說明：

如第1圖所示，依本發明之多晶片封裝方法，其主要步驟包含有：「提供封裝基板」11、「黏設晶片」12、「電性連接」13、「形成絕緣膠體」14、「電性測試」16及「選擇性切割」17。

首先在「提供封裝基板」11之步驟中，如第2a圖所示，準備一封裝基板20，該封裝基板20係為由FR-4、FR-5或BT樹脂等含玻璃纖維布強化樹脂材質製成之印刷電路板或是共燒陶瓷電路板〔co-fired ceramic wiring board〕，其具有單層或多層之電路圖案，甚至是具有電路層之聚亞醯胺軟性膠膜〔polyimide flexible film〕，該封裝基板20具有第一表面21及第二表面22〔如第2d圖所示〕，在封裝基板20之第一表面21形成有複數個黏晶區23，用以封裝多個相同或不相同之晶片30，該封裝基板20並具有延伸過每一黏晶區23之槽孔24以及在黏晶區23兩側之開口25。

在「黏設晶片」12之步驟中，其係可在封裝基板20黏晶區23印刷上黏膠或是黏貼一黏性膠帶，並黏固對應之多個相同晶片30，該些晶片30係可在晶圓型態直接切割而未經測試之裸晶片，或是已經過測試之已知良好晶片

〔KGD〕，如第2b及2d圖所示，每一晶片30具有一主動面



五、發明說明 (4)

31 以及在主動面31周邊之焊墊32，晶片30之主動面31係黏設於該封裝基板20之黏晶區23，且晶片30之焊墊32係顯露於該些開口25，通常晶片30係為一記憶體晶片、微處理器、邏輯性晶片或其他晶片，例如DRAM、SRAM、SDRAM、ROM、EPROM、flash、Rambus或DDR等記憶體晶片，較佳地，該些相同晶片30係為靜態隨機存取記憶體〔SRAM〕。

在「電性連接」13之步驟中，如第2c圖所示，係以打線〔wire-bonding〕形成之第一焊線41或以TAB引線

〔Tape Automated Bonding lead〕電性連接晶片30之焊墊32至封裝基板20，較佳地，同時可形成至少一越過槽孔24之第二焊線42，以內部電性連接該封裝基板20。

在「形成絕緣膠體」14之步驟中，如第2d圖所示，其係以壓模技術〔molding〕形成絕緣性膠體50，如轉注成形〔transfer molding〕或射出成形〔injection molding〕，該絕緣性膠體50係包含有熱固性樹脂，在本實施例中，絕緣性膠體50係密封晶片30並填充於槽孔24及開口25，以密封焊線41、42及晶片30。

在「形成絕緣膠體」14之後，可進行「形成外端接點」15之步驟，如第2d圖所示，其係在封裝基板20之第二表面22形成複數個外端接點60，如錫鉛之焊球〔solder ball〕或導電凸塊，外端接點60之形成方法係可為印刷、電鍍或焊植等方式，此外，該「形成外端接點」15之步驟亦可於「電性測試」16步驟後執行。

在「電性測試」16之步驟中，如第2e圖所示，利用一

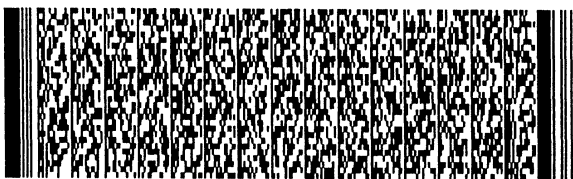


五、發明說明 (5)

裝設於測試設備之測試接觸卡70〔test probe card〕接觸該封裝基板20之外端接點60，使得封裝基板20電性耦合至測試設備，進行電性測試該些晶片30及內部電性連接〔如焊線41、42與封裝基板20〕，另一可行測試方法係為封裝基板20具有額外延伸出之測試端，以探針接觸該測試端而進行電性測試。

在「選擇性切割」17之步驟中，如第2f圖所示，依上述「電性測試」16之測試結果設定縱向與橫向選擇性之切割道26，如第2f圖所示，測試為良好之晶片30〔且其電性連接與封裝亦良好者〕係如第2f圖之「○」所示，測試為不良之晶片30〔包含不良之封裝或不良之電性連接〕係如第2f圖之「X」所示，沿切割道26選擇性縱向與橫向切割該封裝基板20，以製得良好之多〔雙〕晶片半導體封裝結構以及單晶片半導體封裝結構，其中橫向切割道26係設定於黏晶區23之外緣並切割經過該槽孔24伸出於對應黏晶區23之部位，在切割後，由該封裝基板20之槽孔24與切割道26構成多個在同一平面之電路基板27〔如第3圖所示〕，其對應於每一晶片30a、30b且被該絕緣膠體50結合成一體。

依上述之多晶片封裝方法，其係能以一般之裸晶片製造多〔雙〕晶片半導體封裝結構以及單晶片半導體封裝結構，以降低製造成本，在上述之晶片30中，其中經過電性測試後兩相鄰良好晶片30a、30b係形成如第3圖所示之半導體封裝結構，其包含有第一晶片30a，係具有一主動面



五、發明說明 (6)

31a 及在主動面31a 周邊之複數個焊墊32a，並包含有另一相同之第二晶片30b，同樣地係具有一主動面31b 及在主動面31b 周邊之複數個焊墊32b，並且第一晶片30a 之主動面31a 與第二晶片30b 之主動面31b 係形成於同一平面，第一晶片30a 與第二晶片30b 分別結合有複數個電路基板27，每一電路基板27 具有第一表面21 及第二表面22，其中第一表面21 係共平面地黏設於對應晶片30a、30b 之主動面31a、31b 且不覆蓋晶片30a、30b 之焊墊32a、32b，且在兩相鄰電路基板27 之間係具有一間隔28，其係由該封裝基板20 之槽孔24 所構成，該間隔28 係填充有絕緣膠體50，用以緩衝表面接合時之熱應力以及增強組合結構之強度，此外，該絕緣膠體50 係形成於該些電路基板27 之第一表面21 且密封焊線41、42。

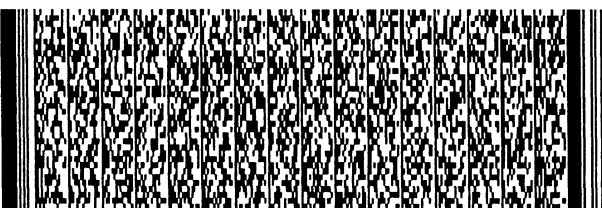
依本發明之另一具體實施例，如第4圖所示，該半導體封裝結構係為一種利用上述之半導體製造方法製作之晶片尺寸封裝結構〔Chip Scale Package, CSP〕，其包含有一半導體晶片130，該半導體晶片130 具有一主動面131 及在主動面131 之多個焊墊132，在晶片之主動面131 上黏設有第一電路基板110 與第二電路基板120，第一電路基板110 之第一表面111 與第二電路基板120 之第一表面121 係形成於同一平面並黏固於晶片130 之主動面131，且不覆蓋該晶片130 之焊墊132，而在第一電路基板110 與第二電路基板120 之間並形成有一間隔128，在本實施例中，第一電路基板110 與第二電路基板120 之周邊係分別形成有缺口



五、發明說明 (7)

113、123，以供平版壓模，第一焊線141係電性連接晶片130在周邊之焊墊132至電路基板110、120，而第二焊線142係經由該間隔128電性連接晶片130在中央之焊墊132至電路基板110、120，絕緣性膠體150係填充於該間隔128及缺口113、123而密封第一焊線141與第二焊線142，在電路基板110、120之第二表面112、122係形成有複數個外端接點160，如焊球或導電凸塊，以供表面接合，藉由第一電路基板110與第二電路基板120之間的間隔128，達到熱應力之緩衝，且延伸至該間隔128之絕緣性膠體150係具有增強晶片130與電路基板110、120之組合強度。

故本發明之保護範圍當視後附之申請專利範圍所界定者為準，任何熟知此項技藝者，在不脫離本發明之精神和範圍內所作之任何變化與修改，均屬於本發明之保護範圍。



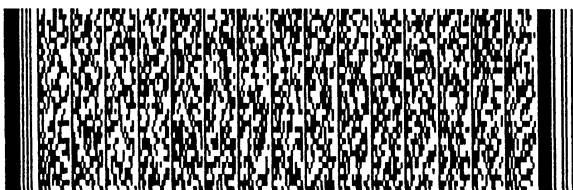
圖式簡單說明

【圖式說明】

- 第1圖：依本發明之多晶片封裝方法，該方法之製造流程圖；
- 第2a圖：依本發明之多晶片封裝方法，所提供之封裝基板之第一表面示意圖；
- 第2b圖：依本發明之多晶片封裝方法，黏設有晶片之封裝基板之第二表面示意圖；
- 第2c圖：依本發明之多晶片封裝方法，在電性連接後之封裝基板之第二表面示意圖；
- 第2d圖：依本發明之多晶片封裝方法，形成有絕緣膠體之封裝基板之第二表面示意圖；
- 第2e圖：依本發明之多晶片封裝方法，在電性測試過程之封裝基板之截面示意圖；
- 第2f圖：依本發明之多晶片封裝方法，設定選擇性切割道之封裝基板之第二表面示意圖；
- 第3圖：依本發明之多晶片封裝方法，所形成之半導體封裝結構之截面示意圖；及
- 第4圖：依本發明之另一具體實施例，半導體封裝結構之截面示意圖。

【圖號說明】

- | | | | | | |
|----|--------|----|--------|----|------|
| 11 | 提供封裝基板 | 12 | 黏設晶片 | 13 | 電性連接 |
| 14 | 形成絕緣膠體 | 15 | 形成外端接點 | 16 | 電性測試 |
| 17 | 選擇性切割 | | | | |
| 20 | 封裝基板 | 21 | 第一表面 | 22 | 第二表面 |



圖式簡單說明

23	黏晶區	24	槽孔	25	開口
26	切割道	27	電路基板	28	間隔
30	晶片	31	主動面	32	焊墊
30a	第一晶片	31a	主動面	32a	焊墊
30b	第二晶片	31b	主動面	32b	焊墊
41	第一焊線	42	第二焊線	50	絕緣性膠體
60	外端接點	70	測試接觸卡		
110	第一電路基板	111	第一表面	112	第二表面
113	缺口				
120	第二電路基板	121	第一表面	122	第二表面
123	缺口	128	間隔		
130	晶片	131	主動面	132	焊墊
141	第一焊線	142	第二焊線	150	絕緣性膠體
160	外端接點				

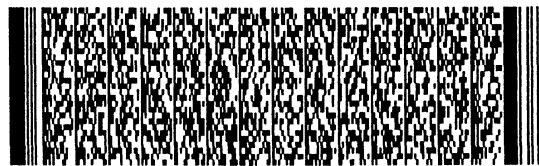
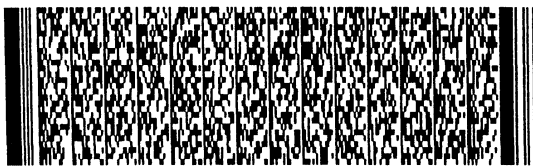


四、中文發明摘要 (發明之名稱：多晶片封裝方法及其結構)

一種多晶片封裝方法及其結構，該方法係在一具有槽孔之封裝基板進行多個黏設晶片、電性連接、形成絕緣膠體及電性測試後，選擇性切割該封裝基板，由封裝基板之槽孔與切割道構成多個形成於單一半導體封裝結構內共平面之電路基板，在相鄰兩電路基板之間具有一由槽孔構成之間隔，其填充有絕緣膠體，達到熱應力之緩衝以及增強組合結構之強度。

英文發明摘要 (發明之名稱：METHOD FOR MULTI-CHIP PACKAGE AND STRUCTURE THEREOF)

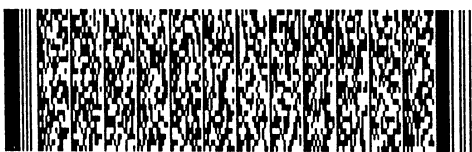
A method for multi-chip package and a structure thereof are provided. The method comprises the steps of chip-attaching of same chips, electrically connecting, encapsulating and electrically testing on a package substrate with channel holes. The package substrate is selectively cut so as to form a semiconductor package with a plurality of coplanar wiring substrates by the channel holes and cutting lines. A space between two adjacent wiring substrates is



四、中文發明摘要 (發明之名稱：多晶片封裝方法及其結構)

英文發明摘要 (發明之名稱：METHOD FOR MULTI-CHIP PACKAGE AND STRUCTURE THEREOF)

formed from corresponding channel hole and is filled with the isolated encapsulant so as to have cushioning effect for reducing thermal stress and to improve the structure strength of the assembled package.



六、申請專利範圍

【申請專利範圍】

1、一種多晶片封裝方法，其包含之步驟有：

提供一封裝基板，其具有第一表面與第二表面，其中第一表面係形成有複數個黏晶區以及延伸過該黏晶區之槽孔；

黏設複數個晶片至對應之黏晶區，該些晶片之主動面係黏設於該封裝基板之第一表面；

電性連接該些晶片與該封裝基板；

形成絕緣膠體；

電性測試該些在封裝基板上之晶片；及

依測試結果，選擇性切割該封裝基板，其中切割道係經過該槽孔伸出於該黏晶區之部位，以形成複數個在同一平面之電路基板，其係被該絕緣膠體結合。

2、如申請專利範圍第1項所述之多晶片封裝方法，其中該些晶片係為相同晶片。

3、如申請專利範圍第1項所述之多晶片封裝方法，其另包含有：形成外端接點於該封裝基板之第二表面。

4、如申請專利範圍第1項所述之多晶片封裝方法，其中在「形成絕緣膠體」之步驟中，該絕緣性膠體係填充於該槽孔並密封該些晶片。

5、如申請專利範圍第1項所述之多晶片封裝方法，其中在「黏設晶片至黏晶區」之步驟中，該些晶片係形成有在主動面周邊之焊墊。

6、如申請專利範圍第1項所述之多晶片封裝方法，其中



六、申請專利範圍

在「電性連接晶片與封裝基板」之步驟中，另包含有：
內部電性連接該封裝基板。

7、一種半導體封裝結構，其包含：

第一晶片，係具有一主動面及在主動面周邊之複數個焊墊；

第二晶片，係具有一主動面及在主動面周邊之複數個焊墊，且第一晶片之主動面與第二晶片之主動面係形成於同一平面；

複數個電路基板，每一電路基板具有第一表面及第二表面，其中第一表面係共平面地黏設於對應晶片之主動面且不覆蓋該晶片之焊墊，且在兩相鄰電路基板之間係具有一間隔；

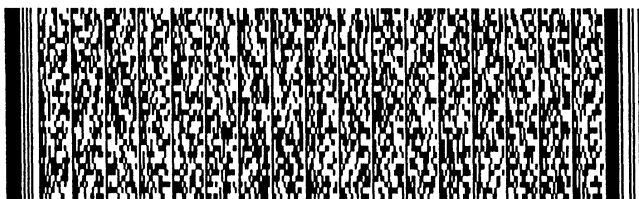
複數個電性連接裝置，電性連接第一晶片之焊墊至對應電路基板及第二晶片之焊墊至對應電路基板；及
一絕緣性膠體，密封該些電性連接裝置。

8、如申請專利範圍第7項所述之半導體封裝結構，其中該絕緣性膠體填充於該些間隔。

9、如申請專利範圍第7項所述之半導體封裝結構，其中該絕緣膠體係密封第一晶片與第二晶片。

10、如申請專利範圍第7項所述之半導體封裝結構，其另包含有複數個焊球，形成於該些電路基板之第二表面。

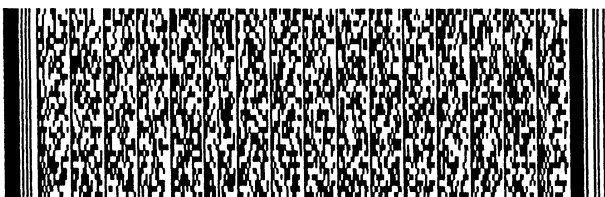
11、如申請專利範圍第7項所述之半導體封裝結構，其中該些電路基板之周邊係形成有缺口。



六、申請專利範圍

- 12、如申請專利範圍第7項所述之半導體封裝結構，其另包含有第二電性連接裝置，電性連接兩相鄰之電路基板。
- 13、如申請專利範圍第7項所述之半導體封裝結構，其另包含有第二電性連接裝置，係經由該間隔電性連接電路基板與對應之晶片。
- 14、一種半導體封裝結構，其包含：
至少一晶片，係具有一主動面及在主動面周邊之複數個焊墊；
複數個電路基板，每一電路基板具有第一表面及第二表面，其中第一表面係共平面地黏設於該晶片之主動面且不覆蓋該晶片之焊墊，且在兩相鄰電路基板之間係具有一間隔；
複數個電性連接裝置，電性連接該晶片之焊墊至對應電路基板；及
一絕緣性膠體，密封該些電性連接裝置。
- 15、如申請專利範圍第14項所述之半導體封裝結構，其中該絕緣膠體係填充於該間隔。
- 16、如申請專利範圍第14項所述之半導體封裝結構，其中該絕緣膠體係密封該晶片。
- 17、如申請專利範圍第14項所述之半導體封裝結構，其另包含有複數個焊球，形成於該些電路基板之第二表面。
- 18、如申請專利範圍第14項所述之半導體封裝結構，其

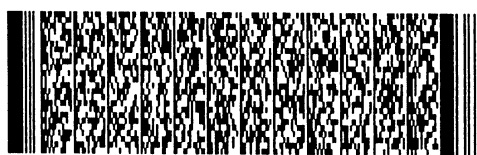
威



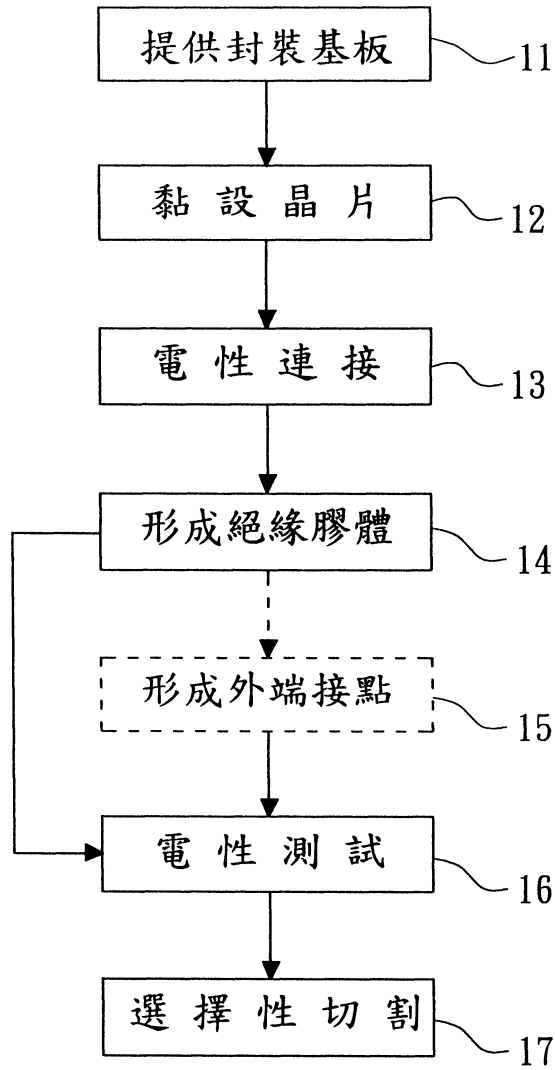
六、申請專利範圍

中該些電路基板之周邊係形成有缺口。

- 19、如申請專利範圍第14項所述之半導體封裝結構，其另包含有第二電性連接裝置，電性連接兩相鄰之電路基板。
- 20、如申請專利範圍第14項所述之半導體封裝結構，其另包含有第二電性連接裝置，係經由該間隔電性連接該晶片與電路基板。

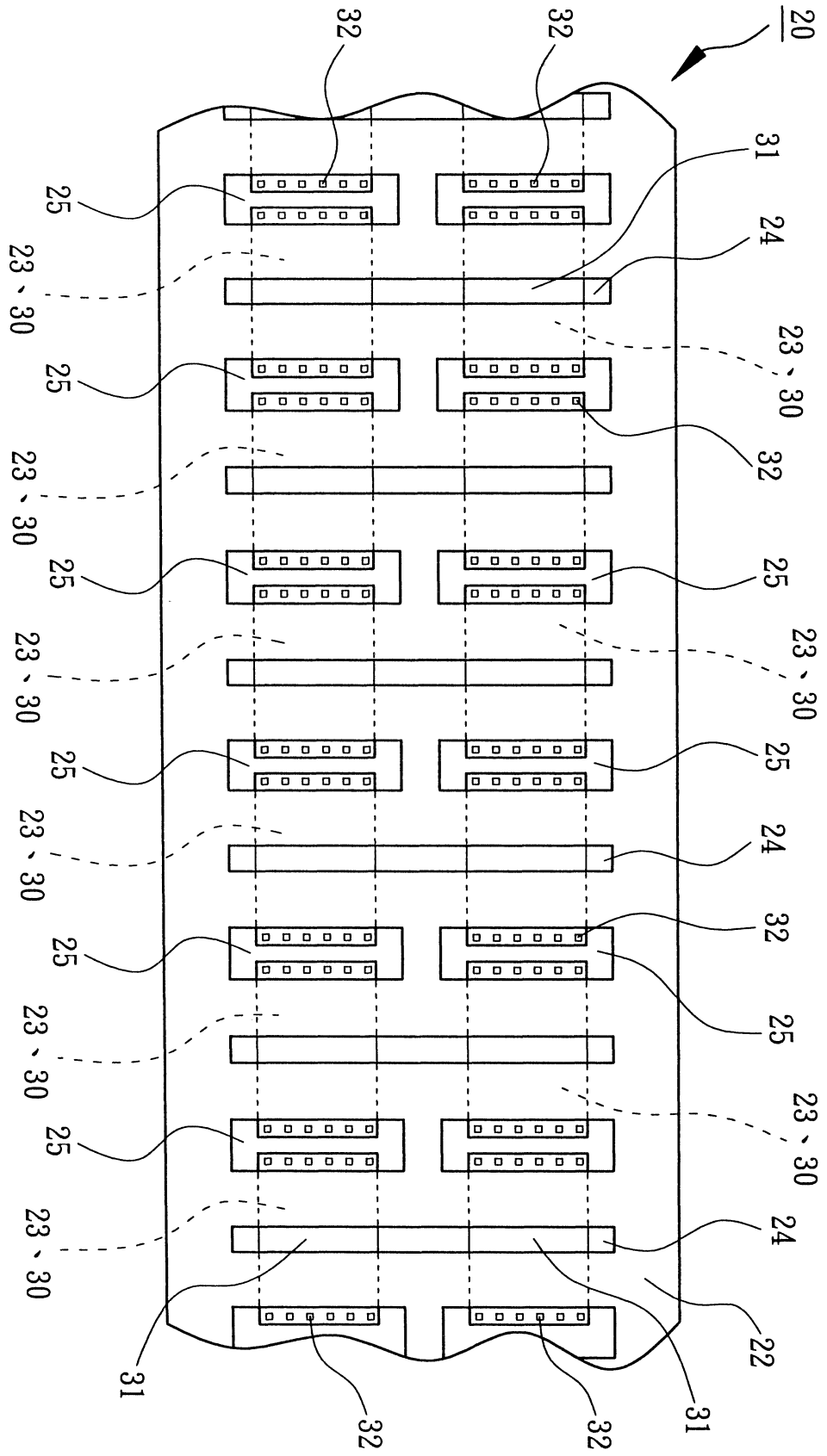


圖式



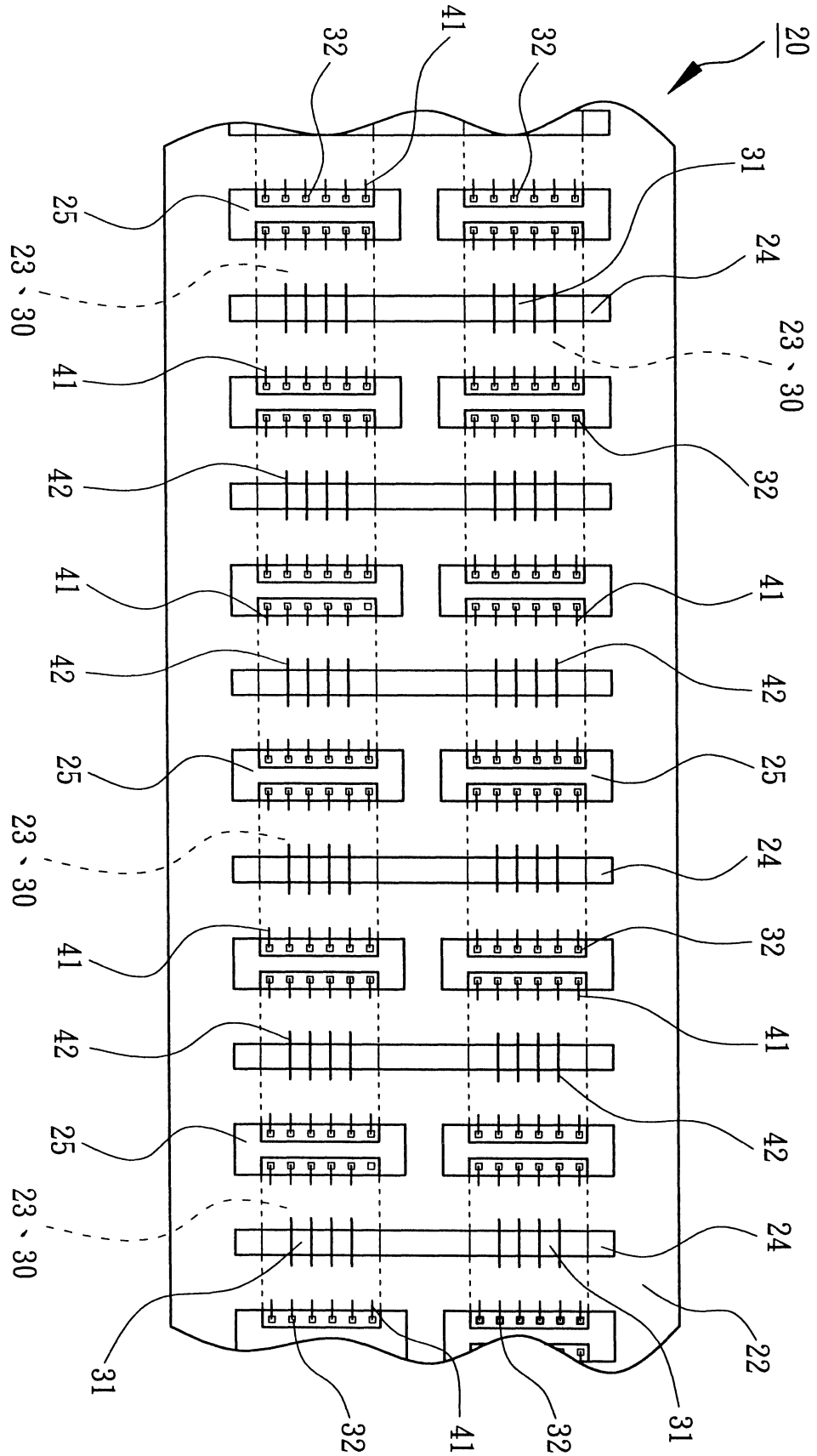
第 1 圖

圖式

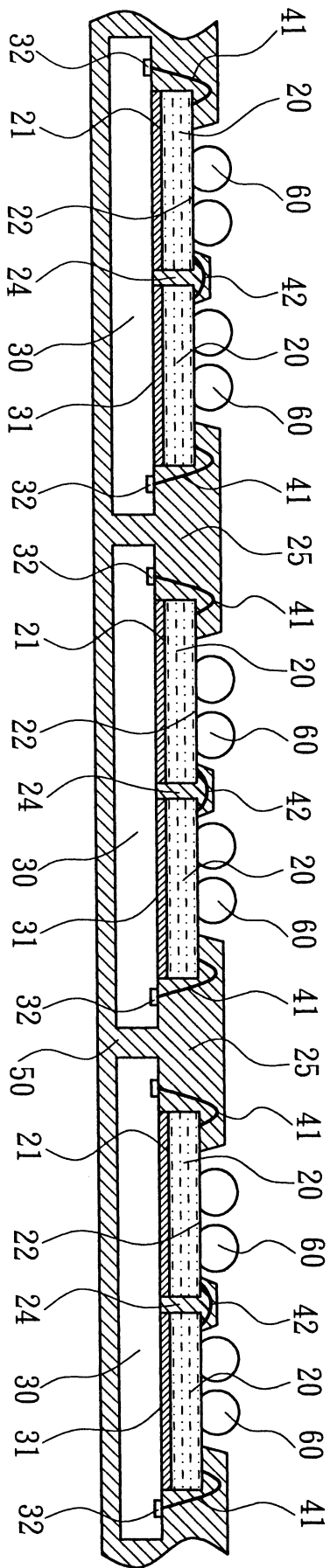


第 2b 圖

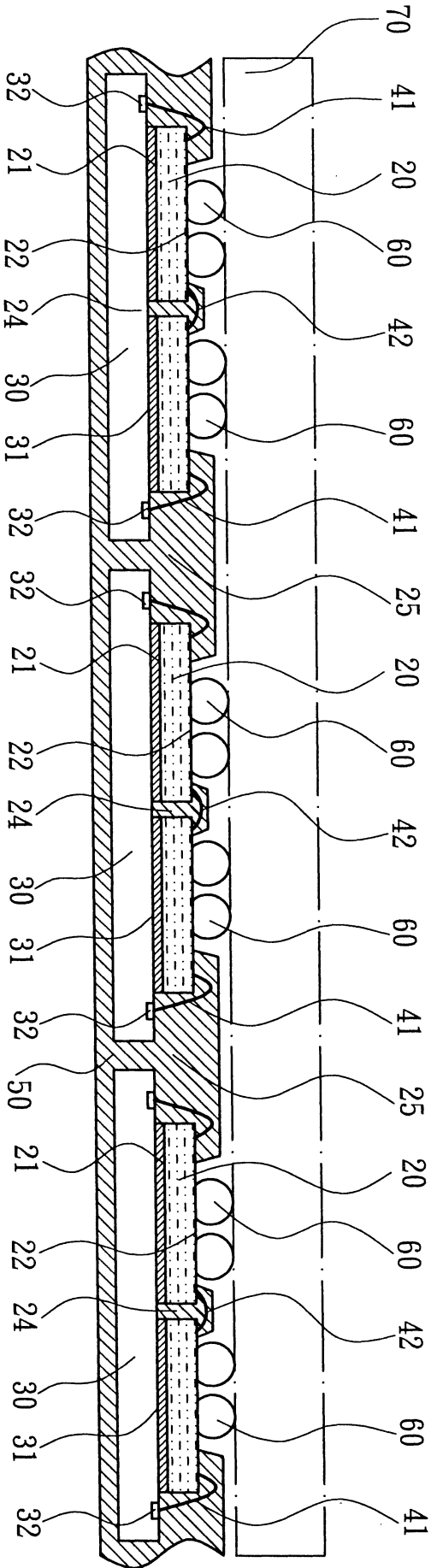
圖式



第 2C 圖

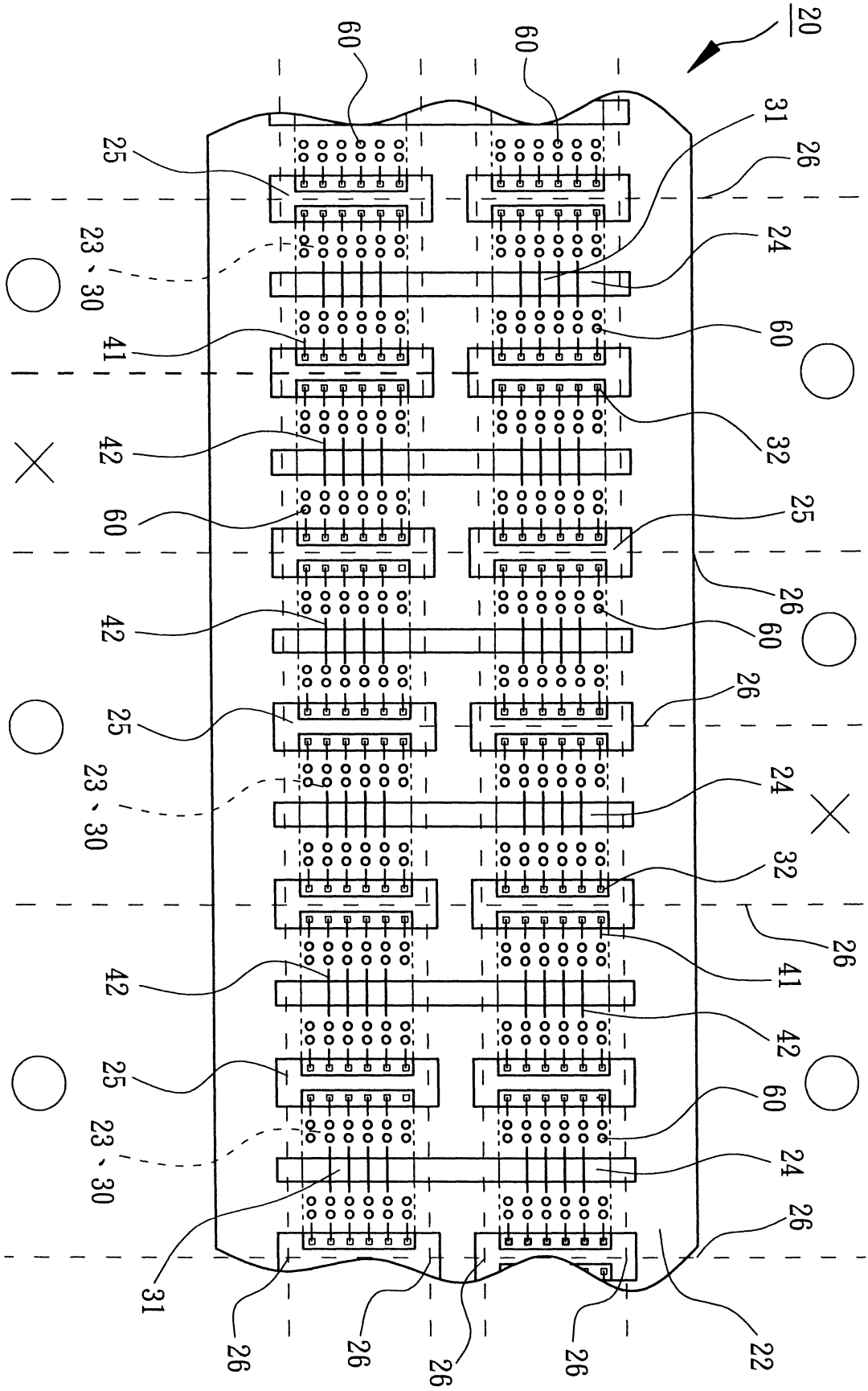


第 2d 圖



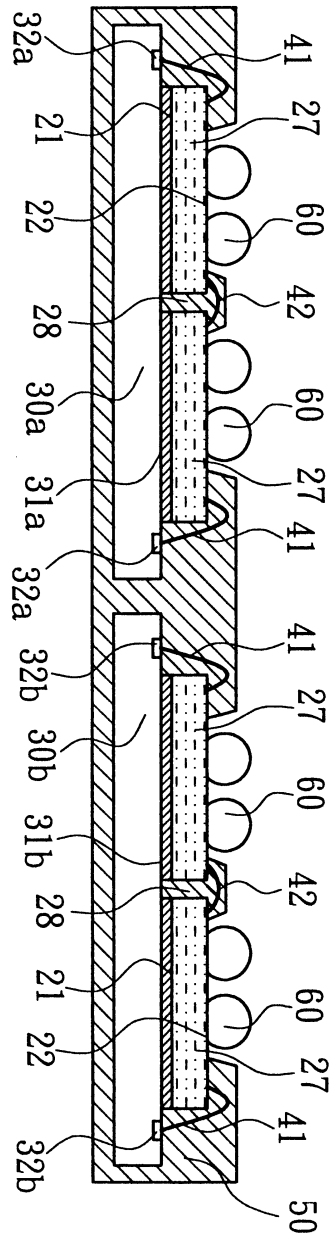
圖式

第 2e 圖

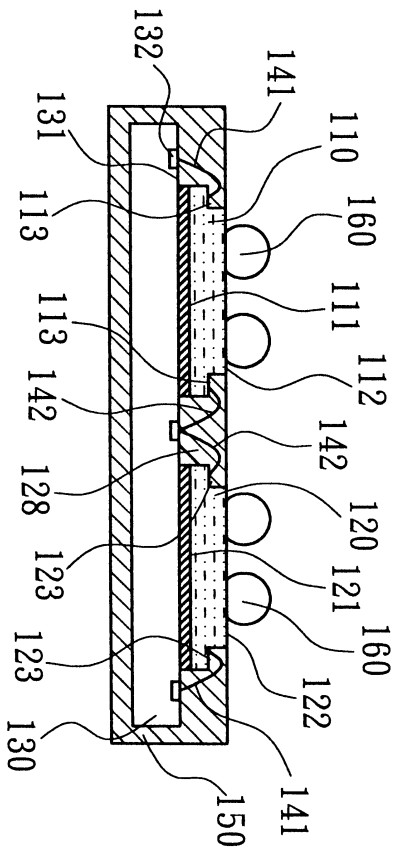


圖式

第 2f 圖



第 3 圖



第 4 圖

圖式