

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6250123号
(P6250123)

(45) 発行日 平成29年12月20日(2017.12.20)

(24) 登録日 平成29年12月1日(2017.12.1)

(51) Int.Cl.

F I

H O 1 L 27/1156 (2017.01)

H O 1 L 27/1156

請求項の数 3 (全 44 頁)

(21) 出願番号	特願2016-190578 (P2016-190578)	(73) 特許権者	000153878
(22) 出願日	平成28年9月29日(2016.9.29)		株式会社半導体エネルギー研究所
(62) 分割の表示	特願2015-106098 (P2015-106098) の分割	(72) 発明者	山崎 舜平
原出願日	平成23年8月23日(2011.8.23)		神奈川県厚木市長谷398番地 株式会社
(65) 公開番号	特開2017-55121 (P2017-55121A)		半導体エネルギー研究所内
(43) 公開日	平成29年3月16日(2017.3.16)	(72) 発明者	小山 潤
審査請求日	平成28年9月29日(2016.9.29)		神奈川県厚木市長谷398番地 株式会社
(31) 優先権主張番号	特願2010-190344 (P2010-190344)		半導体エネルギー研究所内
(32) 優先日	平成22年8月27日(2010.8.27)		
(33) 優先権主張国	日本国(JP)	審査官	上田 智志

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

第1のゲート電極及び第2のゲート電極を備える第1のトランジスタと、
第3のゲート電極及び第4のゲート電極を備える第2のトランジスタと、を有し、
前記第2のトランジスタの前記第3のゲート電極は、前記第2のトランジスタのソース
又はドレインと電氣的に接続され、

前記第2のトランジスタの前記第4のゲート電極は、前記第2のトランジスタの前記第
3のゲート電極と電氣的に接続され、

前記第2のトランジスタを介して、前記第1のトランジスタの前記第2のゲート電極に
接地電位よりも低い電位を与えることにより、前記第1のトランジスタの閾値電圧をプラス
側にシフトさせることを特徴とする半導体装置。

【請求項2】

第1のゲート電極及び第2のゲート電極を備える第1のトランジスタと、
第3のゲート電極及び第4のゲート電極を備える第2のトランジスタと、を有し、
前記第2のトランジスタの前記第3のゲート電極は、前記第2のトランジスタのソース
又はドレインの一方と電氣的に接続され、

前記第2のトランジスタの前記第3のゲート電極は、前記第1のトランジスタの前記第
2のゲート電極と電氣的に接続され、

前記第2のトランジスタの前記第4のゲート電極は、前記第2のトランジスタの前記第
3のゲート電極と電氣的に接続され、

10

20

前記第2のトランジスタのソース又はドレインの他方に接地電位よりも低い電位を与えることにより、前記第1のトランジスタの閾値電圧をプラス側にシフトさせることを特徴とする半導体装置。

【請求項3】

請求項1又は請求項2において、

前記第1のトランジスタは、チャネル形成領域に酸化半導体を有することを特徴とする半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

不揮発性の半導体記憶装置に係り、データを保持するメモリセルの構成に関する。

【背景技術】

【0002】

半導体記憶装置（以下、単に記憶装置とする）には、揮発性メモリに分類されるDRAM、SRAM、不揮発性メモリに分類されるマスクROM、EPROM、EEPROM、フラッシュメモリ、強誘電体メモリなどがあり、単結晶の半導体基板を用いて形成されたこれらのメモリの多くは既に実用化されている。上記の半導体メモリの中でも、フラッシュメモリは、データの書き込みと消去を繰り返し行うことができ、電源の供給がなくてもデータの保持が可能な不揮発性メモリであるために、利便性が高く、また、物理的な衝撃に強いので、主にUSBメモリ、メモリーカードなどの携帯型の記憶媒体に用いられ、市場に広く出回っている。

【0003】

フラッシュメモリには、複数のメモリセルが直列に接続された構造を有するNAND型と、複数のメモリセルがマトリクス状に接続された構造を有するNOR型とがあるが、いずれのフラッシュメモリも、記憶素子として機能するトランジスタを各メモリセルに有する。そして、この記憶素子として機能するトランジスタは、フローティングゲートと呼ばれる電荷を蓄積するための電極を、ゲート電極と、活性層である半導体膜との間に有しており、フローティングゲートにおける電荷の蓄積によりデータの記憶を行うことができる。

【0004】

下記の特許文献1と特許文献2には、ガラス基板上に形成された、フローティングゲートを有する薄膜トランジスタについて記載されている。

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開平6-021478号公報

【特許文献2】特開2005-322899号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

ところで、不揮発性メモリは、データの書き込み時に記憶素子に印加される電圧の絶対値が、20V前後と、揮発性メモリに比べて一般的に大きい傾向にある。データの書き換えを繰り返し行うことができるフラッシュメモリの場合は、データの書き込み時のみならず、データの消去時にも、記憶素子として用いるトランジスタに大きい電圧を印加する必要がある。よって、データの書き込み、消去などの、フラッシュメモリの動作時において消費される電力は高く、そのことが、フラッシュメモリを記憶装置として用いる電子機器の低消費電力化を阻む一因となっている。特に、カメラや携帯電話などの携帯型の電子機器にフラッシュメモリを用いる場合、消費電力の高さは、連続使用時間の短縮化というデメリットに繋がる。

【0007】

また、フラッシュメモリは不揮発性メモリではあるが、微少な電荷のリークによりデータ

10

20

30

40

50

が消失してしまう。そのため、データの保持期間は現状５年から１０年程度であると言われており、より長い保持期間の確保が可能なフラッシュメモリの実現が望まれている。

【０００８】

更に、フラッシュメモリは、データの書き込みと消去を繰り返し行うことが可能ではあるが、フローティングゲートに電荷を蓄積する際に、トンネル電流によりゲート絶縁膜が劣化しやすい。そのため、１つの記憶素子におけるデータの書き換え回数は数万から数十万回程度が限度であり、より多くの書き換え回数に耐えうるようなフラッシュメモリの実現が望まれている。

【０００９】

上述の課題に鑑み、本発明は、消費電力を抑えることができる記憶装置、当該記憶装置を用いた半導体装置の提供を目的の一つとする。本発明は、更に長い期間においてデータの保持が可能な記憶装置、当該記憶装置を用いた半導体装置の提供を目的の一つとする。本発明は、データの書き換え回数を増やすことができる記憶装置、当該記憶装置を用いた半導体装置の提供を目的の一つとする。

【課題を解決するための手段】

【００１０】

本発明の一態様に係る記憶装置は、記憶素子と、上記記憶素子における電荷の供給、保持、放出を制御するためのスイッチング素子として機能するトランジスタと、を有する。上記記憶装置では、絶縁膜に囲まれたフローティングゲートに高電圧で電荷を注入するのではなく、オフ電流の極めて低いトランジスタを介して記憶素子の電荷量を制御することで、データの記憶を行う。

【００１１】

具体的に、上記トランジスタは、シリコンよりもバンドギャップが広く、真性キャリア密度がシリコンよりも低い半導体材料を、チャネル形成領域に含むことを特徴とするものである。上述したような特性を有する半導体材料をチャネル形成領域に含むことで、オフ電流が極めて低いトランジスタを実現することができる。このような半導体材料としては、例えば、シリコンの約３倍程度の大きなバンドギャップを有する、酸化物半導体、炭化シリコン、窒化ガリウムなどが挙げられる。上記半導体材料を有するトランジスタは、通常のシリコンやゲルマニウムなどの半導体材料で形成されたトランジスタに比べて、オフ電流を極めて低くすることができる。

【００１２】

更に、スイッチング素子として機能するトランジスタは、通常のゲート電極の他に、閾値電圧を制御するための第２のゲート電極が備えられていることを特徴とする。上記トランジスタは、絶縁ゲート型電界効果トランジスタであれば良く、具体的には、第１のゲート電極と、第２のゲート電極と、第１のゲート電極と第２のゲート電極の間に位置する半導体膜と、第１のゲート電極と半導体膜の間に位置する第１の絶縁膜と、第２のゲート電極と半導体膜の間に位置する第２の絶縁膜と、半導体膜に接続されたソース電極及びドレイン電極と、を有する。上記構成により、ソース電極と第２のゲート電極の電位差を制御することで、上記トランジスタのオフ電流が下がるように閾値電圧を調整することができる。

【００１３】

スイッチング素子として機能するトランジスタのオフ電流を極めて低くすることで、データを保持している期間（保持期間）において、記憶素子に蓄積されている電荷が上記トランジスタを介してリークするのを防ぐことができる。

【００１４】

なお、電子供与体（ドナー）となる水分又は水素などの不純物が低減され、なおかつ酸素欠損が低減されることで高純度化された酸化物半導体（*purified Oxide Semiconductor*）は、*i*型（真性半導体）又は*i*型に限りなく近い。そのため、上記酸化物半導体を用いたトランジスタは、オフ電流が著しく低いという特性を有する。具体的に、高純度化された酸化物半導体は、二次イオン質量分析法（*SIMS* : *Se*

10

20

30

40

50

condary Ion Mass Spectrometry) による水素濃度の測定値が、 $5 \times 10^{19} / \text{cm}^3$ 以下、好ましくは $5 \times 10^{18} / \text{cm}^3$ 以下、より好ましくは $5 \times 10^{17} / \text{cm}^3$ 以下、更に好ましくは $1 \times 10^{16} / \text{cm}^3$ 以下とする。また、ホール効果測定により測定できる酸化物半導体膜のキャリア密度は、 $1 \times 10^{14} / \text{cm}^3$ 未満、好ましくは $1 \times 10^{12} / \text{cm}^3$ 未満、更に好ましくは $1 \times 10^{11} / \text{cm}^3$ 未満とする。また、酸化物半導体のバンドギャップは、 2 eV 以上、好ましくは 2.5 eV 以上、より好ましくは 3 eV 以上である。水分又は水素などの不純物濃度が十分に低減され、なおかつ酸素欠損が低減されることで高純度化された酸化物半導体膜を用いることにより、トランジスタのオフ電流を下げるができる。

【0015】

ここで、酸化物半導体膜中の、水素濃度の分析について触れておく。酸化物半導体膜中の水素濃度測定は、SIMSで行う。SIMSは、その原理上、試料表面近傍や、材質が異なる膜との積層界面近傍のデータを正確に得ることが困難であることが知られている。そこで、膜中における水素濃度の厚さ方向の分布をSIMSで分析する場合、対象となる膜が存在する範囲において、値に極端な変動がなく、ほぼ一定の値が得られる領域における平均値を、水素濃度として採用する。また、測定の対象となる膜の厚さが小さい場合、隣接する膜内の水素濃度の影響を受けて、ほぼ一定の値が得られる領域を見いだせない場合がある。この場合、当該膜が存在する領域における、水素濃度の極大値又は極小値を、当該膜中の水素濃度として採用する。更に、当該膜が存在する領域において、極大値を有する山型のピーク、極小値を有する谷型のピークが存在しない場合、変曲点の値を水素濃度として採用する。

【0016】

具体的に、高純度化された酸化物半導体膜を活性層として用いたトランジスタのオフ電流が低いことは、いろいろな実験により証明できる。例えば、チャネル幅が $1 \times 10^6 \mu\text{m}$ でチャネル長が $10 \mu\text{m}$ の素子であっても、ソース電極とドレイン電極間の電圧（ドレイン電圧）が 1 V から 10 V の範囲において、オフ電流が、半導体パラメータアナライザの測定限界以下、すなわち $1 \times 10^{-13} \text{ A}$ 以下という特性を得ることができる。この場合、オフ電流をトランジスタのチャネル幅で除した数値に相当するオフ電流密度は、 $100 \text{ zA} / \mu\text{m}$ 以下であることが分かる。また、容量素子とトランジスタとを接続して、容量素子に流入又は容量素子から流出する電荷を当該トランジスタで制御する回路を用いて、オフ電流密度の測定を行った。当該測定では、高純度化された酸化物半導体を上記トランジスタの活性層に用い、容量素子の単位時間あたりの電荷量の推移から当該トランジスタのオフ電流密度を測定した。その結果、トランジスタのソース電極とドレイン電極間の電圧が 3 V の場合に、数十 $\text{yA} / \mu\text{m}$ という、更に低いオフ電流密度が得られることが分かった。従って、本発明の一態様に係る半導体装置では、高純度化された酸化物半導体膜を活性層として用いたトランジスタのオフ電流密度を、ソース電極とドレイン電極間の電圧によっては、 $100 \text{ yA} / \mu\text{m}$ 以下、好ましくは $10 \text{ yA} / \mu\text{m}$ 以下、更に好ましくは $1 \text{ yA} / \mu\text{m}$ 以下にすることができる。従って、高純度化された酸化物半導体膜を活性層として用いたトランジスタは、オフ電流が、結晶性を有するシリコンを用いたトランジスタに比べて著しく低い。

【0017】

なお、酸化物半導体としては、好ましくは In または Zn を含有する酸化物半導体を用いるとよく、さらに好ましくは、 In 及び Ga を含有する酸化物半導体、または In 及び Zn を含有する酸化物半導体を用いるとよい。酸化物半導体膜を i 型（真性）とするため、後に説明する脱水化または脱水素化は有効である。また、酸化物半導体を用いたトランジスタの電気特性のばらつきを低減するためのスタビライザーとして、それらに加えてガリウム（ Ga ）を含むことが好ましい。また、スタビライザーとしてスズ（ Sn ）を含むことが好ましい。また、スタビライザーとしてハフニウム（ Hf ）を含むことが好ましい。また、スタビライザーとしてアルミニウム（ Al ）を含むことが好ましい。

【0018】

また、他のスタビライザーとして、ランタノイドである、ランタン (La)、セリウム (Ce)、プラセオジウム (Pr)、ネオジウム (Nd)、サマリウム (Sm)、ユウロピウム (Eu)、ガドリニウム (Gd)、テルビウム (Tb)、ジスプロシウム (Dy)、ホルミウム (Ho)、エルビウム (Er)、ツリウム (Tm)、イッテルビウム (Yb)、ルテチウム (Lu) のいずれか一種または複数種を含んでいてもよい。

【0019】

例えば、酸化物半導体として、酸化インジウム、酸化スズ、酸化亜鉛、二元系金属の酸化物である In-Zn 系酸化物、Sn-Zn 系酸化物、Al-Zn 系酸化物、Zn-Mg 系酸化物、Sn-Mg 系酸化物、In-Mg 系酸化物、In-Ga 系酸化物、三元系金属の酸化物である In-Ga-Zn 系酸化物 (IGZO とも表記する)、In-Al-Zn 系酸化物、In-Sn-Zn 系酸化物、Sn-Ga-Zn 系酸化物、Al-Ga-Zn 系酸化物、Sn-Al-Zn 系酸化物、In-Hf-Zn 系酸化物、In-La-Zn 系酸化物、In-Ce-Zn 系酸化物、In-Pr-Zn 系酸化物、In-Nd-Zn 系酸化物、In-Sm-Zn 系酸化物、In-Eu-Zn 系酸化物、In-Gd-Zn 系酸化物、In-Tb-Zn 系酸化物、In-Dy-Zn 系酸化物、In-Ho-Zn 系酸化物、In-Er-Zn 系酸化物、In-Tm-Zn 系酸化物、In-Yb-Zn 系酸化物、In-Lu-Zn 系酸化物、四元系金属の酸化物である In-Sn-Ga-Zn 系酸化物、In-Hf-Ga-Zn 系酸化物、In-Al-Ga-Zn 系酸化物、In-Sn-Al-Zn 系酸化物、In-Sn-Hf-Zn 系酸化物、In-Hf-Al-Zn 系酸化物を用いることができる。また、上記酸化物半導体は、珪素を含んでいてもよい。

【0020】

なお、例えば、In-Ga-Zn 系酸化物とは、In と Ga と Zn を含む酸化物という意味であり、In と Ga と Zn の比率は問わない。また、In と Ga と Zn 以外の金属元素を含んでいてもよい。In-Ga-Zn 系酸化物は、無電界時の抵抗が十分に高くオフ電流を十分に小さくすることが可能であり、また、移動度も高いため、記憶装置、または半導体装置に用いる半導体材料としては好適である。

【0021】

或いは、酸化物半導体は、化学式 $\text{InMO}_3(\text{ZnO})_m$ ($m > 0$) で表記される材料を用いてもよい。M は、Ga、Al、Mn および Co から選ばれた一または複数の金属元素を示す。例えば、M として、Ga、Ga 及び Al、Ga 及び Fe、Ga 及び Ni、Ga 及び Mn、Ga 及び Co などを適用することができる。また、酸化物半導体として、 $\text{In}_3\text{SnO}_5(\text{ZnO})_n$ ($n > 0$ 、且つ、 n は整数) で表記される材料を用いてもよい。なお、上述の組成は結晶構造から導き出されるものであり、あくまでも一例に過ぎないことを付記する。

【0022】

例えば、 $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 1$ ($= 1/3 : 1/3 : 1/3$) あるいは $\text{In} : \text{Ga} : \text{Zn} = 2 : 2 : 1$ ($= 2/5 : 2/5 : 1/5$) の原子数比の In-Ga-Zn 系酸化物やその組成の近傍の酸化物を用いることができる。あるいは、 $\text{In} : \text{Sn} : \text{Zn} = 1 : 1 : 1$ ($= 1/3 : 1/3 : 1/3$)、 $\text{In} : \text{Sn} : \text{Zn} = 2 : 1 : 3$ ($= 1/3 : 1/6 : 1/2$) あるいは $\text{In} : \text{Sn} : \text{Zn} = 2 : 1 : 5$ ($= 1/4 : 1/8 : 5/8$) の原子数比の In-Sn-Zn 系酸化物やその組成の近傍の酸化物を用いるとよい。

【0023】

しかし、これらに限られず、必要とする半導体特性 (移動度、しきい値、ばらつき等) に応じて適切な組成のものを用いればよい。また、必要とする半導体特性を得るために、キャリア密度や不純物濃度、欠陥密度、金属元素と酸素の原子数比、原子間結合距離、密度等を適切なものとするのが好ましい。

【発明の効果】

【0024】

上記オフ電流の低いトランジスタを、記憶素子に蓄積された電荷を保持するためのスイッチング素子として用いることで、記憶素子からの電荷のリークを防ぐことができる。よっ

て、長期間に渡るデータの保持が可能な記憶装置、当該記憶装置を用いた半導体装置を提供することができる。

【0025】

また、記憶素子へのデータの書き込み及び読み出しに必要な電圧は、スイッチング素子として機能するトランジスタの動作電圧によりほぼ決まる。よって、従来のフラッシュメモリに比べて動作電圧を格段に低くすることができ、消費電力を抑えられる記憶装置、当該記憶装置を用いた半導体装置を提供することができる。

【0026】

また、トンネル電流によるゲート絶縁膜の劣化を、従来のフラッシュメモリに比べて抑えることができるので、データの書き換え回数を増やすことができる記憶装置、当該記憶装置を用いた半導体装置を提供することができる。

【図面の簡単な説明】

【0027】

【図1】メモリセルの回路図と、トランジスタの断面図。

【図2】トランジスタの回路図と、ゲート電圧 V_{gs} に対するドレイン電流 I_d の値を示す図。

【図3】セルアレイの回路図。

【図4】セルアレイのタイミングチャート。

【図5】セルアレイのタイミングチャート。

【図6】セルアレイの回路図。

【図7】第2ワード線駆動回路の構成を示す図。

【図8】メモリセルの回路図。

【図9】記憶装置の作製方法を示す図。

【図10】記憶装置の作製方法を示す図。

【図11】記憶装置の作製方法を示す図。

【図12】記憶装置の作製方法を示す図。

【図13】メモリセルの断面図。

【図14】記憶装置のブロック図。

【図15】読み出し回路の回路図。

【図16】RFタグのブロック図。

【図17】記憶媒体の構成を示す図。

【図18】電子機器の図。

【発明を実施するための形態】

【0028】

以下では、本発明の実施の形態について図面を用いて詳細に説明する。ただし、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは、当業者であれば容易に理解される。従って、本発明は、以下に示す実施の形態の記載内容に限定して解釈されるものではない。

【0029】

なお、マイクロプロセッサ、画像処理回路などの集積回路や、RFタグ、記憶媒体、半導体表示装置など、記憶装置を用いることができるありとあらゆる半導体装置が、本発明の範疇に含まれる。また、半導体表示装置には、液晶表示装置、有機発光素子(OLED)に代表される発光素子を各画素に備えた発光装置、電子ペーパー、DMD(Digital Micromirror Device)、PDP(Plasma Display Panel)、FED(Field Emission Display)など、半導体膜を用いた回路素子を画素部又は駆動回路に有している半導体表示装置が、その範疇に含まれる。

【0030】

(実施の形態1)

図1(A)に、本発明の一態様に係る記憶装置のメモリセルの構成を、一例として回路図

10

20

30

40

50

で示す。図1(A)に示す回路図では、メモリセル100が、スイッチング素子として機能するトランジスタ101と、記憶素子として機能するトランジスタ103及び容量素子102とを有する。記憶素子として機能するトランジスタ103は、ゲート電極と活性層の間に形成されるゲート容量に、電荷を蓄積させることで、データを記憶する。

【0031】

スイッチング素子として機能するトランジスタ101は、第1のゲート電極の他に、閾値電圧を制御するための第2のゲート電極が備えられている。具体的には、第1のゲート電極と、第2のゲート電極と、第1のゲート電極と第2のゲート電極の間に位置する半導体膜と、第1のゲート電極と半導体膜の間に位置する第1の絶縁膜と、第2のゲート電極と半導体膜の間に位置する第2の絶縁膜と、半導体膜に接続されたソース電極及びドレイン電極と、を有する。トランジスタ101の第1のゲート電極、第2のゲート電極、ソース電極、ドレイン電極に与える電位により、記憶装置の各種動作を制御することができる。

【0032】

メモリセル100は、必要に応じて、トランジスタ、ダイオード、抵抗素子、容量素子、インダクタなどのその他の回路素子を、更に有していても良い。

【0033】

なお、トランジスタが有するソース電極とドレイン電極は、トランジスタの極性及び各電極に与えられる電位の高低差によって、その呼び方が入れ替わる。一般的に、nチャネル型トランジスタでは、低い電位が与えられる電極がソース電極と呼ばれ、高い電位が与えられる電極がドレイン電極と呼ばれる。また、pチャネル型トランジスタでは、低い電位が与えられる電極がドレイン電極と呼ばれ、高い電位が与えられる電極がソース電極と呼ばれる。以下、ソース電極とドレイン電極のいずれか一方を第1端子、他方を第2端子とし、メモリセル100が有するトランジスタ101、容量素子102、トランジスタ103の接続関係を説明する。

【0034】

図1(A)に示すメモリセル100では、トランジスタ101の第1端子に接続されているノードに、データを含む信号の電位が与えられる。また、トランジスタ101の第2端子は、トランジスタ103のゲート電極に接続されている。容量素子102が有する一対の電極は、一方がトランジスタ103のゲート電極に接続され、他方が所定の電位が与えられているノードに接続されている。

【0035】

トランジスタ103は、nチャネル型とpチャネル型のどちらでも良い。

【0036】

なお、図1(A)に示すメモリセル100は、必ずしも容量素子102をその構成要素に加える必要はない。容量素子102をメモリセル100に設けることで、より長い保持期間を確保することができ、逆に容量素子102をメモリセル100に設けないことで、単位面積あたりの記憶容量を高めることができる。

【0037】

また、図1(B)に、図1(A)とは異なるメモリセルの構成を、一例として回路図で示す。図1(B)に示す回路図では、メモリセル100が、スイッチング素子として機能するトランジスタ101と、記憶素子として機能する容量素子102とを有する。記憶素子として機能する容量素子102に電荷を蓄積させることで、データを記憶する。

【0038】

図1(B)に示すトランジスタ101は、図1(A)に示すトランジスタ101と同様の構成を有しており、第1のゲート電極の他に、閾値電圧を制御するための第2のゲート電極が備えられている。

【0039】

また、図1(B)に示すメモリセル100では、トランジスタ101の第1端子に接続されているノードに、データを含む信号の電位が与えられる。また、容量素子102が有する一対の電極は、一方がトランジスタ101の第2端子に接続され、他方が所定の電位が

与えられているノードに接続されている。

【 0 0 4 0 】

なお、本明細書において接続とは電氣的な接続を意味しており、電流、電圧又は電位が、供給可能、或いは伝送可能な状態に相当する。従って、接続している状態とは、直接接続している状態を必ずしも指すわけではなく、電流、電圧又は電位が、供給可能、或いは伝送可能であるように、配線、導電膜、抵抗、ダイオード、トランジスタなどの素子を介して間接的に接続している状態も、その範疇に含む。

【 0 0 4 1 】

また、回路図上は独立している構成要素どうしが接続されている場合であっても、実際には、例えば配線の一部が電極として機能する場合など、一の導電膜が、複数の構成要素の機能を併せ持っている場合もある。本明細書において接続とは、このような、一の導電膜が、複数の構成要素の機能を併せ持っている場合も、その範疇に含める。

10

【 0 0 4 2 】

本発明の一態様では、図 1 (A) 又は図 1 (B) に示した上記スイッチング素子として機能するトランジスタ 1 0 1 のチャネル形成領域に、シリコンよりもバンドギャップが広く、真性キャリア密度がシリコンよりも低い半導体材料を含むことを特徴とする。上述したような特性を有する半導体材料をチャネル形成領域に含むことで、オフ電流が極めて低いトランジスタ 1 0 1 を実現することができる。

【 0 0 4 3 】

なお、本発明の一態様のように、記憶素子に蓄積されている電荷量を制御することで、データの記憶を行う記憶装置の場合、記憶素子への電荷の供給と、当該記憶素子からの電荷の放出と、当該記憶素子における電荷の保持とを、スイッチング素子として機能するトランジスタ 1 0 1 により制御する。よって、データの保持期間の長さは、記憶素子に蓄積されている電荷が上記トランジスタ 1 0 1 を介してリークする量に依存する。本発明の一態様では、上述したようにトランジスタ 1 0 1 のオフ電流を著しく低くすることができるため、上記電荷のリークを防ぐことができ、データの保持期間を長く確保することができる。

20

【 0 0 4 4 】

なお、特に断りがない限り、本明細書でオフ電流とは、nチャネル型トランジスタにおいては、ドレイン電極をソース電極とゲート電極よりも高い電位とした状態において、ソース電極の電位を基準としたときのゲート電極の電位が 0 以下であるときに、ソース電極とドレイン電極の間に流れる電流のことを意味する。或いは、本明細書でオフ電流とは、pチャネル型トランジスタにおいては、ドレイン電極をソース電極とゲート電極よりも低い電位とした状態において、ソース電極の電位を基準としたときのゲート電極の電位が 0 以上であるときに、ソース電極とドレイン電極の間に流れる電流のことを意味する。

30

【 0 0 4 5 】

シリコンよりもバンドギャップが広く、真性キャリア密度がシリコンよりも低い半導体材料の一例として、酸化物半導体の他に、炭化シリコン (S i C)、窒化ガリウム (G a N) などの化合物半導体を挙げることができる。酸化物半導体は、炭化シリコンや窒化ガリウムなどの化合物半導体とは異なり、スパッタリング法や湿式法により作製可能であり、量産性に優れるといった利点がある。また、炭化シリコンまたは窒化ガリウムとは異なり、酸化物半導体は室温でも成膜が可能なため、ガラス基板上への成膜、或いはシリコンを用いた集積回路への成膜が可能である。また、基板の大型化にも対応が可能である。よって、上述した炭化シリコンや窒化ガリウムなどよりも、酸化物半導体は特に量産性が高いというメリットを有する。また、トランジスタの性能 (例えば電界効果移動度) を向上させるために結晶性の酸化物半導体を得ようとする場合でも、250 から 800 の熱処理によって容易に結晶性の酸化物半導体を得ることができる。

40

【 0 0 4 6 】

以下の説明では、トランジスタ 1 0 1 の半導体膜として、上記のような利点を有する酸化物半導体を用いる場合を例に挙げている。

50

【 0 0 4 7 】

なお、本発明の一態様では、少なくとも、スイッチング素子として機能するトランジスタ 1 0 1 が、上述した酸化物半導体などのワイドギャップ半導体材料を活性層に有していれば良い。一方、記憶素子として機能するトランジスタ 1 0 3 は、その活性層に、酸化物半導体を用いられていても良いし、或いは、酸化物半導体以外の、非晶質、微結晶、多結晶、又は単結晶の、シリコン、又はゲルマニウムなどの半導体を用いられていても良い。メモリセル 1 0 0 内の全てのトランジスタの活性層に、酸化物半導体膜を用いることで、プロセスを簡略化することができる。また、記憶素子として機能するトランジスタ 1 0 3 の活性層に、例えば、多結晶又は単結晶のシリコンなどのように、酸化物半導体よりも高い移動度が得られる半導体材料を用いることで、メモリセル 1 0 0 からのデータの読み出しを高速で行うことができる。

10

【 0 0 4 8 】

また、図 1 (B) では、メモリセル 1 0 0 がスイッチング素子として機能するトランジスタ 1 0 1 を一つだけ有する構成を示しているが、本発明はこの構成に限定されない。本発明の一態様では、スイッチング素子として機能するトランジスタが各メモリセルに最低限 1 つ設けられていれば良く、上記トランジスタの数は複数であっても良い。メモリセル 1 0 0 がスイッチング素子として機能するトランジスタを複数有している場合、上記複数のトランジスタは並列に接続されていても良いし、直列に接続されていても良いし、直列と並列が組み合わされて接続されていても良い。

20

【 0 0 4 9 】

なお、本明細書において、トランジスタが直列に接続されている状態とは、例えば、第 1 のトランジスタの第 1 端子と第 2 端子のいずれか一方のみが、第 2 のトランジスタの第 1 端子と第 2 端子のいずれか一方のみに接続されている状態を意味する。また、トランジスタが並列に接続されている状態とは、第 1 のトランジスタの第 1 端子が第 2 のトランジスタの第 1 端子に接続され、第 1 のトランジスタの第 2 端子が第 2 のトランジスタの第 2 端子に接続されている状態を意味する。

【 0 0 5 0 】

また、記憶素子として機能するトランジスタ 1 0 3 は、スイッチング素子として機能するトランジスタ 1 0 1 とは異なり、活性層の片側にだけ存在するゲート電極を少なくとも有していれば良い。ただし、本発明はこの構成に限定されず、記憶素子として機能するトランジスタ 1 0 3 も、スイッチング素子として機能するトランジスタ 1 0 1 と同様に、活性層を間に挟んで存在する一対のゲート電極を有していても良い。

30

【 0 0 5 1 】

次いで、図 1 (C) に、図 1 (A) 及び図 1 (B) に示したトランジスタ 1 0 1 の、断面図の一例を示す。

【 0 0 5 2 】

図 1 (C) において、トランジスタ 1 0 1 は、絶縁表面を有する基板 1 1 0 上に、第 1 のゲート電極 1 1 1 と、第 1 のゲート電極 1 1 1 上の絶縁膜 1 1 2 と、絶縁膜 1 1 2 を間に挟んで第 1 のゲート電極 1 1 1 と重なる、活性層として機能する酸化物半導体膜 1 1 3 と、酸化物半導体膜 1 1 3 上のソース電極 1 1 4、ドレイン電極 1 1 5 と、酸化物半導体膜 1 1 3、ソース電極 1 1 4 及びドレイン電極 1 1 5 上の絶縁膜 1 1 6 と、絶縁膜 1 1 6 上において酸化物半導体膜 1 1 3 と重なっている第 2 のゲート電極 1 1 7 とを有している。また、図 1 (C) では、第 2 のゲート電極 1 1 7 上に絶縁膜 1 1 8 が形成されており、トランジスタ 1 0 1 は絶縁膜 1 1 8 をその構成要素に含んでいても良い。

40

【 0 0 5 3 】

なお、図 1 (C) では、トランジスタ 1 0 1 がシングルゲート構造である場合を例示しているが、トランジスタ 1 0 1 は、電氣的に接続された複数のゲート電極を有することで、チャンネル形成領域を複数有する、マルチゲート構造であっても良い。

【 0 0 5 4 】

次いで、第 2 のゲート電極の電位を変化させることによる、トランジスタ 1 0 1 の閾値電

50

圧の変化について説明する。まず、図2(A)に、トランジスタ101の回路図を示す。図2(A)では、第1のゲート電極の電位を V_{cg} 、第2のゲート電極の電位を V_{bg} 、ソース電極の電位を V_s 、ドレイン電極の電位を V_d として、トランジスタ101が有する各電極の電位を表記している。

【0055】

図2(B)に、トランジスタ101の、ゲート電圧 V_{gs} に対するドレイン電流 I_d の値を示す。ゲート電圧 V_{gs} とは、ソース電極の電位 V_s を基準としたときの、第1のゲート電極の電位 V_{cg} とソース電極の電位 V_s の差に相当する。

【0056】

そして、実線で示す線120は、第2のゲート電極の電位 V_{bg} がソース電極の電位 V_s と同じ高さである場合の、ゲート電圧 V_{gs} に対するドレイン電流 I_d の値を示している。また、破線で示す線121は、第2のゲート電極の電位 V_{bg} がソース電極の電位 V_s よりも低い場合の、ゲート電圧 V_{gs} に対するドレイン電流 I_d の値を示している。なお、線120と線121は、ソース電極の電位 V_s が互いに同じであり、なおかつドレイン電極の電位 V_d も互いに同じであるものとする。

【0057】

図2(B)に示すように、トランジスタ101は、第2のゲート電極の電位 V_{bg} が低くなるほど、その閾値電圧がプラス側にシフトし、オフ電流が低減される。逆に、トランジスタ101は、第2のゲート電極の電位 V_{bg} が高くなるほど、その閾値電圧がマイナス側にシフトし、オフ電流が増加する、すなわちオン抵抗が下がる。

【0058】

本発明の一態様の記憶装置では、上述したように、データの保持期間の長さが、記憶素子に蓄積されている電荷が上記トランジスタ101を介してリークする量に依存する。本発明の一態様では、第2のゲート電極の電位 V_{bg} を制御することで、トランジスタ101のオフ電流を著しく低くすることができるため、上記電荷のリークを防ぐことができ、データの保持期間を長く確保することができる。

【0059】

次いで、複数のメモリセルを有する記憶装置の構成と、その駆動方法の一例について説明する。

【0060】

図3は、図1(A)に示したメモリセル100を複数有するセルアレイ200の、回路図の一例である。メモリセル100の構成については、実施の形態1において説明した内容を参照することができる。

【0061】

図3に示すセルアレイ200では、複数の第1ワード線 WL_{CG} 、複数の第2ワード線 WL_{BG} 、複数のビット線 BL 、複数の容量線 CL 、複数のソース線 SL などの各種配線が設けられており、駆動回路からの信号又は電位が、これら配線を介して各メモリセル100に供給される。

【0062】

第1ワード線 WL_{CG} は、トランジスタ101の第1のゲート電極に接続されている。第2ワード線 WL_{BG} は、トランジスタ101の第2のゲート電極に接続されている。ビット線 BL は、トランジスタ101の第1端子及びトランジスタ103の第1端子に接続されている。ソース線 SL は、トランジスタ103の第2端子に接続されている。容量線 CL は、容量素子102が有する一対の電極のうち、トランジスタ101の第2端子に接続されている電極とは異なる方の電極に接続されている。

【0063】

なお、上記配線の数、メモリセル100の数及び配置によって決めることができる。具体的に、図3に示すセルアレイ200の場合、 y 行 x 列のメモリセルがマトリクス状に接続されており、第1ワード線 $WL_{CG1} \sim WL_{CGy}$ 、第2ワード線 $WL_{BG1} \sim WL_{BGy}$ 、容量線 $CL1 \sim CLy$ 、ソース線 $SL1 \sim SLY$ 、ビット線 $BL1 \sim BLx$ が、

10

20

30

40

50

セルアレイ 200 内に配置されている場合を例示している。

【0064】

次いで、図3に示すセルアレイ200の動作について、図4のタイミングチャートを用いて説明する。なお、図4では、1行1列目のメモリセルと、1行x列目のメモリセルと、y行1列目のメモリセルと、y行x列目のメモリセルとにおいて、データの書き込み、保持、読み出しを行う場合を例に挙げている。また、図4では、トランジスタ103がpチャネル型トランジスタである場合を例示している。

【0065】

また、図4のタイミングチャート中の斜線部は、電位がハイレベルとローレベルのどちらでも良い期間を意味する。

10

【0066】

まず、データの書き込み期間Taにおけるセルアレイ200の動作について説明する。

【0067】

データの書き込みは行ごとに行われる。図4では、1行1列目のメモリセル及び1行x列目のメモリセルへのデータの書き込みを先に行い、その後で、y行1列目のメモリセル及びy行x列目のメモリセルへのデータの書き込みを行う場合を例示している。

【0068】

まず、書き込みを行う1行目のメモリセルが有する、第1ワード線 WL_{CG1} 及び容量線 $CL1$ の選択を行う。具体的に図4では、第1ワード線 WL_{CG1} にハイレベルの電位VHが与えられ、それ以外の第1ワード線 $WL_{CG2} \sim WL_{CGy}$ には接地電位GNDが与えられる。よって、第1ワード線 WL_{CG1} に第1のゲート電極が接続されているトランジスタ101のみが、選択的にオンになる。また、容量線 $CL1$ には接地電位GNDが与えられ、他の容量線 $CL2 \sim CLy$ にはハイレベルの電位VDDが与えられる。

20

【0069】

そして、第1ワード線 WL_{CG1} 及び容量線 $CL1$ が選択されている期間において、ビット線 $BL1$ 、 BLx に、データを含む信号の電位が与えられる。ビット線 $BL1$ 、 BLx に与えられる電位のレベルは、データの内容によって当然異なる。図4では、ビット線 $BL1$ にハイレベルの電位VDDが与えられ、ビット線 BLx に接地電位GNDが与えられている場合を例示する。ビット線 $BL1$ 、 BLx に与えられる電位は、オンのトランジスタ101を介して、容量素子102が有する電極の一つと、トランジスタ103のゲート電極に与えられる。そして、容量素子102が有する電極の一つと、トランジスタ103のゲート電極とが接続されているノードをノードFGとすると、上記信号の電位に従って、ノードFGに蓄積される電荷量が制御されることで、1行1列目のメモリセルと、1行x列目のメモリセルへのデータの書き込みが行われる。

30

【0070】

次いで、第1ワード線 WL_{CG1} に接地電位GNDが与えられ、第1ワード線 WL_{CG1} に第1のゲート電極が接続されているトランジスタ101が、オフになる。

【0071】

次いで、書き込みを行うy行目のメモリセルが有する、第1ワード線 WL_{CGy} 及び容量線 CLy の選択を行う。具体的に図4では、第1ワード線 WL_{CGy} にハイレベルの電位VHが与えられ、それ以外の第1ワード線 $WL_{CG1} \sim WL_{CG(y-1)}$ には接地電位GNDが与えられる。よって、第1ワード線 WL_{CGy} に第1のゲート電極が接続されているトランジスタ101のみが、選択的にオンになる。また、容量線 CLy には接地電位GNDが与えられ、他の容量線 $CL1 \sim CL(y-1)$ にはハイレベルの電位VDDが与えられる。

40

【0072】

そして、第1ワード線 WL_{CGy} 及び容量線 CLy が選択されている期間において、ビット線 $BL1$ 、 BLx に、データを含む信号の電位が与えられる。図4では、ビット線 $BL1$ に接地電位GNDが与えられ、ビット線 BLx にハイレベルの電位VDDが与えられている場合を例示する。ビット線 $BL1$ 、 BLx に与えられる電位は、オンのトランジスタ

50

101を介して、容量素子102が有する電極の一つと、トランジスタ103のゲート電極に与えられる。そして、上記信号の電位に従って、ノードFGに蓄積される電荷量が制御されることで、y行1列目のメモリセルと、y行x列目のメモリセルへのデータの書き込みが行われる。

【0073】

なお、書き込み期間Taでは、全てのソース線SLに接地電位GNDが与えられている。上記構成により、ノードFGに接地電位GNDが与えられる場合において、ビット線BLとソース線SLに電流が生じることを抑制することができる。

【0074】

また、メモリセルに誤ったデータが書き込まれるのを防ぐために、第1ワード線WL_{CG}及び容量線CLの選択期間が終了した後に、ビット線BLにデータを含む信号の電位を入力する期間を終了させるようにすることが望ましい。

【0075】

次いで、データの保持期間Tsにおけるセルアレイ200の動作について説明する。

【0076】

保持期間Tsにおいて、全ての第1ワード線WL_{CG}には、トランジスタ101がオフになるレベルの電位、具体的には接地電位GNDが与えられる。そして、本発明の一態様では、保持期間Tsにおいて、第2ワード線WL_{BG}の全てに接地電位GNDよりも低いローレベルの電位VSSが与えられる。よって、トランジスタ101は、その閾値電圧がプラス側にシフトするため、オフ電流が低減される。トランジスタ101のオフ電流が低いと、ノードFGに蓄積された電荷はリークしづらくなるため、長い期間に渡ってデータの保持を行うことができる。

【0077】

次いで、データの読み出し期間Trにおけるセルアレイ200の動作について説明する。

【0078】

まず、読み出しを行う1行目のメモリセルが有する、容量線CL1の選択を行う。具体的に図4では、容量線CL1に接地電位GNDが与えられ、他の容量線CL2~CLyにハイレベルの電位VDDが与えられる。また、読み出し期間Trでは、全ての第1ワード線WL_{CG}は、接地電位GNDが与えられることで非選択の状態になっている。そして、容量線CL1の選択が行われている期間において、全てのソース線SLにはハイレベルの電位VRが与えられる。なお、電位VRは、電位VDDと同じか、もしくは電位VDDより低く接地電位GNDよりも高い電位であるものとする。

【0079】

トランジスタ103のソース電極とドレイン電極間の抵抗は、ノードFGに蓄積された電荷量に依存する。よって、ビット線BL1、BLxには、ノードFGに蓄積された電荷量に応じた電位が与えられる。そして、上記電位から電荷量の違いを読み取ることにより、1行1列目のメモリセルと、1行x列目のメモリセルから、データを読み出すことができる。

【0080】

次いで、読み出しを行うy行目のメモリセルが有する、容量線CLyの選択を行う。具体的に図4では、容量線CLyに接地電位GNDが与えられ、他の容量線CL1~CL(y-1)にハイレベルの電位VDDが与えられる。また、上述したように、読み出し期間Trでは、全ての第1ワード線WL_{CG}は、接地電位GNDが与えられることで非選択の状態になっている。また、容量線CLyの選択が行われている期間において、全てのソース線SLにはハイレベルの電位VRが与えられる。

【0081】

トランジスタ103のソース電極とドレイン電極間の抵抗は、ノードFGに蓄積された電荷量に依存する。よって、ビット線BL1、BLxには、ノードFGに蓄積された電荷量に応じた電位が与えられる。そして、上記電位から電荷量の違いを読み取ることにより、y行1列目のメモリセルと、y行x列目のメモリセルから、データを読み出すことができ

10

20

30

40

50

る。

【0082】

なお、各ビット線 BL の先には読み出し回路が接続されており、読み出し回路の出力信号が、セルアレイから実際に読み出されたデータを含んでいる。

【0083】

また、図4では、書き込み期間 T_a 、保持期間 T_s 、読み出し期間 T_r の全ての期間を通して、第2ワード線 WL_{BG} の全てにローレベルの電位 V_{SS} が与えられている場合を例示している。しかし、本発明の一態様では、少なくとも保持期間 T_s において第2ワード線 WL_{BG} にローレベルの電位 V_{SS} が与えられていれば良い。例えば、メモリセルへのデータの書き込みを高速化させるために、データの書き込みを行う行において、第2ワード線 WL_{BG} の電位を電位 V_{SS} よりも高くして、トランジスタ101の閾値電圧を低くするようにしても良い。

10

【0084】

図5に示すタイミングチャートは、書き込み期間 T_a における第2ワード線 WL_{BG} の電位のみが図4とは異なる。具体的に図5では、書き込み期間 T_a において、第1ワード線 WL_{CG1} が選択されている期間に、書き込みを行う行のメモリセルが有する第2ワード線 WL_{BG1} に接地電位 GND が与えられている。また、第1ワード線 WL_{CGy} が選択されている期間に、書き込みを行う y 行目のメモリセルが有する第2ワード線 WL_{BGy} に接地電位 GND が与えられている。上記構成により、データの書き込みが行われている期間においてトランジスタ101の閾値電圧を低くすることができるので、保持期間 T_s における電荷のリークを抑えつつも、書き込み期間 T_a におけるメモリセルへのデータの書き込みを高速化させることができる。

20

【0085】

次いで、複数のメモリセルを有する記憶装置の構成と、その駆動方法の別の一例について説明する。

【0086】

図6は、図1(B)に示したメモリセル100を複数有するセルアレイ300の、回路図の一例である。メモリセル100の構成については、実施の形態1において説明した内容を参酌することができる。

【0087】

図6に示すセルアレイ300では、複数の第1ワード線 WL_{CG} 、複数の第2ワード線 WL_{BG} 、複数のビット線 BL 、複数の容量線 CL などの各種配線が設けられており、駆動回路からの信号又は電位が、これら配線を介して各メモリセル100に供給される。

30

【0088】

第1ワード線 WL_{CG} は、トランジスタ101の第1のゲート電極に接続されている。第2ワード線 WL_{BG} は、トランジスタ101の第2のゲート電極に接続されている。ビット線 BL は、トランジスタ101の第1端子に接続されている。容量線 CL は、容量素子102が有する一対の電極のうち、トランジスタ101の第2端子に接続されている電極とは異なる方の電極に接続されている。

【0089】

なお、上記配線の数、メモリセル100の数及び配置によって決めることができる。具体的に、図6に示すセルアレイ300の場合、 y 行 x 列のメモリセルがマトリクス状に接続されており、第1ワード線 $WL_{CG1} \sim WL_{CGy}$ 、第2ワード線 $WL_{BG1} \sim WL_{BGy}$ 、容量線 $CL1 \sim CLy$ 、ビット線 $BL1 \sim BLx$ が、セルアレイ300内に配置されている場合を例示している。

40

【0090】

次いで、図6に示すセルアレイ300の動作について説明する。

【0091】

まず、データの書き込み期間におけるセルアレイ300の動作について説明する。書き込み期間において、第1ワード線 WL_{CG1} にパルスを有する信号が入力されると、当該パ

50

ルスの電位、具体的にはハイレベルの電位が、第1ワード線 WL_{CG1} に接続されているトランジスタ101の第1のゲート電極に与えられる。よって、第1ワード線 WL_{CG1} に第1のゲート電極が接続されているトランジスタ101は、全てオンになる。

【0092】

次いで、ビット線 $BL1 \sim BLx$ に、データを含む信号が入力される。ビット線 $BL1 \sim BLx$ に入力される信号の電位のレベルは、データの内容によって当然異なる。ビット線 $BL1 \sim BLx$ に入力されている電位は、オンのトランジスタ101を介して、容量素子102の一方の電極に与えられる。また、全ての容量線 CL には、固定の電位が与えられている。そして、上記信号の電位に従って、容量素子102に蓄積されている電荷量が制御されることで、容量素子102へのデータの書き込みが行われる。

10

【0093】

第1ワード線 WL_{CG1} への、パルスをもつ信号の入力が終了すると、第1ワード線 WL_{CG1} に第1のゲート電極が接続されているトランジスタ101が、全てオフになる。そして、第1ワード線 $WL_{CG2} \sim WL_{CGy}$ に、パルスをもつ信号が順に入力され、第1ワード線 $WL_{CG2} \sim WL_{CGy}$ を有するメモリセル100において、上述した動作が同様に繰り返される。

【0094】

次いで、データの保持期間におけるセルアレイ300の動作について説明する。保持期間において、全ての第1ワード線 $WL_{CG1} \sim WL_{CGy}$ には、トランジスタ101がオフになるレベルの電位、具体的にはローレベルの電位が与えられる。そして、本発明の一態様では、保持期間において、全ての第2ワード線 WL_{BG} にローレベルの電位 VSS が与えられる。よって、トランジスタ101は、その閾値電圧がプラス側にシフトするため、オフ電流が低減される。トランジスタ101のオフ電流が低いと、容量素子102に蓄積された電荷はリークしづらくなるため、長い期間に渡ってデータの保持を行うことができる。

20

【0095】

次いで、データの読み出し期間におけるセルアレイ300の動作について説明する。データの読み出し期間には、書き込み期間と同様に、第1ワード線 $WL_{CG1} \sim WL_{CGy}$ に順にパルスをもつ信号が入力される。当該パルスの電位、具体的にはハイレベルの電位が、第1ワード線 WL_{CG1} に接続されているトランジスタ101の第1のゲート電極に与えられると、当該トランジスタ101は全てオンになる。

30

【0096】

トランジスタ101がオンになると、ビット線 BL を介して容量素子102に蓄積された電荷が取り出される。そして、上記電荷量の違いをビット線 BL の電位から読み取ることにより、データを読み出すことができる。

【0097】

なお、各ビット線 BL の先には読み出し回路が接続されており、読み出し回路の出力信号が、記憶部から実際に読み出されたデータを含んでいる。

【0098】

本実施の形態では、書き込み、保持、読み出し、の各動作を、複数のメモリセル100において順に行う駆動方法について説明したが、本発明はこの構成に限定されない。指定されたアドレスのメモリセル100においてのみ、上記動作を行うようにしても良い。

40

【0099】

また、図5に示すタイミングチャートの場合と同様に、メモリセルへのデータの書き込みを高速化させるために、データの書き込みを行う行において、第2ワード線 WL_{BG} の電位を電位 VSS よりも高くして、トランジスタ101の閾値電圧を低くするようにしても良い。

【0100】

なお、本発明の一態様に係る記憶装置は、図3、図6に示したメモリセル100の構成に限定されない。

50

【0101】

図8(A)に、メモリセル100の別の構成を、一例として示す。図8(A)に示すメモリセル100は、トランジスタ101、容量素子102、トランジスタ103を有している。そして、トランジスタ101の第1のゲート電極は第1ワード線 WL_{CG} に接続されている。トランジスタ101の第2のゲート電極は、第2ワード線 WL_{BG} に接続されている。トランジスタ101の第1端子は、ビット線 BL に接続されている。トランジスタ101の第2端子は、トランジスタ103のゲート電極に接続されている。トランジスタ103の第1端子は、データ線 DL に接続されている。トランジスタ103の第2端子は、ソース線 SL に接続されている。容量素子102が有する一対の電極は、一方がトランジスタ103のゲート電極に接続されており、他方が容量線 CL に接続されている。

10

【0102】

図8(A)に示すメモリセル100の場合、記憶素子として機能する容量素子102及びトランジスタ103によって保持されている電荷量は、データ線 DL の電位により読み取ることができる。

【0103】

次いで、図8(B)に、メモリセル100の別の構成を、一例として示す。図8(B)に示すメモリセル100は、トランジスタ101、容量素子102、トランジスタ103に加えて、データの読み出しを制御するためのスイッチング素子として機能するトランジスタ104を有している。そして、トランジスタ101の第1のゲート電極は第1ワード線 WL_{CG} に接続されている。トランジスタ101の第2のゲート電極は、第2ワード線 WL_{BG} に接続されている。トランジスタ101の第1端子は、ビット線 BL に接続されている。トランジスタ101の第2端子は、トランジスタ103のゲート電極に接続されている。トランジスタ103の第1端子は、トランジスタ104の第2端子に接続されている。トランジスタ103の第2端子は、ソース線 SL に接続されている。トランジスタ104の第1端子は、データ線 DL に接続されている。トランジスタ104のゲート電極は、第3ワード線 WL_{SW} に接続されている。容量素子102が有する一対の電極は、一方がトランジスタ103のゲート電極に接続されており、他方が容量線 CL に接続されている。

20

【0104】

図8(B)に示すメモリセル100の場合、データの読み出し時には、第3ワード線 WL_{SW} の電位が変化することでトランジスタ104がオンになる。そして、記憶素子として機能する容量素子102及びトランジスタ103によって保持されている電荷量は、データ線 DL の電位により読み取ることができる。

30

【0105】

本発明の一態様に係る記憶装置は、先に書き込んだデータに上書きするように、別のデータを書き込むことが可能である。よって、従来のフラッシュメモリとは異なり、データの書き換えの際に、先に書き込んだデータの消去を必要としない点が、メリットの一つである。

【0106】

また、一般的なフラッシュメモリの場合、電荷を蓄積するフローティングゲートが、絶縁膜で覆われた絶縁状態にある。よって、フローティングゲートに、トンネル効果を利用して電荷を蓄積させるためには、20V程度の高い電圧を記憶素子に印加する必要がある。しかし、本発明の一態様では、高純度化された酸化半導体膜をトランジスタの活性層として用いたスイッチング素子により、データの書き込み及び読み出しを行うことができる。よって、記憶装置の動作時に必要な電圧は数V程度であり、消費電力を格段に小さく抑えることができる。

40

【0107】

なお、一般的なフラッシュメモリを用いた半導体装置では、フラッシュメモリの動作時に必要な電圧(動作電圧)が大きいので、通常、昇圧回路などを用いてフラッシュメモリに与える電圧を昇圧している。しかし、本発明の一態様に係る記憶装置では、記憶装置の動

50

作電圧を小さく抑えられるので、消費電力を小さくすることができる。よって、半導体装置内の、記憶装置の動作に係わる昇圧回路などの外部回路の負担を軽減することができ、その分、外部回路の機能拡張などを行い、半導体装置の高機能化を実現することができる。

【0108】

また、本実施の形態では、2値のデジタルデータを扱う場合の駆動方法について説明したが、本発明の記憶装置では、3値以上の多値のデータを扱うことも可能である。なお、3値以上の多値のデータの場合、値が4値、5値と増えていくにつれて各値どうしの電荷量の差が小さくなるため、微少なオフ電流が存在するとデータの正確さを維持するのが難しく、保持期間がさらに短くなる傾向にある。しかし、本発明の一態様では、オフ電流が著しく低減されたトランジスタをスイッチング素子として用いるので、多値化に伴う保持期間の短縮化を抑えることができる。

10

【0109】

次いで、第2ワード線 WL_{BG} の電位を制御するための第2ワード線駆動回路の構成について、一例を挙げて説明する。図7に、第2ワード線駆動回路150の回路図の一例を示す。

【0110】

図7に示す第2ワード線駆動回路150は、ダイオードとして機能するトランジスタ151（駆動回路用トランジスタ）と、容量素子152（駆動回路用容量素子）とを有している。トランジスタ151の第1端子には、端子Aを介して電位 V_{SS} が供給されている。また、トランジスタ151の第1のゲート電極及び第2のゲート電極は、トランジスタ151の第2端子に接続されている。容量素子152は一对の電極を有している。上記一对の電極のうち、一方の電極がトランジスタ151の第2端子に接続されており、他方の電極には所定の電位が与えられている。そして、トランジスタ151の第2端子は、第2ワード線 WL_{BG} に接続されている。

20

【0111】

具体的に図7では、第2ワード線駆動回路150がトランジスタ151及び容量素子152を m 組（ m は2以上の自然数）有している。そして、一つのトランジスタ151の第2端子に、 n 本（ n は1以上の自然数）の第2ワード線 WL_{BG} が接続されている。

【0112】

第2ワード線 WL_{BG} の電位が電位 V_{SS} より高い場合、トランジスタ151を介して第2ワード線 WL_{BG} から端子Aに向かって電流が流れる。そのため、第2ワード線 WL_{BG} の電位は、電位 V_{SS} よりトランジスタ151の閾値電圧分だけ高い電位に設定される。この電位が、メモリセル100内のトランジスタ101のソース電極の電位より十分低くなるように設定できれば、トランジスタ101の閾値電圧は高い方にシフトするため、トランジスタ101のオフ電流は低減する。従って、記憶装置の保持特性を向上させることができる。

30

【0113】

なお、第2ワード線駆動回路150への電位 V_{SS} の供給が停止し、端子Aの電位が第2ワード線 WL_{BG} の電位より高くなった場合は、トランジスタ151には逆方向バイアスの電圧がかかるため、トランジスタ151に流れる電流はオフ電流のみになる。このオフ電流によって容量素子152は充電され、第2ワード線 WL_{BG} の電位は時間の経過と共に上昇する。そして、最終的には、トランジスタ101のソース電極と第2のゲート電極の間の電位差が小さくなるため、オフ電流を十分低減できる程度にトランジスタ101の閾値電圧をシフトさせることができなくなる。しかし、容量素子152はセルアレイの外部に配置することができるので、メモリセル内の容量素子102に比べて、大きな容量値を確保することが可能である。よって、容量素子152が有する容量値を、メモリセル内の容量素子102が有する容量値の例えば100倍にすると、第2ワード線 WL_{BG} の電位が上限に達してしまうまでにかかる時間を100倍に伸ばすことが可能になる。従って、電位 V_{SS} の供給が停止している期間が短時間であれば、記憶装置内に蓄えられたデー

40

50

タを失わずにすませることができる。

【0114】

なお、トランジスタ151は、必ずしも第2のゲート電極を有している必要はない。ただし、図7に示すようにトランジスタ151に第2のゲート電極を設け、当該第2のゲート電極をトランジスタ151の第2端子に接続することは、以下の理由により望ましい。上記構成を採用する場合、ダイオードとして機能するトランジスタ151に順方向バイアスの電圧が印加されているとき、トランジスタ151はその閾値電圧が低くなるためにオン電流が高くなり、第2ワード線 WL_{BG} への電流供給能力を高めることができる。また、上記構成を採用する場合、トランジスタ151に逆方向バイアスの電圧が印加されているとき、トランジスタ151はその閾値電圧が高くなるためにオフ電流が低くなり、第2ワード線 WL_{BG} の電位が上限に達してしまうまでにかかる時間を延ばすことができる。

10

【0115】

また、図7では、図4のタイミングチャートに示すように、第2ワード線 WL_{BG} に一定の電位 VSS を供給する場合の、第2ワード線駆動回路150の構成を例示している。図5のタイミングチャートに示すように、書き込み期間において第2ワード線 WL_{BG} に電位 VSS と接地電位 GND を供給する場合は、図7において端子Aを直流電源ではなく、信号源に接続する。

【0116】

(実施の形態2)

本実施の形態では、酸化物半導体を用いたトランジスタ101と、シリコンを用いたトランジスタ103とを有する記憶装置の作製方法について説明する。

20

【0117】

ただし、トランジスタ103は、シリコンの他、ゲルマニウム、シリコンゲルマニウム、単結晶炭化シリコンなどの半導体材料を用いていても良い。また、例えば、シリコンを用いたトランジスタ103は、シリコンウェハなどの単結晶半導体基板、SOI法により作製されたシリコン薄膜、気相成長法により作製されたシリコン薄膜などを用いて形成することができる。或いは、本発明の一態様では、メモリセルを構成する全てのトランジスタに、酸化物半導体を用いていても良い。

【0118】

本実施の形態では、まず、図9(A)に示すように、基板700上に絶縁膜701と、単結晶の半導体基板から分離された島状の半導体膜702とを形成する。

30

【0119】

基板700として使用することができる素材に大きな制限はないが、少なくとも、後の加熱処理に耐えうる程度の耐熱性を有していることが必要となる。例えば、基板700には、フュージョン法やフロート法で作製されるガラス基板、石英基板、半導体基板、セラミック基板等を用いることができる。ガラス基板としては、後の加熱処理の温度が高い場合には、歪み点が730以上のものを用いると良い。

【0120】

また、本実施の形態では、半導体膜702が単結晶のシリコンである場合を例に挙げて、以下、トランジスタ103の作製方法について説明する。なお、具体的な単結晶の半導体膜702の作製方法の一例について、簡単に説明する。まず、単結晶の半導体基板であるボンド基板に、電界で加速されたイオンでなるイオンビームを注入し、ボンド基板の表面から一定の深さの領域に、結晶構造が乱されることで局所的に脆弱化された脆化層を形成する。脆化層が形成される領域の深さは、イオンビームの加速エネルギーとイオンビームの入射角によって調節することができる。そして、ボンド基板と、絶縁膜701が形成された基板700とを、間に当該絶縁膜701が挟まるように貼り合わせる。貼り合わせは、ボンド基板と基板700とを重ね合わせた後、ボンド基板と基板700の一部に、 $1N/cm^2$ 以上 $500N/cm^2$ 以下、好ましくは $11N/cm^2$ 以上 $20N/cm^2$ 以下程度の圧力を加える。圧力を一部に加えると、その部分からボンド基板と絶縁膜701とが接合を開始し、最終的には密着した面全体に接合がおよぶ。次いで、加熱処理を行うこ

40

50

とで、脆化層に存在する微小ボイドが膨張して、微小ボイドどうしが結合する。その結果、脆化層においてボンド基板の一部である単結晶半導体膜が、ボンド基板から分離する。上記加熱処理の温度は、基板 700 の歪み点を越えない温度とする。そして、上記単結晶半導体膜をエッチング等により所望の形状に加工することで、島状の半導体膜 702 を形成することができる。

【0121】

半導体膜 702 には、閾値電圧を制御するために、硼素、アルミニウム、ガリウムなどの p 型の導電性を付与する不純物元素、若しくはリン、砒素などの n 型の導電性を付与する不純物元素を添加しても良い。閾値電圧を制御するための不純物元素の添加は、パターニングする前の半導体膜に対して行っても良いし、パターニング後に形成された半導体膜 702 に対して行っても良い。また、閾値電圧を制御するための不純物元素の添加を、ボンド基板に対して行っても良い。若しくは、不純物元素の添加を、閾値電圧を大まかに調整するためにボンド基板に対して行った上で、閾値電圧を微調整するために、パターニング前の半導体膜に対して、又はパターニングにより形成された半導体膜 702 に対しても行っても良い。

【0122】

なお、本実施の形態では、単結晶の半導体膜を用いる例について説明しているが、本発明はこの構成に限定されない。例えば、絶縁膜 701 上に気相成長法を用いて形成された多結晶、微結晶、非晶質の半導体膜を用いても良いし、上記半導体膜を公知の技術により結晶化しても良い。公知の結晶化方法としては、レーザ光を用いたレーザ結晶化法、触媒元素を用いる結晶化法がある。或いは、触媒元素を用いる結晶化法とレーザ結晶化法とを組み合わせることもできる。また、石英のような耐熱性に優れている基板を用いる場合、電熱炉を使用した熱結晶化方法、赤外光を用いたランプアニール結晶化法、触媒元素を用いる結晶化法、950 程度の高温アニール法を組み合わせた結晶化法を用いても良い。

【0123】

次に、図 9 (B) に示すように、半導体膜 702 上にゲート絶縁膜 703 を形成した後、ゲート絶縁膜 703 上にマスク 705 を形成し、導電性を付与する不純物元素を半導体膜 702 の一部に添加することで、不純物領域 704 を形成する。

【0124】

ゲート絶縁膜 703 は、高密度プラズマ処理、熱処理などを行うことにより半導体膜 702 の表面を酸化又は窒化することで形成することができる。高密度プラズマ処理は、例えば He、Ar、Kr、Xe などの希ガスと酸素、酸化窒素、アンモニア、窒素、水素などの混合ガスとを用いて行う。この場合、プラズマの励起をマイクロ波の導入により行うことで、低電子温度で高密度のプラズマを生成することができる。このような高密度のプラズマで生成された酸素ラジカル (OH ラジカルを含む場合もある) や窒素ラジカル (NH ラジカルを含む場合もある) によって、半導体膜の表面を酸化又は窒化することにより、1 ~ 20 nm、望ましくは 5 ~ 10 nm の絶縁膜が半導体膜に接するように形成できる。例えば、亜酸化窒素 (N_2O) を Ar で 1 ~ 3 倍 (流量比) に希釈して、10 ~ 30 Pa の圧力にて 3 ~ 5 kW のマイクロ波 (2.45 GHz) 電力を印加して半導体膜 702 の表面を酸化若しくは窒化させる。この処理により 1 nm ~ 10 nm (好ましくは 2 nm ~ 6 nm) の絶縁膜を形成する。更に亜酸化窒素 (N_2O) とシラン (SiH_4) を導入し、10 ~ 30 Pa の圧力にて 3 ~ 5 kW のマイクロ波 (2.45 GHz) 電力を印加して気相成長法により酸化窒化珪素膜を形成してゲート絶縁膜を形成する。固相反応と気相成長法による反応を組み合わせることにより界面準位密度が低く絶縁耐圧の優れたゲート絶縁膜を形成することができる。

【0125】

上述した高密度プラズマ処理による半導体膜の酸化又は窒化は固相反応で進むため、ゲート絶縁膜 703 と半導体膜 702 との界面準位密度を極めて低くすることができる。また高密度プラズマ処理により半導体膜 702 を直接酸化又は窒化することで、形成される絶

10

20

30

40

50

縁膜の厚さのばらつきを抑えることができる。また半導体膜が結晶性を有する場合、高密度プラズマ処理を用いて半導体膜の表面を固相反応で酸化させることにより、結晶粒界においてのみ酸化が速く進んでしまうのを抑え、均一性が良く、界面準位密度の低いゲート絶縁膜を形成することができる。高密度プラズマ処理により形成された絶縁膜を、ゲート絶縁膜の一部又は全部に含んで形成されるトランジスタは、特性のばらつきを抑えることができる。

【0126】

また、プラズマCVD法又はスパッタリング法などを用い、酸化珪素、窒化酸化珪素、酸化窒化珪素、窒化珪素、酸化ハフニウム、酸化アルミニウム又は酸化タンタル、酸化イットリウム、ハフニウムシリケート(HfSi_xO_y ($x > 0$, $y > 0$))、窒素が添加されたハフニウムシリケート(HfSi_xO_y ($x > 0$, $y > 0$))、窒素が添加されたハフニウムアルミネート(HfAl_xO_y ($x > 0$, $y > 0$))等を含む膜を、単層で、又は積層させることで、ゲート絶縁膜703を形成しても良い。

10

【0127】

なお、本明細書において酸化窒化物とは、その組成として、窒素よりも酸素の含有量が多い物質であり、また、窒化酸化物とは、その組成として、酸素よりも窒素の含有量が多い物質を意味する。

【0128】

ゲート絶縁膜703の厚さは、例えば、1nm以上100nm以下、好ましくは10nm以上50nm以下とすることができる。本実施の形態では、プラズマCVD法を用いて、酸化珪素を含む単層の絶縁膜を、ゲート絶縁膜703として用いる。

20

【0129】

次いで、マスク705を除去した後、図9(C)に示すように、ゲート絶縁膜703の一部を除去して、不純物領域704と重畳する領域にエッチング等により開口部706を形成した後、ゲート電極707及び導電膜708を形成する。

【0130】

ゲート電極707及び導電膜708は、開口部706を覆うように導電膜を形成した後、該導電膜を所定の形状に加工(パターニング)することで、形成することができる。導電膜708は、開口部706において不純物領域704と接している。上記導電膜の形成にはCVD法、スパッタリング法、蒸着法、スピンコート法などを用いることができる。また、導電膜は、タンタル(Ta)、タングステン(W)、チタン(Ti)、モリブデン(Mo)、アルミニウム(Al)、銅(Cu)、クロム(Cr)、ニオブ(Nb)等を用いることができる。上記金属を主成分とする合金を用いても良いし、上記金属を含む化合物を用いても良い。又は、半導体膜に導電性を付与するリン等の不純物元素をドーピングした、多結晶珪素などの半導体を用いて形成しても良い。

30

【0131】

なお、本実施の形態ではゲート電極707及び導電膜708を単層の導電膜で形成しているが、本実施の形態はこの構成に限定されない。ゲート電極707及び導電膜708は積層された複数の導電膜で形成されていても良い。

【0132】

2つの導電膜の組み合わせとして、1層目に窒化タンタル又はタンタルを、2層目にタングステンをを用いることができる。上記例の他に、窒化タングステンとタングステン、窒化モリブデンとモリブデン、アルミニウムとタンタル、アルミニウムとチタン等が挙げられる。タングステンや窒化タンタルは、耐熱性が高いため、2層の導電膜を形成した後の工程において、熱活性化を目的とした加熱処理を行うことができる。また、2層の導電膜の組み合わせとして、例えば、n型の導電性を付与する不純物元素がドーピングされた珪素とニッケルシリサイド、n型の導電性を付与する不純物元素がドーピングされた珪素とタングステンシリサイド等も用いることができる。

40

【0133】

3つ以上の導電膜を積層する3層構造の場合は、モリブデン膜とアルミニウム膜とモリブ

50

デン膜の積層構造を採用するとよい。

【0134】

また、ゲート電極707及び導電膜708に酸化インジウム、酸化インジウム酸化スズ混合物、酸化インジウム酸化亜鉛混合物、酸化亜鉛、酸化亜鉛アルミニウム、酸化亜鉛アルミニウム、又は酸化亜鉛ガリウム等の透光性を有する酸化物導電膜を用いることもできる。

【0135】

なお、マスクを用いずに、液滴吐出法を用いて選択的にゲート電極707及び導電膜708を形成しても良い。液滴吐出法とは、所定の組成物を含む液滴を細孔から吐出又は噴出することで所定のパターンを形成する方法を意味し、インクジェット法などがその範疇に含まれる。

10

【0136】

また、ゲート電極707及び導電膜708は、導電膜を形成後、ICP(Inductively Coupled Plasma:誘導結合型プラズマ)エッチング法を用い、エッチング条件(コイル型の電極層に印加される電力量、基板側の電極層に印加される電力量、基板側の電極温度等)を適宜調節することにより、所望のテーパー形状を有するようにエッチングすることができる。また、テーパー形状は、マスクの形状によっても角度等を制御することができる。なお、エッチング用ガスとしては、塩素、塩化硼素、塩化珪素もしくは四塩化炭素などの塩素系ガス、四弗化炭素、弗化硫黄もしくは弗化窒素などのフッ素系ガス又は酸素を適宜用いることができる。

20

【0137】

次に、図9(D)に示すように、ゲート電極707及び導電膜708をマスクとして一導電性を付与する不純物元素を半導体膜702に添加することで、ゲート電極707と重なるチャネル形成領域710と、チャネル形成領域710を間に挟む一対の不純物領域709と、不純物領域704の一部に更に不純物元素が添加された不純物領域711とが、半導体膜702に形成される。

【0138】

本実施の形態では、半導体膜702にp型を付与する不純物元素(例えばボロン)を添加する場合を例に挙げる。

【0139】

なお、図12(A)は、上述の工程が終了した時点での、メモリセルの上面図である。図12(A)の破線A1-A2における断面図が、図9(D)に相当する。

30

【0140】

次いで、図10(A)に示すように、ゲート絶縁膜703、ゲート電極707、導電膜708を覆うように、絶縁膜712、絶縁膜713を形成する。具体的に、絶縁膜712、絶縁膜713は、酸化珪素、窒化珪素、窒化酸化珪素、酸化窒化珪素、窒化アルミニウム、窒化酸化アルミニウムなどの無機の絶縁膜を用いることができる。特に、絶縁膜712、絶縁膜713に誘電率の低い(low-k)材料を用いることで、各種電極や配線の重なり起因する容量を十分に低減することが可能になるため好ましい。なお、絶縁膜712、絶縁膜713に、上記材料を用いた多孔性の絶縁膜を適用しても良い。多孔性の絶縁膜では、密度の高い絶縁膜と比較して誘電率が低下するため、電極や配線に起因する寄生容量を更に低減することが可能である。

40

【0141】

本実施の形態では、絶縁膜712として酸化窒化珪素、絶縁膜713として窒化酸化珪素を用いる場合を例に挙げる。また、本実施の形態では、ゲート電極707及び導電膜708上に絶縁膜712、絶縁膜713を形成している場合を例示しているが、本発明はゲート電極707及び導電膜708上に絶縁膜を1層だけ形成していても良いし、3層以上の複数の絶縁膜を積層するように形成していても良い。

【0142】

次いで、図10(B)に示すように、絶縁膜712及び絶縁膜713にCMP(化学的機

50

械研磨)処理やエッチング処理を行うことにより、ゲート電極707及び導電膜708の表面を露出させる。なお、後に形成されるトランジスタ101の特性を向上させるために、絶縁膜712、絶縁膜713の表面は可能な限り平坦にしておくことが好ましい。

【0143】

以上の工程により、トランジスタ103を形成することができる。

【0144】

次いで、トランジスタ101の作製方法について説明する。まず、図10(C)に示すように、絶縁膜712又は絶縁膜713上に、ゲート電極714を形成する。ゲート電極714は、ゲート電極707及び導電膜708と同様の材料、同様の積層構造を用いて形成することが可能である。

10

【0145】

ゲート電極714の膜厚は、10nm~400nm、好ましくは100nm~200nmとする。本実施の形態では、タングステンターゲットを用いたスパッタ法により150nmのゲート電極用の導電膜を形成した後、該導電膜をエッチングにより所望の形状に加工(パターニング)することで、ゲート電極714を形成する。なお、形成されたゲート電極の端部がテーパであると、上に積層するゲート絶縁膜の被覆性が向上するため好ましい。なお、レジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトリソグラフィーを使用しないため、製造コストを低減できる。

【0146】

次いで、図10(D)に示すように、ゲート電極714上に、ゲート絶縁膜715を形成した後、ゲート絶縁膜715上においてゲート電極714と重なる位置に、島状の酸化物半導体膜716を形成する。

20

【0147】

ゲート絶縁膜715は、ゲート絶縁膜703と同様の材料、同様の積層構造を用いて形成することが可能である。ただし、ゲート絶縁膜715は、水分、水素などの不純物を極力含まないことが望ましい。スパッタリング法により酸化珪素膜を成膜する場合には、ターゲットとしてシリコンターゲット又は石英ターゲットを用い、スパッタガスとして酸素又は、酸素及びアルゴンの混合ガスを用いる。

【0148】

不純物を除去され、なおかつ酸素欠損が低減されることにより高純度化された酸化物半導体は、界面準位、界面電荷に対して極めて敏感であるため、高純度化された酸化物半導体膜716とゲート絶縁膜715の界面特性は重要である。そのため高純度化された酸化物半導体膜716に接するゲート絶縁膜715は、高品質であることが要求される。

30

【0149】

例えば、 μ 波(周波数2.45GHz)を用いた高密度プラズマCVDは、緻密で絶縁耐圧の高い高品質な絶縁膜を形成できるので好ましい。高純度化された酸化物半導体と高品質ゲート絶縁膜とが密接することにより、界面準位を低減して界面特性を良好なものとすることができるからである。

【0150】

もちろん、ゲート絶縁膜715として良質な絶縁膜を形成できるものであれば、スパッタリング法やプラズマCVD法など他の成膜方法を適用することができる。また、成膜後の熱処理によって膜質や、酸化物半導体との界面特性が改善される絶縁膜であっても良い。いずれにしても、ゲート絶縁膜としての膜質が良好であることは勿論のこと、ゲート絶縁膜と酸化物半導体との界面準位密度を低減し、良好な界面を形成できるものであれば良い。

40

【0151】

バリア性の高い材料を用いた絶縁膜と、窒素の含有比率が低い酸化珪素膜、酸化窒化珪素膜などの絶縁膜とを積層させた構造を有するゲート絶縁膜715を形成しても良い。この場合、酸化珪素膜、酸化窒化珪素膜などの絶縁膜は、バリア性の高い絶縁膜と酸化物半導体膜716の間に形成する。バリア性の高い絶縁膜として、例えば窒化珪素膜、窒化酸化

50

珪素膜、窒化アルミニウム膜、又は窒化酸化アルミニウム膜などが挙げられる。バリア性の高い絶縁膜を用いることで、水分又は水素などの雰囲気中の不純物、或いは基板内に含まれるアルカリ金属、重金属などの不純物が、酸化物半導体膜 716 内、ゲート絶縁膜 715 内、或いは、酸化物半導体膜 716 と他の絶縁膜の界面とその近傍に入り込むのを防ぐことができる。また、酸化物半導体膜 716 に接するように窒素の含有比率が低い酸化珪素膜、酸化窒化珪素膜などの絶縁膜を形成することで、バリア性の高い絶縁膜が直接酸化物半導体膜 716 に接するのを防ぐことができる。

【0152】

例えば、第1のゲート絶縁膜としてスパッタリング法により膜厚 50 nm 以上 200 nm 以下の窒化珪素膜 (SiN_y ($y > 0$)) を形成し、第1のゲート絶縁膜上に第2のゲート絶縁膜として膜厚 5 nm 以上 300 nm 以下の酸化珪素膜 (SiO_x ($x > 0$)) を積層して、膜厚 100 nm のゲート絶縁膜 715 としても良い。ゲート絶縁膜 715 の膜厚は、トランジスタに要求される特性によって適宜設定すればよく、350 nm 乃至 400 nm 程度でもよい。

10

【0153】

本実施の形態では、スパッタ法で形成された膜厚 50 nm の窒化珪素膜上に、スパッタ法で形成された膜厚 100 nm の酸化珪素膜を積層させた構造を有する、ゲート絶縁膜 715 を形成する。

【0154】

なお、ゲート絶縁膜 715 は後に形成される酸化物半導体膜 716 と接する。酸化物半導体膜 716 は、水素が含有されると特性に悪影響を及ぼすので、ゲート絶縁膜 715 は水素、水酸基及び水分が含まれないことが望ましい。ゲート絶縁膜 715 に水素、水酸基及び水分がなるべく含まれないようにするためには、成膜の前処理として、スパッタリング装置の予備加熱室でゲート電極 714 が形成された基板 700 を予備加熱し、基板 700 に吸着した水分又は水素などの不純物を脱離し排気することが好ましい。なお、予備加熱の温度は、100 以上 400 以下、好ましくは 150 以上 300 以下である。なお、予備加熱室に設ける排気手段はクライオポンプが好ましい。なお、この予備加熱の処理は省略することもできる。

20

【0155】

島状の酸化物半導体膜 716 は、ゲート絶縁膜 715 上に形成した酸化物半導体膜を所望の形状に加工することで、形成することができる。上記酸化物半導体膜の膜厚は、2 nm 以上 200 nm 以下、好ましくは 3 nm 以上 50 nm 以下、更に好ましくは 3 nm 以上 20 nm 以下とする。酸化物半導体膜は、酸化物半導体をターゲットとして用い、スパッタ法により成膜する。また、酸化物半導体膜は、希ガス（例えばアルゴン）雰囲気下、酸素雰囲気下、又は希ガス（例えばアルゴン）及び酸素混合雰囲気下においてスパッタ法により形成することができる。

30

【0156】

なお、酸化物半導体膜をスパッタ法により成膜する前に、アルゴンガスを導入してプラズマを発生させる逆スパッタを行い、ゲート絶縁膜 715 の表面に付着している塵埃を除去することが好ましい。逆スパッタとは、ターゲット側に電圧を印加せずに、アルゴン雰囲気下で基板側に RF 電源を用いて電圧を印加して基板近傍にプラズマを形成して表面を改質する方法である。なお、アルゴン雰囲気に代えて窒素、ヘリウムなどを用いてもよい。また、アルゴン雰囲気に酸素、亜酸化窒素などを加えた雰囲気で行ってもよい。また、アルゴン雰囲気に塩素、四フッ化炭素などを加えた雰囲気で行ってもよい。

40

【0157】

酸化物半導体膜には、上述したような、酸化インジウム、酸化スズ、酸化亜鉛、二元系金属の酸化物である In-Zn 系酸化物、Sn-Zn 系酸化物、Al-Zn 系酸化物、Zn-Mg 系酸化物、Sn-Mg 系酸化物、In-Mg 系酸化物、In-Ga 系酸化物、三元系金属の酸化物である In-Ga-Zn 系酸化物 (IGZO とも表記する)、In-Al-Zn 系酸化物、In-Sn-Zn 系酸化物、Sn-Ga-Zn 系酸化物、Al-Ga-

50

Zn系酸化物、Sn-Al-Zn系酸化物、In-Hf-Zn系酸化物、In-La-Zn系酸化物、In-Ce-Zn系酸化物、In-Pr-Zn系酸化物、In-Nd-Zn系酸化物、In-Sm-Zn系酸化物、In-Eu-Zn系酸化物、In-Gd-Zn系酸化物、In-Tb-Zn系酸化物、In-Dy-Zn系酸化物、In-Ho-Zn系酸化物、In-Er-Zn系酸化物、In-Tm-Zn系酸化物、In-Yb-Zn系酸化物、In-Lu-Zn系酸化物、四元系金属の酸化物であるIn-Sn-Ga-Zn系酸化物、In-Hf-Ga-Zn系酸化物、In-Al-Ga-Zn系酸化物、In-Sn-Al-Zn系酸化物、In-Sn-Hf-Zn系酸化物、In-Hf-Al-Zn系酸化物を用いることができる。

【0158】

本実施の形態では、In（インジウム）、Ga（ガリウム）、及びZn（亜鉛）を含むターゲットを用いたスパッタ法により得られる膜厚30nmのIn-Ga-Zn系酸化物半導体の薄膜を、酸化物半導体膜として用いる。In-Ga-Zn系酸化物半導体膜をスパッタリング法で成膜する場合、好ましくは、原子数比がIn:Ga:Zn=1:1:1、4:2:3、3:1:2、1:1:2、2:1:3、または3:1:4で示されるIn-Ga-Zn系酸化物のターゲットを用いる。前述の原子数比を有するIn-Ga-Zn系酸化物のターゲットを用いて酸化物半導体膜を成膜することで、多結晶またはCAACが形成されやすくなる。また、In、Ga、及びZnを含むターゲットの充填率は90%以上100%以下、好ましくは95%以上100%未満である。充填率の高いターゲットを用いることにより、成膜した酸化物半導体膜は緻密な膜となる。

【0159】

なお、酸化物半導体としてIn-Zn系酸化物の材料を用いる場合、用いるターゲットの組成比は、原子数比で、In:Zn=50:1~1:2（モル数比に換算するとIn₂O₃:ZnO=25:1~1:4）、好ましくはIn:Zn=20:1~1:1（モル数比に換算するとIn₂O₃:ZnO=10:1~1:2）、さらに好ましくはIn:Zn=1.5:1~1.5:1（モル数比に換算するとIn₂O₃:ZnO=3:4~1.5:2）とする。例えば、In-Zn系酸化物である酸化物半導体膜の形成に用いるターゲットは、原子数比がIn:Zn:O=X:Y:Zのとき、Z>1.5X+Yとする。Znの比率を上記範囲に収めることで、移動度の向上を実現することができる。

【0160】

本実施の形態では、減圧状態に保持された処理室内に基板を保持し、処理室内の残留水分を除去しつつ水素及び水分が除去されたスパッタガスを導入し、上記ターゲットを用いて酸化物半導体膜を成膜する。成膜時に、基板温度を100℃以上600℃以下、好ましくは200℃以上400℃以下としても良い。基板を加熱しながら成膜することにより、成膜した酸化物半導体膜に含まれる不純物濃度を低減することができる。また、スパッタリングによる損傷が軽減される。処理室内の残留水分を除去するためには、吸着型の真空ポンプを用いることが好ましい。例えば、クライオポンプ、イオンポンプ、チタンサブリメーションポンプを用いることが好ましい。また、排気手段としては、ターボポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて処理室を排気すると、例えば、水素原子、水（H₂O）など水素原子を含む化合物（より好ましくは炭素原子を含む化合物も）等が排気されるため、当該処理室で成膜した酸化物半導体膜に含まれる不純物の濃度を低減できる。

【0161】

成膜条件の一例としては、基板とターゲットの間との距離を100mm、圧力0.6Pa、直流（DC）電源0.5kW、酸素（酸素流量比率100%）雰囲気下の条件が適用される。なお、パルス直流（DC）電源を用いると、成膜時に発生する塵埃が軽減でき、膜厚分布も均一となるために好ましい。

【0162】

なお、酸化物半導体膜に水素、水酸基及び水分がなるべく含まれないようにするために、成膜の前処理として、スパッタリング装置の予備加熱室でゲート絶縁膜715までが形成

10

20

30

40

50

された基板 700 を予備加熱し、基板 700 に吸着した水分又は水素などの不純物を脱離し排気することが好ましい。なお、予備加熱の温度は、100 以上 400 以下、好ましくは 150 以上 300 以下である。また、予備加熱室に設ける排気手段はクライオポンプが好ましい。なお、この予備加熱の処理は省略することもできる。また、この予備加熱は、後に行われるゲート絶縁膜 721 の成膜前に、導電膜 719、導電膜 720 まで形成した基板 700 にも同様に行ってもよい。

【0163】

なお、島状の酸化物半導体膜 716 を形成するためのエッチングは、ドライエッチングでもウェットエッチングでもよく、両方を用いてもよい。ドライエッチングに用いるエッチングガスとしては、塩素を含むガス（塩素系ガス、例えば塩素 (Cl_2)、三塩化硼素 (BCl_3)、四塩化珪素 (SiCl_4)、四塩化炭素 (CCl_4) など）が好ましい。また、フッ素を含むガス（フッ素系ガス、例えば四弗化炭素 (CF_4)、六弗化硫黄 (SF_6)、三弗化窒素 (NF_3)、トリフルオロメタン (CHF_3) など）、臭化水素 (HBr)、酸素 (O_2)、これらのガスにヘリウム (He) やアルゴン (Ar) などの希ガスを添加したガス、などを用いることができる。

10

【0164】

ドライエッチング法としては、平行平板型 RIE (Reactive Ion Etching) 法や、ICP (Inductively Coupled Plasma: 誘導結合型プラズマ) エッチング法を用いることができる。所望の形状にエッチングできるように、エッチング条件（コイル型の電極に印加される電力量、基板側の電極に印加される電力量、基板側の電極温度等）を適宜調節する。

20

【0165】

ウェットエッチングに用いるエッチング液として、燐酸と酢酸と硝酸を混ぜた溶液、クエン酸やシュウ酸などの有機酸を用いることができる。本実施の形態では、ITO-07N（関東化学社製）を用いる。

【0166】

島状の酸化物半導体膜 716 を形成するためのレジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトリソを使用しないため、製造コストを低減できる。

【0167】

なお、次工程の導電膜を形成する前に逆スパッタを行い、島状の酸化物半導体膜 716 及びゲート絶縁膜 715 の表面に付着しているレジスト残渣などを除去することが好ましい。

30

【0168】

なお、スパッタ等で成膜された酸化物半導体膜中には、不純物としての水分又は水素（水酸基を含む）が多量に含まれていることがある。水分又は水素はドナー準位を形成しやすいため、酸化物半導体にとっては不純物である。そこで、本発明の一態様では、酸化物半導体膜中の水分又は水素などの不純物を低減（脱水化または脱水素化）するために、島状の酸化物半導体膜 716 に対して、減圧雰囲気下、窒素や希ガスなどの不活性ガス雰囲気下、酸素ガス雰囲気下、又は超乾燥エア（CRDS（キャピティリングダウンレーザー分光法）方式の露点計を用いて測定した場合の水分量が 20 ppm（露点換算で -55）以下、好ましくは 1 ppm 以下、好ましくは 10 ppb 以下の空気）雰囲気下で、島状の酸化物半導体膜 716 に加熱処理を施す。

40

【0169】

島状の酸化物半導体膜 716 に加熱処理を施すことで、島状の酸化物半導体膜 716 中の水分又は水素を脱離させることができる。具体的には、250 以上 750 以下、好ましくは 400 以上基板の歪み点未満の温度で加熱処理を行えば良い。例えば、500、3 分間以上 6 分間以下程度で行えばよい。加熱処理に RTA 法を用いれば、短時間に脱水化又は脱水素化が行えるため、ガラス基板の歪点を越える温度でも処理することができる。

50

【0170】

本実施の形態では、加熱処理装置の一つである電気炉を用いる。

【0171】

なお、加熱処理装置は電気炉に限られず、抵抗発熱体などの発熱体からの熱伝導又は熱輻射によって、被処理物を加熱する装置を備えていてもよい。例えば、GRTA (Gas Rapid Thermal Annealing) 装置、LRTA (Lamp Rapid Thermal Annealing) 装置等のRTA (Rapid Thermal Annealing) 装置を用いることができる。LRTA装置は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどのランプから発する光(電磁波)の輻射により、被処理物を加熱する装置である。GRTA装置は、高温のガスを用いて加熱処理を行う装置である。気体には、アルゴンなどの希ガス、又は窒素のような、加熱処理によって被処理物と反応しない不活性気体を用いられる。

10

【0172】

加熱処理においては、窒素、又はヘリウム、ネオン、アルゴン等の希ガスに、水分又は水素などが含まれないことが好ましい。又は、加熱処理装置に導入する窒素、又はヘリウム、ネオン、アルゴン等の希ガスの純度を、6N(99.9999%)以上、好ましくは7N(99.99999%)以上、(即ち不純物濃度を1ppm以下、好ましくは0.1ppm以下)とすることが好ましい。

20

【0173】

なお、酸化物半導体は不純物に対して鈍感であり、膜中にはかなりの金属不純物が含まれていても問題がなく、ナトリウムのようなアルカリ金属が多量に含まれる廉価なソーダ石灰ガラスも使えると指摘されている(神谷、野村、細野、「アモルファス酸化物半導体の物性とデバイス開発の現状」、固体物理、2009年9月号、Vol.44、pp.621-633.)。しかし、このような指摘は適切でない。アルカリ金属は酸化物半導体を構成する元素ではないため、不純物である。アルカリ土類金属も、酸化物半導体を構成する元素ではない場合において、不純物となる。特に、アルカリ金属のうちNaは、酸化物半導体膜に接する絶縁膜が酸化物である場合、当該絶縁膜中に拡散して Na^+ となる。また、Naは、酸化物半導体膜内において、酸化物半導体を構成する金属と酸素の結合を分断する、或いは、その結合中に割り込む。その結果、例えば、閾値電圧がマイナス方向にシフトすることによるノーマリオン化、移動度の低下等の、トランジスタの特性の劣化が起こり、加えて、特性のばらつきも生じる。この不純物によりもたらされるトランジスタの特性の劣化と、特性のばらつきは、酸化物半導体膜中の水素の濃度が十分に低い場合において顕著に現れる。従って、酸化物半導体膜中の水素の濃度が $5 \times 10^{19} \text{ cm}^{-3}$ 以下、特に $5 \times 10^{18} \text{ cm}^{-3}$ 以下である場合には、上記不純物の濃度を低減することが望ましい。具体的に、二次イオン質量分析法によるNa濃度の測定値は、 $5 \times 10^{16} / \text{cm}^3$ 以下、好ましくは $1 \times 10^{16} / \text{cm}^3$ 以下、更に好ましくは $1 \times 10^{15} / \text{cm}^3$ 以下とするとよい。同様に、Li濃度の測定値は、 $5 \times 10^{15} / \text{cm}^3$ 以下、好ましくは $1 \times 10^{15} / \text{cm}^3$ 以下とするとよい。同様に、K濃度の測定値は、 $5 \times 10^{15} / \text{cm}^3$ 以下、好ましくは $1 \times 10^{15} / \text{cm}^3$ 以下とするとよい。

30

40

【0174】

以上の工程により、島状の酸化物半導体膜716中の水素の濃度を低減することができる。また、ガラス転移温度以下の加熱処理で、水素に起因するキャリア密度が少なく、バンドギャップの広い酸化物半導体膜を形成することができる。このため、大面積基板を用いてトランジスタを作製することができ、量産性を高めることができる。上記加熱処理は、酸化物半導体膜の成膜以降であれば、いつでも行うことができる。

【0175】

なお、酸化物半導体膜を加熱する場合、酸化物半導体膜の材料や加熱条件にもよるが、その表面に板状結晶が形成されることがある。板状結晶は、酸化物半導体膜の表面に対して略垂直にc軸配向した単結晶体であることが好ましい。また、単結晶体でなくとも、各結

50

晶が、酸化物半導体膜の表面に対して略垂直にc軸配向した多結晶体であることが好ましい。そして、上記多結晶体は、c軸配向している事に加えて、各結晶のab面が一致するか、a軸、或いは、b軸が一致していることが好ましい。なお、酸化物半導体膜の下地表面に凹凸がある場合、板状結晶は多結晶体となる。従って、下地表面は可能な限り平坦であることが望まれる。

【0176】

次いで、図11(A)に示すように、ゲート絶縁膜715の一部を除去して開口部717及び開口部718を形成することで、ゲート電極707の一部、及び導電膜708の一部を露出させる。そして、開口部717においてゲート電極707と接し、なおかつ酸化物半導体膜716とも接する導電膜719と、開口部718において導電膜708と接し、なおかつ酸化物半導体膜716とも接する導電膜720とを形成する。導電膜719及び導電膜720は、ソース電極又はドレイン電極として機能する。

10

【0177】

具体的に、導電膜719及び導電膜720は、開口部717及び開口部718を覆うようにゲート絶縁膜715上にスパッタ法や真空蒸着法で導電膜を形成した後、該導電膜を所定の形状に加工(パターニング)することで、形成することができる。

【0178】

導電膜719及び導電膜720となる導電膜は、アルミニウム、クロム、銅、タンタル、チタン、モリブデン、タングステンから選ばれた元素、又は上述した元素を成分とする合金か、上述した元素を組み合わせた合金膜等が挙げられる。また、アルミニウム、銅などの金属膜の下側もしくは上側にクロム、タンタル、チタン、モリブデン、タングステンなどの高融点金属膜を積層させた構成としても良い。また、アルミニウム又は銅は、耐熱性や腐食性の問題を回避するために、高融点金属材料と組み合わせて用いると良い。高融点金属材料としては、モリブデン、チタン、クロム、タンタル、タングステン、ネオジウム、スカンジウム、イットリウム等を用いることができる。

20

【0179】

また、導電膜719及び導電膜720となる導電膜は、単層構造でも、2層以上の積層構造としてもよい。例えば、シリコンを含むアルミニウム膜の単層構造、アルミニウム膜上にチタン膜を積層する2層構造、チタン膜と、そのチタン膜上に重ねてアルミニウム膜を積層し、更にその上にチタン膜を成膜する3層構造などが挙げられる。

30

【0180】

また、導電膜719及び導電膜720となる導電膜としては、導電性の金属酸化物で形成しても良い。導電性の金属酸化物としては酸化インジウム、酸化スズ、酸化亜鉛、酸化インジウム酸化スズ混合物、酸化インジウム酸化亜鉛混合物又は前記金属酸化物材料にシリコン若しくは酸化シリコンを含ませたものを用いることができる。

【0181】

導電膜形成後に加熱処理を行う場合には、この加熱処理に耐える耐熱性を導電膜に持たせることが好ましい。

【0182】

なお、導電膜のエッチングの際に、酸化物半導体膜716がなるべく除去されないようにそれぞれの材料及びエッチング条件を適宜調節する。エッチング条件によっては、島状の酸化物半導体膜716の露出した部分が一部エッチングされることで、溝部(凹部)が形成されることもある。

40

【0183】

本実施の形態では、導電膜にチタン膜を用いる。そのため、アンモニアと過酸化水素水を含む溶液(アンモニア過水)を用いて、選択的に導電膜をウェットエッチングすることができるが、酸化物半導体膜716も一部エッチングされる場合がある。アンモニア過水を含む溶液は、具体的には、31重量%の過酸化水素水と、28重量%のアンモニア水と水とを、体積比5:2:2で混合した水溶液を用いる。或いは、塩素(Cl_2)、塩化硼素(BCl_3)などを含むガスを用いて、導電膜をドライエッチングしても良い。

50

【0184】

なお、フォトリソグラフィ工程で用いるフォトマスク数及び工程数を削減するため、透過した光に多段階の強度をもたせる多階調マスクによって形成されたレジストマスクを用いてエッチング工程を行ってもよい。多階調マスクを用いて形成したレジストマスクは複数の膜厚を有する形状となり、エッチングを行うことで更に形状を変形することができるため、異なるパターンに加工する複数のエッチング工程に用いることができる。よって、一枚の多階調マスクによって、少なくとも二種類以上の異なるパターンに対応するレジストマスクを形成することができる。よって露光マスク数を削減することができ、対応するフォトリソグラフィ工程も削減できるため、工程の簡略化が可能となる。

【0185】

また、酸化物半導体膜716と、ソース電極又はドレイン電極として機能する導電膜719及び導電膜720との間に、ソース領域及びドレイン領域として機能する酸化物導電膜を設けるようにしても良い。酸化物導電膜の材料としては、酸化亜鉛を成分として含むものが好ましく、酸化インジウムを含まないものであることが好ましい。そのような酸化物導電膜として、酸化亜鉛、酸化亜鉛アルミニウム、窒化亜鉛アルミニウム、酸化亜鉛ガリウムなどを適用することができる。

【0186】

例えば、酸化物導電膜を形成する場合、酸化物導電膜を形成するためのパターニングと、導電膜719及び導電膜720を形成するためのパターニングとを一括で行うようにしても良い。

【0187】

ソース領域及びドレイン領域として機能する酸化物導電膜を設けることで、酸化物半導体膜716と導電膜719及び導電膜720の間の抵抗を下げることができるので、トランジスタの高速動作を実現させることができる。また、ソース領域及びドレイン領域として機能する酸化物導電膜を設けることで、トランジスタの耐圧を高めることができる。

【0188】

次いで、 N_2O 、 N_2 、又はArなどのガスを用いたプラズマ処理を行うようにしても良い。このプラズマ処理によって露出している酸化物半導体膜の表面に付着した水などを除去する。また、酸素とアルゴンの混合ガスを用いてプラズマ処理を行ってもよい。

【0189】

なお、図12(B)は、上述の工程が終了した時点での、メモリセルの上面図である。図12(B)の破線A1-A2における断面図が、図11(A)に相当する。

【0190】

なお、プラズマ処理を行った後、図11(B)に示すように、導電膜719及び導電膜720と、酸化物半導体膜716とを覆うように、ゲート絶縁膜721を形成する。そして、ゲート絶縁膜721上において、酸化物半導体膜716と重なる位置にゲート電極722を形成し、導電膜719と重なる位置に導電膜723を形成する。

【0191】

ゲート絶縁膜721は、ゲート絶縁膜703と同様の材料、同様の積層構造を用いて形成することが可能である。なお、ゲート絶縁膜721は、水分や、水素などの不純物を極力含まないことが望ましく、単層の絶縁膜であっても良いし、積層された複数の絶縁膜で構成されていても良い。ゲート絶縁膜721に水素が含まれると、その水素が酸化物半導体膜716へ侵入し、又は水素が酸化物半導体膜716中の酸素を引き抜き、酸化物半導体膜716が低抵抗化(n型化)してしまい、寄生チャネルが形成されるおそれがある。よって、ゲート絶縁膜721はできるだけ水素を含まない膜になるように、成膜方法に水素を用いないことが重要である。上記ゲート絶縁膜721には、バリア性の高い材料を用いるのが望ましい。例えば、バリア性の高い絶縁膜として、窒化珪素膜、窒化酸化珪素膜、窒化アルミニウム膜、又は窒化酸化アルミニウム膜などを用いることができる。複数の積層された絶縁膜を用いる場合、窒素の含有比率が低い酸化珪素膜、酸化窒化珪素膜などの絶縁膜を、上記バリア性の高い絶縁膜よりも、酸化物半導体膜716に近い側に形成する

10

20

30

40

50

。そして、窒素の含有比率が低い絶縁膜を間に挟んで、導電膜 719 及び導電膜 720 及び酸化物半導体膜 716 と重なるように、バリア性の高い絶縁膜を形成する。バリア性の高い絶縁膜を用いることで、酸化物半導体膜 716 内、ゲート絶縁膜 721 内、或いは、酸化物半導体膜 716 と他の絶縁膜の界面とその近傍に、水分又は水素などの不純物が入り込むのを防ぐことができる。また、酸化物半導体膜 716 に接するように窒素の比率が低い酸化珪素膜、酸化窒化珪素膜などの絶縁膜を形成することで、バリア性の高い材料を用いた絶縁膜が直接酸化物半導体膜 716 に接するのを防ぐことができる。

【0192】

本実施の形態では、スパッタ法で形成された膜厚 200 nm の酸化珪素膜上に、スパッタ法で形成された膜厚 100 nm の窒化珪素膜を積層させた構造を有する、ゲート絶縁膜 721 を形成する。成膜時の基板温度は、室温以上 300 以下とすればよく、本実施の形態では 100 とする。

10

【0193】

なお、ゲート絶縁膜 721 を形成した後に、加熱処理を施しても良い。加熱処理は、窒素、超乾燥空気、又は希ガス（アルゴン、ヘリウムなど）の雰囲気下において、好ましくは 200 以上 400 以下、例えば 250 以上 350 以下で行う。上記ガスは、水の含有量が 20 ppm 以下、好ましくは 1 ppm 以下、より好ましくは 10 ppb 以下であることが望ましい。本実施の形態では、例えば、窒素雰囲気下で 250 、1時間の加熱処理を行う。或いは、導電膜 719 及び導電膜 720 を形成する前に、水分又は水素を低減させるための酸化物半導体膜に対して行った先の加熱処理と同様に、高温短時間の R T A 処理を行っても良い。酸素を含むゲート絶縁膜 721 が設けられた後に、加熱処理が施されることによって、酸化物半導体膜 716 に対して行った先の加熱処理により、酸化物半導体膜 716 に酸素欠損が発生していたとしても、ゲート絶縁膜 721 から酸化物半導体膜 716 に酸素が供与される。そして、酸化物半導体膜 716 に酸素が供与されることで、酸化物半導体膜 716 において、ドナーとなる酸素欠損を低減し、化学量論的組成比を満たすことが可能である。その結果、酸化物半導体膜 716 を高純度化して i 型に近づけることができ、酸素欠損によるトランジスタの電気特性のばらつきを軽減し、電気特性の向上を実現することができる。この加熱処理を行うタイミングは、ゲート絶縁膜 721 の形成後であれば特に限定されず、他の工程、例えば樹脂膜形成時の加熱処理や、透明導電膜を低抵抗化させるための加熱処理と兼ねることで、工程数を増やすことなく、酸化物半導体膜 716 を i 型に近づけることができる。

20

30

【0194】

また、酸素雰囲気下で酸化物半導体膜 716 に加熱処理を施すことで、酸化物半導体に酸素を添加し、酸化物半導体膜 716 中においてドナーとなる酸素欠損を低減させても良い。加熱処理の温度は、例えば 100 以上 350 未満、好ましくは 150 以上 250 未満で行う。上記酸素雰囲気下の加熱処理に用いられる酸素ガスには、水、水素などが含まれないことが好ましい。又は、加熱処理装置に導入する酸素ガスの純度を、6N（99.9999%）以上、好ましくは 7N（99.99999%）以上、（即ち酸素中の不純物濃度を 1 ppm 以下、好ましくは 0.1 ppm 以下）とすることが好ましい。

【0195】

或いは、イオン注入法又はイオンドーピング法などを用いて、酸化物半導体膜 716 に酸素を添加することで、ドナーとなる酸素欠損を低減させても良い。例えば、2.45 GHz のマイクロ波でプラズマ化した酸素を酸化物半導体膜 716 に添加すれば良い。

40

【0196】

また、ゲート電極 722 及び導電膜 723 は、ゲート絶縁膜 721 上に導電膜を形成した後、該導電膜をパターニングすることで形成することができる。ゲート電極 722 及び導電膜 723 は、ゲート電極 714、或いは導電膜 719 及び導電膜 720 と同様の材料、同様の構造を用いて形成することが可能である。

【0197】

ゲート電極 722 及び導電膜 723 の膜厚は、10 nm ~ 400 nm、好ましくは 100

50

nm ~ 200 nm とする。例えば、チタン膜、アルミニウム膜、チタン膜が積層された構造を有する導電膜を形成した後、フォトリソグラフィ法などによりレジストマスクを形成し、エッチングにより不要な部分を除去して、該導電膜を所望の形状に加工（パターンニング）することで、ゲート電極 722 及び導電膜 723 を形成すると良い。

【0198】

以上の工程により、トランジスタ 101 が形成される。

【0199】

なお、ゲート絶縁膜 721 を間に挟んで導電膜 719 と導電膜 723 とが重なる部分が、容量素子 102 に相当する。

【0200】

図 12 (C) は、上述の工程が終了した時点での、メモリセルの上面図である。図 12 (C) の破線 A1 - A2 における断面図が、図 11 (B) に相当する。

【0201】

また、トランジスタ 101 はシングルゲート構造のトランジスタを用いて説明したが、必要に応じて、電氣的に接続された複数のゲート電極 714 を有することで、チャネル形成領域を複数有する、マルチゲート構造のトランジスタも形成することができる。

【0202】

なお、酸化物半導体膜 716 に接する絶縁膜（本実施の形態においては、ゲート絶縁膜 715、ゲート絶縁膜 721 が該当する。）は、第 13 族元素及び酸素を含む絶縁材料を用いるようにしても良い。酸化物半導体材料には第 13 族元素を含むものが多く、第 13 族元素を含む絶縁材料は酸化物半導体との相性が良く、これを酸化物半導体膜に接する絶縁膜に用いることで、酸化物半導体膜との界面の状態を良好に保つことができる。

【0203】

第 13 族元素を含む絶縁材料とは、絶縁材料に一又は複数の第 13 族元素を含むことを意味する。第 13 族元素を含む絶縁材料としては、例えば、酸化ガリウム、酸化アルミニウム、酸化アルミニウムガリウム、酸化ガリウムアルミニウムなどがある。ここで、酸化アルミニウムガリウムとは、ガリウムの含有量（原子％）よりアルミニウムの含有量（原子％）が多いものを示し、酸化ガリウムアルミニウムとは、ガリウムの含有量（原子％）がアルミニウムの含有量（原子％）以上のものを示す。

【0204】

例えば、ガリウムを含有する酸化物半導体膜に接して絶縁膜を形成する場合に、絶縁膜に酸化ガリウムを含む材料を用いることで酸化物半導体膜と絶縁膜の界面特性を良好に保つことができる。例えば、酸化物半導体膜と酸化ガリウムを含む絶縁膜とを接して設けることにより、酸化物半導体膜と絶縁膜の界面における水素のパイルアップを低減することができる。なお、絶縁膜に酸化物半導体の成分元素と同じ族の元素を用いる場合には、同様の効果を得ることが可能である。例えば、酸化アルミニウムを含む材料を用いて絶縁膜を形成することも有効である。なお、酸化アルミニウムは、水を透過させにくいという特性を有しているため、当該材料を用いることは、酸化物半導体膜への水の侵入防止という点においても好ましい。

【0205】

また、酸化物半導体膜 716 に接する絶縁膜は、酸素雰囲気下による熱処理や、酸素ドーピングなどにより、絶縁材料を化学量論的組成比より酸素が多い状態とすることが好ましい。酸素ドーピングとは、酸素をバルクに添加することをいう。なお、当該バルクの用語は、酸素を薄膜表面のみでなく薄膜内部に添加することを明確にする趣旨で用いている。また、酸素ドーピングには、プラズマ化した酸素をバルクに添加する酸素プラズマドーピングが含まれる。また、酸素ドーピングは、イオン注入法又はイオンドーピング法を用いてもよい。

【0206】

例えば、酸化物半導体膜 716 に接する絶縁膜として酸化ガリウムを用いた場合、酸素雰囲気下による熱処理や、酸素ドーピングを行うことにより、酸化ガリウムの組成を Ga_2O_x ($x = 3 +$ 、 $0 < < 1$) とすることができる。

10

20

30

40

50

【0207】

また、酸化物半導体膜716に接する絶縁膜として酸化アルミニウムを用いた場合、酸素雰囲気下による熱処理や、酸素ドーピングを行うことにより、酸化アルミニウムの組成を Al_2O_x ($X = 3 +$ 、 $0 < < 1$)とすることができる。

【0208】

また、酸化物半導体膜716に接する絶縁膜として酸化ガリウムアルミニウム(酸化アルミニウムガリウム)を用いた場合、酸素雰囲気下による熱処理や、酸素ドーピングを行うことにより、酸化ガリウムアルミニウム(酸化アルミニウムガリウム)の組成を $Ga_xAl_{2-x}O_3+$ ($0 < X < 2$ 、 $0 < < 1$)とすることができる。

【0209】

酸素ドーピング処理を行うことにより、化学量論的組成比より酸素が多い領域を有する絶縁膜を形成することができる。このような領域を備える絶縁膜と酸化物半導体膜が接することにより、絶縁膜中の過剰な酸素が酸化物半導体膜に供給され、酸化物半導体膜中、又は酸化物半導体膜と絶縁膜の界面における酸素欠陥を低減し、酸化物半導体膜をi型化又はi型に限りなく近くすることができる。

【0210】

なお、化学量論的組成比より酸素が多い領域を有する絶縁膜は、酸化物半導体膜716に接する絶縁膜のうち、上層に位置する絶縁膜又は下層に位置する絶縁膜のうち、どちらか一方のみに用いても良いが、両方の絶縁膜に用いる方が好ましい。化学量論的組成比より酸素が多い領域を有する絶縁膜を、酸化物半導体膜716に接する絶縁膜の、上層及び下層に位置する絶縁膜に用い、酸化物半導体膜716を挟む構成とすることで、上記効果をより高めることができる。

【0211】

また、酸化物半導体膜716の上層又は下層に用いる絶縁膜は、上層と下層で同じ構成元素を有する絶縁膜としても良いし、異なる構成元素を有する絶縁膜としても良い。例えば、上層と下層とも、組成が Ga_2O_x ($X = 3 +$ 、 $0 < < 1$)の酸化ガリウムとしても良いし、上層と下層の一方を組成が Ga_2O_x ($X = 3 +$ 、 $0 < < 1$)の酸化ガリウムとし、他方を組成が Al_2O_x ($X = 3 +$ 、 $0 < < 1$)の酸化アルミニウムとしても良い。

【0212】

また、酸化物半導体膜716に接する絶縁膜は、化学量論的組成比より酸素が多い領域を有する絶縁膜の積層としても良い。例えば、酸化物半導体膜716の上層に組成が Ga_2O_x ($X = 3 +$ 、 $0 < < 1$)の酸化ガリウムを形成し、その上に組成が $Ga_xAl_{2-x}O_3+$ ($0 < X < 2$ 、 $0 < < 1$)の酸化ガリウムアルミニウム(酸化アルミニウムガリウム)を形成してもよい。なお、酸化物半導体膜716の下層を、化学量論的組成比より酸素が多い領域を有する絶縁膜の積層としても良いし、酸化物半導体膜716の上層及び下層の両方を、化学量論的組成比より酸素が多い領域を有する絶縁膜の積層としても良い。

【0213】

次に、図11(C)に示すように、ゲート絶縁膜721、導電膜723、ゲート電極722を覆うように、絶縁膜724を形成する。絶縁膜724は、PVD法やCVD法などを用いて形成することができる。また、酸化珪素、酸化窒化珪素、窒化珪素、酸化ハフニウム、酸化ガリウム、酸化アルミニウム等の無機絶縁材料を含む材料を用いて形成することができる。なお、絶縁膜724には、誘電率の低い材料や、誘電率の低い構造(多孔性の構造など)を用いることが望ましい。絶縁膜724の誘電率を低くすることにより、配線や電極などの間に生じる寄生容量を低減し、動作の高速化を図ることができるためである。なお、本実施の形態では、絶縁膜724を単層構造としているが、開示する発明の一態様はこれに限定されず、2層以上の積層構造としても良い。

【0214】

次に、ゲート絶縁膜721、絶縁膜724に開口部725を形成し、導電膜720の一部

10

20

30

40

50

を露出させる。その後、絶縁膜 724 上に、上記開口部 725 において導電膜 720 と接する配線 726 を形成する。

【0215】

配線 726 は、PVD 法や、CVD 法を用いて導電膜を形成した後、当該導電膜をパターニングすることによって形成される。また、導電膜の材料としては、アルミニウム、クロム、銅、タンタル、チタン、モリブデン、タングステンから選ばれた元素や、上述した元素を成分とする合金等を用いることができる。マンガン、マグネシウム、ジルコニウム、ベリリウム、ネオジム、スカンジウムのいずれか、又はこれらを複数組み合わせた材料を用いてもよい。

【0216】

より具体的には、例えば、絶縁膜 724 の開口を含む領域に PVD 法によりチタン膜を薄く形成し、PVD 法によりチタン膜を薄く（5nm 程度）形成した後に、開口部 725 に埋め込むようにアルミニウム膜を形成する方法を適用することができる。ここで、PVD 法により形成されるチタン膜は、被形成面の酸化膜（自然酸化膜など）を還元し、下部電極など（ここでは導電膜 720）との接触抵抗を低減させる機能を有する。また、アルミニウム膜のヒロックを防止することができる。また、チタンや窒化チタンなどによるバリア膜を形成した後に、メッキ法により銅膜を形成してもよい。

【0217】

絶縁膜 724 に形成する開口部 725 は、導電膜 708 と重畳する領域に形成することが望ましい。このような領域に開口部 725 を形成することで、コンタクト領域に起因する素子面積の増大を抑制することができる。

【0218】

ここで、導電膜 708 を用いずに、不純物領域 704 と導電膜 720 との接続と、導電膜 720 と配線 726 との接続とを重畳させる場合について説明する。この場合、不純物領域 704 上に形成された絶縁膜 712、絶縁膜 713 に開口部（下部の開口部と呼ぶ）を形成し、下部の開口部を覆うように導電膜 720 を形成した後、ゲート絶縁膜 721 及び絶縁膜 724 において、下部の開口部と重畳する領域に開口部（上部の開口部と呼ぶ）を形成し、配線 726 を形成することになる。下部の開口部と重畳する領域に上部の開口部を形成する際に、エッチングにより下部の開口部に形成された導電膜 720 が断線してしまうおそれがある。これを避けるために、下部の開口部と上部の開口部が重畳しないように形成することにより、素子面積が増大するという問題がおこる。

【0219】

本実施の形態に示すように、導電膜 708 を用いることにより、導電膜 720 を断線させずに上部の開口部を形成することが可能となる。これにより、下部の開口部と上部の開口部を重畳させて設けることができるため、開口部に起因する素子面積の増大を抑制することができる。つまり、半導体装置の集積度を高めることができる。

【0220】

次に、配線 726 を覆うように絶縁膜 727 を形成する。上述した一連の工程により、記憶装置を作製することができる。

【0221】

なお、上記作製方法では、ソース電極及びドレイン電極として機能する導電膜 719 及び導電膜 720 が、酸化物半導体膜 716 の後に形成されている。よって、図 11（B）に示すように、上記作製方法によって得られるトランジスタ 101 は、導電膜 719 及び導電膜 720 が、酸化物半導体膜 716 の上に形成されている。しかし、トランジスタ 101 は、ソース電極及びドレイン電極として機能する導電膜が、酸化物半導体膜 716 の下、すなわち、酸化物半導体膜 716 とゲート絶縁膜 715 の間に設けられていても良い。

【0222】

図 13 に、ソース電極及びドレイン電極として機能する導電膜 719 及び導電膜 720 が、酸化物半導体膜 716 とゲート絶縁膜 715 の間に設けられている場合の、メモリセルの断面図を示す。図 13 に示すトランジスタ 101 は、ゲート絶縁膜 715 を形成した後

10

20

30

40

50

に導電膜 719 及び導電膜 720 の形成を行い、次いで酸化物半導体膜 716 の形成を行うことで、得ることができる。

【0223】

本実施の形態は、上記実施の形態と組み合わせて実施することが可能である。

【0224】

(実施の形態 3)

本発明の一態様に係る記憶装置の、駆動回路の具体的な構成の一例について説明する。

【0225】

図 14 に、本発明の一態様に係る記憶装置の具体的な構成を、一例としてブロック図で示す。なお、図 14 に示すブロック図では、記憶装置内の回路を機能ごとに分類し、互いに独立したブロックとして示しているが、実際の回路は機能ごとに完全に切り分けることが難しく、一つの回路が複数の機能に係わることもあり得る。

10

【0226】

図 14 に示す記憶装置 800 は、セルアレイ 801 と、駆動回路 802 とを有している。駆動回路 802 は、セルアレイ 801 から読み出されたデータを含む信号を生成する読み出し回路 803 と、第 1 ワード線の電位を制御する第 1 ワード線駆動回路 804 と、第 2 ワード線の電位を制御する第 2 ワード線駆動回路 820 と、セルアレイ 801 において選択されたメモリセルにおけるデータの書き込みを制御するビット線駆動回路 805 とを有する。さらに、駆動回路 802 は、読み出し回路 803、第 1 ワード線駆動回路 804、第 2 ワード線駆動回路 820、ビット線駆動回路 805 の動作を制御する制御回路 806

20

【0227】

また、図 14 に示す記憶装置 800 では、第 1 ワード線駆動回路 804 が、デコーダ 807 と、レベルシフタ 808 と、バッファ 809 とを有している。ビット線駆動回路 805 が、デコーダ 810 と、レベルシフタ 811 と、セレクト 812 とを有している。

【0228】

なお、本発明の一態様に係る記憶装置 800 は、少なくともセルアレイ 801 をその構成に含んでいればよい。更に、本発明の一態様に係る記憶装置 800 は、セルアレイ 801 に駆動回路 802 の一部又は全てが接続された状態にあるメモリモジュールを、その範疇に含む。メモリモジュールは、プリント配線基板等に実装することが可能な接続端子が設けられ、なおかつ樹脂等で保護された、所謂パッケージングされた状態であっても良い。

30

【0229】

また、セルアレイ 801、読み出し回路 803、第 1 ワード線駆動回路 804、第 2 ワード線駆動回路 820、ビット線駆動回路 805、制御回路 806 は、全て一の基板を用いて形成されていても良いし、いずれか 1 つ又は全てが互いに異なる基板を用いて形成されていても良い。

【0230】

異なる基板を用いている場合、FPC (Flexible Printed Circuit) などを介して電気的な接続を確保することができる。この場合、駆動回路 802 の一部が FPC に COF (Chip On Film) 法を用いて接続されていても良い。或いは、COG (Chip On Glass) 法を用いて、電気的な接続を確保することができる。

40

【0231】

記憶装置 800 に、セルアレイ 801 のアドレス (Ax、Ay) を情報として含む信号 AD が入力されると、制御回路 806 は、アドレスの列方向に関する情報 Ax をビット線駆動回路 805 に送り、アドレスの行方向に関する情報 Ay を第 1 ワード線駆動回路 804 に送る。また、制御回路 806 は、記憶装置 800 に入力されたデータを含む信号 DATA を、ビット線駆動回路 805 に送る。

【0232】

セルアレイ 801 におけるデータの書き込み動作、読み出し動作の選択は、制御回路 80

50

6に供給される信号RE (Read enable)、信号WE (Write enable) などによって選択される。更に、セルアレイ801が複数存在する場合、制御回路806に、セルアレイ801を選択するための信号CE (Chip enable) が入力されていても良い。この場合、信号RE、信号WEにより選択される動作が、信号CEにより選択されたセルアレイ801において実行される。

【0233】

セルアレイ801では、信号WEによって書き込み動作が選択されると、制御回路806からの指示に従って、第1ワード線駆動回路804が有するデコーダ807において、アドレスAyに対応するメモリセルを選択するための信号が生成される。当該信号は、レベルシフタ808によって振幅が調整された後、バッファ809において波形が処理され、セルアレイ801に入力される。一方、ビット線駆動回路805では、制御回路806からの指示に従って、デコーダ810において選択されたメモリセルのうち、アドレスAxに対応するメモリセルを選択するための信号が生成される。当該信号は、レベルシフタ811によって振幅が調整された後、セクタ812に入力される。セクタ812では、入力された信号に従って信号DATAをサンプリングし、アドレス(Ax、Ay)に対応するメモリセルにサンプリングした信号を入力する。

10

【0234】

また、セルアレイ801では、信号REによって読み出し動作が選択されると、制御回路806からの指示に従って、第1ワード線駆動回路804が有するデコーダ807において、アドレスAyに対応するメモリセルを選択するための信号が生成される。当該信号は、レベルシフタ808によって振幅が調整された後、バッファ809において波形が処理され、セルアレイ801に入力される。一方、読み出し回路803では、制御回路806からの指示に従って、デコーダ807により選択されたメモリセルのうち、アドレスAxに対応するメモリセルを選択する。そして、アドレス(Ax、Ay)に対応するメモリセルに記憶されているデータを読み出し、該データを含む信号を生成する。

20

【0235】

第2ワード線駆動回路820は、第2ワード線の電位をセルアレイ801に供給する。

【0236】

本実施の形態は、上記実施の形態と適宜組み合わせて実施することが可能である。

【0237】

(実施の形態4)

本実施の形態では、読み出し回路の具体的な構成の一例について説明する。

30

【0238】

セルアレイから読み出された電位は、メモリセルに書き込まれているデータに従って、そのレベルが決まる。よって、理想的には、複数のメモリセルに同じデジタル値のデータが記憶されているならば、複数のメモリセルから読み出された電位は、全て同じレベルのはずである。しかし、実際には、記憶素子として機能するトランジスタ、容量素子、又は読み出し時においてスイッチング素子として機能するトランジスタの特性が、メモリセル間においてばらつくことがある。この場合、読み出されるはずのデータが全て同じデジタル値であっても、実際に読み出された電位にばらつきが生じるため、その分布は幅を有する。よって、セルアレイから読み出された電位に多少のばらつきが生じていても、より正確なデータを含み、なおかつ所望の仕様に合わせて振幅、波形が処理された信号を形成する読み出し回路を、駆動回路に設けることが望ましい。

40

【0239】

図15に、読み出し回路の一例を回路図で示す。図15に示す読み出し回路は、セルアレイから読み出された電位Vdataの、読み出し回路への入力を制御するためのスイッチング素子として機能するトランジスタ260と、抵抗として機能するトランジスタ261とを有する。また、図15に示す読み出し回路は、オペアンプ262を有している。

【0240】

具体的に、トランジスタ261は、それぞれ、そのゲート電極とドレイン電極(または、

50

ドレイン領域)が接続されており、なおかつ、ゲート電極及びドレイン電極にハイレベルの電源電位 V_{dd} が与えられている。また、トランジスタ 261 は、ソース電極が、オペアンプ 262 の非反転入力端子 (+) に接続されている。よって、トランジスタ 261 は、電源電位 V_{dd} が与えられているノードと、オペアンプ 262 の非反転入力端子 (+) との間に接続された、抵抗として機能する。なお、図 15 では、ゲート電極とドレイン電極が接続されたトランジスタを抵抗として用いたが、本発明はこれに限定されず、抵抗として機能する素子であれば代替が可能である。

【0241】

また、スイッチング素子として機能するトランジスタ 260 は、そのゲート電極に与えられる信号 Sig の電位に従って、トランジスタ 260 が有するソース電極への電位 V_{data} の供給を制御する。

10

【0242】

例えば、トランジスタ 260 がオンになると、電位 V_{data} と電源電位 V_{dd} とを、トランジスタ 260 とトランジスタ 261 により抵抗分割することで得られる電位が、オペアンプ 262 の非反転入力端子 (+) に与えられる。そして、電源電位 V_{dd} のレベルは固定されているので、抵抗分割により得られる電位のレベルには、電位 V_{data} のレベル、すなわち、読み出されたデータのデジタル値が反映されている。

【0243】

一方、オペアンプ 262 の反転入力端子 (-) には、基準電位 V_{ref} が与えられている。そして、非反転入力端子 (+) に与えられる電位が、基準電位 V_{ref} に対して高いか低いかににより、出力端子の電位 V_{out} のレベルを異ならせることができ、それにより、間接的にデータを含む信号を得ることができる。

20

【0244】

なお、同じ値のデータが記憶されているメモリセルであっても、メモリセル間の特性のばらつきにより、読み出された電位 V_{data} のレベルにもばらつきが生じ、その分布が幅を有する場合がある。よって、基準電位 V_{ref} のレベルは、データの値を正確に読み取るために、ノードの電位 V_{data} のばらつきを考慮して定める。

【0245】

また、図 15 では、2 値のデジタル値を扱う場合の読み出し回路の一例であるので、データの読み出しに用いるオペアンプは、電位 V_{data} の与えられるノードに対して 1 つずつ用いているが、オペアンプの数はこれに限定されない。n 値 (n は 2 以上の自然数) のデータを扱う場合は、電位 V_{data} の与えられるノードに対するオペアンプの数を $n - 1$ とする。

30

【0246】

本実施の形態は、上記実施の形態と適宜組み合わせて実施することが可能である。

【0247】

(実施の形態 5)

本実施の形態では、本発明の半導体装置の一つである RF タグの、構成の一例について説明する。

【0248】

40

図 16 は本発明の RF タグの一形態を示すブロック図である。図 16 において RF タグ 550 は、アンテナ回路 551 と、集積回路 552 とを有している。集積回路 552 は、電源回路 553、復調回路 554、変調回路 555、レギュレータ 556、演算回路 557、記憶装置 558、昇圧回路 559 を有している。

【0249】

次いで、RF タグ 550 の動作の一例について説明する。質問器から電波が送られてくると、アンテナ回路 551 において該電波が交流電圧に変換される。電源回路 553 では、アンテナ回路 551 からの交流電圧を整流し、電源電圧を生成する。電源回路 553 において生成された電源電圧は、演算回路 557 とレギュレータ 556 に与えられる。レギュレータ 556 は、電源回路 553 からの電源電圧を安定化させるか、又はその高さを調整

50

した後、集積回路 552 内の復調回路 554、変調回路 555、演算回路 557、記憶装置 558 又は昇圧回路 559 などの各種回路に供給する。

【0250】

復調回路 554 は、アンテナ回路 551 が受信した交流信号を復調して、後段の演算回路 557 に出力する。演算回路 557 は復調回路 554 から入力された信号に従って演算処理を行い、別途信号を生成する。上記演算処理を行う際に、記憶装置 558 は一次キャッシュメモリ又は二次キャッシュメモリとして用いることができる。また演算回路 557 は、復調回路 554 から入力された信号を解析し、質問器から送られてきた命令の内容に従って、記憶装置 558 内の情報の出力、又は記憶装置 558 内における命令の内容の実行を行う。演算回路 557 から出力される信号は符号化され、変調回路 555 に送られる。変調回路 555 は該信号に従ってアンテナ回路 551 が受信している電波を変調する。アンテナ回路 551 において変調された電波は質問器で受け取られる。

10

【0251】

このように RF タグ 550 と質問器との通信は、キャリア（搬送波）として用いる電波を変調することで行われる。キャリアは、125kHz、13.56MHz、950MHz など規格により様々である。また変調の方式も規格により振幅変調、周波数変調、位相変調など様々な方式があるが、規格に即した変調方式であればどのような変調方式を用いても良い。

【0252】

信号の伝送方式は、キャリアの波長によって電磁結合方式、電磁誘導方式、マイクロ波方式など様々な種類に分類することができる。

20

【0253】

昇圧回路 559 は、レギュレータ 556 から出力された電圧を昇圧し、記憶装置 558 に供給している。

【0254】

なお、RF タグ 550 がパッシブ型であるとき、外部の電源から RF タグ 550 へ、直流の電位は供給されない。そのため、図 7 に示す第 2 ワード線駆動回路 150 がパッシブ型の RF タグ 550 に設けられている場合、外部から端子 A への電位 VSS の供給が行われない。よって、本発明の一態様では、RF タグ 550 がパッシブ型であるとき、チャージポンプ回路などの負の電位を生成する回路を電源回路 553 に設ける。上記構成により、電源回路 553 から電位 VSS を、図 7 に示す第 2 ワード線駆動回路 150 の端子 A に供給することができ、記憶装置の保持特性を高めることができる。

30

【0255】

本発明の一態様では、記憶装置 558 が上記実施の形態に示した構成を有しているため、長期間に渡るデータの保持が可能であり、なおかつデータの書き換え回数を増やすことができる。従って、本発明の一態様にかかる RF タグ 550 は、上記記憶装置 558 を用いることで、データの信頼性を高めることができる。

【0256】

また、本発明の一態様では、記憶装置 558 が上記実施の形態に示した構成を有しているため、消費電力を抑えることができる。従って、本発明の一態様にかかる RF タグ 550 は、RF タグ 550 の内部において消費される電力を小さく抑えることができるので、質問器と RF タグ 550 の通信距離をその分長くすることができる。

40

【0257】

本実施の形態では、アンテナ回路 551 を有する RF タグ 550 の構成について説明しているが、本発明の一態様にかかる RF タグは、必ずしもアンテナ回路をその構成要素に含む必要はない。また図 16 に示した RF タグに、発振回路又は二次電池を設けても良い。

【0258】

本実施の形態は、上記実施の形態又は実施の形態と適宜組み合わせることで実施することが可能である。

【0259】

50

(実施の形態 6)

本実施の形態では、本発明の一態様に係る記憶装置を用いた半導体装置の一つである、携帯型の記憶媒体の一例について説明する。

【0260】

図17(A)に、本発明の一態様にかかる記憶媒体の構成を、一例として示す。図17(A)に示す記憶媒体は、本発明の一態様に係る記憶装置751と、駆動装置と記憶媒体の電気的な接続を行うコネクタ752と、コネクタ752を介して入出力される各種信号に、仕様に合わせて信号処理を施すインターフェース753と、記憶媒体の動作状態などに従って点灯する発光ダイオード754と、記憶装置751、インターフェース753、発光ダイオード754などの、記憶媒体内の各種回路や半導体素子の動作を制御するコントローラ755とが、プリント配線基板756に実装されている。その他に、コントローラ755の動作を制御するためのクロック信号を生成するのに用いられる水晶振動子、記憶媒体内における電源電位の高さを制御するためのレギュレータなどが設けられていても良い。

10

【0261】

図17(A)に示すプリント配線基板756は、図17(B)に示すように、コネクタ752と発光ダイオード754が一部露出するように、樹脂等を用いたカバー材757で覆って、保護するようにしても良い。

【0262】

本発明の一態様にかかる記憶装置751は、その動作時における消費電力を低く抑えることができるので、記憶装置751を用いる記憶媒体の低消費電力化、延いては記録媒体に接続される駆動装置の低消費電力化を実現することができる。また、本発明の一態様にかかる記憶装置751は、長期間に渡るデータの保持が可能であり、なおかつデータの書き換え回数を増やすことができるので、記憶媒体の信頼性を高めることができる。

20

【0263】

本実施の形態は、上記実施の形態と適宜組み合わせることで実施することが可能である。

【実施例1】

【0264】

本発明の一態様に係る半導体装置を用いることで、信頼性が高い電子機器、消費電力の低い電子機器、高速駆動の電子機器を提供することが可能である。特に電力の供給を常時受けることが困難な携帯用の電子機器の場合、本発明の一態様に係る消費電力の低い半導体装置をその構成要素に追加することにより、連続使用時間が長くなるといったメリットが得られる。

30

【0265】

本発明の一態様に係る半導体装置は、表示装置、ノート型パーソナルコンピュータ、記録媒体を備えた画像再生装置(代表的にはDVD: Digital Versatile Disc等の記録媒体を再生し、その画像を表示しうるディスプレイを有する装置)に用いることができる。その他に、本発明の一態様に係る半導体装置を用いることができる電子機器として、携帯電話、携帯型ゲーム機、携帯情報端末、電子書籍、ビデオカメラ、デジタルスチルカメラなどのカメラ、ゴーグル型ディスプレイ(ヘッドマウントディスプレイ)、ナビゲーションシステム、音響再生装置(カーオーディオ、デジタルオーディオプレイヤー等)、複写機、ファクシミリ、プリンター、プリンター複合機、現金自動預け入れ払い機(ATM)、自動販売機などが挙げられる。これら電子機器の具体例を図18に示す。

40

【0266】

図18(A)は携帯型ゲーム機であり、筐体7031、筐体7032、表示部7033、表示部7034、マイクロホン7035、スピーカー7036、操作キー7037、スティラス7038等を有する。本発明の一態様に係る半導体装置は、携帯型ゲーム機の駆動を制御するための集積回路に用いることができる。携帯型ゲーム機の駆動を制御するための集積回路に本発明の一態様に係る半導体装置を用いることで、信頼性が高い携帯型ゲー

50

ム機、高機能を有する携帯型ゲーム機を提供することができる。なお、図18(A)に示した携帯型ゲーム機は、2つの表示部7033と表示部7034とを有しているが、携帯型ゲーム機が有する表示部の数は、これに限定されない。

【0267】

図18(B)は携帯電話であり、筐体7041、表示部7042、音声入力部7043、音声出力部7044、操作キー7045、受光部7046等を有する。受光部7046において受信した光を電気信号に変換することで、外部の画像を取り込むことができる。本発明の一態様に係る半導体装置は、携帯電話の駆動を制御するための集積回路に用いることができる。携帯電話の駆動を制御するための集積回路に本発明の一態様に係る半導体装置を用いることで、信頼性が高い携帯電話、高機能を有する携帯電話を提供することができる。

10

【0268】

図18(C)は携帯情報端末であり、筐体7051、表示部7052、操作キー7053等を有する。図18(C)に示す携帯情報端末は、モデムが筐体7051に内蔵されていても良い。本発明の一態様に係る半導体装置は、携帯情報端末の駆動を制御するための集積回路に用いることができる。携帯情報端末の駆動を制御するための集積回路に本発明の一態様に係る半導体装置を用いることで、信頼性が高い携帯情報端末、高機能を有する携帯情報端末を提供することができる。

【0269】

本実施例は、上記実施の形態と適宜組み合わせて実施することが可能である。

20

【符号の説明】

【0270】

100 メモリセル
 101 トランジスタ
 102 容量素子
 103 トランジスタ
 104 トランジスタ
 110 基板
 111 ゲート電極
 112 絶縁膜
 113 酸化物半導体膜
 114 ソース電極
 115 ドレイン電極
 116 絶縁膜
 117 ゲート電極
 118 絶縁膜
 120 線
 121 線
 150 第2ワード線駆動回路
 151 トランジスタ
 152 容量素子
 200 セルアレイ
 260 トランジスタ
 261 トランジスタ
 262 オペアンプ
 300 セルアレイ
 550 RFタグ
 551 アンテナ回路
 552 集積回路
 553 電源回路

30

40

50

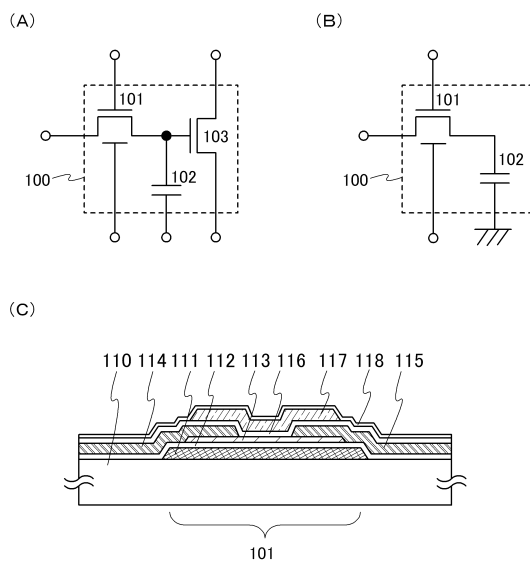
5 5 4	復調回路	
5 5 5	変調回路	
5 5 6	レギュレータ	
5 5 7	演算回路	
5 5 8	記憶装置	
5 5 9	昇圧回路	
7 0 0	基板	
7 0 1	絶縁膜	
7 0 2	半導体膜	
7 0 3	ゲート絶縁膜	10
7 0 4	不純物領域	
7 0 5	マスク	
7 0 6	開口部	
7 0 7	ゲート電極	
7 0 8	導電膜	
7 0 9	不純物領域	
7 1 0	チャネル形成領域	
7 1 1	不純物領域	
7 1 2	絶縁膜	
7 1 3	絶縁膜	20
7 1 4	ゲート電極	
7 1 5	ゲート絶縁膜	
7 1 6	酸化物半導体膜	
7 1 7	開口部	
7 1 8	開口部	
7 1 9	導電膜	
7 2 0	導電膜	
7 2 1	ゲート絶縁膜	
7 2 2	ゲート電極	
7 2 3	導電膜	30
7 2 4	絶縁膜	
7 2 5	開口部	
7 2 6	配線	
7 2 7	絶縁膜	
7 5 1	記憶装置	
7 5 2	コネクタ	
7 5 3	インターフェース	
7 5 4	発光ダイオード	
7 5 5	コントローラ	
7 5 6	プリント配線基板	40
7 5 7	カバー材	
8 0 0	記憶装置	
8 0 1	セルアレイ	
8 0 2	駆動回路	
8 0 3	回路	
8 0 4	第1ワード線駆動回路	
8 0 5	ビット線駆動回路	
8 0 6	制御回路	
8 0 7	デコーダ	
8 0 8	レベルシフタ	50

8 0 9	バッファ
8 1 0	デコーダ
8 1 1	レベルシフタ
8 1 2	セレクタ
8 2 0	第2ワード線駆動回路
7 0 3 1	筐体
7 0 3 2	筐体
7 0 3 3	表示部
7 0 3 4	表示部
7 0 3 5	マイクロホン
7 0 3 6	スピーカ
7 0 3 7	操作キー
7 0 3 8	スタイラス
7 0 4 1	筐体
7 0 4 2	表示部
7 0 4 3	音声入力部
7 0 4 4	音声出力部
7 0 4 5	操作キー
7 0 4 6	受光部
7 0 5 1	筐体
7 0 5 2	表示部
7 0 5 3	操作キー

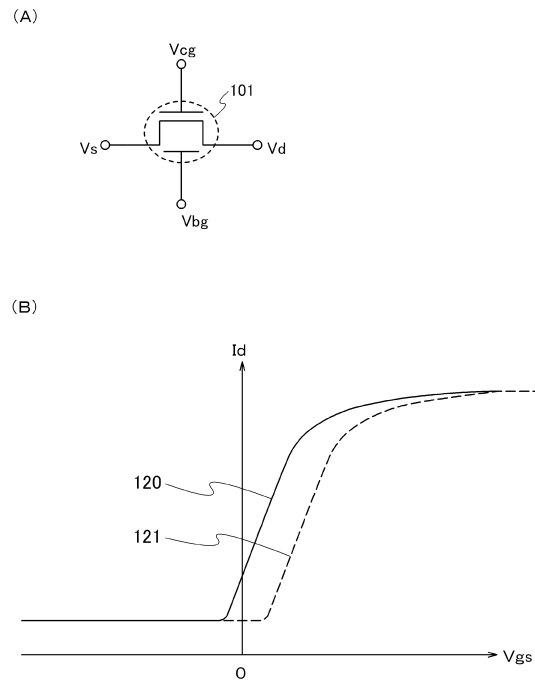
10

20

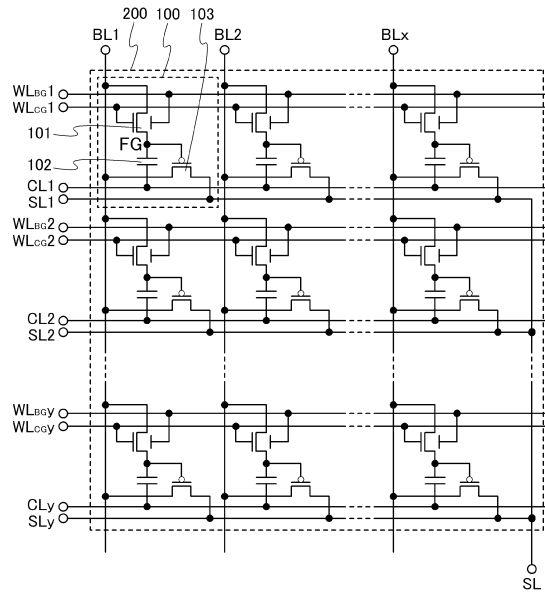
【図1】



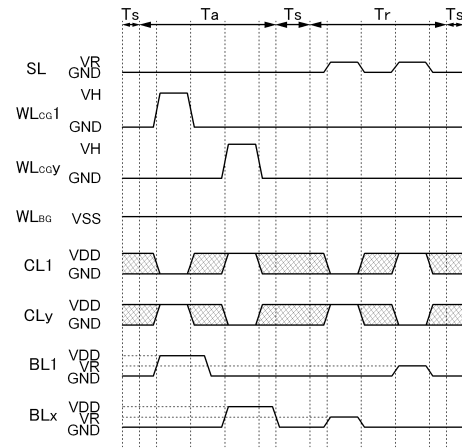
【図2】



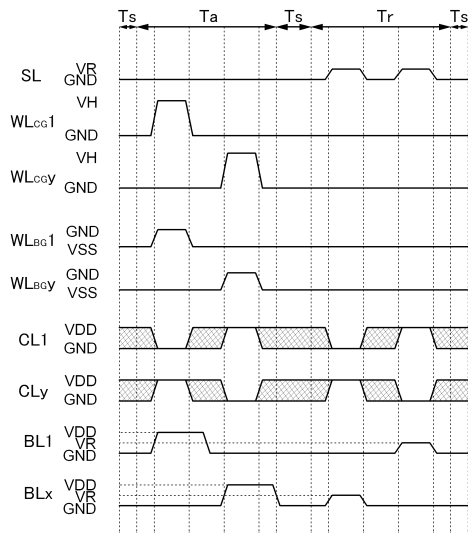
【図 3】



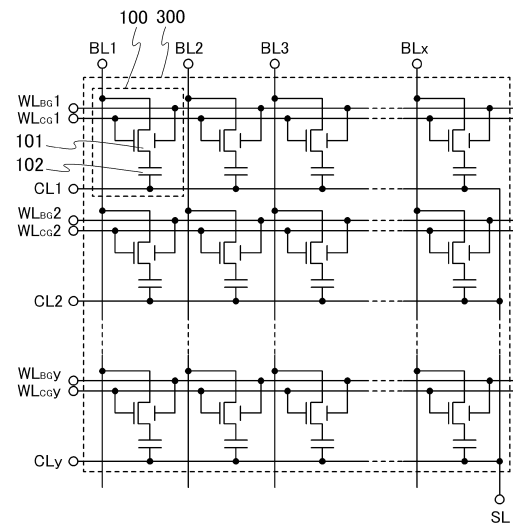
【図 4】



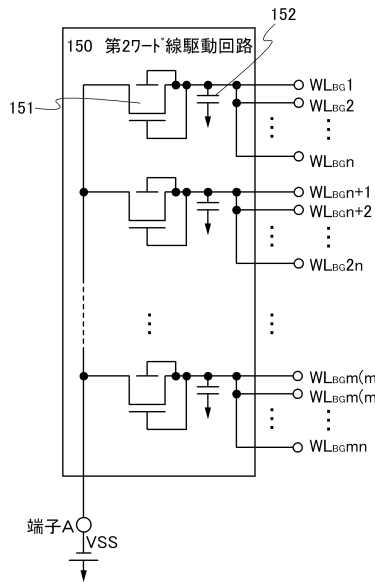
【図 5】



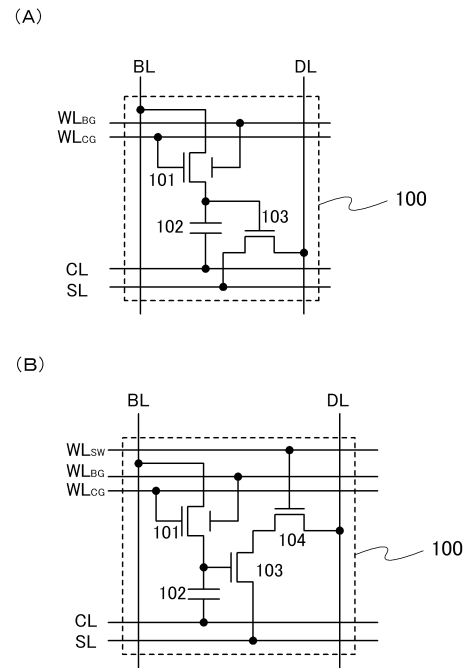
【図 6】



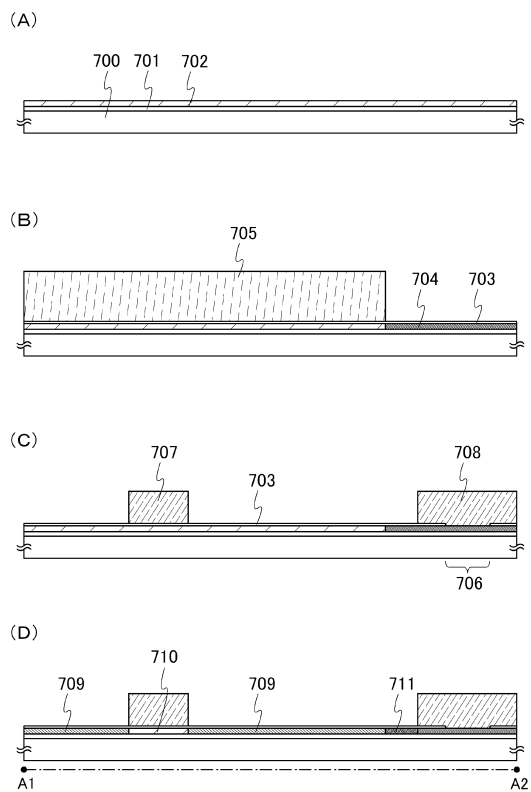
【図 7】



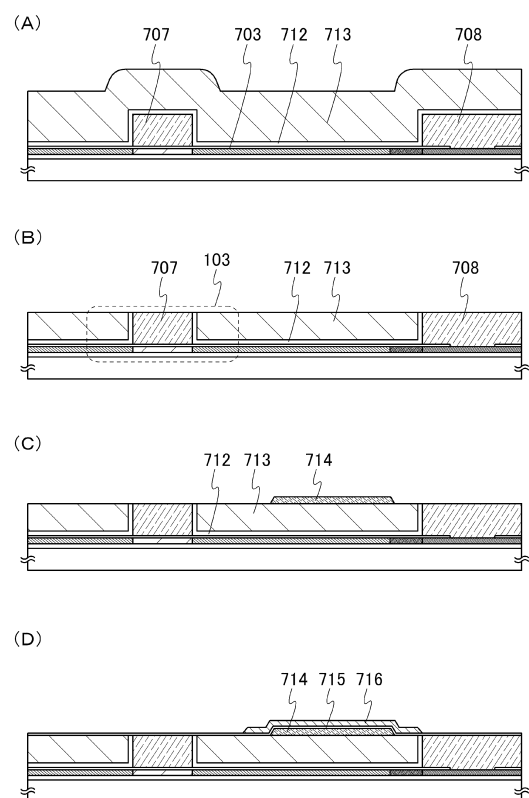
【図 8】



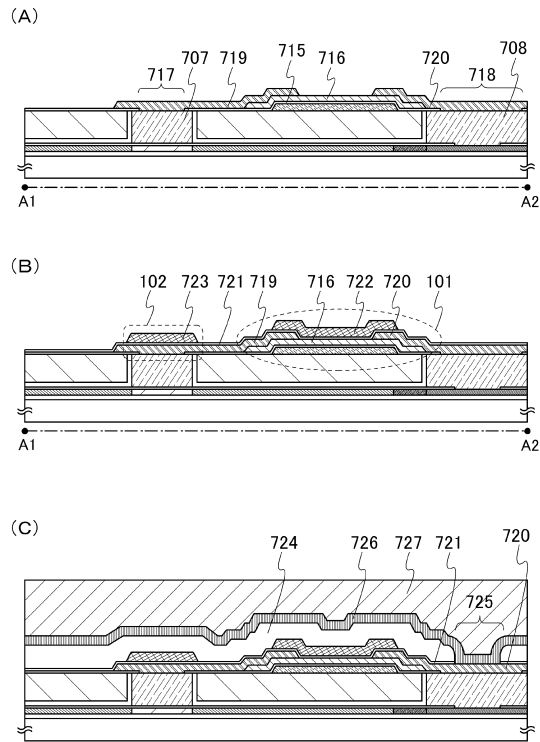
【図 9】



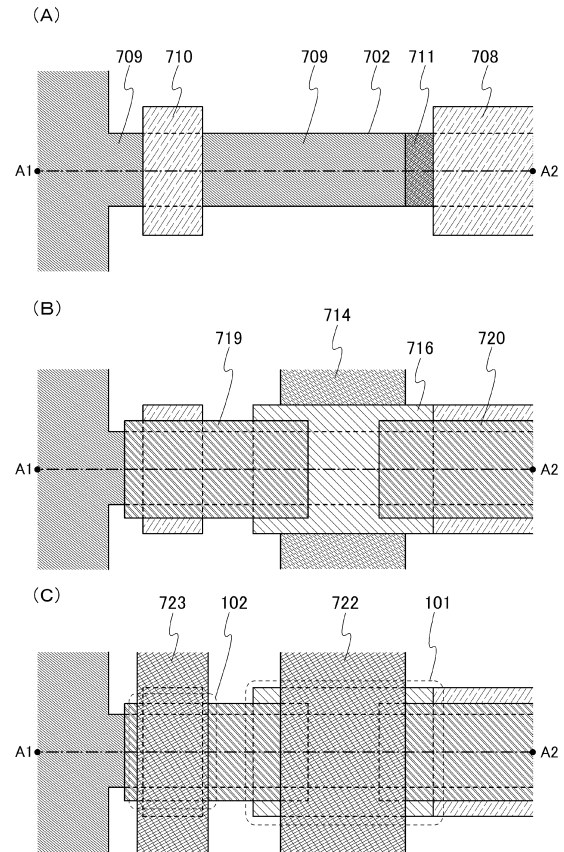
【図 10】



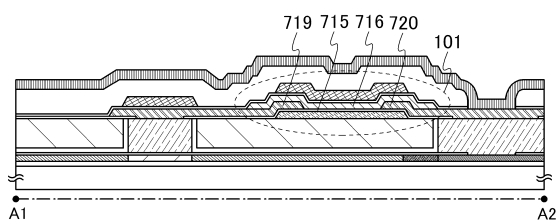
【図 1 1】



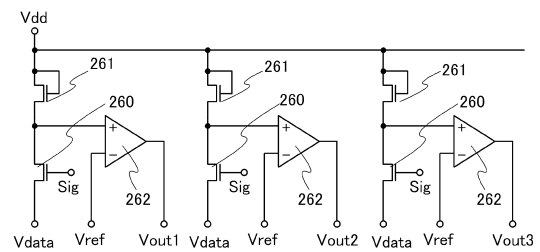
【図 1 2】



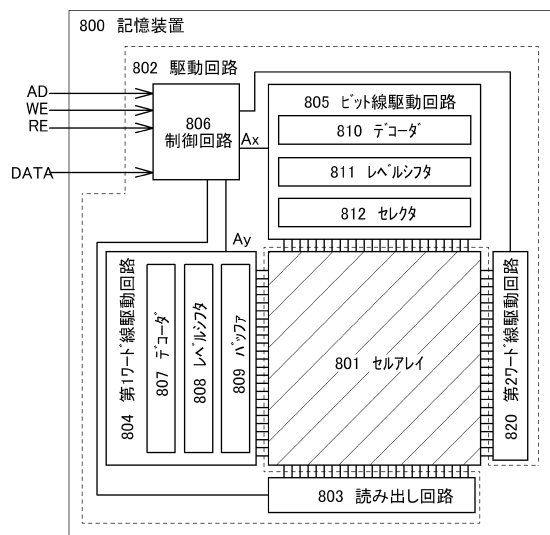
【図 1 3】



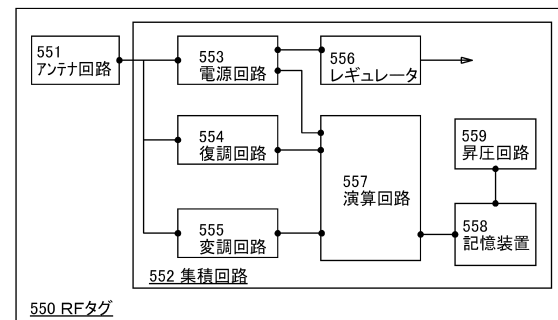
【図 1 5】



【図 1 4】

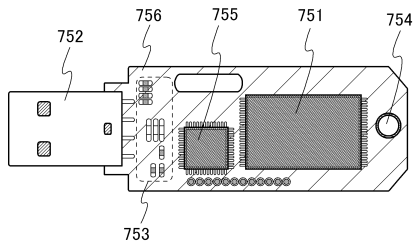


【図 1 6】

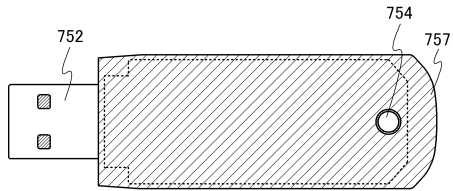


【図 17】

(A)

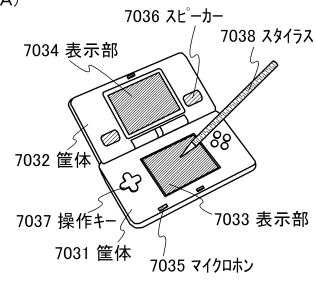


(B)



【図 18】

(A)



(B)



(C)



フロントページの続き

(56)参考文献 特開 2 0 0 7 - 2 5 1 0 5 0 (J P , A)
特開 2 0 0 4 - 1 7 1 6 5 7 (J P , A)
特開 2 0 1 0 - 1 4 1 2 3 0 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)
H 0 1 L 2 7 / 1 1 5 6
G 1 1 C 1 6 / 3 0