



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0142901
(43) 공개일자 2015년12월23일

(51) 국제특허분류(Int. Cl.)

H01L 29/78 (2006.01) H01L 21/265 (2006.01)

H01L 21/31 (2006.01) H01L 21/336 (2006.01)

(21) 출원번호 10-2014-0071488

(22) 출원일자 2014년06월12일

심사청구일자 없음

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 삼성로 129 (매탄동)

(72) 발명자

김언정

경기도 화성시 영통로26번길 24, 301동 402호 (반월동)

심영선

경기도 용인시 수지구 성북1로164번길 20, 109동 1101호 (성북동, 버들치마을성북자이1차아파트)

(뒷면에 계속)

(74) 대리인

리앤목특허법인

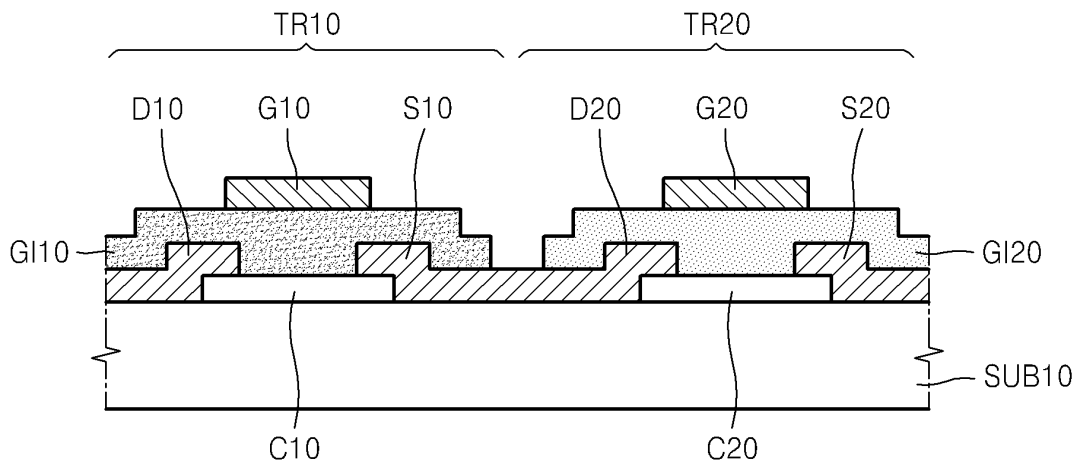
전체 청구항 수 : 총 21 항

(54) 발명의 명칭 반도체소자와 그 제조방법 및 반도체소자를 포함하는 전자소자

(57) 요약

반도체소자와 그 제조방법 및 반도체소자를 포함하는 전자소자에 대해 개시되어 있다. 개시된 반도체소자는 제1 및 제2 트랜지스터를 포함할 수 있고, 상기 제1 트랜지스터는 제1 채널층 및 제1 이온겔(ion gel)을 포함할 수 있고, 상기 제2 트랜지스터는 제2 채널층 및 제2 이온겔을 포함할 수 있다. 상기 제1 및 제2 채널층은, 예컨대, 그래핀을 포함할 수 있다. 상기 제1 및 제2 이온겔은 서로 다른 이온성 액체(ionic liquid)를 포함할 수 있다. 상기 제1 및 제2 이온겔은 서로 다른 양이온 및/또는 서로 다른 음이온을 포함할 수 있다. 상기 제1 및 제2 트랜지스터 중 하나는 p형일 수 있고, 다른 하나는 n형일 수 있다. 상기 제1 및 제2 트랜지스터는 인버터를 구성할 수 있다.

대표도 - 도1



(72) 발명자

박연상

서울특별시 동작구 상도로 346-1, 107동 701호 (상도동, 상도엠펙타운 센트럴파크)

이장원

경기도 화성시 동탄반석로 232, 132동 1702호 (석우동, 예당마을신일유토빌아파트)

황성우

서울특별시 강남구 삼성로 150, 105동 1407호 (대치동, 미도아파트)

명세서

청구범위

청구항 1

서로 연결된 제1 및 제2 트랜지스터를 포함하는 반도체소자에 있어서,

상기 제1 트랜지스터는 그래핀을 포함하는 제1 채널층 및 제1 이온겔(ion gel)을 포함하는 제1 게이트절연층을 구비하고,

상기 제2 트랜지스터는 그래핀을 포함하는 제2 채널층 및 상기 제1 이온겔과 다른 제2 이온겔을 포함하는 제2 게이트절연층을 구비하는 반도체소자.

청구항 2

제 1 항에 있어서,

상기 제1 이온겔과 상기 제2 이온겔은 서로 다른 양이온(cation) 및/또는 서로 다른 음이온(anion)을 포함하는 반도체소자.

청구항 3

제 1 항에 있어서,

상기 제1 이온겔과 상기 제2 이온겔은 동일한 양이온 및 서로 다른 음이온을 포함하는 반도체소자.

청구항 4

제 1 항에 있어서,

상기 제1 이온겔과 상기 제2 이온겔은 동일한 음이온 및 서로 다른 양이온을 포함하는 반도체소자.

청구항 5

제 1 항에 있어서,

상기 제1 이온겔 및 상기 제2 이온겔 중 적어도 하나는 1-Ethyl-3-methylimidazolium (EMIM), 1-Methyl-3-methylimidazolium (DMIM), 1-Propyl-3-methylimidazolium (PMIM), 1-Butyl-1-methylpyrrolidinium (BMPyr), 1-Butyl-3-methylpyridinium (BMPy) 중 하나의 양이온 및 thiocyanate (SCN), dicyanamide (DCA), tetrafluoroborate (BF₄), trifluoromethanesulfonate (OTF), bi(trifluoromethanesulfonyl)imide (NTf₂) 중 하나의 음이온을 포함하는 반도체소자.

청구항 6

제 1 항에 있어서,

상기 제1 및 제2 이온겔의 물질 차이에 의해 상기 제1 및 제2 채널층은 서로 다른 디랙 포인트(Dirac point)를 갖는 반도체소자.

청구항 7

제 1 항에 있어서,

상기 제1 및 제2 트랜지스터 중 하나는 제1 전압 범위에서 p형 트랜지스터 특성을 갖고,

상기 제1 및 제2 트랜지스터 중 다른 하나는 상기 제1 전압 범위에서 n형 트랜지스터 특성을 갖는 반도체소자.

청구항 8

제 1 항 또는 제 7 항에 있어서,

상기 제1 및 제2 트랜지스터는 상보성(complementary) 인버터를 구성하는 반도체소자.

청구항 9

제 1 항에 있어서,

상기 반도체소자는 플렉서블(flexible) 소자 또는 스트레처블(stretchable) 소자인 반도체소자.

청구항 10

제 1 항에 있어서,

상기 제1 및 제2 트랜지스터 중 적어도 하나는 탑-게이트(top-gate) 구조를 갖는 반도체소자.

청구항 11

제 1 항에 있어서,

상기 제1 및 제2 트랜지스터 중 적어도 하나는 바텀-게이트(bottom-gate) 구조를 갖는 반도체소자.

청구항 12

제 1 항에 있어서,

상기 제1 및 제2 트랜지스터 중 적어도 하나는 사이드-게이트(side-gate) 구조를 갖는 반도체소자.

청구항 13

청구항 1에 기재된 반도체소자를 포함하는 전자소자.

청구항 14

제 13 항에 있어서,

상기 전자소자는 NAND 소자, NOR 소자, 인코더(encoder), 디코더(decoder), MUX(multiplexer), DEMUX(de multiplexer), 센스 앰프(sense amplifier), 오실레이터(oscillator) 및 SRAM(static random access memory) 중 어느 하나인 전자소자.

청구항 15

서로 연결된 제1 및 제2 트랜지스터를 포함하는 반도체소자에 있어서,

상기 제1 트랜지스터는 제1 채널층 및 상기 제1 채널층에 접촉된 제1 이온겔층을 포함하고,

상기 제2 트랜지스터는 제2 채널층 및 상기 제2 채널층에 접촉된 제2 이온겔층을 포함하며,

상기 제1 및 제2 이온겔층은 서로 다른 물질을 포함하고, 상기 제1 및 제2 이온겔층의 물질 차이에 의해 상기 제1 및 제2 트랜지스터는 서로 다른 특성을 갖는 반도체소자.

청구항 16

제 15 항에 있어서,

상기 제1 및 제2 채널층은 동일한 물질로 구성된 반도체소자.

청구항 17

제 15 항에 있어서,

상기 제1 및 제2 채널층은 그래핀을 포함하는 반도체소자.

청구항 18

제 15 항에 있어서,

상기 제1 이온겔층과 상기 제2 이온겔층은 서로 다른 양이온(cation) 및/또는 서로 다른 음이온(anion)을 포함

하는 반도체소자.

청구항 19

제 15 항에 있어서,

상기 제1 및 제2 트랜지스터 중 하나는 제1 전압 범위에서 p형 트랜지스터 특성을 갖고,

상기 제1 및 제2 트랜지스터 중 다른 하나는 상기 제1 전압 범위에서 n형 트랜지스터 특성을 갖는 반도체소자.

청구항 20

제 15 항에 있어서,

상기 제1 및 제2 트랜지스터는 인버터를 구성하는 반도체소자.

청구항 21

청구항 15에 기재된 반도체소자를 포함하는 전자소자.

발명의 설명

기술분야

[0001] 반도체소자와 그 제조방법 및 반도체소자를 포함하는 전자소자에 관한 것이다.

배경 기술

[0002] 최근, 그래핀(graphene)과 같은 이차원 물질(two-dimensional material)(2D material) 및 탄소나노튜브(carbon nanotube)(CNT) 등 차세대 소재들에 대한 연구가 활발히 이뤄지고 있다. 그래핀은 탄소 원자들로 이루어진 육방정계(hexagonal) 단층 구조물로서, 구조적/화학적으로 안정하고 전기적/물리적으로 우수한 특성을 나타낼 수 있다. 예컨대, 그래핀은 실리콘(Si) 보다 100배 이상 빠른 전하 이동도($\sim 2 \times 10^5 \text{ cm}^2/\text{Vs}$)를 가질 수 있고, 구리(Cu)보다 100배 이상 큰 전류 밀도(약 $10^8 \text{ A}/\text{cm}^2$)를 가질 수 있다. 또한, 그래핀은 플렉서블(flexible)한 특성을 가질 수 있고, 우수한 투명도를 가질 수 있다. 이러한 그래핀은 기존 소자의 한계를 극복할 수 있는 차세대 소재로 주목받고 있다.

[0003] 그래핀과 같은 차세대 소재들의 다양한 장점 때문에, 이들을 여러 반도체소자 및 전자소자에 적용하려는 연구가 진행되고 있다. 예컨대, 그래핀을 트랜지스터의 채널 물질로 적용하려는 연구가 이루어지고 있다. 이와 관련하여, 트랜지스터의 채널 이외의 구성요소에 대한 연구 및 개발도 요구되고 있다.

발명의 내용

해결하려는 과제

[0004] 그래핀과 같은 비실리콘계 물질 및 이에 접촉된 이온겔(ion gel) 물질을 포함하는 반도체소자를 제공한다.

[0005] 이온겔(ion gel) 물질에 의해 제어된 특성을 갖는 반도체소자를 제공한다.

[0006] 우수한 성능을 갖는 상보성(complementary) 반도체소자를 제공한다.

[0007] 저전압(low voltage) 구동이 가능한 반도체소자를 제공한다.

[0008] 플렉서블(flexible) 소자로 제조될 수 있는 반도체소자를 제공한다.

[0009] 스트레처블(stretchable) 소자로 제조될 수 있는 반도체소자를 제공한다.

[0010] 상기 반도체소자의 제조방법을 제공한다.

[0011] 상기 반도체소자를 포함하는 전자소자를 제공한다.

과제의 해결 수단

[0012] 본 발명의 일 측면(aspect)에 따르면, 서로 연결된 제1 및 제2 트랜지스터를 포함하는 반도체소자에 있어서, 상

기 제1 트랜지스터는 그래핀을 포함하는 제1 채널층 및 제1 이온겔(ion gel)을 포함하는 제1 게이트절연층을 구비하고, 상기 제2 트랜지스터는 그래핀을 포함하는 제2 채널층 및 상기 제1 이온겔과 다른 제2 이온겔을 포함하는 제2 게이트절연층을 구비하는 반도체소자가 제공된다.

- [0013] 상기 제1 이온겔과 상기 제2 이온겔은 서로 다른 양이온(cation) 및/또는 서로 다른 음이온(anion)을 포함할 수 있다.
- [0014] 상기 제1 이온겔과 상기 제2 이온겔은 동일한 양이온 및 서로 다른 음이온을 포함할 수 있다.
- [0015] 상기 제1 이온겔과 상기 제2 이온겔은 동일한 음이온 및 서로 다른 양이온을 포함할 수 있다.
- [0016] 상기 제1 이온겔 및 상기 제2 이온겔 중 적어도 하나는 1-Ethyl-3-methylimidazolium (EMIM), 1-Methyl-3-methylimidazolium (DMIM), 1-Propyl-3-methylimidazolium (PMIM), 1-Butyl-1-methylpyrrolidinium (BMPyr), 1-Butyl-3-methylpyridinium (BMPy) 중 하나의 양이온 및 thiocyanate (SCN), dicyanamide (DCA), tetrafluoroborate (BF₄), trifluoromethanesulfonate (OTF), bi(trifluoromethanesulfonyl)imide (NTf₂) 중 하나의 음이온을 포함할 수 있다.
- [0017] 상기 제1 및 제2 이온겔의 물질 차이에 의해 상기 제1 및 제2 채널층은 서로 다른 디랙 포인트(Dirac point)를 가질 수 있다.
- [0018] 상기 제1 및 제2 트랜지스터 중 하나는 제1 전압 범위에서 p형 트랜지스터 특성을 가질 수 있고, 상기 제1 및 제2 트랜지스터 중 다른 하나는 상기 제1 전압 범위에서 n형 트랜지스터 특성을 가질 수 있다.
- [0019] 상기 제1 및 제2 트랜지스터는 상보성(complementary) 인버터를 구성할 수 있다.
- [0020] 상기 반도체소자는 플렉서블(flexible) 소자 또는 스트레처블(stretchable) 소자일 수 있다.
- [0021] 상기 제1 및 제2 트랜지스터 중 적어도 하나는 탑-게이트(top-gate) 구조를 가질 수 있다.
- [0022] 상기 제1 및 제2 트랜지스터 중 적어도 하나는 바텀-게이트(bottom-gate) 구조를 가질 수 있다.
- [0023] 상기 제1 및 제2 트랜지스터 중 적어도 하나는 사이드-게이트(side-gate) 구조를 가질 수 있다.
- [0024] 본 발명의 다른 측면에 따르면, 전술한 반도체소자를 포함하는 전자소자가 제공된다. 상기 전자소자는, 예컨대, NAND 소자, NOR 소자, 인코더(encoder), 디코더(decoder), MUX(multiplexer), DEMUX(de multiplexer), 센스 앰프(sense amplifier), 오실레이터(oscillator) 및 SRAM(static random access memory) 중 하나일 수 있다.
- [0025] 본 발명의 다른 측면에 따르면, 서로 연결된 제1 및 제2 트랜지스터를 포함하는 반도체소자에 있어서, 상기 제1 트랜지스터는 제1 채널층 및 상기 제1 채널층에 접촉된 제1 이온겔층을 포함하고, 상기 제2 트랜지스터는 제2 채널층 및 상기 제2 채널층에 접촉된 제2 이온겔층을 포함하며, 상기 제1 및 제2 이온겔층은 서로 다른 물질을 포함하고, 상기 제1 및 제2 이온겔층의 물질 차이에 의해 상기 제1 및 제2 트랜지스터는 서로 다른 특성을 갖는 반도체소자가 제공된다.
- [0026] 상기 제1 및 제2 채널층은 동일한 물질로 구성될 수 있다.
- [0027] 상기 제1 및 제2 채널층은 그래핀을 포함할 수 있다.
- [0028] 상기 제1 이온겔층과 상기 제2 이온겔층은 서로 다른 양이온(cation) 및/또는 서로 다른 음이온(anion)을 포함할 수 있다.
- [0029] 상기 제1 및 제2 트랜지스터 중 하나는 제1 전압 범위에서 p형 트랜지스터 특성을 가질 수 있고, 상기 제1 및 제2 트랜지스터 중 다른 하나는 상기 제1 전압 범위에서 n형 트랜지스터 특성을 가질 수 있다.
- [0030] 상기 제1 및 제2 트랜지스터는 인버터를 구성할 수 있다.
- [0031] 상기 인버터는 상보성 인버터일 수 있다.
- [0032] 상기 반도체소자는 플렉서블(flexible) 소자 또는 스트레처블(stretchable) 소자일 수 있다.
- [0033] 상기 제1 및 제2 트랜지스터 중 적어도 하나는 탑-게이트(top-gate) 구조를 가질 수 있다.
- [0034] 상기 제1 및 제2 트랜지스터 중 적어도 하나는 바텀-게이트(bottom-gate) 구조를 가질 수 있다.
- [0035] 상기 제1 및 제2 트랜지스터 중 적어도 하나는 사이드-게이트(side-gate) 구조를 가질 수 있다.

[0036] 본 발명의 다른 측면에 따르면, 전술한 반도체소자를 포함하는 전자소자가 제공한다. 상기 전자소자는, 예컨대, NAND 소자, NOR 소자, 인코더(encoder), 디코더(decoder), MUX(multiplexer), DEMUX(de multiplexer), 센스 앰프(sense amplifier), 오실레이터(oscillator) 및 SRAM(static random access memory) 중 하나일 수 있다.

발명의 효과

[0037] 그래핀과 같은 비실리콘계 물질 및 이에 접촉된 이온겔(ion gel) 물질을 포함하는 반도체소자를 구현할 수 있다. 이온겔(ion gel) 물질에 의해 제어된 특성을 갖는 반도체소자를 구현할 수 있다. 우수한 성능을 갖는 상보성(complementary) 반도체소자를 구현할 수 있다. 저전압(low voltage) 구동이 가능한 반도체소자를 구현할 수 있다. 플렉서블(flexible) 소자 또는 스트레처블(stretchable) 소자로 제조될 수 있는 반도체소자를 구현할 수 있다.

[0038] 상기 반도체소자를 이용해서 다양한 전자소자를 구현할 수 있고, 이 경우, 상기 전자소자의 성능 및 동작 특성을 개선할 수 있다.

도면의 간단한 설명

[0039] 도 1은 본 발명의 실시예에 따른 반도체소자를 보여주는 단면도이다.
 도 2는 본 발명의 실시예에 따른 것으로, 그래핀 채널을 갖는 트랜지스터의 게이트절연층의 이온겔(ion gel) 물질을 변화시키면서 상기 트랜지스터의 트랜스퍼 커브(transfer curve)의 변화를 평가한 결과를 보여주는 그래프이다.
 도 3은 본 발명의 다른 실시예에 따른 것으로, 그래핀 채널을 갖는 트랜지스터의 게이트절연층의 이온겔(ion gel) 물질을 변화시키면서 상기 그래핀 트랜지스터의 트랜스퍼 커브(transfer curve)의 변화를 평가한 결과를 보여주는 그래프이다.
 도 4a 및 도 4b는 분자 역학 시뮬레이션(molecular dynamics simulation)을 통해 그래핀 위에 분포된 EMIM-SCN 분자와 EMIM-NTf2 분자의 배열 형태 및 구조를 보여주는 이미지이다.
 도 5는 본 발명의 실시예에 따른 것으로, 제1 이온겔 물질을 게이트절연체로 포함하는 제1 트랜지스터 및 제2 이온겔 물질을 게이트절연체로 포함하는 제2 트랜지스터의 트랜스퍼 커브(transfer curve)를 보여주는 그래프이다.
 도 6은 본 발명의 다른 실시예에 따른 반도체소자를 보여주는 단면도이다.
 도 7은 본 발명의 다른 실시예에 따른 반도체소자를 보여주는 단면도이다.
 도 8은 본 발명의 다른 실시예에 따른 반도체소자를 보여주는 단면도이다.
 도 9는 본 발명의 다른 실시예에 따른 반도체소자를 보여주는 사시도이다.
 도 10은 본 발명의 실시예에 따른 반도체소자(인버터)의 회로구성을 보여주는 회로도이다.
 도 11 내지 도 13은 본 발명의 실시예에 따른 두 개의 트랜지스터를 포함하는 상보성 인버터의 특성을 측정된 결과를 보여주는 그래프이다.
 도 14는 본 발명의 실시예에 따른 인버터에 인가되는 전원전압(V_{DD})의 변화에 따른 전압 이득(voltage gain) 및 이득 곡선의 최대 전압(maximum voltage of gain peak)의 변화를 보여주는 그래프이다.
 도 15a 내지 도 15e는 본 발명의 실시예에 따른 반도체소자의 제조방법을 보여주는 단면도이다.
 도 16a 내지 도 16c는 본 발명의 다른 실시예에 따른 반도체소자의 제조방법을 보여주는 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0040] 이하, 본 발명의 실시예에 따른 반도체소자와 그 제조방법 및 반도체소자를 포함하는 전자소자를 첨부된 도면을 참조하여 상세하게 설명한다. 첨부된 도면에 도시된 층이나 영역들의 폭 및 두께는 명세서의 명확성을 위해 다소 과장되게 도시된 것이다. 상세한 설명 전체에 걸쳐 동일한 참조번호는 동일한 구성요소를 나타낸다.

[0041] 도 1은 본 발명의 실시예에 따른 반도체소자를 보여주는 단면도이다.

- [0042] 도 1을 참조하면, 반도체소자는 서로 연결된 제1 및 제2 트랜지스터(TR10, TR20)를 포함할 수 있다. 제1 및 제2 트랜지스터(TR10, TR20)는 기판(SUB10) 상에 구비될 수 있다. 기판(SUB10)은 반도체기판이거나 절연성기판일 수 있다. 상기 반도체기판은, 예컨대, 실리콘기판일 수 있고, 이 경우, 상기 실리콘기판 상에 실리콘 산화물층과 같은 절연층이 구비될 수 있다. 또한, 기판(SUB10)은 투명기판이거나 불투명기판일 수 있고, 플렉서블(flexible) 기판 또는 스트레처블(stretchable) 기판일 수 있다. 기판(SUB10)의 종류는 제한되지 않고 다양하게 변화될 수 있다.
- [0043] 제1 트랜지스터(TR10)는 기판(SUB10) 상에 구비된 제1 채널층(C10), 제1 소오스전극(S10), 제1 드레인전극(D10), 제1 게이트절연층(GI10) 및 제1 게이트전극(G10)을 포함할 수 있다. 제1 소오스전극(S10)과 제1 드레인전극(D10)은 제1 채널층(C10)의 양단에 접촉될 수 있고, 제1 게이트절연층(GI10)은 제1 채널층(C10)과 제1 게이트전극(G10) 사이에 구비될 수 있다. 제2 트랜지스터(TR20)는 기판(SUB10) 상에 구비된 제2 채널층(C20), 제2 소오스전극(S20), 제2 드레인전극(D20), 제2 게이트절연층(GI20) 및 제2 게이트전극(G20)을 포함할 수 있다. 제2 소오스전극(S20)과 제2 드레인전극(D20)은 제2 채널층(C20)의 양단에 접촉될 수 있고, 제2 게이트절연층(GI20)은 제2 채널층(C20)과 제2 게이트전극(G20) 사이에 구비될 수 있다. 제2 드레인전극(D20)은 제1 소오스전극(S10)과 전기적으로 연결될 수 있다. 여기서는, 제2 드레인전극(D20)이 제1 소오스전극(S10)과 일체형으로 형성된 경우가 도시되어 있지만, 이들이 분리되어 구비될 수 있고 이들을 연결하는 연결 부재가 더 구비될 수 있다.
- [0044] 제1 채널층(C10) 및 제2 채널층(C20)은 그래핀(graphene)을 포함할 수 있다. 이런 점에서, 제1 및 제2 트랜지스터(TR10, TR20)는 '그래핀 트랜지스터'라 할 수 있다. 제1 및 제2 채널층(C10, C20)은 그래핀층일 수 있다. 이때, 상기 그래핀층은 하나의 그래핀으로 구성된 단층 그래핀(single layer graphene)이거나, 복수의 그래핀(약 100층 이내 혹은 약 10층 이내의 복수의 그래핀)이 겹쳐진(적층된) 구조를 가질 수 있다.
- [0045] 제1 게이트절연층(GI10)은 제1 이온겔(ion gel)을 포함할 수 있고, 제2 게이트절연층(GI20)은 상기 제1 이온겔과 다른 제2 이온겔을 포함할 수 있다. 예컨대, 제1 게이트절연층(GI10)은 상기 제1 이온겔로 형성된 제1 이온겔층일 수 있고, 제2 게이트절연층(GI20)은 상기 제2 이온겔로 형성된 제2 이온겔층일 수 있다. 제1 및 제2 게이트절연층(GI10, GI20)이 서로 다른 이온겔을 포함하는 것과 관련해서, 제1 및 제2 트랜지스터(TR10, TR20)는 서로 다른 특성을 가질 수 있다. 이에 대해서는 추후에 보다 상세히 설명한다.
- [0046] '이온겔(ion gel)'은 이온성 액체(ionic liquid)와 폴리머 바인더(polymer binder)의 혼합물을 포함할 수 있다. 이온성 액체(ionic liquid)는 화학적 안정성이 우수하고, 넓은 전기화학적 윈도우(electrochemical window)를 가질 수 있다. 이온성 액체는 양이온(cation) 및 음이온(anion)을 포함할 수 있다. 상기 폴리머 바인더는 자외선(ultraviolet ray)(UV)에 의해 경화되는 UV 경화형 폴리머를 포함할 수 있다. 이 경우, 상기 폴리머 바인더는 소정의 광개시제(photoinitiator)가 자외선(UV)에 의해 활성화됨에 따라 경화될 수 있다. 상기 폴리머 바인더는 UV 경화형 폴리머가 아닌 블록 코폴리머(block copolymer)를 포함할 수도 있다. 상기 블록 코폴리머는, 예컨대, 트리블록 코폴리머(triblock copolymer)일 수 있다. 상기 이온성 액체와 폴리머 바인더를 혼합하고 바인더의 가교결합(crosslink)을 유도함으로써, 가교결합(crosslink)된 폴리머들 사이에 이온성 액체가 존재하는 겔(gel) 형태의 물질, 즉, 이온겔을 얻을 수 있다. 이러한 이온겔은 비교적 높은 유전 상수(dielectric constant)를 가질 수 있다. 예컨대, 상기 이온겔은 약 10 혹은 그 이상의 유전 상수를 가질 수 있다. 따라서, 상기 이온겔을 트랜지스터의 게이트절연층으로 적용하면, 기존의 산화물 절연층을 게이트절연층으로 적용한 경우와 비교하여, 작은 전기장으로 트랜지스터의 구동이 가능할 수 있다. 또한, 상기 이온겔은 플렉서블(flexible)/스트레처블(stretchable)한 특성을 가질 수 있고, 아울러 투명한(transparent) 특성까지 가질 수 있다.
- [0047] 제1 게이트절연층(GI10)에 포함된 상기 제1 이온겔과 제2 게이트절연층(GI20)에 포함된 상기 제2 이온겔은 서로 다른 이온성 액체(ionic liquid)를 포함할 수 있다. 다시 말해, 상기 제1 이온겔과 상기 제2 이온겔은 서로 다른 양이온(cation) 및/또는 서로 다른 음이온(anion)을 포함할 수 있다. 예컨대, 상기 제1 이온겔과 상기 제2 이온겔은 동일한 양이온을 가지면서 서로 다른 음이온을 포함하거나, 동일한 음이온을 가지면서 서로 다른 양이온을 포함할 수 있다. 또는 상기 제1 이온겔과 상기 제2 이온겔은 서로 다른 양이온 및 서로 다른 음이온을 포함할 수도 있다. 상기 제1 이온겔 또는 상기 제2 이온겔은 EMIM, DMIM, PMIM, BMPyr, BMPy 중 하나의 양이온 및 SCN, DCA, BF4, OTF, NTf2 중 하나의 음이온을 포함할 수 있다. 상기 EMIM, DMIM, PMIM, BMPyr, BMPy, SCN, DCA, BF4, OTF 및 NTf2의 화학명은 아래의 표 1에 정리된 바와 같다.

표 1

		화학명
양이온	EMIM	1-Ethyl-3-methylimidazolium
	DMIM	1-Methyl-3-methylimidazolium
	PMIM	1-Propyl-3-methylimidazolium
	BMPyr	1-Butyl-1-methylpyrrolidinium
	BMPy	1-Butyl-3-methylpyridinium
음이온	SCN	thiocyanate
	DCA	dicyanamide
	BF4	tetrafluoroborate
	OTf	trifluoromethanesulfonate
	NTf2	bi(trifluoromethanesulfonyl)imide

[0049] 상기 제1 이온겔 및 상기 제2 이온겔은 서로 동일한 구성(즉, 동일한 양이온/음이온 조합)을 갖지 않으면서, 전술한 EMIM, DMIM, PMIM, BMPyr, BMPy 중 하나의 양이온 및 SCN, DCA, BF4, OTf, NTf2 중 하나의 음이온을 포함할 수 있다. 그러나 상기 제1 및 제2 이온겔의 구체적인 물질(양이온/음이온)은 예시적인 것이고, 그 밖에 다른 양이온 및 음이온을 포함할 수도 있다.

[0050] 한편, 상기 제1 및 제2 이온겔에 사용되는 폴리머 바인더 물질은, 예컨대, PEG-DA, poly(MAGME), PVA-Sbq와 같은 UV 경화형 폴리머이거나, UV 경화형 폴리머가 아닌 다른 폴리머, 예컨대, P(VDF-HFP), PS-PEO-PS, PS-PMMA-PS, PEI, PAA와 같은 폴리머일 수 있다. 전술한 폴리머 물질들의 화학명은 아래 표 2에 정리한 바와 같다.

표 2

폴리머 바인더	화학명
PEG-DA	poly(ethylene glycol) diacrylate
poly(MAGME)	poly(methyl acrylamidoglycolate methyl ether)
PVA-Sbq	poly(vinyl alcohol)-N-methyl-4(4'-formylstyryl)pyridinium methosulfate acetal
P(VDF-HFP)	poly(vinylidene fluoride-co-hexafluoropropylene)
PS-PEO-PS	poly(styrene-block-ethylene oxide-block-styrene)
PS-PMMA-PS	poly(styrene-block-methyl methacrylate-block-styrene)
PEI	polyethylenimine
PAA	poly(acrylic acid)

[0052] 상기 폴리머 바인더로 UV 경화형 폴리머를 사용할 경우, 소정의 광개시제(photoinitiator)를 사용할 수 있다. 상기 광개시제는, 예컨대, 2-hydroxy-2-methylpropiophenone 등일 수 있다. 구체적인 예로, 표 1의 양이온 및 음이온을 포함하는 이온성 액체(ionic liquid)를 UV 경화형 폴리머인 PEG-DA 및 광개시제인 2-hydroxy-2-methylpropiophenone과 대략 88:8:4 정도의 질량비로 혼합한 후, 혼합물을 소정의 물질층 상에 스핀 코팅(spin coating)한 다음, 코팅된 막을 UV에 노출시켜 경화함으로써, 이온겔층을 형성할 수 있다. 그러나 이러한 공정 및 전술한 구체적인 물질들은 예시적인 것이고, 다양하게 변화될 수 있다.

[0053] 위에서 설명한 바와 같이 제1 및 제2 게이트절연층(GI10, GI20)이 서로 다른 이온겔을 포함하는 것과 관련해서, 제1 및 제2 트랜지스터(TR10, TR20)는 서로 다른 특성을 가질 수 있다. 제1 트랜지스터(TR10)의 제1 채널층(C10)과 제2 트랜지스터(TR20)의 제2 채널층(C20)이 동일한 물질(ex, 그래핀)로 형성되었다고 하더라도, 제1 및 제2 게이트절연층(GI10, GI20)의 이온겔 물질 차이에 의해 제1 및 제2 트랜지스터(TR10, TR20)의 특성이 달라질 수 있다. 이는 게이트절연층(GI10, GI20)의 이온겔 물질에 따라, 그에 대응하는 채널층(그래핀)(C10, C20)의 디랙 포인트(Dirac point)가 달라질 수 있기 때문이다. 결과적으로, 제1 및 제2 트랜지스터(TR10, TR20) 중 하나, 예컨대, 제1 트랜지스터(TR10)는 소정의 전압 범위(이하, 제1 전압 범위)에서 p형 트랜지스터 특성을 가질 수 있고, 제1 및 제2 트랜지스터(TR10, TR20) 중 다른 하나, 예컨대, 제2 트랜지스터(TR20)는 상기 제1 전압 범위에서 n형 트랜지스터 특성을 가질 수 있다. 따라서, 본 발명의 실시예에 따르면, 동일한 채널 물질을 사용하더라도, p형 및 n형 특성을 갖는 두 개의 트랜지스터(TR10, TR20)를 제조할 수 있고, 이들을 연결한 상보성(complementary) 소자를 구현할 수 있다. 상기 상보성 소자는 상보성 인버터(complementary inverter)일 수 있다.

[0054] 이하에서는, 도 1의 제1 및 제2 게이트절연층(GI10, GI20)의 이온겔 물질 차이에 의해 제1 및 제2 트랜지스터(TR10, TR20)의 특성이 달라지는 원리에 대해 보다 구체적으로 설명한다.

[0055] 도 2는 그래핀 채널을 갖는 트랜지스터(그래핀 트랜지스터)의 게이트절연층의 이온겔(ion gel) 물질을 변화시키면서 상기 그래핀 트랜지스터의 트랜스퍼 커브(transfer curve)의 변화를 평가한 결과를 보여주는 그래프이다. 상기 이온겔에서 양이온을 EMIM으로 고정하고, 음이온의 종류를 SCN, DCA, BF4, OTF, NTf2로 변화시키면서 상기 그래핀 트랜지스터의 특성을 측정하였다. 즉, 도 2에서 샘플 #1 내지 샘플 #5의 그래핀 트랜지스터는 각각 이온겔 게이트절연층(게이트유전층) 물질로 EMIM-SCN, EMIM-DCA, EMIM-BF4, EMIM-OTF 및 EMIM-NTf2를 포함한다. 이 물질들의 화학명 및 분자량(g/mol)은 아래의 표 3과 같이 정리할 수 있다.

표 3

	화학명	분자량 (g/mol)	
[0056]	EMIM-SCN	1-Ethyl-3-methylimidazolium thiocyanate	169.25
	EMIM-DCA	1-Ethyl-3-methylimidazolium dicyanamide	177.21
	EMIM-BF4	1-Ethyl-3-methylimidazolium tetrafluoroborate	197.97
	EMIM-OTF	1-Ethyl-3-methylimidazolium trifluoromethanesulfonate	260.24
	EMIM-NTf2	1-Ethyl-3-methylimidazolium bi(trifluoromethanesulfonyl)imide	391.31

[0057] 양이온이 EMIM으로 고정된 상태에서, 음이온의 분자량을 증가시키면서(즉, 음이온의 종류를 SCN, DCA, BF4, OTF, NTf2로 변화시키면서), 드레인전류의 게이트전압 의존도를 측정하였다. 이때, 10 mV의 드레인전압을 사용하였다.

[0058] 도 2를 참조하면, 음이온의 분자량이 증가함에 따라, 즉, 음이온의 종류가 SCN, DCA, BF4, OTF, NTf2로 변화됨에 따라, 트랜지스터의 트랜스퍼 커브(transfer curve)가 양(+)의 방향으로 이동하는 것을 알 수 있다. 각 트랜스퍼 커브(transfer curve)는 게이트전압이 증가함에 따라 드레인전류가 감소하다가 특정 지점을 기준으로 증가하는 특성, 즉, 양극성(ambipolar)을 갖는다. 상기 드레인전류가 감소하다가 증가하는 지점은 그래핀의 디랙 포인트(Dirac point)에 대응될 수 있다. 따라서, 이온겔 내에 포함된 음이온의 분자량이 증가함에 따라, 트랜지스터에 포함된 그래핀 채널의 디랙 포인트(Dirac point)가 양(+)의 방향으로 이동한다고 할 수 있다. 상기 디랙 포인트(Dirac point)는 트랜지스터의 타입이 변화되는 지점, 즉, 타입 전환점이라고 할 수 있다. 그러므로, 이온겔 내에 포함된 음이온의 분자량이 증가함에 따라, 트랜지스터의 타입 전환점이 양(+)의 방향으로 이동하는 경향을 나타낸다고 할 수 있다.

[0059] 도 3은 그래핀 채널을 갖는 트랜지스터(그래핀 트랜지스터)의 게이트절연층의 이온겔(ion gel) 물질을 변화시키면서 상기 그래핀 트랜지스터의 트랜스퍼 커브(transfer curve)의 변화를 평가한 결과를 보여주는 그래프이다. 상기 이온겔에서 음이온을 NTf2로 고정하고, 양이온을 DMIM, EMIM, PMIM, BMPyr, BMPy로 변화시키면서 상기 그래핀 트랜지스터의 특성을 측정하였다. 즉, 도 3에서 샘플 #6 내지 샘플 #10의 그래핀 트랜지스터는 각각 이온겔 게이트절연층(게이트유전층) 물질로 DMIM-NTf2, EMIM-NTf2, PMIM-NTf2, BMPyr-NTf2 및 BMPy-NTf2를 포함한다. 이 물질들의 화학명 및 분자량(g/mol)은 아래의 표 4와 같이 정리할 수 있다.

표 4

	화학명	분자량 (g/mol)	
[0060]	DMIM-NTf2	1-Methyl-3-methylimidazolium bi(trifluoromethanesulfonyl)imide	377.29
	EMIM-NTf2	1-Ethyl-3-methylimidazolium bi(trifluoromethanesulfonyl)imide	391.31
	PMIM-NTf2	1-Propyl-3-methylimidazolium bi(trifluoromethanesulfonyl)imide	405.34
	BMPyr-NTf2	1-Butyl-1-methylpyrrolidinium bi(trifluoromethanesulfonyl)imide	422.41
	BMPy-NTf2	1-Butyl-3-methylpyridinium bi(trifluoromethanesulfonyl)imide	430.34

[0061] 음이온이 NTf2로 고정된 상태에서, 양이온의 분자량을 증가시키면서(즉, 양이온의 종류를 DMIM, EMIM, PMIM, BMPyr, BMPy로 변화시키면서), 드레인전류의 게이트전압 의존도를 측정하였다. 이때, 10 mV의 드레인전압을 사용하였다.

- [0062] 도 3을 참조하면, 양이온의 분자량이 증가함에 따라, 즉, 양이온의 종류가 DMIM, EMIM, PMIM, BMPyr, BMPy로 변화됨에 따라, 트랜지스터의 트랜스퍼 커브(transfer curve)가 양(+)의 방향으로 이동하는 경향을 나타내는 것을 알 수 있다. 따라서, 도 3에 사용된 이온겔 물질들에 있어서, 이온겔 내에 포함된 양이온의 분자량이 증가함에 따라, 트랜지스터에 포함된 그래핀 채널의 디락 포인트(Dirac point)가 양(+)의 방향으로 이동하는 경향을 갖는다고 할 수 있다. 또한, 이온겔 내에 포함된 양이온의 분자량이 증가함에 따라, 트랜지스터의 타입 전환점이 양(+)의 방향으로 이동하는 경향을 갖는다고 할 수 있다.
- [0063] 도 4a 및 도 4b는 분자 역학 시뮬레이션(molecular dynamics simulation)을 통해 그래핀(discharged graphene) 위에 분포된 EMIM-SCN 분자와 EMIM-NTf2 분자의 배열 형태 및 구조를 보여주는 이미지이다.
- [0064] 도 4a를 참조하면, 양이온인 EMIM은 링(ring) 구조를 포함하고 있으며, 상기 링 구조는 그래핀에 대체로 평행하게 배열된 것을 알 수 있다. 상기 링 구조는 imidazolium ring 일 수 있다. 한편, 음이온인 SCN은 작은 사이즈를 갖고 양이온들 사이에 분포되어 있는 것을 알 수 있다. 이때, 그래핀은 주로 그에 인접한 양이온의 링 구조에 의해 전기적 영향을 받을 수 있다.
- [0065] 도 4b를 참조하면, 음이온인 NTf2는 비교적 큰 사이즈를 갖고 넓은 면적을 차지하고 있는 것을 알 수 있다. 양이온인 EMIM의 배열 형태 및 분포는 도 4a의 그것과 차이가 있다. EMIM의 링 구조가 그래핀 표면에 대하여 상대적으로 많이 기울어지도록 배열될 수 있고, 단위 면적당 EMIM의 분자 개수도 도 4a의 그것보다 적을 수 있다. 이 경우, 그래핀에 대한 양이온의 영향력이 감소하고 음이온의 영향력이 증가할 수 있다.
- [0066] 이와 같이 그래핀과 인접하여 배치되는 양이온 및 음이온의 배열, 구조, 분포 등에 따라, 그래핀에 대한 상기 양이온과 음이온의 영향이 변화될 수 있다. 따라서, 양이온 및/또는 음이온의 종류를 변화시킴으로써, 그래핀의 전기적 특성을 변화시킬 수 있고, 결과적으로, 그래핀이 포함된 트랜지스터의 특성을 변화시킬 수 있다.
- [0067] 이하에서는, 도 2 및 도 3과 같은 현상이 나타나는 원리/메커니즘에 대해 설명한다. 이러한 설명에 있어서, 필요한 경우, 도 4a 및 도 4b의 시뮬레이션 결과를 참조한다.
- [0068] 도 2 및 도 3과 같은 현상이 나타나는 원리/메커니즘은 다음과 같이 몇 가지로 정리할 수 있다.
- [0069] 첫째, 그래핀과 인접한 이온층의 전하 분포가 그래핀에 유도되는 전하의 부호 및 크기를 결정할 수 있다. 둘째, 그래핀에 인접한 음이온의 크기와 구조는 양이온의 배열 방식 및 단위 면적당 개수를 변화시킬 수 있고, 그에 따라, 그래핀의 전기적 특성이 변화될 수 있다. 셋째, imidazolium ring과 같이 파이 전자(pi electron)를 갖는 양이온의 경우, 그래핀 표면에 파이-스태킹(pi-stacking)을 하며 정렬되는데, imidazolium ring이 그래핀에 가깝고 평행하게 배열할수록, 또한, 단위 면적당 그 개수가 많을수록, 그래핀에 유도되는 음(-) 전하가 증가할 수 있다. 넷째, 양이온의 체인(chain) 길이가 길어질수록, 단위 면적당 양이온의 개수는 감소할 수 있고, 그래핀에 유도되는 음(-) 전하는 감소할 수 있다.
- [0070] 도 4b의 NTf2는 도 4a의 SCN에 비해 크기가 크기 때문에, 그래핀 근처에서 양이온(EMIM)과 함께 비교적 두꺼운 이온층을 형성할 수 있다. 이러한 이온층에서는 양이온의 imidazolium ring이 그래핀 표면에 대하여 상대적으로 많이 기울어진 배열을 할 수 있고, 양이온의 파이-스태킹(pi-stacking) 구조가 깨어져서, 그래핀에 인접한 영역에서 상기 이온층의 양전하 밀도가 감소할 수 있다. 반면, 음이온(NTf2)의 산소원자들은 그래핀 가까이에 분포하여 음전하 밀도를 증가시킬 수 있다. 결과적으로, 그래핀에 양전하가 유도되는 p-도핑(doping) 효과가 나타날 수 있고, 디락 포인트(Dirac point)는 양(+)의 방향으로 이동할 수 있다. 한편, 음이온의 크기가 작은 경우(도 4a), 양이온의 링 구조가 그래핀에 평행하게 배열하여 얇은 이온층이 형성되고, 그래핀에 인접한 영역에서 상기 이온층의 양전하 밀도가 증가할 수 있다. 따라서, 그래핀에 음전하가 유도되는 n-도핑(doping) 효과가 나타날 수 있다. 위에서 설명한 바와 같은 이유로, 도 2에서와 같이 이온겔에 포함된 음이온의 분자량이 증가할수록, 그래핀의 디락 포인트(Dirac point)는 양(+)의 방향으로 이동할 수 있다.
- [0071] 음이온을 NTf2로 고정하고 양이온의 분자량을 변화시킨 경우(도 3), 양이온의 분자량이 증가할수록, 그래핀의 디락 포인트(Dirac point)가 양(+)의 방향으로 이동하는 경향이 나타났다. 양이온의 imidazolium ring에 연결된 알킬 체인(alkyl chain)의 길이를 길게 하여 분자량을 증가시키는 경우, 즉, 양이온을 DMIM, EMIM, PMIM으로 변화시킨 경우, 체인의 길이가 길어질수록 그래핀 근처에서 양이온의 단위 면적당 개수가 감소할 수 있다. 따라서, 양이온의 분자량이 증가할수록, 그래핀과 인접한 영역에서 이온층의 양전하 밀도가 감소할 수 있다. 결과적으로, 그래핀의 디락 포인트(Dirac point)는 양(+)의 방향으로 이동할 수 있다. Imidazolium 기반의 양이온이 아닌 pyrrolidinium 기반의 양이온을 사용할 경우, 그래핀에 대한 양이온의 배열/배치가 이온층의 양전하 밀도를 감소시키는 방향으로 기울어질 수 있기 때문에, 그래핀의 디락 포인트(Dirac point)는 양(+)의 방향으로

더 많이 이동할 수 있다. 또한, pyrrolidinium에 연결된 체인의 길이가 길어져 분자량이 증가하는 경우, 그래핀의 디락 포인트(Dirac point)는 더욱 양(+)의 방향으로 이동할 수 있다. 이러한 이유로 도 3과 같은 경향성이 나타날 수 있다. 그러나, 여기서 설명한 도 2 및 도 3의 결과와 관련된 원리/메커니즘은 예시적인 것이고, 그 밖에 다른 원리/메커니즘이 있을 수 있다.

[0072] 도 5는 본 발명의 실시예에 따른 것으로, 제1 이온겔 물질을 게이트절연체로 포함하는 제1 트랜지스터 및 제2 이온겔 물질을 게이트절연체로 포함하는 제2 트랜지스터의 트랜스퍼 커브(transfer curve)를 보여주는 그래프이다. 상기 제1 및 제2 트랜지스터는 그래핀을 채널 물질로 포함하는 그래핀 트랜지스터일 수 있다. 상기 제1 이온겔 물질은 이온성 액체로 BMPy-NTf2를 포함할 수 있고, 상기 제2 이온겔 물질은 이온성 액체로 DMIM-NTf2를 포함할 수 있다.

[0073] 도 5에 나타난 바와 같이, 상기 제1 이온겔 물질(BMPy-NTf2)을 포함하는 제1 트랜지스터의 디락 포인트(Dirac point)(Dp1)는 상기 제2 이온겔 물질(DMIM-NTf2)을 포함하는 제2 트랜지스터의 디락 포인트(Dirac point)(Dp2)보다 상당히 오른쪽에 위치할 수 있다. 따라서, 소정의 전압 범위(R1) 내에서, 상기 제1 트랜지스터는 p형 트랜지스터의 특성을 가질 수 있고, 상기 제2 트랜지스터는 n형 트랜지스터의 특성을 가질 수 있다. 즉, 동일한 채널 물질(그래핀)을 사용하더라도, 서로 다른 이온겔 물질을 게이트절연층 물질로 적용하면, 타입이 반대인 두 개의 트랜지스터를 구현할 수 있다.

[0074] 도 5의 제1 트랜지스터 및 제2 트랜지스터는 각각 도 1의 제1 트랜지스터(TR10) 및 제2 트랜지스터(TR20)에 대응될 수 있다. 따라서, 도 1의 제1 트랜지스터(TR10)는 p형 트랜지스터 특성을 가질 수 있고, 제2 트랜지스터(TR20)는 n형 트랜지스터 특성을 가질 수 있다. 본 발명의 실시예에 따르면, 도 1의 두 개의 트랜지스터(TR10, TR20)를 사용해서 상보성(complementary) 인버터를 만들 수 있다. 상보성 인버터는 다른 구조의 인버터와 비교하여 성능 및 동작 방법 측면에서 다양한 이점을 가질 수 있다. 도 1의 구조로 상보성 인버터 회로를 구성한 예가 도 6에 도시되어 있다.

[0075] 도 6을 참조하면, 제1 드레인전극(D10)에 전원단자(VDD)가 연결될 수 있다. 제1 및 제2 게이트전극(G10, G20)에 입력단자(Vin)가 연결될 수 있다. 제1 소오스전극(S10) 및 제2 드레인전극(D20)은 출력단자(Vout)에 공통으로 연결될 수 있다. 제2 소오스전극(S20)은 접지될 수 있다. 참조부호 GND는 접지단자를 나타낸다. 소정 전압 범위 내에서 제1 트랜지스터(TR10)는 p형일 수 있고, 제2 트랜지스터(TR20)는 n형일 수 있으므로, 도 6의 소자는 상보성 인버터로 사용될 수 있다.

[0076] 도 1 및 도 6에서는 두 개의 트랜지스터(TR10, TR20)가 탑-게이트(top-gate) 구조를 갖는 경우에 대해서 도시하고 설명하였지만, 본 발명의 다른 실시예에 따르면, 두 개의 트랜지스터(TR10, TR20) 중 적어도 하나는 바텀-게이트(bottom-gate) 구조를 가질 수 있다. 그 일례가 도 7에 도시되어 있다.

[0077] 도 7은 본 발명의 다른 실시예에 따른 반도체소자를 보여주는 단면도이다.

[0078] 도 7을 참조하면, 기판(SUB11) 상에 서로 연결된 제1 및 제2 트랜지스터(TR11, TR21)가 구비될 수 있다. 제1 트랜지스터(TR11)는 제1 게이트전극(G11), 제1 게이트전극(G11)을 덮는 제1 게이트절연층(GI11), 제1 게이트절연층(GI11) 상에 구비된 제1 채널층(C11), 제1 채널층(C11)의 양단에 접촉된 제1 소오스전극(S11) 및 제1 드레인전극(D11)을 포함할 수 있다. 이와 유사하게, 제2 트랜지스터(TR21)는 제2 게이트전극(G21), 제2 게이트전극(G21)을 덮는 제2 게이트절연층(GI21), 제2 게이트절연층(GI21) 상에 구비된 제2 채널층(C21), 제2 채널층(C21)의 양단에 접촉된 제2 소오스전극(S21) 및 제1 드레인전극(D21)을 포함할 수 있다. 제1 및 제2 채널층(C11, C21)은 그래핀을 포함할 수 있다. 제1 게이트절연층(GI11)은 제1 이온겔 물질을 포함할 수 있고, 제2 게이트절연층(GI21)은 제2 이온겔 물질을 포함할 수 있다. 상기 제1 이온겔 물질 및 제2 이온겔 물질은 도 1 등을 참조하여 설명한 제1 트랜지스터(TR10)의 제1 이온겔 물질 및 제2 트랜지스터(TR20)의 제2 이온겔 물질과 각각 동일하거나 유사할 수 있다. 따라서, 제1 및 제2 트랜지스터(TR11, TR21) 중 하나, 예컨대, 제1 트랜지스터(TR11)는 p형 트랜지스터 특성을 가질 수 있고, 제1 및 제2 트랜지스터(TR11, TR21) 중 다른 하나, 예컨대, 제2 트랜지스터(TR21)는 n형 트랜지스터 특성을 가질 수 있다.

[0079] 제1 및 제2 트랜지스터(TR11, TR21)의 전극들(S11, S21, D11, D21, G11, G21)에 연결된 단자들(VDD, Vin, Vout, GND)이 더 구비될 수 있다. 전극들(S11, S21, D11, D21, G11, G21)과 단자들(VDD, Vin, Vout, GND)의 연결관계는 도 6의 그것과 유사할 수 있다.

[0080] 본 발명의 다른 실시예에 따르면, 도 7에서 두 개의 게이트전극(G11, G21)을 하나의 공통 게이트전극으로 대체할 수도 있다. 그 예가 도 8에 도시되어 있다.

- [0081] 도 8을 참조하면, 공통 게이트전극(G100) 상에 제1 이온겔 물질을 포함하는 제1 게이트절연층(GI11')과 제2 이온겔 물질을 포함하는 제2 게이트절연층(GI21')이 구비될 수 있다. 제1 게이트절연층(GI11') 상에 제1 채널층(C11)과 제1 소오스전극(S11) 및 제1 드레인전극(D11)이 구비될 수 있다. 제2 게이트절연층(GI21') 상에 제2 채널층(C21)과 제2 소오스전극(S21) 및 제2 드레인전극(D21)이 구비될 수 있다. 제1 및 제2 트랜지스터(TR11', TR21')의 전극들(S11, S21, D11, D21, G100)에 연결된 단자들(VDD, Vin, Vout, GND)이 더 구비될 수 있다.
- [0082] 본 발명의 다른 실시예에 따르면, 반도체소자를 구성하는 두 개의 트랜지스터 중 적어도 하나는 사이드-게이트(side-gate) 구조를 가질 수도 있다. 그 일례가 도 9에 도시되어 있다.
- [0083] 도 9는 본 발명의 다른 실시예에 따른 반도체소자를 보여주는 사시도이다.
- [0084] 도 9를 참조하면, 기판(SUB12) 상에 제1 트랜지스터(TR12) 및 제2 트랜지스터(TR22)가 구비될 수 있다. 제1 트랜지스터(TR12)는 기판(SUB12) 상에 구비된 제1 채널층(C12), 제1 채널층(C12)의 양단에 접촉된 제1 소오스전극(S12) 및 제1 드레인전극(D12), 제1 채널층(C12)에 대하여 측방으로 이격된 제1 게이트전극(G12)을 포함할 수 있다. 또한, 제1 트랜지스터(TR12)는 제1 채널층(C12)을 덮는 제1 게이트절연층(GI12)을 포함할 수 있다. 제1 게이트절연층(GI12)은 제1 소오스전극(S12)의 일부, 제1 드레인전극(D12)의 일부 및 제1 게이트전극(G12)의 일부를 덮을 수 있다. 제1 게이트절연층(GI12)은 제1 이온겔 물질을 포함할 수 있다. 제2 트랜지스터(TR22)는 제1 트랜지스터(TR12)와 유사한 구조를 가질 수 있다. 즉, 제2 트랜지스터(TR22)는 기판(SUB12) 상에 구비된 제2 채널층(C22), 제2 채널층(C22)의 양단에 접촉된 제2 소오스전극(S22) 및 제2 드레인전극(D22), 제2 채널층(C22)에 대하여 측방으로 이격된 제2 게이트전극(G22)을 포함할 수 있다. 또한, 제2 트랜지스터(TR22)는 제2 채널층(C22)을 덮는 제2 게이트절연층(GI22)을 포함할 수 있다. 제2 게이트절연층(GI22)은 상기 제1 이온겔 물질과 다른 제2 이온겔 물질을 포함할 수 있다. 상기 제1 이온겔 물질과 다른 제2 이온겔 물질은 도 1 등을 참조하여 설명한 제1 트랜지스터(TR10)의 제1 이온겔 물질 및 제2 트랜지스터(TR20)의 제2 이온겔 물질과 각각 동일하거나 유사할 수 있다. 따라서, 제1 및 제2 트랜지스터(TR12, TR22) 중 하나, 예컨대, 제1 트랜지스터(TR12)는 p형 트랜지스터 특성을 가질 수 있고, 제1 및 제2 트랜지스터(TR12, TR22) 중 다른 하나, 예컨대, 제2 트랜지스터(TR22)는 n형 트랜지스터 특성을 가질 수 있다.
- [0085] 제1 및 제2 트랜지스터(TR12, TR22)의 전극들(S12, S22, D12, D22, G12, G22)에 연결된 단자들(VDD, Vin, Vout, GND)이 더 구비될 수 있다. 전극들(S12, S22, D12, D22, G12, G22)과 단자들(VDD, Vin, Vout, GND)의 연결관계는 도 6의 그것과 유사할 수 있다.
- [0086] 도 6 내지 도 9의 반도체소자(인버터)는 도 10과 같은 회로 구성을 가질 수 있다. 즉, 도 10은 본 발명의 실시예에 따른 반도체소자(인버터)의 회로도일 수 있다. 여기서, 제1 트랜지스터(TR1)는 도 6 내지 도 9의 제1 트랜지스터(TR10~TR12)에 대응될 수 있고, 제2 트랜지스터(TR2)는 도 6 내지 도 9의 제2 트랜지스터(TR20~TR22)에 대응될 수 있다.
- [0087] 도 10을 참조하면, 제1 트랜지스터(TR1)와 제2 트랜지스터(TR2)가 서로 연결되어 있다. 제1 트랜지스터(TR1)는 p형일 수 있고, 제2 트랜지스터(TR2)는 n형일 수 있다. 제1 트랜지스터(TR1)의 드레인에 전원단자(VDD)가 연결될 수 있다. 제1 트랜지스터(TR1)의 소오스 및 제2 트랜지스터(TR2)의 드레인에 출력단자(Vout)가 공통으로 연결될 수 있다. 제2 트랜지스터(TR2)의 소오스는 접지될 수 있다. 제1 트랜지스터(TR1)의 제1 게이트전극과 제2 트랜지스터(TR2)의 제2 게이트전극에 입력단자(Vin)가 연결될 수 있다. 앞서 설명한 바와 같이, 입력단자(Vin)를 통해 상기 제1 및 제2 게이트전극에 인가되는 입력 신호(전압)에 따라, 제1 및 제2 트랜지스터(TR1, TR2)의 온/오프(ON/OFF) 상태가 제어될 수 있고, 출력단자(Vout)를 통해 출력되는 신호가 달라질 수 있다.
- [0088] 도 11 내지 도 13은 본 발명의 실시예에 따른 두 개의 트랜지스터를 포함하는 상보성 인버터의 특성을 측정할 결과를 보여주는 그래프이다. 도 11은 1mV의 전원전압(VDD)을 사용해서 측정한 결과이고, 도 12는 0.1V의 전원전압(VDD)을 사용해서 측정한 결과이며, 도 13은 1V의 전원전압(VDD)을 사용해서 측정한 결과이다.
- [0089] 도 11 내지 도 13을 참조하면, 입력전압(VIN)의 변화에 따라 출력전압(VOUT)이 하이 레벨(high level)에서 로우 레벨(low level)로 변화되는 비교적 우수한 인버터 특성이 나타나는 것을 확인할 수 있다. 특히, 도 11 및 도 12의 결과로부터, 전원전압(VDD)이 0.1V 이하로 매우 낮더라도, 인버터 특성이 나타나는 것을 알 수 있다. 이는 본 발명의 실시예에 따른 두 개의 트랜지스터로 상보성 인버터를 구현할 경우, 매우 낮은 전원전압(VDD)으로도 인버터 동작이 가능하다는 것을 의미한다. 만약 동일한 특성을 갖는 두 개의 양극성(ambipolar) 트랜지스터를 연결하여 인버터를 구성할 경우, 1V 이상 혹은 수 V 이상의 높은 전원전압(VDD)을 사용해야만 인버터 동작이 가

능할 수 있다. 그러나 본 발명의 실시예에 따르면, 전원전압(V_{DD})이 인가되지 않은 상태에서도 본질적으로 p형 및 n형 특성을 갖는 두 개의 그래핀 트랜지스터를 사용하기 때문에, 매우 낮은 전원전압(V_{DD})으로도 동작이 가능한 그래핀 기반의 인버터를 구현할 수 있다.

[0090] 도 14는 도 11 내지 도 13의 결과로부터 얻어진 것으로, 인버터에 인가되는 전원전압(V_{DD})의 변화에 따른 전압 이득(voltage gain) 및 이득 곡선의 최대 전압(maximum voltage of gain peak) 변화를 보여주는 그래프이다. 도 14를 참조하면, 전원전압(V_{DD})이 증가할수록, 전압 이득(voltage gain) 및 이득 곡선의 최대 전압(maximum voltage of gain peak)이 모두 증가하는 경향을 나타내는 것을 알 수 있다.

[0091] 이상에서 설명한 본 발명의 실시예들에 따른 반도체소자는 플렉서블(flexible) 소자 또는 스트레처블(stretchable) 소자일 수 있다. 채널층(C10~C22)의 그래핀 및 게이트절연층(GI10~GI22)의 이온겔 물질은 플렉서블(flexible) 또는 스트레처블(stretchable)한 특성을 가질 수 있다. 게이트전극(G10~G22)으로 폴리머층 내에 CNT(carbon nanotube), 금속 나노와이어(metal nanowire), 그래핀(graphene) 등이 임베드(embed)된 구조를 사용할 경우, 플렉서블 또는 스트레처블 특성을 구현할 수 있다. 또는, 게이트전극(G10~G22)으로 액체 금속(liquid metal)을 적용하는 경우에도, 플렉서블 또는 스트레처블 특성을 구현할 수 있다. 게이트전극(G10~G22)과 유사하게, 소오스/드레인전극(S10~S22, D10~D22)도 플렉서블 또는 스트레처블 특성을 갖도록 제조될 수 있다. 또한, 경우에 따라서는, 그래핀 패턴의 두 영역을 소오스전극 및 드레인전극으로 사용하고 이들 사이의 그래핀 영역을 채널 영역을 사용할 수 있다. 이 경우에도, 플렉서블 또는 스트레처블한 특성을 갖는 소오스/드레인전극을 얻을 수 있다. 따라서, 본 발명의 실시예에 따르면, 플렉서블(flexible) 또는 스트레처블(stretchable) 반도체소자를 구현할 수 있다.

[0092] 이상에서 설명한 본 발명의 실시예들에 따른 반도체소자는 다양한 회로에 기본 요소로 사용될 수 있다. 예컨대, 본 발명의 실시예에 따른 반도체소자는 전술한 인버터(inverter)에 적용될 수 있고, 그 밖에도, NAND 소자 및 NOR 소자와 같은 로직 게이트(logic gate), 인코더(encoder), 디코더(decoder), MUX(multiplexer), DEMUX(demultiplexer), 센스 앰프(sense amplifier), 오실레이터(oscillator) 등 다양한 전자소자의 기본 요소로 이용될 수 있다. 상기 오실레이터(oscillator)는 링 오실레이터(ring oscillator)일 수 있다. 또한 본 발명의 실시예들에 따른 반도체소자는 SRAM(static random access memory)과 같은 메모리소자의 요소로 적용될 수 있다. 상기한 로직 게이트(logic gate), 인코더(encoder), 디코더(decoder), MUX, DEMUX, 센스 앰프(sense amplifier), 오실레이터(oscillator), SRAM 등의 회로 구성은 잘 알려진바, 이들에 대한 상세한 설명은 생략한다.

[0093] 이하에서는, 본 발명의 실시예에 따른 반도체소자의 제조방법을 예시적으로 설명한다.

[0094] 도 15a 내지 도 15e는 본 발명의 실시예에 따른 반도체소자의 제조방법을 보여주는 단면도이다.

[0095] 도 15a를 참조하면, 기판(SUB10) 상에 제1 및 제2 채널층(C10, C20)을 형성할 수 있다. 제1 및 제2 채널층(C10, C20)은, 예컨대, 그래핀을 포함하도록 형성할 수 있다. 제1 및 제2 채널층(C10, C20)은 그래핀층일 수 있다. 기판(SUB10)은 반도체기판이거나 절연성기판일 수 있다. 상기 반도체기판은, 예컨대, 실리콘기판일 수 있고, 이 경우, 상기 실리콘기판 상에 실리콘 산화물층과 같은 절연층이 구비될 수 있다. 또한, 기판(SUB10)은 투명기판이거나 불투명기판일 수 있고, 플렉서블(flexible) 기판 또는 스트레처블(stretchable) 기판일 수 있다. 기판(SUB10)의 종류는 제한되지 않고 다양하게 변화될 수 있다.

[0096] 도 15b를 참조하면, 기판(SUB10) 상에 제1 채널층(C10)의 양단에 접촉된 제1 소오스전극(S10) 및 제1 드레인전극(D10)과 제2 채널층(C20)의 양단에 접촉된 제2 소오스전극(S20) 및 제2 드레인전극(D20)을 형성할 수 있다. 제1 소오스전극(S10)과 제2 드레인전극(D20)은 전기적으로 서로 연결되도록 형성될 수 있다. 예컨대, 제1 소오스전극(S10)과 제2 드레인전극(D20)은 일체형 전극으로 형성될 수 있다. 그러나, 경우에 따라, 제1 소오스전극(S10)과 제2 드레인전극(D20)을 분리시켜 형성한 후, 이들을 연결하는 연결 부재를 더 형성할 수 있다.

[0097] 도 15c를 참조하면, 제1 채널층(C10) 상에 제1 이온겔을 포함하는 제1 게이트절연층(GI10)을 형성할 수 있다. 예컨대, 제2 채널층(C20) 및 그 주변 영역을 소정의 마스크층(미도시)으로 가려준 후, 제1 채널층(C10) 상에 선택적으로 제1 게이트절연층(GI10)을 형성할 수 있다. 그런 다음, 상기 마스크층을 제거할 수 있다. 제1 게이트절연층(GI10)을 구성하는 상기 제1 이온겔이 UV 경화형 폴리머를 포함하는 경우, UV를 조사하는 공정을 거쳐 제1 게이트절연층(GI10)을 형성할 수 있다. 제1 게이트절연층(GI10)의 물질은 도 1 등에서 설명한 제1 게이트절연층(GI10)과 동일하거나 유사할 수 있다.

- [0098] 도 15d를 참조하면, 제2 채널층(C20) 상에 제2 이온겔을 포함하는 제2 게이트절연층(GI20)을 형성할 수 있다. 제1 게이트절연층(GI10)을 덮는 마스크층(미도시)을 형성한 상태에서, 제2 채널층(C20) 상에 선택적으로 제2 게이트절연층(GI20)을 형성할 수 있다. 제2 게이트절연층(GI20) 형성시, 필요에 따라, UV 조사 공정을 수행할 수도 있다. 제2 게이트절연층(GI20)의 물질은 도 1 등에서 설명한 제2 게이트절연층(GI20)과 동일하거나 유사할 수 있다.
- [0099] 도 15c 및 도 15d의 제1 및 제2 게이트절연층(GI10, GI20)을 형성하는 방법은 다양하게 변화될 수 있다. 일례로, 노즐 프린팅(nozzle printing) 방법으로 제1 및 제2 게이트절연층(GI10, GI20)을 형성할 수 있다. 도 15b의 구조 상에 제1 채널층(C10)을 노출시키는 제1 개구부 및 제2 채널층(C20)을 노출시키는 제2 개구부를 갖는 소정의 마스크 패턴을 형성한 후, 노즐 프린팅(nozzle printing) 방법을 이용해서, 상기 제1 개구부에는 제1 이온겔 물질을 형성하고, 상기 제2 개구부에는 제2 이온겔 물질을 형성함으로써, 상기 제1 이온겔 물질로 구성된 제1 게이트절연층(GI10) 및 상기 제2 이온겔 물질로 구성된 제2 게이트절연층(GI20)을 형성할 수 있다. 그 밖에도 제1 및 제2 게이트절연층(GI10, GI20)을 형성하는 방법은 다양하게 변화될 수 있다. 구체적인 예로, 제1 및 제2 게이트절연층(GI10, GI20)은 다양한 리소그래피(lithography) 공정을 사용해서 형성하거나, 리프트-오프(lift-off) 공정을 통해 형성할 수도 있다.
- [0100] 도 15e를 참조하면, 제1 게이트절연층(GI10) 상에 제1 게이트전극(G10)을 형성하고, 제2 게이트절연층(GI20) 상에 제2 게이트전극(G20)을 형성할 수 있다. 제1 채널층(C10), 제1 소오스전극(S10), 제1 드레인전극(D10), 제1 게이트전극(G10) 및 제1 게이트절연층(GI10)은 제1 트랜지스터(TR10)를 구성할 수 있다. 제2 채널층(C20), 제2 소오스전극(S20), 제2 드레인전극(D20), 제2 게이트전극(G20) 및 제2 게이트절연층(GI20)은 제2 트랜지스터(TR20)를 구성할 수 있다. 제1 트랜지스터(TR10) 및 제2 트랜지스터(TR20)는 도 1 및 도 6의 제1 트랜지스터(TR10) 및 제2 트랜지스터(TR20)에 대응될 수 있다.
- [0101] 도 16a 내지 도 16c는 본 발명의 다른 실시예에 따른 반도체소자의 제조방법을 보여주는 단면도이다.
- [0102] 도 16a를 참조하면, 기판(SUB11) 상에 서로 이격된 제1 게이트전극(G11) 및 제2 게이트전극(G21)을 형성할 수 있다.
- [0103] 도 16b를 참조하면, 기판(SUB11) 상에 제1 게이트전극(G11)을 덮는 제1 게이트절연층(GI11)을 형성할 수 있고, 제2 게이트전극(G21)을 덮는 제2 게이트절연층(GI21)을 형성할 수 있다. 제1 게이트절연층(GI11)은 제1 이온겔 물질을 포함할 수 있고, 제2 게이트절연층(GI21)은 상기 제1 이온겔 물질과 다른 제2 이온겔 물질을 포함할 수 있다. 제1 및 제2 게이트절연층(GI11, GI21)을 형성하는 방법은 도 15c 및 도 15d를 참조하여 설명한 바와 동일하거나 유사할 수 있다. 또한, 다양한 변형 방법을 사용해서 제1 및 제2 게이트절연층(GI11, GI21)을 형성할 수 있다.
- [0104] 도 16c를 참조하면, 제1 게이트절연층(GI11) 상에 제1 채널층(C11)을 형성할 수 있고, 제2 게이트절연층(GI21) 상에 제2 채널층(C21)을 형성할 수 있다. 제1 및 제2 채널층(C11, C21)은, 예컨대, 그래핀을 포함하도록 형성할 수 있다. 제1 및 제2 채널층(C11, C21)은 그래핀층일 수 있다. 다음, 제1 채널층(C11)의 양단에 접촉된 제1 소오스전극(S11) 및 제1 드레인전극(D11)과 제2 채널층(C21)의 양단에 접촉된 제2 소오스전극(S21) 및 제2 드레인전극(D21)을 형성할 수 있다. 제1 소오스전극(S11)과 제2 드레인전극(D21)은 전기적으로 서로 연결되도록 형성할 수 있다.
- [0105] 제1 채널층(C11), 제1 소오스전극(S11), 제1 드레인전극(D11), 제1 게이트전극(G11) 및 제1 게이트절연층(GI11)은 제1 트랜지스터(TR11)를 구성할 수 있다. 제2 채널층(C21), 제2 소오스전극(S21), 제2 드레인전극(D21), 제2 게이트전극(G21) 및 제2 게이트절연층(GI21)은 제2 트랜지스터(TR21)를 구성할 수 있다. 제1 트랜지스터(TR11) 및 제2 트랜지스터(TR21)는 도 7의 제1 트랜지스터(TR11) 및 제2 트랜지스터(TR21)에 대응될 수 있다.
- [0106] 이상에서는 도 15a 내지 도 15e 및 도 16a 내지 도 16c를 참조하여, 도 6 및 도 7의 구조를 갖는 반도체소자를 제조하는 방법에 대해 설명하였지만, 이러한 방법을 활용하면, 도 8 및 도 9와 같은 다양한 변형 구조를 갖는 반도체소자를 제조할 수 있다. 또한, 이러한 반도체소자를 NAND 소자 및 NOR 소자와 같은 로직 게이트(logic gate), 인코더(encoder), 디코더(decoder), MUX(multiplexer), DEMUX(de multiplexer), 센스 앰프(sense amplifier), 오실레이터(oscillator), SRAM(static random access memory) 등에 적용할 수 있다.
- [0107] 상기한 설명에서 많은 사항이 구체적으로 기재되어 있으나, 그들은 발명의 범위를 한정하는 것이라기보다, 구체적인 실시예의 예시로서 해석되어야 한다. 예를 들어, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자라면, 도 1 및 도 6 내지 도 9의 반도체소자(인버터) 구성은 다양하게 변형될 수 있음을 알 수 있을 것이다. 구

체적인 예로, 채널층(C10~C22)은 그래핀과 함께 다른 물질을 포함하거나 그래핀 이외에 다른 물질로 구성될 수 있고, 전극들(S10~S22, D10~D22, G10~G22)의 위치 및 구조도 다양하게 변화될 수 있음을 알 수 있을 것이다. 또한, 트랜지스터(TR10~TR22)는 더블 게이트(double gate) 구조를 가질 수 있고, 채널층(C10~C22)은 다양한 형태로 패터닝될 수 있음을 알 수 있을 것이다. 또한, 도 15a 내지 도 15e 및 도 16a 내지 도 16c를 참조하여 설명한 반도체소자의 제조방법도 다양하게 변화될 수 있음을 알 수 있을 것이다. 그리고, 본 발명의 실시예에 따른 반도체소자는 다양한 전자소자/전자장치에 여러 가지 목적으로 적용될 수 있음을 알 수 있을 것이다. 때문에 본 발명의 범위는 설명된 실시예에 의하여 정하여 질 것이 아니고 특허 청구범위에 기재된 기술적 사상에 의해 정하여져야 한다.

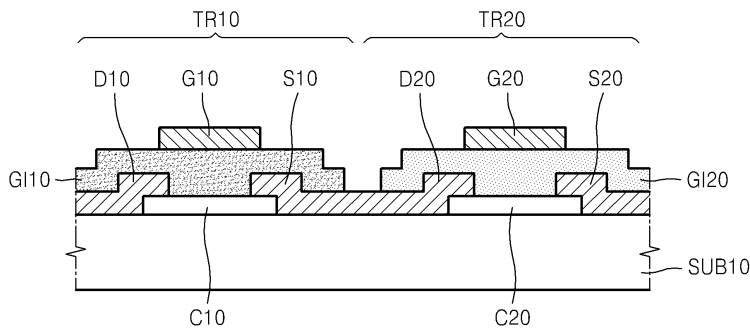
부호의 설명

* 도면의 주요 부분에 대한 부호설명 *

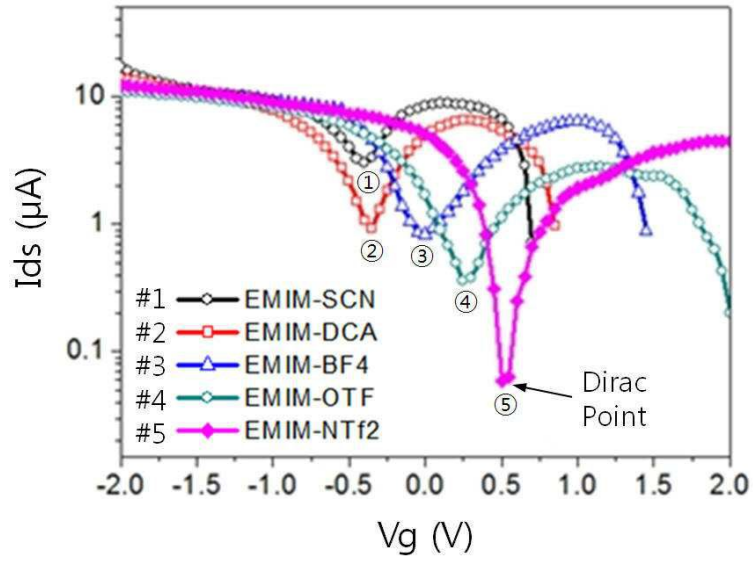
- C10~C12 : 제1 채널층 C20~C22 : 제2 채널층
- D10~D12 : 제1 드레인전극 D20~D22 : 제2 드레인전극
- G10~G12 : 제1 게이트전극 G20~G22 : 제2 게이트전극
- G100 : 공통 게이트전극 GI10~GI12 : 제1 게이트절연층
- GI20~GI22 : 제2 게이트절연층 S10~S12 : 제1 소오스전극
- S20~S22 : 제2 소오스전극 SUB10~SUB12 : 기판
- TR10~TR12 : 제1 트랜지스터 TR20~TR22 : 제2 트랜지스터
- VDD : 전원단자 Vin : 입력단자
- Vout : 출력단자

도면

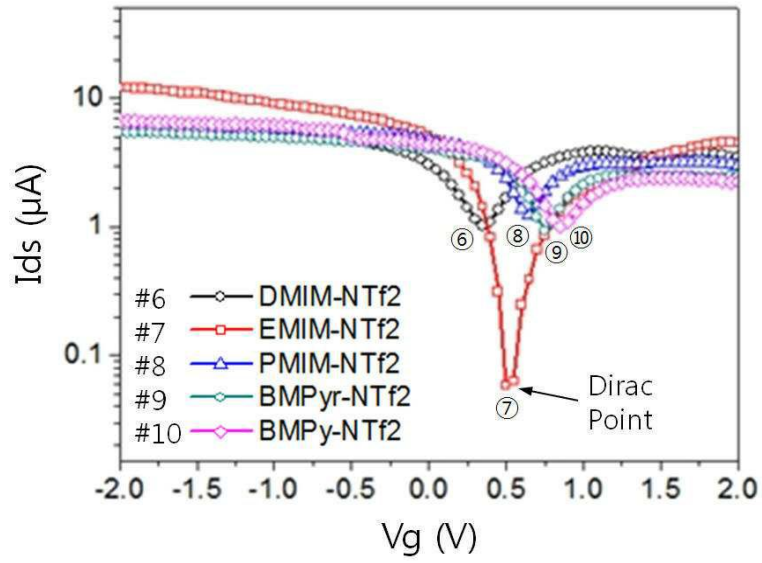
도면1



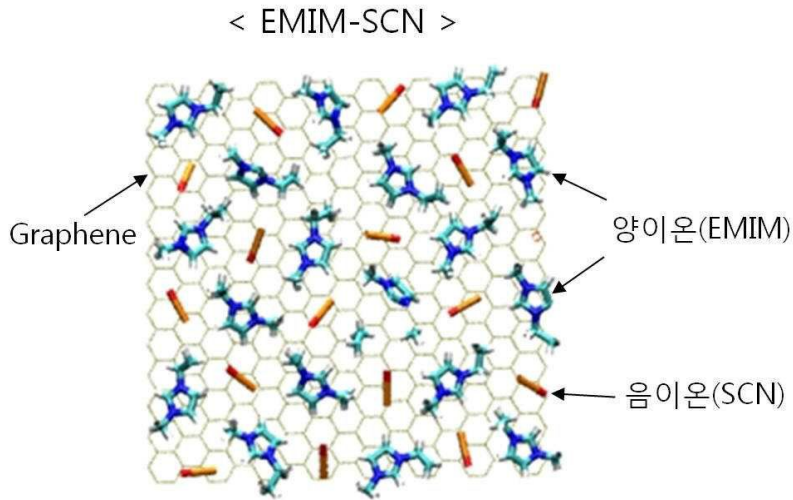
도면2



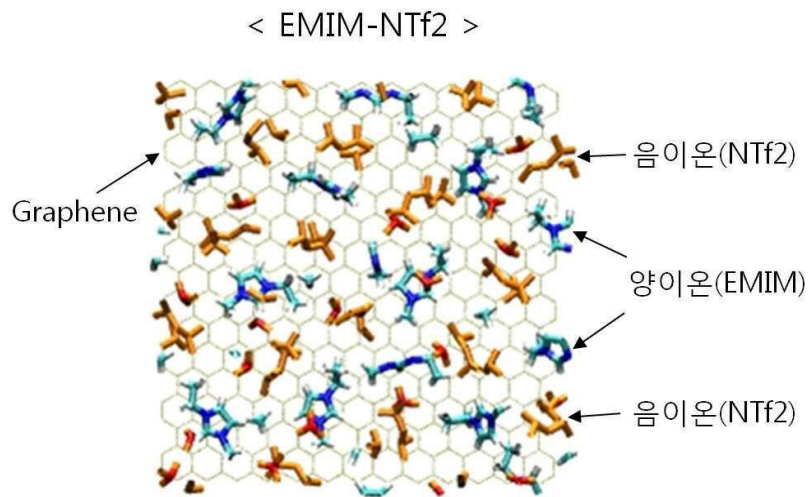
도면3



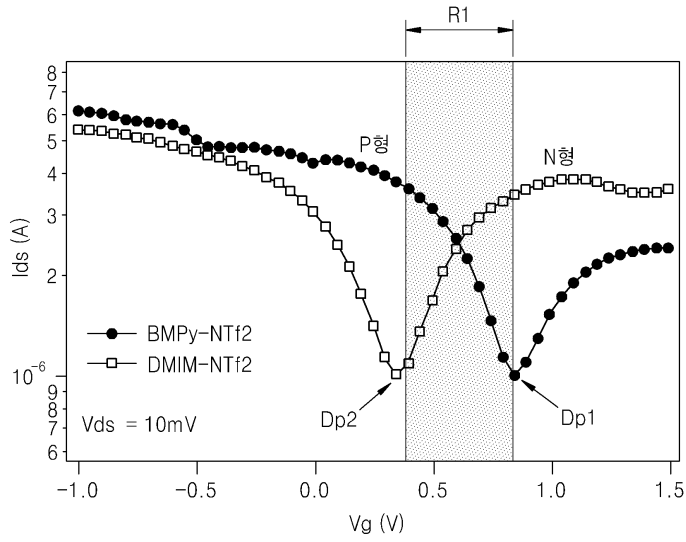
도면4a



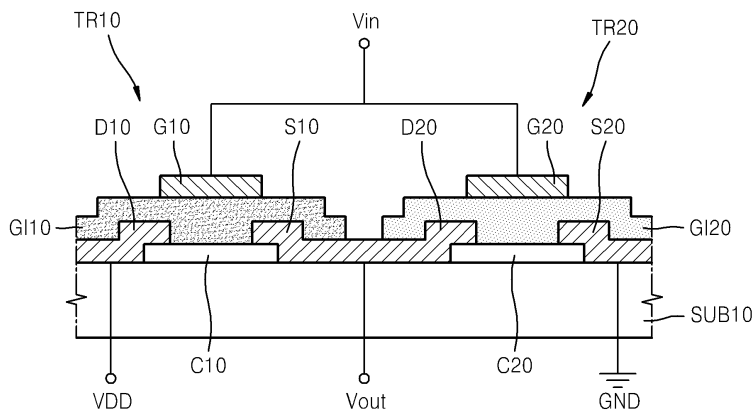
도면4b



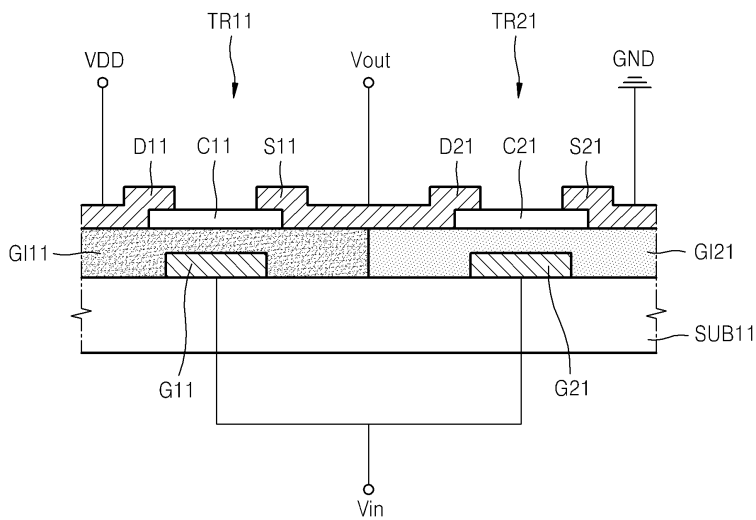
도면5



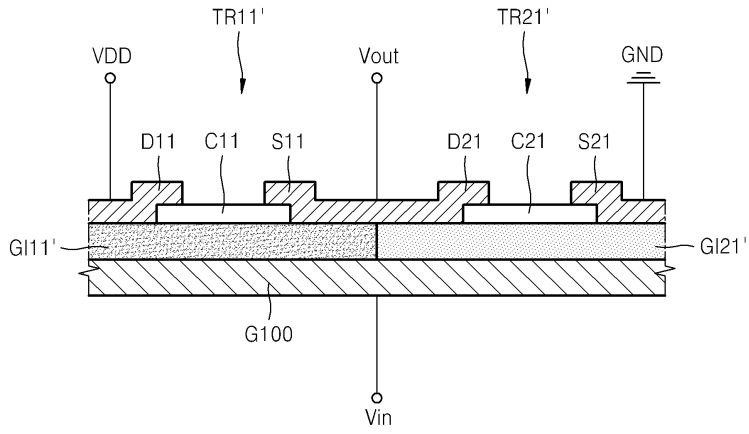
도면6



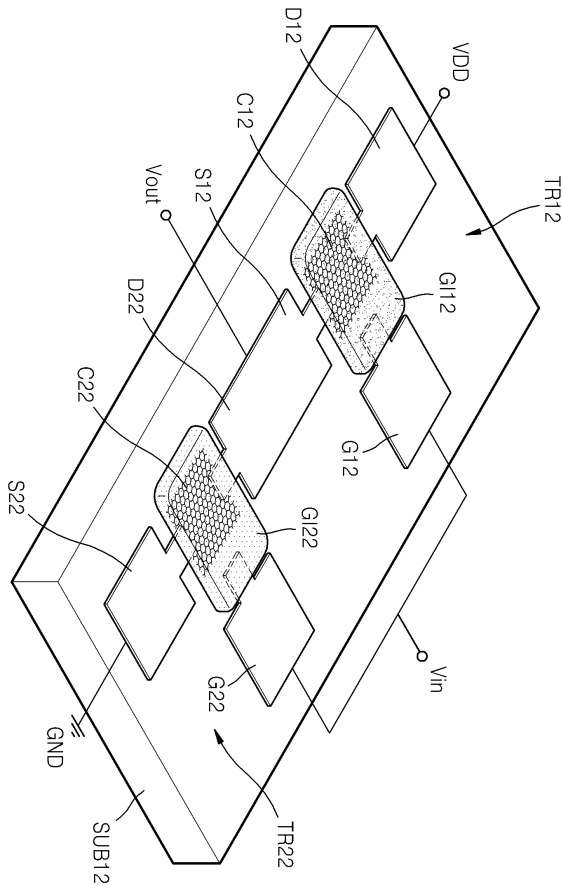
도면7



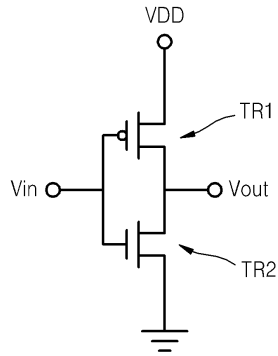
도면8



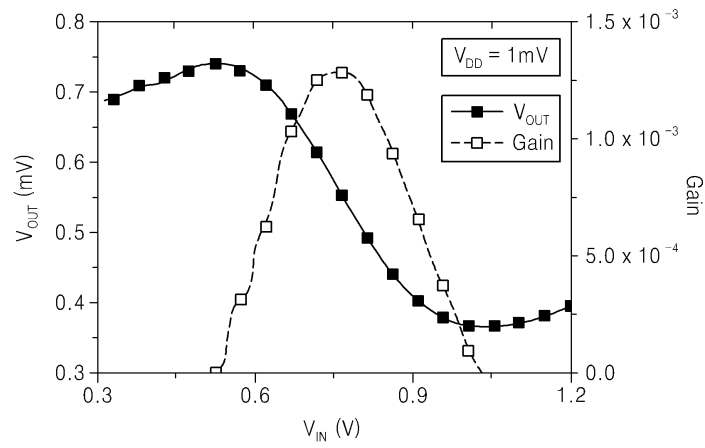
도면9



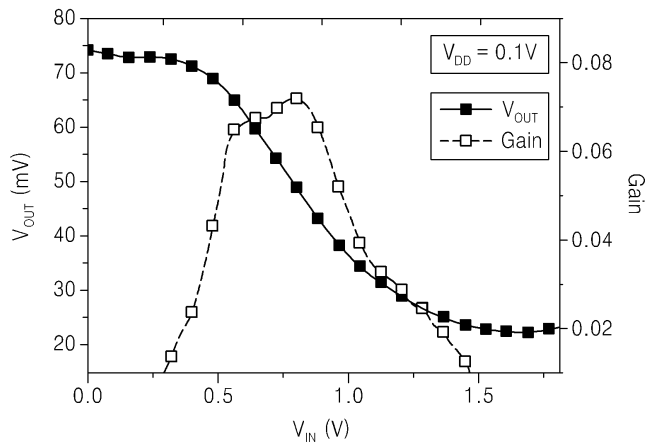
도면10



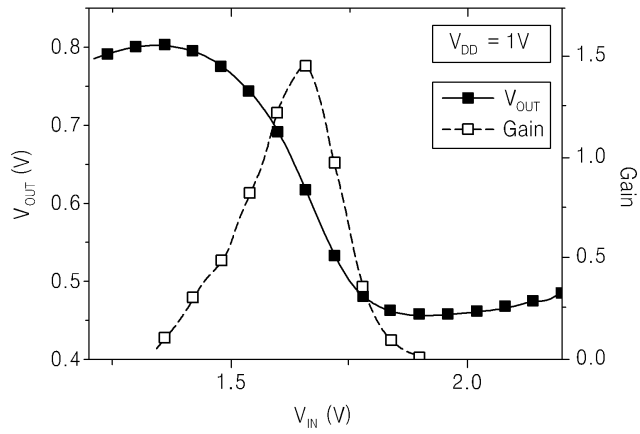
도면11



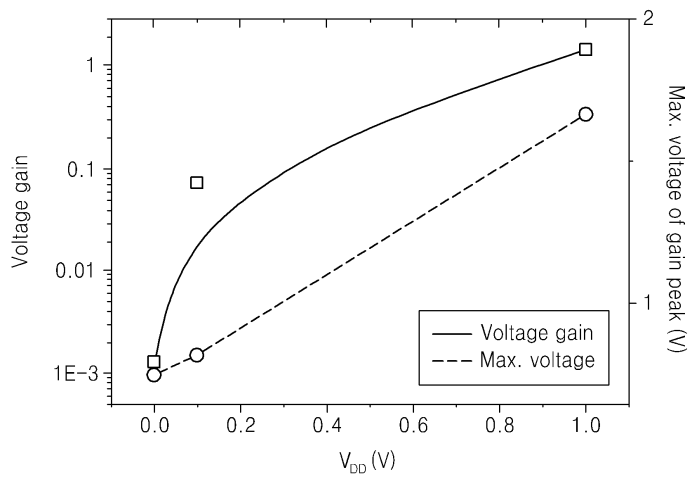
도면12



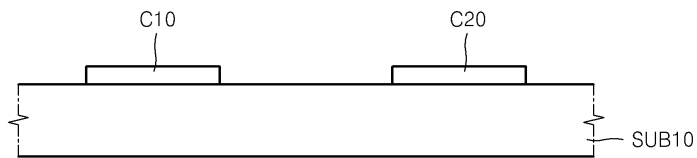
도면13



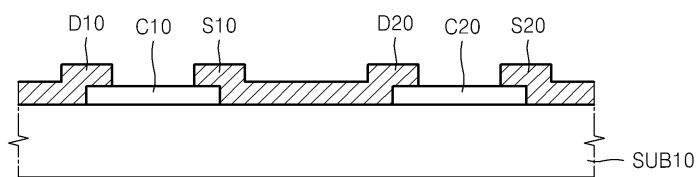
도면14



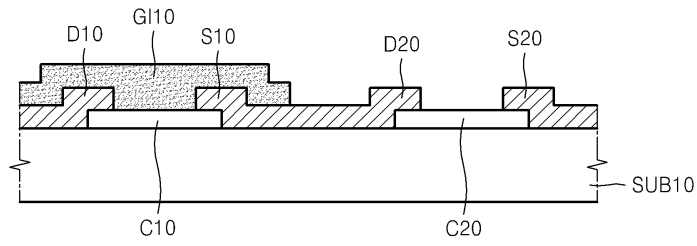
도면15a



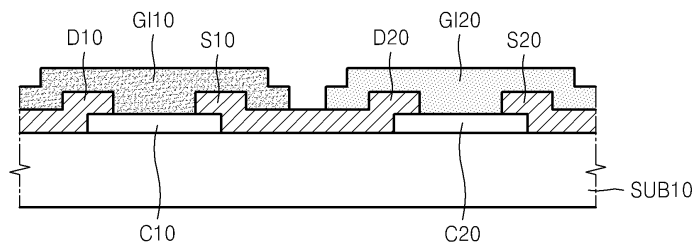
도면15b



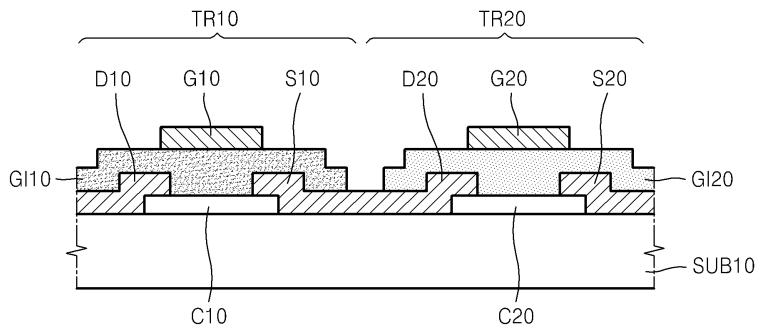
도면15c



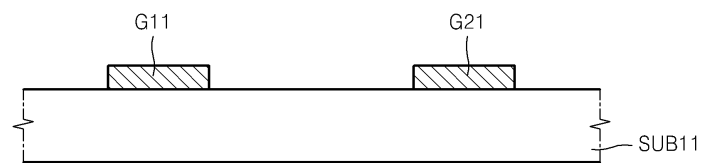
도면15d



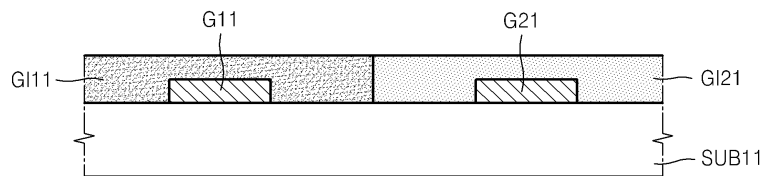
도면15e



도면16a



도면16b



도면16c

