



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2012-0021772
(43) 공개일자 2012년03월09일

(51) 국제특허분류(Int. Cl.)

H03M 1/66 (2006.01)

(21) 출원번호 10-2010-0079077

(22) 출원일자 2010년08월17일

심사청구일자 2010년08월17일

(71) 출원인

서강대학교산학협력단

서울특별시 마포구 백범로 35 (신수동, 서강대학교)

(72) 발명자

이승훈

서울특별시 용산구 이촌로 324-10, 2동 210호 (이촌동, 반도아파트)

(74) 대리인

특허법인충현

전체 청구항 수 : 총 4 항

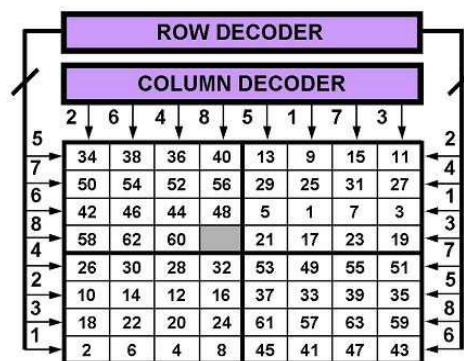
(54) 발명의 명칭 이차원 INL bounded 스위칭 기법을 사용하는 DAC

(57) 요약

본 발명의 기술분야는 Digital-to-Analog Converter(DAC)에 관한 것으로, 보다 상세하게는 INL bounded 스위칭 기법을 적용하는 DAC에 관한 것이며, 특히 INL bounded 스위칭 기법을 적용함에 있어 기존의 INL bounded 스위칭 기법을 변경하여 사용하는 DAC에 관한 것이다.

본 명세서에서 개시하는 DAC는 전류 셀 매트릭스 구조 기반의 이차원 INL bounded 스위칭 기법을 사용하며, 상기 DAC에 입력되는 디지털 신호를 아날로그 출력 신호로 변환시키기 위한 상기 매트릭스를 구성하는 각 전류 셀의 스위칭(선택)을 행과 열 디코딩 방식을 통해 구현하되, 상기 디코딩 방식을 통한 상기 스위칭은 상기 셀 매트릭스를 위아래로 2등분 및 좌우로 2등분 총 4등분하여 상기 셀 매트릭스의 제1 사분면과 제3 사분면에 위치하는 셀들이 우선적으로 스위칭되고, 제2 사분면과 제4 사분면에 위치하는 셀들이 차후에 스위칭되도록 하여 본 발명의 과제를 해결한다.

대표도 - 도5



이 발명을 지원한 국가연구개발사업

과제고유번호	NRF 2010-0007618
부처명	교육과학기술부
연구사업명	한국연구재단 일반연구자지원사업
연구과제명	선택적 SHA 기반의 저전력 12비트 100MS/s 급 0.13um CMOS ADC 연구
주관기관	서강대학교 산학협력단
연구기간	2010.05.01 ~ 2013.04.30이 발명을 지원한 국가연구개발사업
과제고유번호	NIPA-2011-C1090-1101-0003
부처명	지식경제부
연구사업명	지식경제부 대학 IT연구센터 육성지원사업
연구과제명	차세대 융복합 시스템용 아날로그 IP 핵심설계기술 개발
주관기관	서강대학교 산학협력단
연구기간	2010.06.01 ~ 2013.12.31

특허청구의 범위

청구항 1

전류 셀 매트릭스(current cell matrix) 구조 기반의 이차원 INL bounded 스위칭 기법을 사용하는 Digital-to-Analog Converter(DAC)에 있어서:

상기 DAC에 입력되는 디지털 신호를 아날로그 출력 신호로 변환시키기 위한 상기 매트릭스를 구성하는 각 전류 셀의 스위칭(선택)을 행과 열 디코딩(row-column decoding) 방식을 통해 구현하되,

상기 디코딩 방식을 통한 상기 스위칭은 상기 셀 매트릭스를 위아래로 2등분 및 좌우로 2등분 총 4등분하여 상기 셀 매트릭스의 제1 사분면과 제3 사분면에 위치하는 셀들이 우선적으로 스위칭되고, 제2 사분면과 제4 사분면에 위치하는 셀들이 차후에 스위칭되도록 이루어지는 것을 특징으로 하는 이차원 INL bounded 스위칭 기법을 사용하는 DAC.

청구항 2

제 1 항에 있어서, 상기 각 전류 셀의 스위칭은

상기 매트릭스의 열에 대해 부여된 스위칭 순서에 기반하고, 동일한 행 스위칭 순서를 갖는 상기 제1 사분면의 셀들과 상기 제3 사분면의 셀들이 셀 단위로 교차적으로 스위칭된 후, 상기 제2 사분면과 상기 제4 사분면의 셀들은 상기 제1 사분면의 셀들과 상기 제3 사분면의 셀들이 스위칭되는 방식과 동일한 방식으로 스위칭되는 것을 특징으로 하는 이차원 INL bounded 스위칭 기법을 사용하는 DAC.

청구항 3

제 2 항에 있어서,

상기 열 디코딩과 행 디코딩은 상기 입력 디지털 신호의 비트수를 반씩 나누어서 이루어지는 것을 특징으로 하는 이차원 INL bounded 스위칭 기법을 사용하는 DAC.

청구항 4

제 3 항에 있어서,

상기 DAC에 적용되는 디글리칭(deglitching) 회로는 마스터-슬레이브 디글리칭 회로(master-slave deglitching circuit)이며,

상기 마스터-슬레이브 디글리칭 회로는 두 개의 서로 교차된 인버터로 구현되는 마스터 래치와 NMOS와 PMOS로 구현된 슬레이브 래치로 이루어진 것을 특징으로 하는 이차원 INL bounded 스위칭 기법을 사용하는 DAC.

명세서

기술 분야

[0001]

본 발명의 기술분야는 Digital-to-Analog Converter(DAC)에 관한 것으로, 보다 상세하게는 INL bounded 스위칭 기법을 적용하는 DAC에 관한 것이며, 특히 INL bounded 스위칭 기법을 적용함에 있어 기존의 INL bounded 스위칭 기법을 변경하여 사용하는 DAC에 관한 것이다.

배경 기술

[0002]

최근 디지털 영상 기기들이 네트워킹 기술과 접목됨에 따라 컴퓨터와 주변 기기들을 무선으로 연결하는 무선 USB 기술이나 고속의 데이터 전송을 필요로 하는 멀티미디어 기기를 무선으로 연결하여 고화질 비디오 데이터를 전송할 수 있는 고속 무선 통신 기술이 요구되고 있으며, 배터리를 사용하는 휴대용 기기로의 적용을 위하여 기존의 무선 근거리 통신(Wireless Local Area Network: WLAN)보다 저전력으로 데이터를 전송할 수 있는 IEEE 802.15.3과 같은 고속 무선 개인 통신(High-Rate Wireless Personal Area Network: HR-WPAN) 기술 개발이 활발히 이루어지고 있다. 특히, 55[Mbps]의 데이터 전송 속도를 갖는 IEEE 802.15.3 HR-WPAN이 480[Mbps]의 데이터 전송 속도를 지닌 Ultra-Wide Band(UWB)와 같은 HR-WPAN 기술로 대체되고 있으며, 미세 나노 CMOS 공정으로 보

다 많은 블록을 무선 통신용 System-on-a-Chip (SoC)으로 집적하여 생산 단가를 낮추는 추세이다.

[0003] 이러한 저 전력 고속 무선 데이터 통신 시스템의 구현에는 6비트 수준 이상의 해상도와 1[GS/s] 이상의 동작 속도를 가지며, 낮은 전원 전압 및 소면적으로 구현할 수 있는 고속 DAC(digital-to-analog converter: DAC)가 필수적으로 요구된다.

발명의 내용

해결하려는 과제

[0004] 본 발명은 6비트 수준 이상의 해상도와 1[GS/s] 이상의 동작 속도를 가지며, 낮은 전원 전압 및 소면적으로 구현할 수 있는 고속 DAC를 제안하는 것으로, 본 발명이 해결하려는 과제는 이러한 고속 DAC의 성능에 가장 큰 영향을 미치는 글리치 에너지(glitch energy)를 최소화하고 integral non-linearity(INL) 특성에서의 선형성을 보장할 수 있는 INL bounded 스위칭 기법을 적용한 DAC를 제공하는 것이다.

과제의 해결 수단

[0005] 상기와 같은 과제를 해결하기 위한 본 명세서에서 개시하는 DAC는

[0006] 전류 셀 매트릭스(current cell matrix) 구조 기반의 이차원 INL bounded 스위칭 기법을 사용하며, 상기 DAC에 입력되는 디지털 신호를 아날로그 출력 신호로 변환시키기 위한 상기 매트릭스를 구성하는 각 전류 셀의 스위칭(선택)을 행과 열 디코딩(row-column decoding) 방식을 통해 구현하되, 상기 디코딩 방식을 통한 상기 스위칭은 상기 셀 매트릭스를 위아래로 2등분 및 좌우로 2등분 총 4등분하여 상기 셀 매트릭스의 제1 사분면과 제3 사분면에 위치하는 셀들이 우선적으로 스위칭되고, 제2 사분면과 제4 사분면에 위치하는 셀들이 차후에 스위칭되도록 하여 본 발명의 과제를 해결한다.

발명의 효과

[0007] 본 발명에 의한 DAC는 낮은 전원 전압 및 소면적으로 구현가능하며 글리치 에너지를 최소화하고 INL 특성에서의 선형성을 보장하므로 6비트 수준 이상의 해상도와 1[GS/s] 이상의 동작 속도를 필요로 하는 제반 시스템에 손쉽게 적용될 수 있다.

도면의 간단한 설명

[0008] 도 1은 본 발명에 의한 DAC의 전체 구성을 제시한 도면이다.

도 2는 본 발명에 의한 DAC에 구현될 수 있는 디지털 인터페이스(digital interface)의 구성의 일례를 제시한 도면이다.

도 3은 본 발명에 의한 DAC에 적용되는 기본 전류 셀 구조(basic current cell)를 나타낸 도면으로, 더미 스위치(dummy switch)가 추가된 구조를 보이고 있다.

도 4는 본 발명에 의한 DAC에 적용되는 소면적 마스터-슬레이브 디글리칭 회로이다.

도 5는 본 발명에 의한 전류 셀 스위칭 기법이 적용된 DAC의 전류 셀 매트릭스를 제시한 도면이다.

도 6a와 도 6b는 기존의 이차원 계층 구조의 대칭 스위칭 기법과 본 발명에 의한 이차원 INL bounded 스위칭 기법을 -1에서 1사이의 평균화된 오차 범위를 갖는 이차원 경사 오차와 이차원 대칭 오차에 대해 실험한 결과를 제시한 도면이다.

도 7은 본 발명에 의한 DAC의 칩 레이아웃의 일례를 제시한 도면이다.

도 8은 본 발명에 의한 DAC의 differential non-linearity(DNL) 및 INL의 측정 결과의 일례를 제시한 도면이다.

도 9는 본 발명에 의한 DAC의 아날로그 출력 신호의 스펙트럼의 일례를 제시한 도면이다.

도 10은 본 발명에 의한 DAC의 동적 성능인 Spurious-Free Dynamic Range(SFDR)의 일례를 제시한 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0009] 본 발명을 실시하기 위한 구체적인 내용의 설명에 앞서 이해의 편의를 위해 본 발명이 해결하려는 과제의 해결 방향의 개요를 우선 제시한다.
- [0010] 고속 DAC의 구현에는 일반적으로 이진 전류 열(binary-weighted current cell array) 구조나 전류 셀 매트릭스 구조를 이용한 전류 구동 방식을 적용하고 있다. 이진 전류 열 구조를 이용할 경우, 이진 코드(binary-weighted codes)를 온도계 코드(thermometer codes)로 변환하는 디코더(decoder)와 같은 추가적인 회로가 필요가 없으므로 작은 면적으로도 고속 동작을 구현할 수 있으나 공정 변수의 변화에 따른 전류 원(current source)의 부정합과 코드 변화에 따른 큰 글리치 에너지(glitch energy)가 DAC의 전체 성능을 제한시키는 단점을 갖는다.
- [0011] 그 반면 전류 셀 매트릭스 구조를 이용할 경우, 낮은 글리치 에너지와 단조도를 보장할 수 있으나 디코더와 전류 셀 간의 연결선이 차지하는 면적으로 인하여 DAC의 전체 면적이 증가하며, 복잡한 디코더에서 발생하는 논리 게이트의 전달 지연 시간으로 인하여 최대 동작 속도가 제한되는 단점이 있다. 이러한 단점을 해결하기 위해 전류 셀 매트릭스 구조에서 행과 열을 구동하는 디코더 방식을 사용하여 간결한 회로를 구현함으로써 고속 동작에 적용함과 동시에 연결선들의 면적을 줄일 수 있다.
- [0012] 한편, DNL 또는 INL과 같은 정적 성능을 저하시키는 임의 오차에 의한 전류 원(current source)의 부정합은 아날로그 출력 범위 내에서 모든 트랜지스터가 포화 영역(saturation region)에서 동작하기 위한 $[V_{GS}-V_{TH}]$ 와 전류 원 트랜지스터의 채널 폭(W)과 채널 길이(L)를 조절하여 줄일 수 있다. 전류 원 배열에서 공정 관련 오차, 칩 내의 열 분포 및 전원 라인의 전압 강하 등에 의해 발생하는 행과 열의 경사 오차(gradient error)와 대칭 오차(symmetrical error)로 인한 오차 누적은 다양한 전류 셀 스위칭(선택) 기법으로 최소화할 수 있다.
- [0013] 한편, 높은 동작 주파수에서 전류 셀의 낮은 출력 임피던스, 스위치 구동 신호의 불완전한 동기, 전류 원 트랜지스터의 드레인 노드의 전압 변동, 디지털 신호의 피드-스루(feed-through) 및 각 전류 셀들의 켜지고 꺼지는 시간 차이도 DAC의 동적 성능을 제한하는 요소이다. 이를 해결하기 위해 디글리칭 회로(deglitching circuit) 앞단에 플립플롭(flip-flop)이나 래치(latch)와 같은 회로를 추가하거나 마스터-슬레이브 디글리칭 회로(master-slave deglitching circuit)를 적용하고 있으나 이는 추가적인 회로 및 회로의 복잡도로 인하여 DAC 전체 면적과 전력 소모를 증가시키는 문제를 갖는다.
- [0014] 본 발명에 의한 DAC는 6비트의 해상도와 1.4[GS/s]의 동작 속도를 만족시키면서 선형성을 보장하고 낮은 글리치 에너지를 갖도록 6비트 전류 셀 매트릭스 구조를 적용하며, 디지털 입력단에 디지털 인터페이스를 구현하여 응용에 따라 데이터를 직렬 또는 병렬로 처리할 수 있도록 한다. 또한, 기본 전류 셀 구조를 적용하여 1.0[V]의 낮은 전원 전압에서 최대 0.6[V_{p-p}]의 아날로그 출력 값을 안정적으로 생성함과 동시에 작은 면적으로 요구되는 해상도를 만족하는 전류 셀의 출력 임피던스를 갖도록 한다.
- [0015] 본 발명에 의한 마스터-슬레이브 디글리칭 회로는 작은 면적으로 글리치 에너지와 전류 셀들 간의 지연 시간에 의한 성능 저하를 개선하며, 행과 열의 디코더(row-column decoder) 방식 기반의 이차원 INL bounded 스위칭 기법은 전류 원 배열에서 발생하는 행과 열의 경사 오차와 대칭 오차의 누적을 보상하여 INL 특성을 개선함과 동시에 디코더에 의한 전달 지연 시간을 최소화하여 고속 동작에 적합하도록 한다.
- [0016] 이하, 본 발명을 실시하기 위한 구체적인 내용을 본 발명의 바람직한 실시 예에 근거하여 첨부 도면을 참조하여 상세히 설명하되, 도면의 구성요소들에 참조번호를 부여함에 있어서 동일 구성요소에 대해서는 비록 다른 도면상에 있더라도 동일 참조번호를 부여하였으며 당해 도면에 대한 설명 시 필요한 경우 다른 도면의 구성요소를 인용할 수 있음을 미리 밝혀둔다. 아울러 본 발명과 관련된 공지 기능 혹은 구성에 대한 구체적인 설명 그리고 그 이외의 제반 사항이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다.
- [0017] 도 1은 본 발명에 의한 DAC의 전체 구성을 제시한 도면이다.
- [0018] 본 발명에 의한 DAC는 6비트 해상도와 1.4[GS/s] 동작 속도를 가지며 65[nm] CMOS 공정으로 구현가능하다. 도 1을 참조하면, 63개의 전류 셀로 구성되는 전류 셀 매트릭스 구조를 기반으로 하고 디지털 인터페이스(digital interface), 클럭 발생기(clock), 행 디코더(row decoder), 열 디코더(column decoder), 전류 셀 배열(current source array), 온-칩 기준 전류 발생기(current reference) 등으로 구성된다.
- [0019] 본 발명에 의한 DAC는 응용분야에 따라 하나 또는 네 개의 입력 채널(CH1~CH4)의 데이터를 선택하며 50[Ω]의 부하 저항(R_L)을 구동하기 위한 6[mA]의 출력 전류를 생성하고 최대 0.6[V_{p-p}]의 아날로그 값을 출력한다. 한편, 각 블록의 유기적인 동작을 위한 클럭 신호 Q와 QB는 외부로부터 들어오는 하나의 클럭을 사용하여 칩 내부에서

발생시킨다. 전류 원과 전류 셀 스위치를 분리하는 등 아날로그 블록과 디지털 블록의 간섭을 줄이기 위한 레이아웃 기법과 동시에 더미 전류 원(dummy current source)을 추가하는 등 공정 오차를 줄이기 위한 기법들이 적용된다. 또한, 온도 변화와 전원 전압의 변화에 독립적인 CMOS 트랜지스터로만 구성된 전류 레퍼런스 회로를 온-칩으로 집적하고, 외부의 디지털 코드로 기준 전류를 조절하여 응용 분야의 특성에 따라 출력 전압의 범위 및 출력 전류를 변경할 수 있도록 한다.

[0020] 이하에서는 본 발명에 의한 DAC의 각 세부 사항에 대해 상세히 설명하기로 한다.

[0021] <다중 채널을 위한 디지털 인터페이스>

[0022] 본 발명에 의한 DAC는 도 2에 제시된 바와 같이 네 개의 입력 채널을 가진 디지털 인터페이스를 행과 열의 디코더(ROW-COLUMN DECODER) 앞단에 구비시켜 I/Q 채널로 구성된 직각 변조기(quadrature modulator)의 업 컨버터(up converter)에 적용하거나 배럴 쉬프터와 같이 일정한 주기마다 데이터를 출력하는 디지털 회로에 즉각적인 응용이 용이하도록 한다. 즉, 도 2에 제시된 바와 같이 디지털 제어 신호(DCON)를 두어 하나의 채널(CH1)에서 입력 데이터를 받거나 네 개의 채널(CH1~CH4)에서 동작 주파수의 1/4이 되는 입력 데이터를 받아서 하나의 채널 데이터(D[0:5])로 변환한 후 순차적으로 행과 열의 디코더에 전달할 수 있도록 한다. 그리고 디지털 인터페이스의 앞단에 버퍼와 래치를 추가하여 입력 데이터들 간의 지연 시간을 제거한다.

[0023] <기본 전류 셀>

[0024] 본 발명에 의한 DAC는 1.0[V]의 낮은 전원 전압으로 1.4[GS/s]의 높은 동작 주파수에서 최대 700[MHz]의 디지털 입력 신호를 처리하여 최대 0.6[V_{p-p}]의 아날로그 출력 신호의 생성을 가능하게 한다. 전류 원 MOS 트랜지스터의 채널 폭(W)과 채널 길이(L)의 크기는 전류 원의 부정합을 최소화하기 위한 아래 식(1)과 전류 셀에 흐르는 전류를 고려한 아래 식(2)을 적용하여 결정할 수 있으며, 이 두 식을 통하여 MOS 트랜지스터의 W와 L의 크기 및 [V_{GS}-V_{TH}] 값을 조절하여 MOS 트랜지스터가 포화 영역에서 동작하면서 최소의 면적을 갖도록 설계할 수 있다. 식 (1)과 식(2)에서 V_{GS}, V_{TH}, I_{LSB}, 및 σ(I)/I는 각각 전류 원의 게이트-소스 전압, 트랜지스터의 문턱 전압, 하위 비트(Least Significant Bit: LSB)의 출력 전류, INL 수율을 고려한 LSB의 출력 전류의 표준편차를 나타내며, A_β와 A_{VTH}는 각각 소자의 이동도에 대한 부정합 매개변수, 공정에서 제공하는 문턱 전압에 대한 부정합 매개변수를 나타낸다.

[0025]
$$WL = \left[A_{\beta}^2 + \frac{4A_{VTH}^2}{(V_{GS} - V_{TH})^2} \right] \frac{I^2}{2\sigma^2(I)} \quad \text{--- 식(1).}$$

[0026]
$$\frac{W}{L} = \frac{2I_{LSB}}{\mu C_{ox} (V_{GS} - V_{TH})^2} \quad \text{--- 식(2).}$$

[0027] 또한, 전류 셀의 출력 임피던스는 아래 식(3)과 아래 식(4)을 통하여 선형성 제고를 위해 INL 특성이 0.5[LSB] 이하가 되고, SFDR는 나이퀴스트(Nyquist) 입력 주파수에서도 6비트의 해상도에 해당하는 36[dB] 이상이 되도록 하여 아날로그 출력 신호가 요구되는 해상도를 만족하도록 한다. 식(3)과 식(4)에서 N, Z_o, R_L, I_{LSB}는 각각 해상도, 전류 셀의 출력 임피던스, 부하 저항, LSB의 출력 전류를 나타낸다.

[0028]
$$INL = \frac{I_{LSB} R_L^2 (2^N - 1)^2}{4Z_o} \quad \text{--- 식(3).}$$

[0029]
$$SFDR = 20 \log \left(\frac{4Z_o}{(2^N - 1) R_L} \right) \quad \text{--- 식(4).}$$

[0030] 한편, 캐스코드 전류 셀(cascode current cell) 구조는 큰 출력 임피던스를 구현할 수 있으나, 최대 0.6[V_{p-p}]의 아날로그 출력을 1.0[V]의 낮은 전원 전압에서 안정적으로 생성하기 위한 [V_{GS}-V_{TH}] 값이 작아져 상기 식(1)에 의거하여 전류 원의 부정합을 줄이기 위해서는 트랜지스터의 W와 L의 크기가 증가한다. 그 반면, 본 발명에 의한 DAC는 도 3에 제시된 바와 같은 기본 전류 셀 구조를 적용하여 작은 면적으로 요구되는 낮은 INL과 높은 SFDR을 만족하는 출력 임피던스를 얻도록 한다. 한편, 기본 전류 셀 구조는 출력 노드에 더미 스위치(dummy switch)를 추가하고 스위치 구동 신호(S)와 반대 위상의 신호(SB)를 인가하여 아날로그 출력 신호에 영향을 주는 피드-스루(feed-through) 영향을 최소화시킨다.

- [0031] <본 발명에 의한 DAC에 적용되는 디글리칭 회로>
- [0032] 통상 고속 DAC에서는 전류 원 트랜지스터의 드레인 노드 간 전압(V_{DS})의 변동에 의한 글리치 에너지를 줄이기 위하여 스위치 구동 신호(S와 SB)의 교차 지점(crossover point)을 조절하는 디글리칭 회로를 사용하고 있으며, 이러한 디글리칭 회로의 동작 속도는 정착 시간(settling time)을 제한하는 경향이 있다. 인버터를 이용하는 디글리칭 회로는 논리 게이트의 전달 시간 지연으로 인한 두 신호의 차이로 동작 속도가 제한되는 반면 래치를 이용하는 방식은 상승과 하강 동작을 동시에 하여 두 신호를 생성함으로써 두 신호의 차이를 제거하여 고속 동작에 많이 적용되고 있다.
- [0033] 한편, 각 전류 셀들의 켜지거나 꺼지는 시간 차이로 인한 출력 신호의 정착 동작(settling behavior)의 변동은 SFDR을 저하시키기 때문에 D-플립플롭, 래치와 같은 회로를 디글리칭 회로 앞단에 추가하거나 마스터-슬레이브 디글리칭 회로를 적용하여 고속 동작에서도 입력 코드에 관계없이 일정한 정착 동작을 유지할 수 있지만 추가적인 소자로 인하여 면적이 증가하는 단점이 있다.
- [0034] 본 발명에 의한 디글리칭 회로는 마스터-슬레이브 디글리칭 회로로서, 도 4에 제시된 바와 같이, 적은 수의 소자만 사용하여 디코더 출력(D_{IN})을 받아서 클록 신호 Q와 QB에 동기화시켜 스위치 구동 신호를 생성하고 전류 셀들 간의 시간 차이를 최소화시킨다.
- [0035] 먼저 마스터 래치(master latch)는 두 개의 교차된 최소 크기의 인버터로 구성되며 클록 신호 QB가 “HIGH” 일 때 디코더 출력 신호 값을 저장한다. 클록 신호 Q가 “HIGH” 가 될 때 마스터 래치에 저장된 디코더 출력 신호가 슬레이브 래치(slave latch)에 인가되어 스위치 구동 신호를 생성하고, 클록 신호 Q가 “LOW” 일 때 생성된 신호 값을 유지하게 된다. 한편, 슬레이브 래치는 NMOS와 PMOS 크기를 적절히 조절하여 전류 원 트랜지스터의 드레인 노드의 전압 변화가 가장 작을 때의 교차 지점 (0.85[V])을 결정하여 1[GHz] 이상의 고속의 동작 속도에서 안정적으로 동작하도록 한다.
- [0036] 본 발명에 의한 마스터-슬레이브 디글리칭 회로에 사용된 트랜지스터 개수는 기존의 마스터-슬레이브 디글리칭 회로의 경우와 비교하여 60% 수준으로 면적 효율성이 우수하다.
- [0037] <선형성 향상을 위한 이차원 INL bounded 스위칭>
- [0038] 고속 DAC 구현을 위한 전류 셀 매트릭스 구조에서 전류 원 사이에서 발생하는 경사 오차와 대칭 오차의 누적을 보상하기 위하여 다양한 전류 셀 스위칭 기법들이 개발되고 있다. 가장 우수한 INL 특성을 갖는 Q^2 random walk는 복잡한 디코더와 라우팅으로 인하여 구현 면적이 매우 크고 이로 인하여 발생하는 기생 커패시턴스로 동작 속도가 제한되는 단점을 갖는다. 따라서 최근에는 이진 입력 데이터를 행(row)과 열(column)로 분리하여 간결한 디코더로 구성할 수 있는 행과 열의 디코더 방식 기반의 전류 셀 스위칭 기법이 고속 DAC에 많이 적용되고 있다.
- [0039] 한편, 아래의 표는 기존의 행과 열의 디코더 방식 기반의 스위칭 기법들 중에서 우수한 INL 특성을 갖는 INL bounded 알고리즘과 계층 구조의 대칭 수열(hierarchical symmetrical sequence) 기법을 일차원에서 비교한 표이다. 아래의 표 중 상위 표에 나열된 숫자들은 전류 셀 스위칭 순서를 의미하는 것으로 대칭 오차와 경사 오차를 줄여 우수한 INL 특성을 갖기 위해 매우 많은 실험에 의해 획득된 최적의 스위칭 순서이다.
- [0040] 아래의 표 중 하위 표를 참조하면, 대칭 오차와 경사 오차를 모두 고려했을 때 일차원 INL bounded 알고리즘이 계층 구조의 대칭 수열 기법보다 우수함을 확인할 수 있다. 그러나 이러한 일차원 INL bounded 알고리즘에 의한 스위칭 기법을 행과 열 디코딩 방식에 단순하게 이차원적으로 적용할 경우 행 또는 열의 오차가 누적되는 단점이 있다. 여기서 단순 적용이라 함은 행의 스위칭 순서와 열의 스위칭 순서(전류 셀 선택 순서)를 동일하게 아래의 표에 제시된 INL bounded 알고리즘의 순서대로 한다는 의미이다.
- [0041] 따라서 본 발명에 의한 전류 셀 스위칭 기법은 일차원에서 오차 성분이 가장 적도록 INL bounded 스위칭 기법을 이차원으로 확장하여 적용되되, 행과 열의 스위칭 순서를 달리하고 아울러 행의 스위칭 순서는 좌우를 달리하여 상기 언급한 제 오차를 최소화시키도록 한다.
- [0042] 본 발명에 의한 전류 셀 스위칭 기법이 적용된 DAC의 전류 셀 매트릭스는 도 5에 제시되어 있으며, 이는 상기 언급한 제 오차를 최소화시키고 우수한 INL 특성을 갖기 위해 매우 많은 실험에 의해 획득된 최적의 스위칭 순서이다. 도 5를 참조하면, 전류 셀 매트릭스는 64개의 전류 셀로 구성되어 있으며, 1개의 음영 처리된 셀은 더미 셀(dummy cell)로서 DAC 제조 공정상의 오차를 줄이기 위한 방편임을 위에서 언급하였다.

[0043] 도 5에서 숫자 1 ~ 63은 전류 셀의 스위칭 순서를 의미하는데, 열(column)의 경우에는 아래의 표에 제시된 INL bounded 알고리즘의 경우와 동일하며 행(row)의 경우에는 좌측과 우측의 스위칭 순서가 서로 다르다. 좀 더 자세히 살펴보면, 우선 64개의 셀 매트릭스를 위아래로 2등분 및 좌우로 2등분 총 4등분하여 제1 사분면과 제3 사분면에 위치하는 셀들을 우선적으로 스위칭하고 제2 사분면과 제4 사분면에 위치하는 셀들을 차후에 스위칭하도록 좌측 행과 우측 행의 스위칭 순서가 매겨져 있다.

	1-D switching sequence	
Hierarchical symmetrical sequence	6 2 1 5 7 3 4 8	
INL bounded algorithm	2 6 4 8 5 1 7 3	

	Max. INL of 1-D current mismatch	
	Symmetrical error	Gradient error
Hierarchical symmetrical sequence	+2	-5
INL bounded algorithm	-3	+2

[0044]

[0045] 스위칭 순서의 가장 큰 원칙은 크게 8개의 열에 대한 스위칭 순서(2,6,4,8,5,1,7,3)에 따른다. 즉, 6번째 열에 있는 셀이 1순위로, 1번째 열에 있는 셀이 2순위로, 8번째 열에 있는 셀이 3순위로, 3번째 열에 있는 셀이 4순위로, 5번째 열에 있는 셀이 5순위로, 2번째 열에 있는 셀이 6순위로, 7번째 열에 있는 셀이 7순위로, 4번째 열에 있는 셀이 8순위로 스위칭된다.

[0046] 그리고 이러한 스위칭은 동일한 행 스위칭 순서를 갖는 8개의 셀에 대해 제1 사분면의 4개의 셀과 제3 사분면의 4개의 셀이 셀 단위로 교차적으로 스위칭됨을 도 5를 참조하면 알 수 있다. 즉, 행 스위칭 순서가 1번인 행(제1 사분면의 경우 3번째 행, 제3 사분면의 경우 8번째 행)에 위치한 셀들이 셀 단위로 교차적으로 스위칭되고, 행 스위칭 순서가 1번인 행에 위치한 8개의 셀들에 대한 스위칭이 끝나면 행 스위칭 순서가 2번인 행(제1 사분면의 경우 1번째 행, 제3 사분면의 경우 6번째 행)에 위치한 셀들이 상기 8개의 열에 대한 스위칭 순서에 따라 마찬가지로 교차적으로 스위칭된다.

[0047] 제1 사분면과 제3 사분면에 위치한 셀들에 대한 스위칭이 끝나면 제2 사분면과 제4 사분면에 위치한 셀들에 대한 스위칭도 제1 사분면과 제3 사분면에 위치한 셀들의 경우와 동일한 방식으로 이루어진다.

[0048] 행 디코더와 열 디코더는 6비트의 디지털 입력을 각각 3비트 씩 나누어서 처리하며, 디코더의 출력들을 전류 셀의 위치에 따라 배치하여 고속 동작에 용이하도록 하였으며, 사용된 디코더 회로는 OR-NAND와 3 입력 NAND 게이트를 사용하여 간결하게 구성된다.

[0049] 도 6a와 도 6b는 기존의 이차원 계층 구조의 대칭 스위칭 기법과 본 발명에 의한 이차원 INL bounded 스위칭 기법을 -1에서 1사이의 평균화된 오차 범위를 갖는 이차원 경사 오차와 이차원 대칭 오차에 대해 실험한 결과를 제시한 도면이다. 도 6a는 이차원 경사 오차에 대한 실험 결과이며, 도 6b는 이차원 대칭 오차에 대한 실험 결과를 나타낸다. 실험 결과, 이차원 경사 오차와 이차원 대칭 오차에 대한 최대 INL를 비교했을 때 본 발명에 의한 이차원 INL bounded 스위칭 기법이 기존의 이차원 계층 구조의 대칭 스위칭 기법보다 우수한 것을 확인할 수 있다. 여기서 (i)의 경우가 본 발명에 의한 이차원 INL bounded 스위칭 기법인 경우이며, (ii)의 경우가 이차원 계층 구조의 대칭 스위칭 기법인 경우이다.

[0050] <본 발명에 의한 DAC의 칩 레이아웃>

[0051] 본 발명에 의한 6비트 1.4[GS/s] DAC는 65[nm] CMOS 공정의 칩으로 제작가능하며, 최대 출력 전류는 50[Ω]의 부하 저항을 고려하여 최대 0.6[V_{pp}]의 아날로그 출력 값이 되도록 6[mA]로 설계하였다. 또한, 전류 셀 스위칭은 전류 원을 중심으로 좌우 대칭적으로 배치하는 동시에 아날로그 블록과 디지털 블록을 분리 배치하여 디지털 신호와 아날로그 신호 간 간섭을 줄였으며, 전류 셀 배열 주위에 더미 전류 원을 추가하여 전류 원 부정합을 최소화한다.

[0052] 본 발명에 의한 DAC의 칩 레이아웃은 도 7에 제시되어 있으며, 입력 및 출력 패드를 제외한 DAC의 면적은 0.11[mm²]이다.

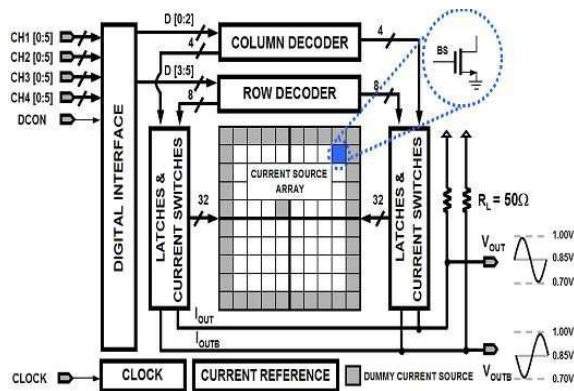
[0053] 아울러 본 발명에 의한 DAC의 성능은 저항 값 허용차와 저항온도계수 특성이 정밀하고 전류 노이즈 특성 및 고주파 특성이 우수한 박막형 칩 저항 중에서 51[Ω] 부하 저항을 구동하는 조건에서 측정하였으며, 측정된 DNL 및 INL은 도 8에 제시된 바와 같이 각각 최대 0.18[LSB], 0.11[LSB] 수준이다. 본 발명에 의한 DAC는 1.0[V]의

전원 전압과 1.4[GS/s]의 동작 속도에서 11.9[mW]의 전력을 소모한다.

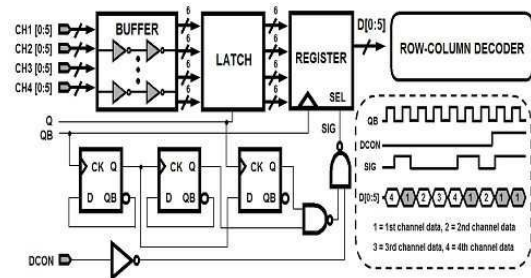
- [0054] 도 9는 5[MHz] 출력 주파수 및 1.4[GS/s] 동작 속도에서 측정된 본 발명에 의한 DAC의 아날로그 출력 신호의 스펙트럼을 제시한 도면으로, SFDR은 최대 40.8[dB]이다.
- [0055] 도 10은 본 발명에 의한 DAC의 동적 성능을 제시한 도면으로, 도 10은 DAC의 동작 속도(sampling frequency)를 200[MS/s]에서 1.4[GS/s]까지 증가시키는 경우에 5[MHz]의 출력 주파수에서의 SFDR를 나타낸 것이다.
- [0056] 도 10을 참조하면 동작 속도에 관계없이 SFDR이 거의 일정하게 유지함을 관찰할 수 있으며, 이는 본 발명에 의한 DAC의 안정적인 동작을 의미하는 것이다.
- [0057] 이제까지 본 발명에 대하여 그 바람직한 실시 예를 중심으로 살펴보았다. 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자는 본 발명이 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 변형된 형태로 구현될 수 있음을 이해할 수 있을 것이다.
- [0058] 그러므로 개시된 실시 예들은 한정적인 관점이 아니라 설명적인 관점에서 고려되어야 한다. 본 발명의 범위는 전술한 설명이 아니라 특허청구범위에 나타나 있으며, 그와 균등한 범위 내에 있는 모든 차이점은 본 발명에 포함된 것으로 해석되어야 할 것이다.

도면

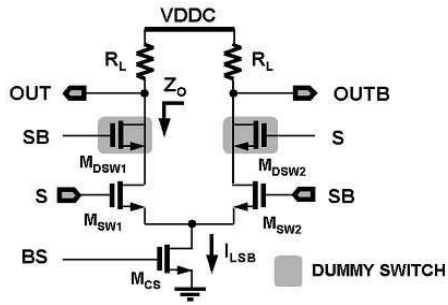
도면1



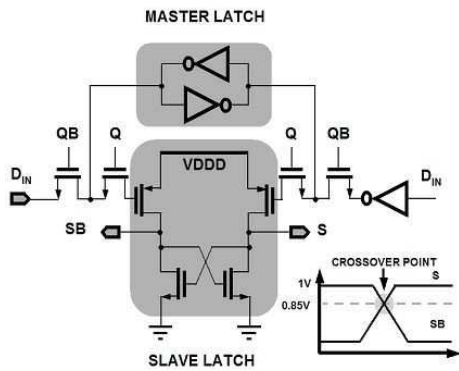
도면2



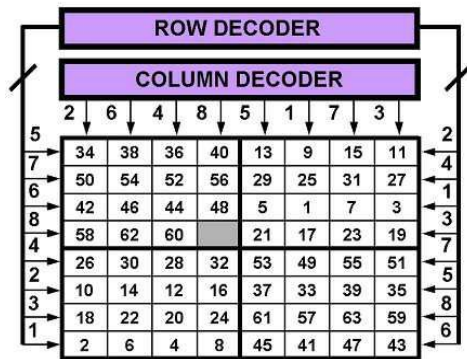
도면3



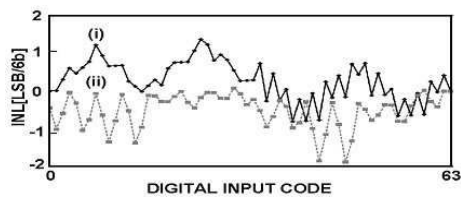
도면4



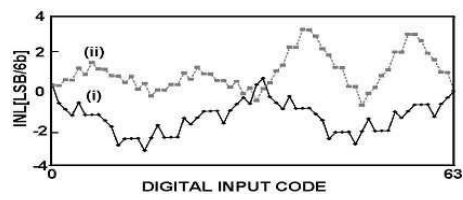
도면5



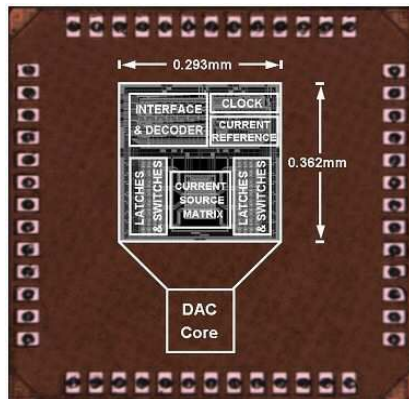
도면6a



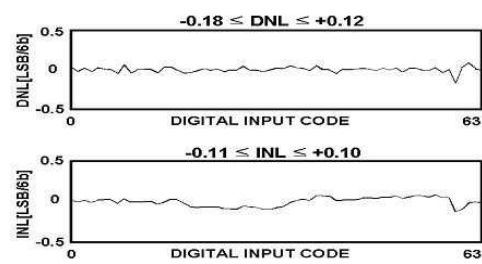
도면6b



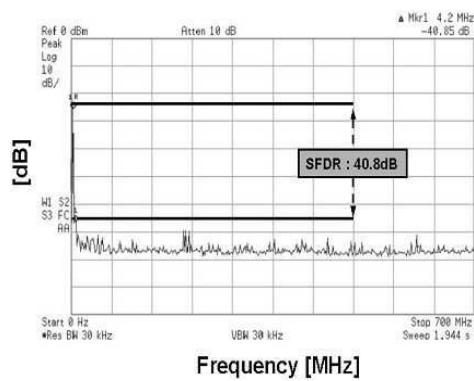
도면7



도면8



도면9



도면10

