

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 7 部門第 2 区分
 【発行日】平成 22 年 4 月 30 日 (2010.4.30)

【公表番号】特表 2009-528701 (P2009-528701A)
 【公表日】平成 21 年 8 月 6 日 (2009.8.6)
 【年通号数】公開・登録公報 2009-031
 【出願番号】特願 2008-557387 (P2008-557387)
 【国際特許分類】

H 0 1 L 29/78 (2006.01)

H 0 1 L 21/8242 (2006.01)

H 0 1 L 27/108 (2006.01)

【F I】

H 0 1 L 29/78 3 0 1 V

H 0 1 L 27/10 6 7 1 B

H 0 1 L 27/10 6 8 1 F

【手続補正書】
 【提出日】平成 22 年 2 月 26 日 (2010.2.26)
 【手続補正 1】
 【補正対象書類名】特許請求の範囲
 【補正対象項目名】全文
 【補正方法】変更
 【補正の内容】
 【特許請求の範囲】
 【請求項 1】

アレイ部分および論理部分を有する、半導体基板と、

前記基板の前記アレイ部分内に形成される第一の U 型トランジスタであって、前記第一の U 型トランジスタは、第一のピラーの頂部に配置される第一のソース/ドレイン領域、第二のピラーの頂部に配置される第二のソース/ドレイン領域、および前記第一のソース/ドレイン領域と前記第二のソース/ドレイン領域に接続する U 型チャンネルを含み、ここで、前記 U 型チャンネルは前記半導体基板に接触し、前記第一のソース/ドレイン領域と前記第二のソース/ドレイン領域はシャロウトレンチによって分離される、第一の U 型トランジスタと、

前記基板の前記アレイ部分に形成される第二の U 型トランジスタであって、前記シャロウトレンチにほぼ平行であるディープトレンチによって、前記第一の U 型トランジスタから分離される第二の U 型トランジスタと、

前記ディープトレンチおよび前記シャロウトレンチと交差する中間の深さのトレンチであって、前記第一と第二の U 型トランジスタに隣接して形成される、中間の深さのトレンチと、

前記基板の前記論理部分上に形成される少なくとも一つのトランジスタ素子であって、前記トランジスタ素子はゲート誘電体層および論理ゲート材料を含み、ここで、前記ゲート誘電体層は、前記第一のソース/ドレイン領域と前記第二のソース/ドレイン領域を基準としてせり上げられる、トランジスタ素子と、
 を含む、装置。

【請求項 2】

前記少なくとも一つのトランジスタ素子はプレーナ型トランジスタである、請求項 1 の装置。

【請求項 3】

前記ディープトレンチおよび前記シャロウトレンチは、酸化物材料によって充填される

、請求項 1 の装置。

【請求項 4】

前記少なくとも一つのトランジスタ素子の垂直方向の側壁に隣接して形成されるスペーサをさらに含み、前記スペーサはチッ化物材料を含む、請求項 1 の装置。

【請求項 5】

前記スペーサは前記第一のピラーの幅の半分以上の幅を持つ、請求項 4 の装置。

【請求項 6】

前記第一と第二の U 型トランジスタに隣接して形成される細長いスペーサをさらに含み、前記細長いスペーサは、前記中間の深さのトレンチ内に形成されるとともに導電性ゲート材料を含む、請求項 1 の装置。

【請求項 7】

前記論理ゲート材料は多結晶シリコン材料を含む、請求項 1 の装置。

【請求項 8】

前記論理ゲート材料は、さらにケイ化タングステンおよびケイ化チタンからなるグループから選択される材料を含む、請求項 7 の方法。

【請求項 9】

前記第一のソース/ドレイン領域上に形成されるキャパシタと、

前記第二のソース/ドレイン領域上に形成される絶縁されたビット線と、
をさらに含み、請求項 1 の装置。

【請求項 10】

複数のシャロウトレンチおよび複数のディープトレンチを、基板アレイ領域内にパターニングするステップと、

フォトリソグラフィーマスクを、前記基板アレイ領域の一部および基板論理領域の一部を覆って堆積するステップと、

複数の中間の深さのトレンチを、前記基板アレイ領域内にパターニングするステップであって、前記中間の深さのトレンチは、前記シャロウトレンチおよび前記ディープトレンチと交差し、前記中間の深さのトレンチ、前記シャロウトレンチ、および前記ディープトレンチは、複数の U 型トランジスタ構造物を前記基板アレイ領域内に画定する、ステップと、

前記複数の中間の深さのトレンチを画定するために、前記フォトリソグラフィーマスクを使用するステップと、

複数のプレーナ型トランジスタ構造物を、前記基板論理領域内にパターニングするステップであって、前記複数のプレーナ型トランジスタ構造物は、前記フォトリソグラフィーマスクによって画定される、ステップと、
を含む、方法。

【請求項 11】

前記シャロウトレンチの少なくとも一つが、二つのディープトレンチの間に配置され、
前記複数のシャロウトレンチと前記複数のディープトレンチは互いに平行である、
請求項 10 の方法。

【請求項 12】

前記複数の中間の深さのトレンチをパターニングした後に、前記基板アレイ領域および前記基板論理領域上に絶縁性材料を堆積するステップと、

前記論理領域内の前記プレーナ型トランジスタ構造物を露出するために、前記絶縁性材料を平坦化するステップと、

前記基板上に金属層を堆積するステップであって、前記金属層は前記複数の露出されたプレーナ型トランジスタ構造物と接触しているステップと、

前記金属を、前記露出されたプレーナ型トランジスタ構造物と反応させるステップと、
をさらに含み、請求項 10 の方法。

【請求項 13】

前記金属層はチタンを含み、前記ケイ化物領域はケイ化チタンを含む、請求項 12 の方

法。

【請求項 1 4】

前記フォトリソグラフィーマスクを使用するステップが、

前記基板アレイ領域と前記基板論理領域上に導電性材料の層を堆積するステップと、

前記基板アレイ領域上の複数のギャップによって分離される複数のラインを画定し、
ならびに、前記基板論理領域上の複数のプレーナ型トランジスタ構造物を画定するために、
導電性材料の層をエッチングするステップと、

ハードマスクを画定する充填されたギャップを形成するために、前記基板アレイ領域
上の前記複数のラインに沿って材料のブランケット層を堆積するステップと、

前記基板論理領域をマスクするステップと、

前記複数のラインを前記基板アレイ領域から除去し、それにより複数のラインが除去
されたところから、複数の露出した領域を形成するステップと、

前記ハードマスクによって覆われる、前記複数の露出した領域内の前記中間のトレン
チをエッチングするステップと、

を含む、

請求項 1 0 の方法。

【請求項 1 5】

前記ブランケット層を堆積するステップが、前記複数のプレーナ型トランジスタ構造物
を覆ってブランケット層を堆積するステップを含み、

前記複数のプレーナ型トランジスタ構造物に隣接する複数の側壁スペーサを形成するた
めに、前記ハードマスク層を画定すると同時に、前記基板論理領域内の前記複数のプレー
ナ型トランジスタ構造物上から前記ブランケット層を方向性エッチングするステップと、
をさらに含む、

請求項 1 4 の方法。

【請求項 1 6】

前記複数のプレーナ型トランジスタ構造物は、ゲート誘電体上にシリコンを備えるゲー
トスタックを含む、請求項 1 0 の方法。

【請求項 1 7】

前記ゲートスタックは、ケイ化タングステンおよびケイ化チタンからなるグループから
選択される材料を含むケイ化物材料ストラップ領域からなる、請求項 1 6 の方法。

【請求項 1 8】

複数の細長い導電性側壁スペーサを、前記中間の深さのトレンチ内に形成するステップ
をさらに含む、請求項 1 0 の方法。

【請求項 1 9】

前記複数の U 型トランジスタ構造物は、ソース領域、ドレイン領域、および前記ソース
領域と前記ドレイン領域に接続するチャンネルを含み、前記チャンネルは前記基板に接触して
おり、前記ソース領域および前記ドレイン領域は、前記複数の U 型トランジスタの第一お
よび第二のピラーの頂上にそれぞれ形成される、請求項 1 0 の方法。