(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2023-0168910
(43) 공개일자 2023년12월15일

(51) 국제특허분류(Int. Cl.)
H01L 21/66 (2006.01) *G01L 5/00* (2020.01)
H01L 21/768 (2006.01)
(52) CPC특허분류
H01L 22/10 (2013.01)
G01L 5/0047 (2013.01)
(21) 출원번호 10-2022-0069787
(22) 출원일자 2022년06월08일
심사청구일자 없음

(71) 출원인
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
울산과학기술원
울산광역시 울주군 언양읍 유니스트길 50
(72) 발명자
김주영
울산광역시 울주군 언양읍 유니스트길 50 102동 707호
박수정
경기도 수원시 영통구 삼성로 129
(뒷면에 계속)
(74) 대리인
특허법인 고려

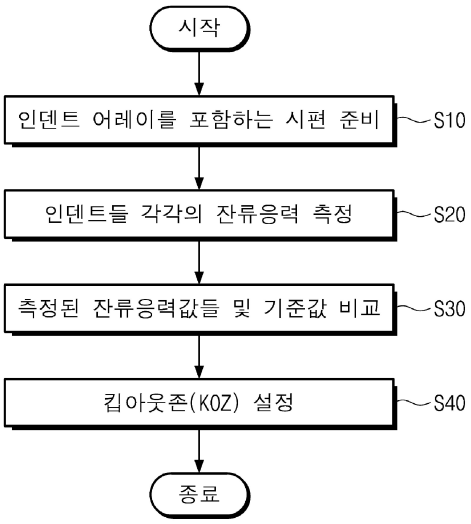
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 **TSV 주변 잔류 응력 측정 방법**

(57) 요 약

본 발명은 TSV 주변 잔류 응력 측정 방법에 관한 것으로, 더욱 상세하게 관통 실리콘 비아(TSV, Through Silicon Via) 및 인덴트 어레이를 포함하는 시편을 준비하는 것; 상기 인덴트 어레이에 제공되는 복수 개의 인덴트들 각각의 잔류응력값을 측정하는 것; 상기 인덴트들 각각의 상기 잔류응력값을 기준값과 비교하는 것; 및 상기 인덴트들 중 상기 기준값 이하의 상기 잔류응력값을 갖는 타겟 인덴트와 상기 관통 실리콘 비아 사이의 거리를 측정하여 킵아웃존(Keep-out Zone)을 설정하는 것을 포함할 수 있다.

대 표 도 - 도1



(52) CPC특허분류
H01L 21/76898 (2013.01)
H01L 22/20 (2013.01)
H01L 22/30 (2013.01)
(72) 발명자
문광진
경기도 수원시 영통구 삼성로 129
서주빈
경기도 수원시 영통구 삼성로 129
김시훈
울산광역시 울주군 언양읍 유니스트길 50 102동 707호
김태우
울산광역시 울주군 언양읍 유니스트길 50 102동 707호
김한글
울산광역시 울주군 언양읍 유니스트길 50 102동 707호

명 세 서

청구범위

청구항 1

관통 실리콘 비아(TSV, Through Silicon Via) 및 인덴트 어레이를 포함하는 시편을 준비하는 것;

상기 인덴트 어레이에 제공되는 복수 개의 인덴트들 각각의 잔류응력값을 측정하는 것;

상기 인덴트들 각각의 상기 잔류응력값을 기준값과 비교하는 것; 및

상기 인덴트들 중 상기 기준값 이하의 상기 잔류응력값을 갖는 타겟 인덴트와 상기 관통 실리콘 비아 사이의 거리를 측정하여 킵아웃존(Keep-out Zone)을 설정하는 것을 포함하는, 관통 실리콘 비아의 주변의 잔류응력 측정방법.

청구항 2

제1항에 있어서,

상기 시편을 준비하는 것은, 기판, 절연막들, 금속 배선 패턴들 및 시편 보호막을 적층하는 것을 포함하는 잔류응력 측정방법.

청구항 3

제1항에 있어서,

상기 시편을 준비하는 것은, 기판, 절연막들, 금속 배선 패턴들 및 시편 보호막을 적층하는 것을 포함하는 잔류응력 측정방법.

청구항 4

제1항에 있어서,

상기 인덴트 어레이는 매트릭스 형태로 배열되는 인덴트들을 포함하고,

상기 인덴트들 사이 간격은 0㎛ 초과 및 4㎛ 이하인 잔류응력 측정방법.

청구항 5

제1항에 있어서,

상기 관통 실리콘 비아는 구리(Cu)를 포함하는 잔류응력 측정방법.

청구항 6

제1항에 있어서,

상기 잔류응력을 측정하는 것은, 나노 인덴터(Nano indenter)를 이용하여 나노인덴테이션(Nano-indentation) 기술을 이용하는 잔류응력 측정방법.

청구항 7

제1항에 있어서,

상기 잔류응력을 측정하는 것은, 상기 인덴트들 중 상기 관통 실리콘 비아에 가장 인접한 인덴트부터 순차적으로 측정하는 것을 포함하는 잔류응력 측정방법.

청구항 8

제1항에 있어서,

상기 기준값은 322 MPa 내지 652 MPa인 잔류응력 측정방법.

청구항 9

제1항에 있어서,

상기 킵아웃존을 설정하는 것은,

상기 기준값 이하의 제1 잔류응력값을 갖는 제1 타겟 인덴트와 상기 관통 실리콘 비아 사이의 거리인 제1 간격, 및 상기 기준값 이하의 제2 잔류응력값을 갖는 제2 타겟 인덴트와 상기 관통 실리콘 비아 사이의 거리인 제2 간격을 비교하는 것; 및

상기 제1 및 제2 간격들 중 더 큰 값을 선택하는 것을 포함하는 잔류응력 측정방법.

청구항 10

제9항에 있어서,

상기 킵아웃존의 반지름은 상기 제1 및 제2 간격들 중 더 큰 값이고,

상기 킵아웃존은 원형 영역인 잔류응력 측정방법.

발명의 설명

기 술 분 야

[0001] 본 발명은 TSV 주변 잔류 응력 측정 방법에 관한 것으로, 더욱 상세하게는 Cu TSV(Through Silicon Via) 주변 잔류 응력(residual stress)을 측정하여 킵아웃존(Keep-Out Zone)을 설정하는 잔류 응력 측정 방법에 관한 것이다.

배 경 기 술

[0002] 반도체 패키지는 반도체 소자를 포함하는 반도체 칩을 전자제품에 사용하기 적합한 형태로 구현한 것이다. 전자 산업의 발달에 따라 전자 기기의 소형화, 경량화, 및 다기능화가 요구되고 있고, 이에 따라, 하나의 반도체 패키지 안에 복수의 칩들이 적층된 멀티 칩 패키지(Multi-Chip Package), 또는 하나의 반도체 패키지 안에 이종 칩들이 실장되어 하나의 시스템으로 동작하는 시스템 인 패키지(System-In Package) 등이 제시되고 있다.

[0003] 반도체 소자는 본딩 와이어(bonding wire)를 대신하여 관통 실리콘 비아를 통해 다른 반도체 소자 내지 인쇄회로기판과 전기적으로 연결될 수 있다. 관통 실리콘 비아는 3차원 실장에 사용될 수 있고, 기존의 솔더볼이나 솔더 범프에 비해 빠른 전송 속도를 구현할 수 있다. 반도체 소자에서 관통 실리콘 비아를 이루는 도전 물질(예를 들어, 구리(Cu))과 관통 실리콘 비아 주변 구조를 이루는 구성 물질(예를 들어, 실리콘옥사이드(SiOx))이 다를 수 있다. 이러한 물질이 상이함에 따라 열 팽창 계수(CTE, Coefficient Thermal Expansion)가 다를 수 있으며, 후속 공정에 공정 온도에 의해 관통 실리콘 비아의 도전 물질이 변형되어 돌출(protrusion)되는 현상이 발생할 수 있다. 돌출 현상으로 인해 반도체 패키지를 이루는 주요 구조들이 붕괴(fracture)되는 현상이 연쇄적으로 발생할 수 있다. 반도체 소자에 포함된 재료들의 기계적 성질(예를 들어, 잔류 응력)을 측정하여 상기 돌출 및 붕괴 현상의 발생 여부를 예측할 수 있다.

[0004] 재료의 기계적 성질에 대한 분석 기법의 하나인 인덴테이션(indentation)법은 여러 가지 형상의 다이아몬드 압입자(diamond indenter)를 재료에 압입한 후 그 압입자국과 압입 시의 하중을 비교, 분석하는 실험법이다. 이러한 인덴테이션 테스트는 재료의 파괴인성(fracture toughness)이나 경도(hardness)의 측정기법일 뿐만 아니라, 재료의 탄소성 거동, 잔류 응력 상태의 해석, 박막의 파괴특성 등에 대한 연구기법으로도 활용되고 있다.

발명의 내용

해결하려는 과제

[0005] 본 발명이 해결하고자 하는 과제는 절연층을 포함한 복합적인 구조를 갖는 소자의 잔류 응력을 측정하는 방법을 제공하는 데 있다.

[0006] 본 발명이 해결하고자 하는 과제는 소자를 이루는 재료의 결정성에 관계없이 잔류 응력을 측정하는 방법을 제공하는 데 있다.

[0007] 본 발명이 해결하고자 하는 과제는 잔류 응력을 측정하여 TSV 주변 잔류 응력의 영향을 받지 않는 킵아웃존을 설정하는 방법을 제공하는 데 있다.

과제의 해결 수단

[0008] 본 발명의 개념에 따른 잔류 응력 측정 방법은, 관통 실리콘 비아(TSV, Through Silicon Via) 및 인덴트 어레이를 포함하는 시편을 준비하는 것; 상기 인덴트 어레이에 제공되는 복수 개의 인덴트들 각각의 잔류응력값을 측정하는 것; 상기 인덴트들 각각의 상기 잔류응력값을 기준값과 비교하는 것; 및 상기 인덴트들 중 상기 기준값 이하의 상기 잔류응력값을 갖는 타겟 인덴트와 상기 관통 실리콘 비아 사이의 거리를 측정하여 킵아웃존(Keep-out Zone)을 설정하는 것을 포함할 수 있다.

발명의 효과

[0009] 본 발명은 결정성이 있는 재료뿐만 아니라 비정질 물질이 포함된 복잡한 구조를 갖는 소자의 잔류 응력을 측정할 수 있다. 이에 따라 잔류 응력 측정 방법의 신뢰성 및 정확성을 향상시킬 수 있다.

[0010] 본 발명은 나노 인덴테이션 기술을 이용하여 복잡한 반도체 소자 또는 반도체 장치의 잔류응력을 측정할 수 있다. 잔류 응력을 측정하여 반도체 소자 또는 반도체 장치에 킵아웃존을 설정함에 따라 구조의 붕괴를 방지할 수 있다. 이로써 본 측정 방법을 활용하여 반도체 메모리 소자의 신뢰성 및 수율 확보를 할 수 있다.

도면의 간단한 설명

[0011] 도 1은 본 발명의 실시예에 따른 잔류 응력 측정 방법을 설명하기 위한 순서도이다.

도 2a는 본 발명의 실시예에 따른 시편의 평면도이며, 도 2b는 도 2a의 시편에서 A-A'선에 따른 단면도이다.

도 3a는 본 발명의 실시예에 따른 시편의 잔류 응력을 측정하는 과정의 평면도이며, 도 3b는 도 3a의 A-A'선에 따른 단면도이다.

도 4는 본 발명의 실시예들에 따른 정보 처리 시스템 및 킵아웃존 설정 시스템을 도시한 블록도이다.

도 5는 본 발명의 실시예에 따른 나노 인덴테이션 기술을 이용하여 잔류 응력을 측정하는 원리를 설명하기 위한 그래프이다.

도 6a 내지 도 6c는 도 5의 측정 원리를 설명하기 위한 단면도들이며, 도 7은 TSV 주변의 붕괴 현상을 설명하기 위한 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0012] 이하, 도면들을 참조하여, 본 발명의 실시예들에 따른 TSV 주변 잔류 응력 측정 방법에 대해 상세히 설명하기로 한다.

[0013] 도 1은 본 발명의 실시예에 따른 잔류 응력 측정 방법을 설명하기 위한 순서도이다. 도 2a는 본 발명의 실시예에 따른 시편의 평면도이며, 도 2b는 도 2a의 시편에서 A-A'선에 따른 단면도이다. 도 3a는 본 발명의 실시예에 따른 시편의 잔류 응력을 측정하는 과정의 평면도이며, 도 3b는 도 3a의 A-A'선에 따른 단면도이다. 도 4는 본 발명의 실시예들에 따른 잔류 응력 측정 방법을 이용하여 킵아웃존 설정 시스템을 도시한 블록도이다.

[0014] 도 1을 참조하면, 본 발명의 관통 실리콘 비아(TSV, Through Silicon Via)의 주변의 잔류 응력 측정 방법은 인덴트 어레이를 포함하는 시편을 준비하는 것(S10), 인덴트들 각각의 잔류 응력을 측정하는 것(S20), 잔류 응력값을 기준값과 비교하는 것(S30), 및 킵아웃존(Keep-out Zone)을 설정하는 것(S40)을 포함할 수 있다.

[0015] 도 1, 도 2a 및 도 2b를 참조하면, 인덴트 어레이를 포함하는 시편을 준비하는 것(S10)은 관통 실리콘 비아(Through Silicon Via, TSV) 및 인덴트 어레이(IT)를 포함하는 시편(100)을 준비하는 것일 수 있다. 시편(100)은 기판(110), 제1 층간 절연막(120), 배선막(130), 제2 층간 절연막(140), 시편 보호막(150), 관통 실리콘 비아(TSV) 및 인덴트 어레이(IT)를 포함할 수 있다. 시편(100)은 사각형 판(plate) 형태일 수 있다. 다른 실시예에 의하면, 시편(100)은 원형 판 형태일 수 있다. 시편(100)의 형태는 본 명세서에 도시된 형태에 제한되지

않는다.

[0016] 기판(110), 제1 층간 절연막(120), 배선막(130), 제2 층간 절연막(140) 및 시편 보호막(150)은 차례로 적층될 수 있다. 관통 실리콘 비아(TSV)는 차례로 적층된 상기 막들을 수직 방향으로 관통할 수 있다. 관통 실리콘 비아(TSV)의 하면은 기판(110)의 하면보다 높게 형성될 수 있다. 즉, 관통 실리콘 비아(TSV)는 차례로 적층된 기판(110), 제1 층간 절연막(120), 배선막(130), 제2 층간 절연막(140) 및 시편 보호막(150)에 매립된 형태로 제공될 수 있다. 다른 실시예에 의하면, 시편(100)은 반도체 소자의 구조 또는 반도체 장치의 구조에 대응되도록 형성될 수 있다. 예를 들어, 반도체 소자 또는 반도체 장치는 DRAM, SRAM, MRAM 또는 플래시 메모리일 수 있지만, 이에 제한되는 것은 아니다.

[0017] 기판(110)은 반도체 기판, 패키지 기판 또는 칩(chip)들이 형성되는 웨이퍼(wafer)일 수 있다. 반도체 기판은 실리콘 기판, 게르마늄 기판 또는 실리콘-게르마늄 기판일 수 있다. 패키지 기판은 인쇄회로 기판일 수 있다. 칩은 반도체 기억 소자, 논리 소자 또는 다양한 기능을 수행하는 시스템 온 칩(System On Chip, SOC)과 같은 반도체 칩일 수 있다. 칩은 인터포저(interposer)일 수 있다.

[0018] 제1 층간 절연막(120)은 기판(110) 상에 제공되어 기판(110)을 덮을 수 있다. 제1 층간 절연막(120)은 일 예로, 실리콘 산화막, 실리콘 질화막, 실리콘 산질화막, 고분자 절연막 또는 저유전막들 중 적어도 하나를 포함할 수 있다. 제1 층간 절연막(120)은 화학기상증착 공정으로 형성된 CVD(chemical vapor deposition) 절연막을 포함할 수 있다. 제1 층간 절연막(120)은 PE-CVD(plasma enhanced-CVD) 절연막을 포함할 수 있다. 제1 층간 절연막(120)은 단일층 또는 다층으로 제공될 수 있다.

[0019] 배선막(130)은 제1 층간 절연막(120) 상에 제공될 수 있다. 배선막(130)은 금속 배선 패턴들 및 몰드막을 포함할 수 있다. 즉, 몰드막은 금속 배선 패턴들을 덮을 수 있다. 금속 배선 패턴들은 관통 비아 전극(210)을 기판(110)의 칩에 전기적으로 접속시킬 수 있다. 금속 배선 패턴들은 도전 물질을 포함할 수 있다. 금속 배선 패턴들은 금속 물질을 포함할 수 있다. 예를 들어, 금속 배선 패턴들은 알루미늄, 구리, 텅스텐, 몰리브데늄 및 코발트 중 적어도 하나를 포함할 수 있다. 배선막(130)은 단일층 또는 다층으로 제공될 수 있다.

[0020] 제2 층간 절연막(140)은 배선막(130) 상에 제공되어 배선막(130)을 덮을 수 있다. 제2 층간 절연막(140)은 일 예로, 실리콘 산화막, 실리콘 질화막, 실리콘 산질화막, 고분자 절연막 또는 저유전막들 중 적어도 하나를 포함할 수 있다. 제2 층간 절연막(140)은 화학기상증착 공정으로 형성된 CVD(chemical vapor deposition) 절연막을 포함할 수 있다. 제2 층간 절연막(140)은 PE-CVD(plasma enhanced-CVD) 절연막을 포함할 수 있다. 제2 층간 절연막(140)은 단일층 또는 다층으로 제공될 수 있다.

[0021] 시편 보호막(150)은 제2 층간 절연막(140) 상에 제공되어 제2 층간 절연막(140)을 덮을 수 있다. 시편 보호막(150)은 실리콘 산화막, 실리콘 질화막, 실리콘 산질화막, 고분자 절연막 또는 저유전막들 중 적어도 하나를 포함할 수 있다. 시편 보호막(150)은 화학기상증착 공정으로 형성된 CVD(chemical vapor deposition) 절연막을 포함할 수 있다. 시편 보호막(150)은 PE-CVD(plasma enhanced-CVD) 절연막을 포함할 수 있다. 시편 보호막(150)은 절연막일 수 있으며, 상기 절연막은 결정질 또는 비정질일 수 있다.

[0022] 도 2a 및 도 2b를 다시 참조하면, 시편 보호막(150)은 인덴트 어레이(IT)를 포함할 수 있다. 인덴트 어레이(IT)는 복수 개의 인덴트들(ID1-ID4)을 포함할 수 있다. 인덴트 어레이(IT)는 관통 실리콘 비아(TSV) 주변에 매트릭스 형태로 제공될 수 있다. 예를 들어, 인덴트 어레이(IT)는 (4 x 7) 배열을 갖는 매트리스 형태일 수 있다. 즉, 인덴트 어레이(IT)는 제1 방향(D1)으로 이격된 4개의 인덴트들(ID1-ID4)이 한 열(row)을 이루고, 제2 방향(D2)으로 이격된 7개의 열들이 배치되는 매트리스 형태일 수 있다.

[0023] 인덴트들(ID1-ID4)은 시편(100)의 잔류 응력을 측정하기 위한 측정 포인트들일 수 있다. 나노 인덴터(NIT)는 인덴트들(ID1-ID4)과 접촉하여 인덴트들(ID1-ID4) 각각의 잔류 응력을 측정할 수 있다. 도 2a를 참조하면, 인덴트들(ID1, ID2)은 점(point)의 형태로 제공될 수 있다. 인접한 인덴트들(IDS) 사이 간격은 0㎛ 초과 및 4㎛ 이하일 수 있다.

[0024] 관통 실리콘 비아(TSV)는 관통 비아 전극(210) 및 비아 절연막(220)을 포함할 수 있다. 관통 실리콘 비아(TSV)는 비아 퍼스트 구조(via-first structure), 비아 미들 구조(via-middle structure) 또는 비아 라스트 구조(via-last structure)를 포함할 수 있다. 관통 실리콘 비아(TSV)는 시편(100) 내에 형성된 비아 홀(230) 내에 배치될 수 있다. 비아 홀(230)은 이방성 식각 공정을 수행하여 형성될 수 있다. 관통 비아 전극(210)은 도전 물질을 포함할 수 있다. 관통 비아 전극(210)은 구리(Cu), 코발트(Co), 루테늄(Ru), 몰리브덴(Mo) 및 텅스텐(W) 중 적어도 하나를 포함할 수 있다. 비아 절연막(220)이 관통 비아 전극(210) 및 비아 홀(230) 내면 사이에 배치

될 수 있다. 비아 절연막(220)은 일 예로, 실리콘 산화막을 포함할 수 있다.

[0025] 도 1, 도 3a 및 도 3b를 참조하면, 인덴트들 각각의 잔류 응력을 측정하는 것(S20)은 나노인덴터(NIT)를 이용하여 인덴트들(IDS) 각각의 잔류 응력을 측정하는 것일 수 있다. 잔류 응력은 외부 조건(예를 들어, 하중) 없이 재료에 존재하는 모든 응력으로 정의될 수 있다.

[0026] 나노인덴터(NIT)는 나노 인덴테이션(Nano-indentation) 기술을 이용하는 장비일 수 있다. 나노 인덴테이션(Nano-indentation) 기술은 소재 표면에 작은 압입하중을 인가하여 탄성계수(Elastic Modulus), 경도(Hardness), 크립(creep)과 같은 기계적 특성을 분석하는 기술로 정의될 수 있다. 압입하중은 인덴터(indenter)를 이용하여 인가될 수 있다.

[0027] 나노 인덴터(NIT)는 지지부(310) 및 측정팁(320)을 포함할 수 있다. 지지부(310)는 측정팁(320)을 지지할 수 있다. 지지부(310)는 인덴트 어레이(IT) 상에서 제1 방향(D1), 제2 방향(D2) 또는 제3 방향(D3)으로 이동할 수 있다. 측정팁(320)은 원뿔(conical) 형태일 수 있다. 다른 실시예에 의하면, 측정팁(320)은 삼각뿔(pyramid) 형태일 수 있다. 측정팁(320)의 형태는 본 명세서에 도시된 형태에 제한되지 않는다.

[0028] 나노인덴터(NIT)의 측정팁(320)은 인덴트들(ID1-ID4)과 접촉하여 인덴트들(ID1-ID4) 각각의 잔류 응력을 측정할 수 있다. 인덴트들(ID1-ID4) 각각과 접촉하는 측정팁(320)의 접촉부의 크기(size)는 인덴트들(IDS) 중 하나에 대응될 수 있다. 즉, 나노인덴터(NIT)는 관통 실리콘 비아(TSV)에 가장 인접한 인덴트부터 순차적으로 잔류 응력을 측정할 수 있다.

[0029] 도 5는 본 발명의 실시예에 따른 나노 인덴테이션 기술을 이용하여 잔류 응력을 측정하는 원리를 설명하기 위한 그래프이며, 도 6a 내지 도 6c는 도 5의 측정 원리를 설명하기 위한 단면도들이다.

[0030] 도 5를 참조하면, 그래프의 x축은 인덴테이션 깊이(Indentation Depth)로 정의될 수 있고, 그래프의 y축은 인덴테이션 포스(Indentation Force)로 정의될 수 있다. 인덴테이션 포스는 측정팁(320)을 통해 인덴트들(IDS) 각각에 가해지는 압입하중일 수 있다.

[0031] 도 5 및 도 6b를 참조하면, 기준 압입하중(FR)은 기준 스트레스 상태(Reference Stress State, RSS)에서 피측정 소재를 타겟 깊이(D_MAX)로 누르는 힘으로 정의될 수 있다. 기준 스트레스 상태(RSS)는 피측정 소재에 스트레스가 인가되지 않는 상태로 정의될 수 있다. 기준 스트레스 상태(RSS)의 기준 압입하중(FR)은 피측정 소재에 압축 응력(Compressive stress)이 가해지는 경우의 압입하중 및 피측정 소재에 인장 응력(Tensile Stress)이 가해지는 경우의 압입하중과 대비될 수 있다.

[0032] 도 5, 도 6a 및 도 6c를 참조하면, 제1 압입하중(F1)은 인장 응력 상태(Tensile Stress State, TSS)에서 피측정 소재를 타겟 깊이(D_MAX)로 누르는 힘으로 정의될 수 있다. 제2 압입하중(F2)은 압축 응력 상태(Compressive Stress State, CSS)에서 피측정 소재를 타겟 깊이(D_MAX)로 누르는 힘으로 정의될 수 있다. 이 경우, 제1 로딩 포스(FC1)는 기준 압입하중(FR)과 제1 압입하중(F1)의 차이로 정의될 수 있고, 제2 로딩 포스(FC2)는 제2 압입하중(F2)와 기준 압입하중(FR) 의 차이로 정의될 수 있다. 서로 다른 스트레스가 가해진 상태에서 피측정 소재를 타겟 깊이(D_MAX)로 누르기 위한 압입하중이 다를 수 있다. 이에 따라 제1 및 제2 로딩 포스들(FC1, FC2)이 시편(도 2a의 100)의 인덴트들(도 2a의 IDS)마다 다를 수 있다. 잔류 응력은 다음과 같은 수학식으로 계산될 수 있다.

수학식 1

[0033]

$$\underset{\text{Residual stress}}{\begin{bmatrix}\sigma_R & 0 & 0\\ 0 & \sigma_R & 0\\ 0 & 0 & 0\end{bmatrix}} = \underset{\text{Hydrostatic stress}}{\begin{bmatrix}\frac{2}{3}\sigma_R & 0 & 0\\ 0 & \frac{2}{3}\sigma_R & 0\\ 0 & 0 & \frac{2}{3}\sigma_R\end{bmatrix}} + \underset{\text{Deviatoric stress}}{\begin{bmatrix}\frac{1}{3}\sigma_R & 0 & 0\\ 0 & \frac{1}{3}\sigma_R & 0\\ 0 & 0 & -\frac{2}{3}\sigma_R\end{bmatrix}}$$

수학식 2

$$\sigma_R = \frac{3}{2}\frac{\Delta L}{A_c}$$

[0034]

[0035] 수학식 1 및 2에서 잔류응력(σ_R)은 ΔL에 비례하는 관계임을 알 수 있다. ΔL은 제1 및 제2 로딩 포스들(FC1, FC2)에 대응되는 값일 수 있다. 즉, 잔류응력(σ_R)은 나노인덴터(NIT)로 측정된 압입하중 값으로 계산될 수 있다. 측정팁(320)과 인덴트의 접촉 면적(Ac)은 후술하는 수학식 4의 접촉면적(A_p)에 대응될 수 있다.

[0036] 보다 구체적으로, 나노 인덴테이션 기술의 측정 원리는 다음과 같다. 나노 인덴테이션 기술을 통해 시편의 인덴테이션 모듈러스(modulus, E_{IT}) 및 경도(indentation hardness, H_{IT})는 강성(S), 접촉면적(projected contact area, A_p), 하중(P), 변형량(h) 등으로부터 산출될 수 있다.

[0037] 강성(Stiffness, S)은 최대 압입하중을 제거(unloading)할 때의 기울기 값으로부터 수학식 3과 같이 산출될 수 있다.

수학식 3

$$S = \frac{dP}{dh}$$

[0038]

[0039] 접촉면적(A_p)은 압입 깊이에 접촉 깊이(h_c)의 함수로 수학식 4와 같이 산출될 수 있다.

수학식 4

$$A_p = C_0 h_c^{\,2} + C_1 h_c + C_2 h_c^{\,1/2} + C_3 h_c^{\,1/4} + \cdots$$

[0040]

[0041] 접촉 깊이(h_c)는 총변형량(h)와 탄성변형량(h_s)의 차이로 수학식 5와 같이 표현될 수 있다. ε은 인덴터 선단 형상상수로, 평면 인덴터의 경우 1의 값을 가질 수 있고, 포물선 모양 또는 삼각뿔 모양의 경우 0.75의 값을 가질 수 있으며, 원뿔 모양의 경우 0.72의 값을 가질 수 있다.

수학식 5

$$h_c = h - h_s = h - \varepsilon\frac{p}{s}$$

[0042]

[0043] 경도(H_{IT})는 최대하중(P_{MAX})에 대한 접촉면적(A_p)의 비로 수학식 6와 같이 정의될 수 있다.

수학식 6

$$H_{IT} = \frac{P_{max}}{A_p}$$

[0044]

[0045] 또한 인덴테이션 모듈러스(E_{IT})는 수학식 7와 같이 정의 될 수 있다. 여기서 v 및 v_i는 각각 시편과 인덴터의 포아송비(Poission's ratio)를 나타낼 수 있다. 인덴테이션 환산 모듈러스(E^*_{IT})는 수학식 8로부터 계산될 수 있다.

수학식 7

$$\frac{1}{E^*_{IT}} = \frac{(1-v^2)}{E_{IT}} + \frac{(1-v_i^2)}{E_i}$$

[0046]

수학식 8

$$E^*_{IT} = \frac{\sqrt{\pi}}{2}\frac{S}{\sqrt{A_p}}$$

[0047]

[0048] 도 1 및 도 4를 참조하면, 잔류 응력값을 기준값과 비교하는 것(S30)은 인덴트들(IDS)의 잔류 응력값들을 기설정된 기준값과 각각 대비하여 크기를 비교하는 것이다. 잔류 응력값을 기준값과 비교하는 것(S30)은 본 발명의 실시예에 따른 정보 처리 시스템(400)을 이용하여 수행될 수 있다.

[0049] 도 4를 참조하면, 정보 처리 시스템(400)은 모바일 기기, 컴퓨터, 데이터 서버 또는 컨트롤러 등을 포함할 수 있다. 본 발명의 실시예에 의하면, 정보 처리 시스템(400)은 처리 시스템 버스(480)에 전기적으로 연결된 측정값 입력 모듈(410), 기준값 설정 모듈(420) 및 데이터 비교 모듈(430)을 포함할 수 있다. 데이터 비교 모듈(430)은 연산부(431) 및 출력부(432)를 포함할 수 있다.

[0050] 측정값 입력 모듈(410)은 나노인덴터(NIT)를 통해 측정된 인덴트들(IDS) 각각의 잔류 응력값을 데이터로 입력할 수 있다. 기준값 설정 모듈(420)은 비교 대상이 되는 기준값을 설정할 수 있다. 기준값은 마이크로 라만의 피크 시프트를 분석하여 얻은 값일 수 있다. 기준값은 반도체 소자를 구성하는 물질을 대상으로 하여 실제로 측정한 데이터일 수 있다. 반도체 소자를 구성하는 물질은 절연막일 수 있다. 일 예로, 절연막은 실리콘 옥사이드(SiOx)일 수 있다. 또한 반도체 소자를 구성하는 물질은 실리콘막일 수 있다. 일 예로, 실리콘막은 결정질 실리콘일 수 있다. 본 발명의 실시예에 따르면, 절연막에 대한 기준값은 322MPa 내지 652MPa일 수 있다. 실리콘막에 대한 기준값은 695MPa 내지 969MPa일 수 있다.

[0051] 데이터 비교 모듈(430)은 연산부(431) 및 출력부(432)를 포함할 수 있다. 연산부(431)는 입력된 잔류 응력 데이터와 기설정된 기준값을 비교할 수 있다. 입력된 잔류 응력 데이터가 기준값보다 큰 경우, 연산부(431)는 해당 데이터를 갖는 인덴트를 타겟 인덴트로 설정할 수 있다. 타겟 인덴트는 복수 개일 수 있다. 출력부(432)는 출력

장치를 포함할 수 있다. 출력부(432)는 타겟 인덴트의 시편(도 2a의 100)에서 좌표 또는 위치를 출력할 수 있다.

[0052] 도 1 및 도 4를 다시 참조하면, 킵아웃존(Keep-out Zone)을 설정하는 것은(S40)은 반도체 소자 또는 반도체 장치에 적용가능한 킵아웃존을 설정하는 것이다. 킵아웃존을 설정하는 것(S40)은 본 발명의 실시예에 따른 킵아웃존 설정 시스템(500)을 이용하여 수행될 수 있다. 정보 처리 시스템(400) 및 킵아웃존 설정 시스템(500)은 전기적으로 연결될 수 있다. 정보 처리 시스템(400) 및 킵아웃존 설정 시스템(500)은 상호 교환적으로 정보를 송신 및 수신할 수 있다.

[0053] 도 4를 참조하면, 킵아웃존 설정 시스템(500)은 모바일 기기, 컴퓨터, 데이터 서버 또는 컨트롤러 등을 포함할 수 있다. 본 발명의 실시예에 의하면, 킵아웃존 설정 시스템(500)은 시스템 버스(580)에 전기적으로 연결된 영역 설정 모듈(510) 및 응용 모듈(520)을 포함할 수 있다.

[0054] 영역 설정 모듈(510)은 타겟 인덴트의 좌표 또는 위치를 기반으로 킵아웃존 영역의 반지름을 설정할 수 있다. 영역 설정 모듈(510)은 타겟 인덴트들과 관통 실리콘 비아(TSV) 사이의 최단 거리를 계산할 수 있다. 영역 설정 모듈(510)은 계산된 최단 거리들을 기반으로 킵아웃존 영역의 반지름을 설정할 수 있다. 예를 들어, 제1 타겟 인덴트 및 관통 실리콘 비아(TSV) 사이의 최단 거리를 제1 간격이라 하고, 제2 타겟 인덴트 및 관통 실리콘 비아(TSV) 사이의 최단 거리를 제2 간격이라 한다. 이 경우, 제1 간격과 제2 간격을 비교하여 더 큰 값을 킵아웃존 영역의 반지름으로 설정할 수 있다. 킵아웃존 영역은 원형일 수 있다. 다만, 킵아웃존 영역의 형상은 이에 제한되지 않을 수 있다.

[0055] 응용 모듈(520)은 영역 설정 모듈(510)에서 설정된 킵아웃존 영역의 반지름 또는 크기를 기반으로 실제 반도체 소자 또는 반도체 장치에 킵아웃존(Keep-Out Zone)을 설정할 수 있다.

[0056] 도 7은 TSV 주변의 붕괴 현상을 설명하기 위한 단면도이다. 도 7을 참조하면, 반도체 소자 또는 반도체 장치를 제조하는 과정에서 관통 실리콘 비아의 돌출 현상(PT1, PT2)이 발생할 수 있다. 이는 관통 실리콘 비아의 도전물질(예를 들어, 구리(Cu))과 주변 구조를 이루는 물질의 열팽창 계수(Coefficient Thermal Expansion) 차이 때문일 수 있다. 즉, 관통 실리콘 비아가 형성되고 난 후, 후속 공정(예를 들어, 어닐링(Annealing))이 수행되는 온도에서 관통 실리콘 비아의 도전물질이 팽창할 수 있다. 이러한 팽창을 돌출 현상(PT1, PT2)이라고 한다. 돌출 현상(PT1, PT2)로 인해, 반도체 소자 또는 반도체 장치의 주변 구조가 붕괴되는 현상이 발생할 수 있다.

[0057] 킵아웃존(Keep-Out Zone)은 돌출 현상(PT1, PT2)의 영향을 받지 않는 영역으로 정의될 수 있다. 킵아웃존에는 반도체 소자 또는 반도체 장치의 주요 구조 및 중요한 요소들을 배치하지 않음으로써 관통 실리콘 비아의 돌출 현상(PT1, PT2)에 영향을 받지 않을 수 있다. 이로써 반도체 소자의 신뢰성 및 안전성을 확보할 수 있다.

[0058] 이상, 첨부된 도면을 참조하여 본 발명의 실시예들을 설명하였지만, 본 발명이 속하는 기술분야의 통상의 지식을 가진 자는 본 발명이 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

부호의 설명

[0059] TSV : 관통 실리콘 비아

100 : 시편

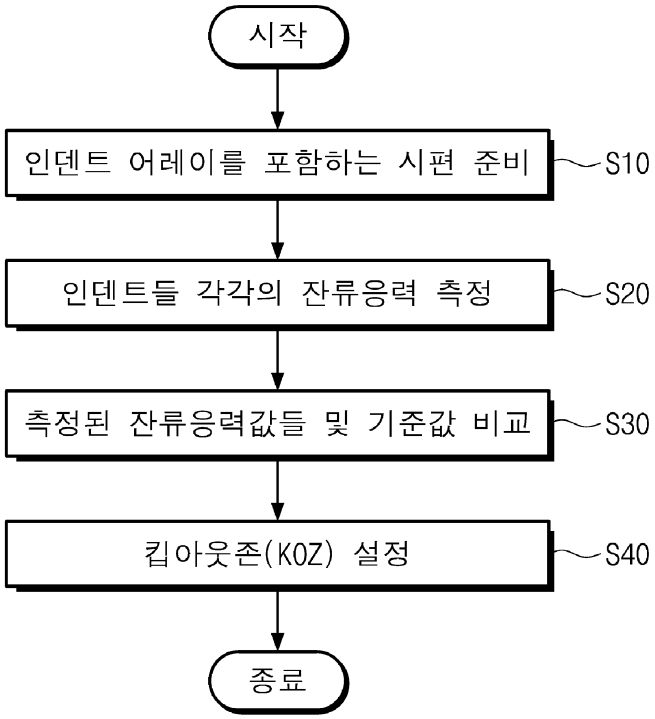
110 : 기판

IT : 인덴트 어레이

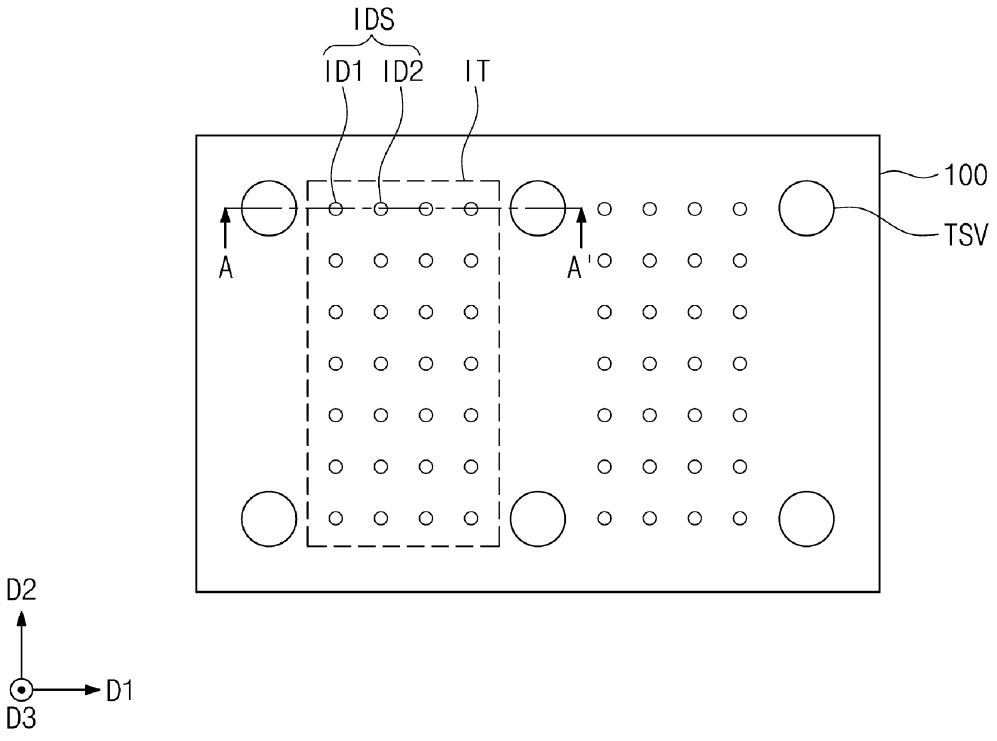
ID1-ID4 : 인덴트들

도면

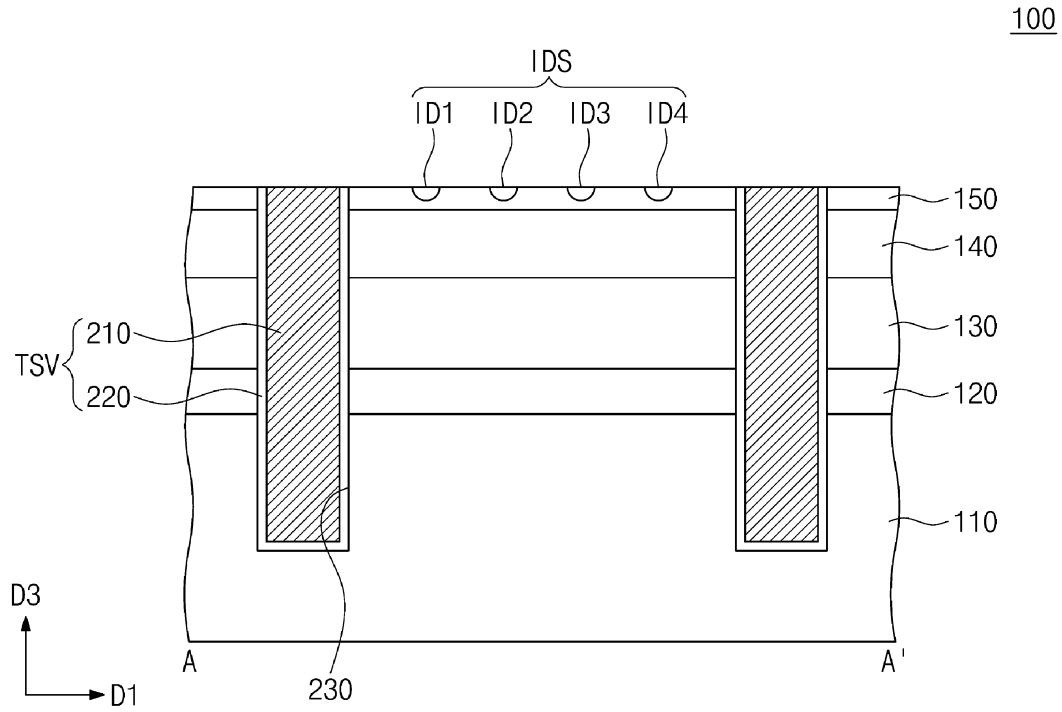
도면1


시작
인덴트 어레이를 포함하는 시편 준비
S10
인덴트들 각각의 잔류응력 측정
S20
측정된 잔류응력값들 및 기준값 비교
S30
킵아웃존(KOZ) 설정
S40
종료

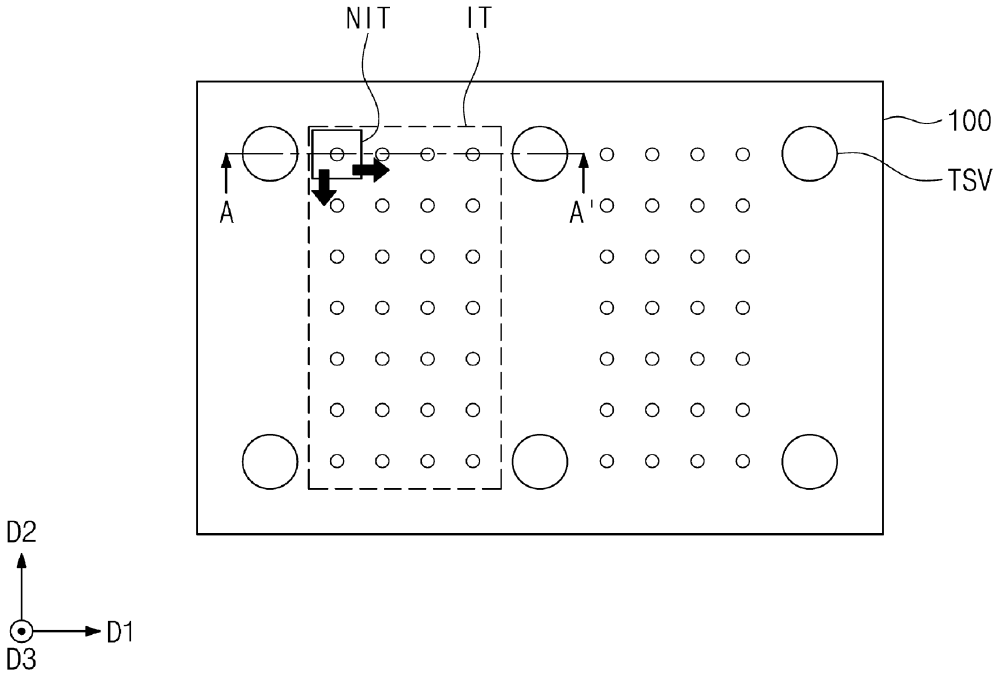
도면2a


IDS
ID1
ID2
IT
100
TSV
A
A'
D2
D1
D3

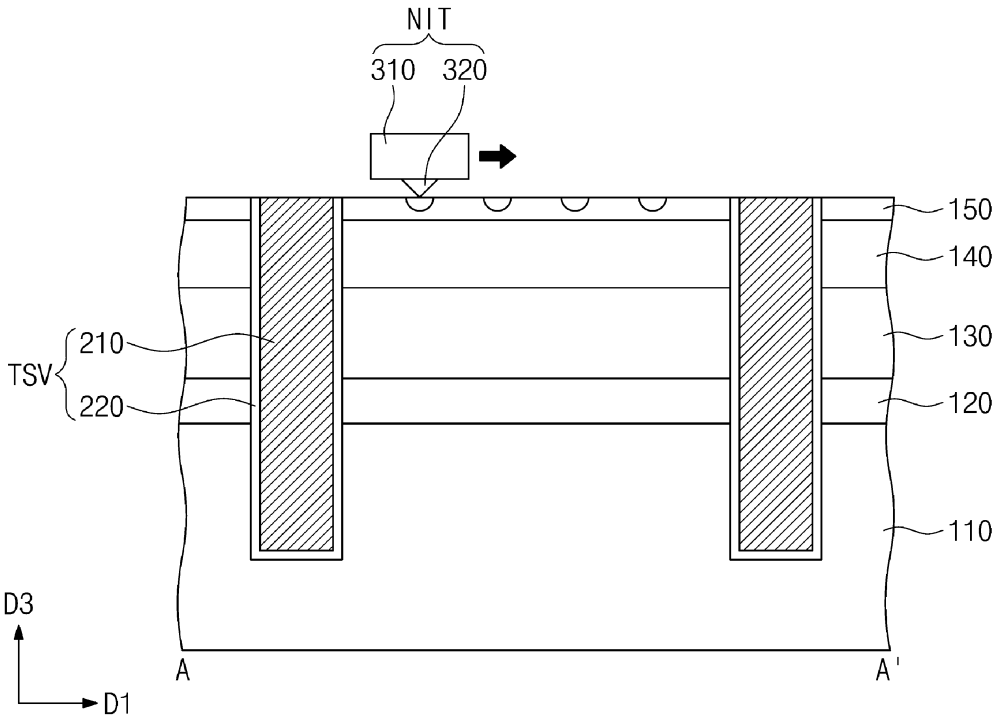
도면2b


100
IDS
ID1
ID2
ID3
ID4
150
140
130
120
110
TSV
210
220
230
A
A'
D3
D1

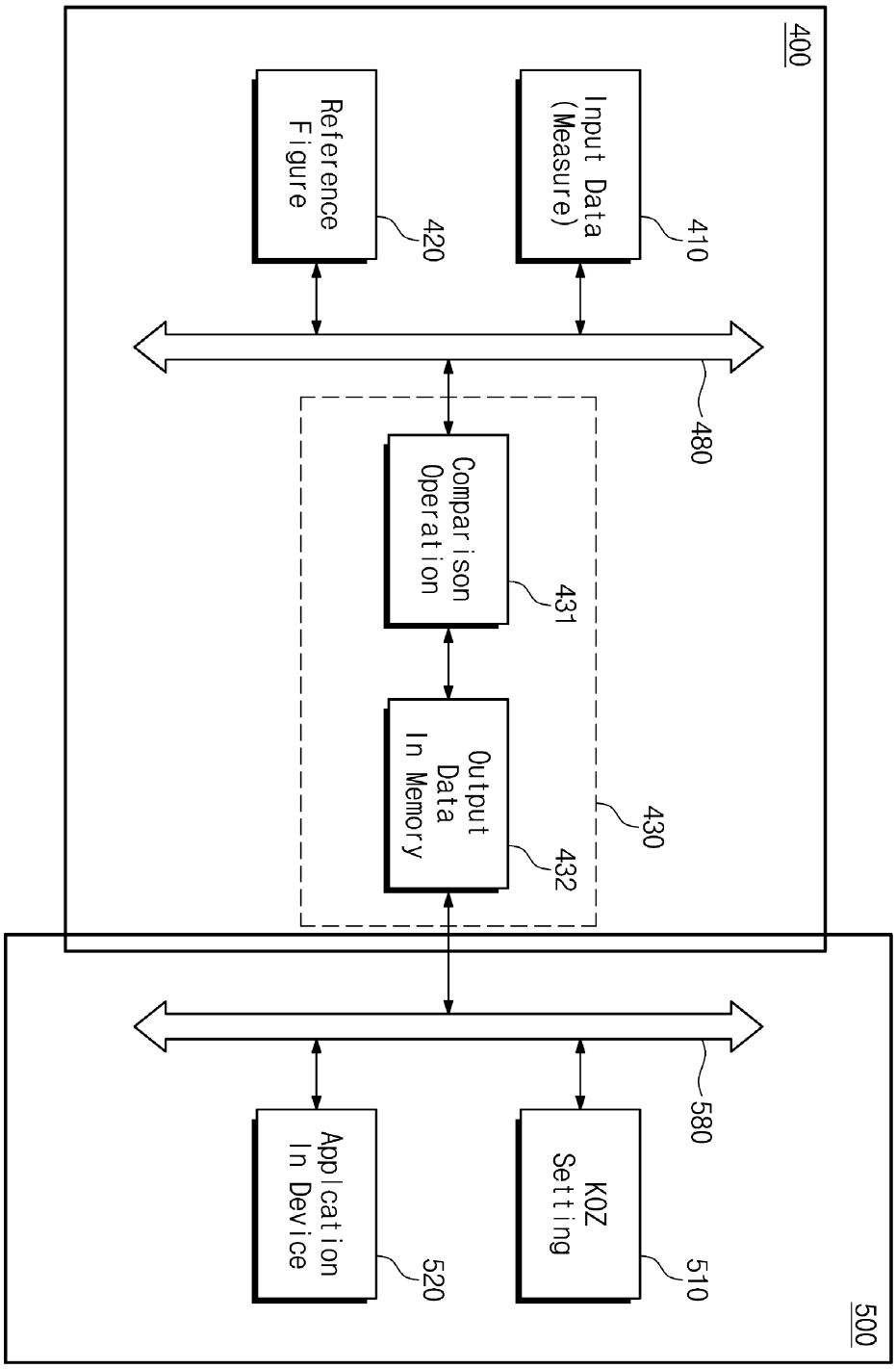
도면3a


NIT
IT
100
TSV
A
A'
D2
D1
D3

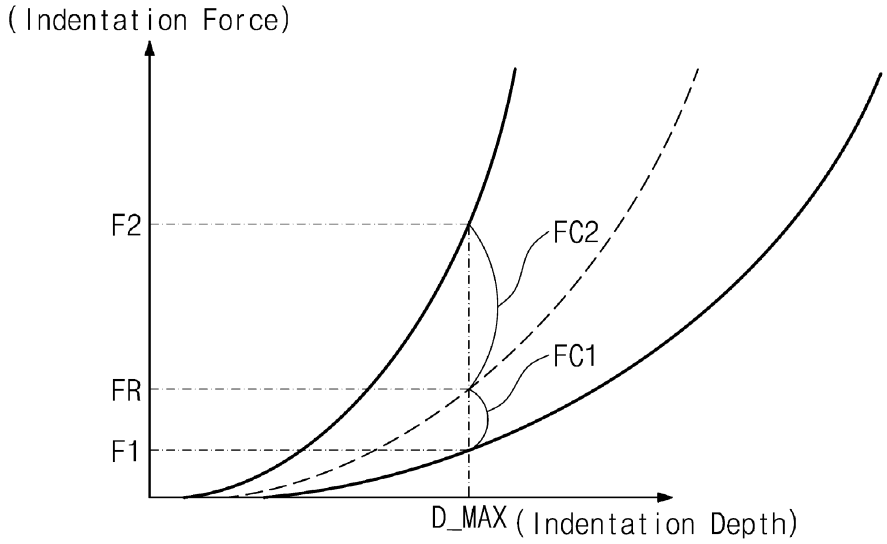
도면3b



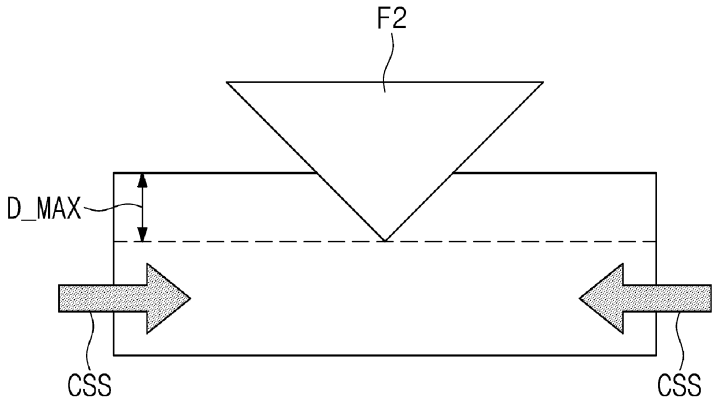
도면4


400
Reference Figure
420
Input Data (Measure)
410
480
Comparison Operation
431
Output Data In Memory
432
430
580
Application In Device
520
KOZ Setting
510
500

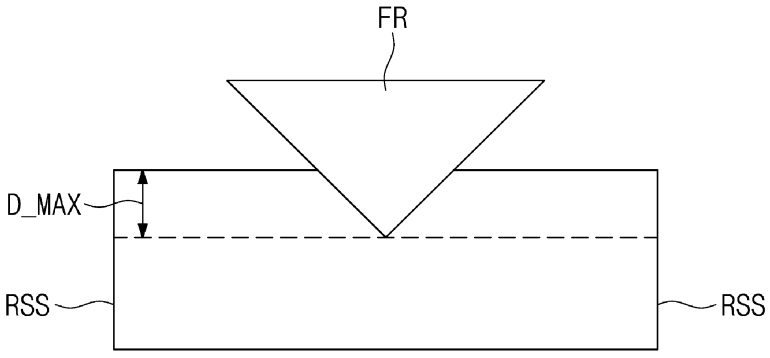
도면5



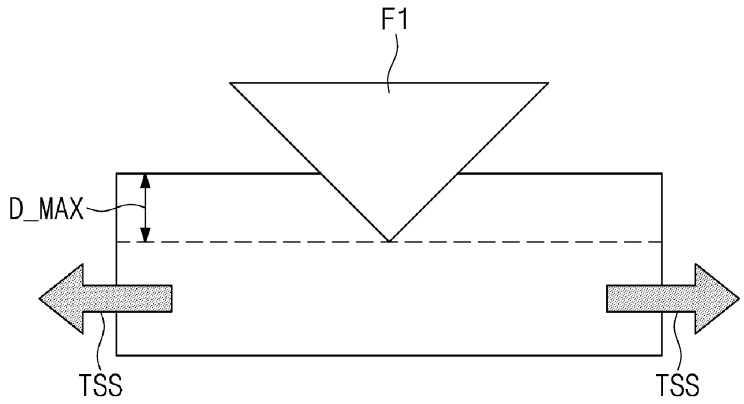
도면6a



도면6b



도면6c



도면7

