

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-228111

(P2004-228111A)

(43) 公開日 平成16年8月12日(2004.8.12)

(51) Int. Cl.⁷

HO 1 L 21/768
HO 1 L 21/8242
HO 1 L 27/108

F I

HO 1 L 21/90 A
HO 1 L 27/10 6 2 1 C

テーマコード(参考)

5 F 0 3 3
5 F 0 8 3

審査請求 未請求 請求項の数 8 O L (全 16 頁)

(21) 出願番号 特願2003-10567 (P2003-10567)
(22) 出願日 平成15年1月20日(2003.1.20)

(71) 出願人 302062931
NECエレクトロニクス株式会社
神奈川県川崎市中原区下沼部1753番地
(74) 代理人 100114672
弁理士 宮本 恵司
(72) 発明者 戸田 麻美
神奈川県川崎市中原区下沼部1753 N
ECエレクトロニクス株式会社内

最終頁に続く

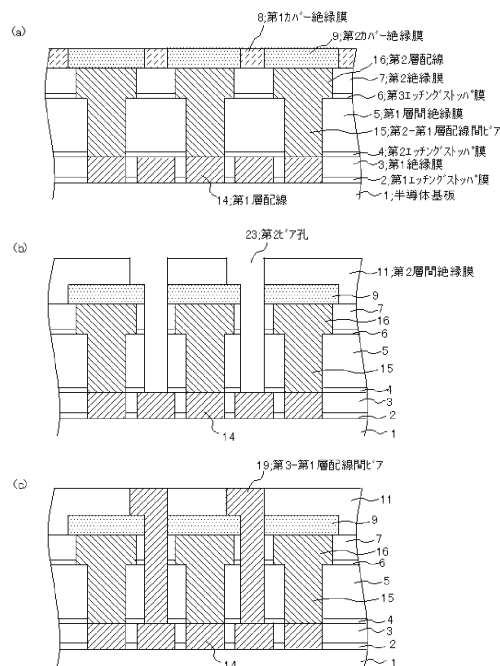
(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】 (修正有)

【課題】隣接する配線やビアをショートさせることなく配線間のピッチを小さくすることができるダマシン構造の半導体装置及びその製造方法の提供。

【解決手段】半導体基板1上に第1層配線14と第2層配線16を形成後、第2層配線16上に配線間隔よりも狭い幅に加工された第1カバー絶縁膜8を形成し、その上に第2カバー絶縁膜9を堆積しエッチバックすることにより第1カバー絶縁膜8と第2カバー絶縁膜9とから構成される略平坦なハードマスクを形成し、その上の第2層間絶縁膜11上に設けたレジストパターンを用いて第2層間絶縁膜11と第1カバー絶縁膜8とをエッチングすることにより、第2カバー絶縁膜9からなるハードマスクで下層の絶縁膜を除去して第2ビア孔23を形成する。これにより層間絶縁膜の埋め込み不良を防止し、第2層配線16のピッチを小さくする。

【選択図】 図3



【特許請求の範囲】

【請求項 1】

絶縁膜に形成される配線溝又はビア孔に、CMP法又はエッチバック法を用いて配線又はビアが埋設されてなる半導体装置において、

所定の前記配線上に、相隣り合う前記配線の隙間よりも狭い幅の開口を備え、下層の前記絶縁膜と選択的なエッチングが可能な材料を用いて形成された略平坦なハードマスクを備えることを特徴とする半導体装置。

【請求項 2】

絶縁膜に形成される配線溝又はビア孔に、CMP法又はエッチバック法を用いて配線又はビアが埋設されてなる半導体装置において、

少なくとも下層から順に第1層配線、第2層配線及び第3層配線の3層以上の配線を備え、

前記第3層配線は、相隣り合う前記第2層配線の隙間を貫通する第3 - 第1層配線間ビアによって前記第1層配線と接続され、

前記第2の配線上に、前記第3 - 第1層配線間ビアの形状を規定する開口を備え、下層の前記絶縁膜と選択的なエッチングが可能な材料を用いて形成された略平坦なハードマスクを備えることを特徴とする半導体装置。

【請求項 3】

前記ハードマスクは、該ハードマスク直下の配線の延在方向に延びるスリット状の開口を備えることを特徴とする請求項 1 又は 2 に記載の半導体装置。

【請求項 4】

基板上に形成した絶縁膜に配線溝又はビア孔を形成する工程と、前記配線溝又は前記ビア孔に銅、タングステン又はこれらを含む配線材料を埋設して配線又はビアを形成する工程と、を備える半導体装置の製造方法において、

所定の配線形成後、該配線上に、相隣り合う前記配線の隙間よりも狭い幅の領域を除いて下層の前記絶縁膜と選択的なエッチングが可能な材料を配設した略平坦なハードマスクを形成する工程を含むことを特徴とする半導体装置の製造方法。

【請求項 5】

基板上に形成した絶縁膜に配線溝又はビア孔を形成する工程と、前記配線溝又は前記ビア孔に銅、タングステン又はこれらを含む配線材料を埋設して配線又はビアを形成する工程と、を備える半導体装置の製造方法において、

所定の配線形成後、該配線上に第1のカバー絶縁膜を形成する工程と、前記第1のカバー絶縁膜上に相隣り合う前記配線の隙間よりも狭い幅のパターンを備える第1のレジストパターンを形成する工程と、前記第1のレジストパターンをマスクとして前記第1のカバー絶縁膜をエッチングする工程と、前記第1のレジストパターンを除去した後、前記第1のカバー絶縁膜を覆うように、該第1のカバー絶縁膜と選択的なエッチングが可能な第2のカバー絶縁膜を堆積する工程と、前記第2のカバー絶縁膜をエッチバック又はCMP法により研磨して、前記第2のカバー絶縁膜の間が前記第1のカバー絶縁膜で埋設された略平坦なハードマスクを形成する工程と、前記ハードマスク上に層間絶縁膜を形成する工程と、前記層間絶縁膜上に、前記第1のカバー絶縁膜と同等もしくは前記第1のカバー絶縁膜よりも広い幅の開口を備える第2のレジストパターンを形成する工程と、前記第2のレジストパターンをマスクとして前記層間絶縁膜及び前記第1のカバー絶縁膜をエッチングすると共に、前記第2のカバー絶縁膜をマスクとして下層の前記絶縁膜をエッチングしてビア孔を形成する工程と、を少なくとも有することを特徴とする半導体装置の製造方法。

【請求項 6】

基板上に形成した絶縁膜に配線溝又はビア孔を形成する工程と、前記配線溝又は前記ビア孔に銅、タングステン又はこれらを含む配線材料を埋設して配線又はビアを形成する工程と、を備える半導体装置の製造方法において、

所定の配線形成後、該配線上にカバー絶縁膜を形成する工程と、前記カバー絶縁膜上に相隣り合う前記配線の隙間よりも狭い幅の開口を備える第1のレジストパターンを形成する

10

20

30

40

50

工程と、前記第 1 のレジストパターンをマスクとして前記カバー絶縁膜をエッチングして略平坦なハードマスクを形成する工程と、前記第 1 のレジストパターンを除去した後、前記ハードマスク上に層間絶縁膜を形成する工程と、前記層間絶縁膜上に、前記カバー絶縁膜の開口と同等もしくは前記カバー絶縁膜の開口よりも広い幅の開口を備える第 2 のレジストパターンを形成する工程と、前記第 2 のレジストパターンをマスクとして前記層間絶縁膜をエッチングすると共に、前記第 2 のカバー絶縁膜をマスクとして下層の前記絶縁膜をエッチングしてビア孔を形成する工程と、を少なくとも有することを特徴とする半導体装置の製造方法。

【請求項 7】

前記カバー絶縁膜又は前記第 2 のカバー絶縁膜を、前記絶縁膜及び前記層間絶縁膜と選択的なエッチングが可能な材料で形成することを特徴とする請求項 5 又は 6 に記載の半導体装置の製造方法。

10

【請求項 8】

前記ハードマスクの前記開口を、前記ハードマスク直下の前記配線の延在方向に延びるスリット状に形成することを特徴とする請求項 4 乃至 7 のいずれか一に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置及びその製造方法に関し、特に、ダマシンプロセスを用いて形成した配線及びビアを備える半導体装置及びその製造方法に関する。

20

【0002】

【従来の技術】

近年、半導体装置の高集積化及びチップサイズの縮小化に伴い、配線の微細化及び多層化が進められており、多層配線構造を形成する方法として、いわゆるダマシン(Damascene)法と呼ばれるプロセスが一般的に行われている。このダマシン法は、絶縁膜にビア孔又は配線溝を形成した後、基板全面に導電性部材を堆積し、化学機械的研磨法(CMP: Chemical Mechanical Polishing)によって研磨することによりビア孔又は配線溝に導電性部材を埋設するものである。この方法は、エッチングによる加工が困難な銅系の導電性部材を用いた多層配線の形成方法として用いられている。

30

【0003】

この従来のダマシンプロセス(第 1 の従来例)について図 8 及び図 9 を参照して説明する。図 8 及び図 9 は、従来のシングルダマシンプロセスを模式的に示す工程断面図であり、作図の都合上分図したものである。

【0004】

まず、図 8 (a) に示すように、例えば、MOS トランジスタ等が形成された半導体基板 1 に、SiNx 等からなる第 1 エッチングストップ膜 2 と SiO₂ 等からなる第 1 絶縁膜 3 とを順次堆積し、公知のフォトリソグラフィ技術を用いて形成したレジストパターンをマスクとして、公知のドライエッチング技術を用いて第 1 絶縁膜 3 と第 1 エッチングストップ膜 2 とを貫通する第 1 配線溝を形成する。次に、配線材料の拡散を防止する Ti、Ta 等のバリア膜をスパッタリング法により堆積し、その上に Cu を電解メッキ法等により形成する。そして、CMP 法によって第 1 絶縁膜 3 上の Cu 及びバリアメタル膜を除去して、第 1 配線溝内に第 1 層配線 14 を形成する。

40

【0005】

次に、図 8 (b) に示すように、SiNx 等からなる第 2 エッチングストップ膜 4 と SiO₂ 等からなる第 1 層間絶縁膜 5 とを順次堆積し、同様に公知のフォトリソグラフィ技術及びドライエッチング技術を用いて第 1 層間絶縁膜 5 と第 2 エッチングストップ膜 4 とを貫通する第 1 ビア孔を形成し、バリア膜と Cu を堆積した後、CMP 法によって第 1 ビア孔内に第 2 - 第 1 配線間ビア 15 を形成する。その後、同様の工程を繰り返すことによ

50

り、第2層配線16(図8(c)参照)、第3-第2層配線間ビア17(図8(d)参照)、第3層配線18(図9(a)参照)を形成する。

【0006】

上記方法により多層配線構造の半導体装置を形成することができるが、この方法では、第2絶縁膜7に、第3層配線18から第1層配線14に電位を供給するための第2層配線16(図9中のEの経路)を形成しなければならないため、Dの経路とFの経路の第2層配線16のピッチを小さくすることができず、配線レイアウトが制限されるという問題がある。

【0007】

そこで、配線のピッチを小さくするために、セルフアラインコンタクト(SAC)と呼ばれる方法で離れた配線間(例えば、第1層配線14と第3層配線18)を繋ぐビアを自己整合的に形成する方法が用いられ、例えば、特開2002-15187号公報等にその詳細な製造方法が開示されている。上記公報記載のセルフアラインコンタクトを用いた半導体装置の製造方法(第2の従来例)について図10及び図11を参照して説明する。

10

【0008】

まず、第1の従来例と同様に、半導体基板1に、第1エッチングストッパ膜2と第1絶縁膜3とを順次堆積して第1配線溝を形成し、CMP法によって第1配線溝内に第1層配線14を埋設する。次に、第2エッチングストッパ膜4と第1層間絶縁膜5とを順次堆積して第1ビア孔を形成し、CMP法によって第1ビア孔内に第2-第1層配線間ビア15を形成する。

20

【0009】

次に、図10(a)に示すように、第1層間絶縁膜5上に第2層配線となる金属と70nm程度の膜厚のSiNxとを堆積し、その上に形成したレジストパターンをマスクとしてこれらを同時にエッチングすることにより所定の線幅及び線間隔の第2層配線16及び窒化膜マスク24とを形成する。

【0010】

次に、図10(b)に示すように、熱CVD法により全面にブランクット窒化膜を形成した後、異方性ドライエッチングによるエッチバックを施し、第2層配線16及び窒化膜マスク24の側壁に50nm程度の膜厚のサイドウォール窒化膜25を形成する。

30

【0011】

次に、図10(c)に示すように、窒化膜マスク24及びサイドウォール窒化膜25を覆うように第2層間絶縁膜11を堆積し、CMP法により平坦化した後、公知のフォトリソグラフィ技術を用いて第2ビア孔23を形成するためのレジストパターンを形成し、このレジストパターンと窒化膜マスク24及びサイドウォール窒化膜25とを用いて、公知のドライエッチング技術により第2層間絶縁膜11、第1層間絶縁膜5、第2エッチングストッパ膜4を順次エッチングして第2ビア孔23を形成する。

【0012】

その後、図11(a)に示すように、全面にバリアメタル及びCuを堆積し、CMP法によって第2ビア孔23内に第3-第1層配線間ビア19を形成し、続いて、図11(b)に示すように、同様の方法で第3-第1層配線間ビア19上に第3配線層18を形成する

40

【0013】

このような方法を用いることにより、窒化膜マスク24とサイドウォール窒化膜25とによって自己整合的に第3-第1層配線間ビア19が形成されるため、従来方法に比べて第2層配線16のピッチを小さくすることができ、半導体装置の微細化を図ることができる。

【0014】

【特許文献1】

特開2002-151587号公報(第6-9頁、第4図)

【0015】

50

【発明が解決しようとする課題】

上記公報では、第2ビア孔23を形成するためのドライエッチングをR I E (R e a c t i v e I o n E t c h i n g)で行い、反応ガスとして C_4F_8 と酸素とアルゴンの混合ガスを用いることにより、シリコン酸化膜(第2層間絶縁膜11及び第1層間絶縁膜5)のエッチング速度とシリコン窒化膜(窒化膜マスク24及びサイドウォール窒化膜25)のエッチング速度の比を大きくし、シリコン酸化膜の選択的エッチングを可能としている。しかしながら、サイドウォール窒化膜25の膜厚や形状の制御は難しく、特に、窒化膜マスク24の角部のサイドウォール窒化膜25は薄くなり易いため、第2層間絶縁膜11及び第1層間絶縁膜5の膜厚によっては窒化膜マスク24及びサイドウォール窒化膜25が予想以上にエッチングされてしまい、第2層配線16と第3 - 第1層配線間ビア19とがショートしてしまう恐れがある。

10

【0016】

このショートを防止するためには、窒化膜マスク24及びサイドウォール窒化膜25の膜厚を厚くする必要があるが、膜厚が厚くなるとサイドウォール窒化膜25で挟まれた領域のアスペクト比(図10(b)の h_2/w_2)が大きくなってしまい、図10(c)の工程で第2層間絶縁膜11を形成する際にその埋め込みが困難になり、図11(b)に示すように埋め込み不良に起因するポイド26が発生しやすくなる。そして、隣接する第2層配線16間にポイド26が発生すると、ビアの形状が崩れ第2層配線16方向に隣接する第3 - 第1層配線間ビア19がショートしてしまう。

【0017】

本発明は、上記問題点を鑑みてなされたものであって、その主たる目的は、隣接する配線やビアをショートさせることなく、配線間のピッチを小さくすることができるダマシン構造の半導体装置及びその製造方法を提供することにある。

20

【0018】**【問題を解決するための手段】**

上記目的を達成するため、本発明の半導体装置は、絶縁膜に形成される配線溝又はビア孔に、CMP法又はエッチバック法を用いて配線又はビアが埋設されてなる半導体装置において、所定の前記配線上に、相隣り合う前記配線の隙間よりも狭い幅の開口を備え、下層の前記絶縁膜と選択的なエッチングが可能な材料を用いて形成された略平坦なハードマスクを備えるものである。

30

【0019】

また、本発明の半導体装置は、絶縁膜に形成される配線溝又はビア孔に、CMP法又はエッチバック法を用いて配線又はビアが埋設されてなる半導体装置において、少なくとも下層から順に第1層配線、第2層配線及び第3層配線の3層以上の配線を備え、前記第3層配線は、相隣り合う前記第2層配線の隙間を貫通する第3 - 第1層配線間ビアによって前記第1層配線と接続され、前記第2の配線上に、前記第3 - 第1層配線間ビアの形状を規定する開口を備え、下層の前記絶縁膜と選択的なエッチングが可能な材料を用いて形成された略平坦なハードマスクを備えるものである。

【0020】

本発明においては、前記ハードマスクは、該ハードマスク直下の配線の延在方向に延びるスリット状の開口を備える構成とすることができる。

40

【0021】

また、本発明の半導体装置の製造方法は、基板上に形成した絶縁膜に配線溝又はビア孔を形成する工程と、前記配線溝又は前記ビア孔に銅、タングステン又はこれらを含む配線材料を埋設して配線又はビアを形成する工程と、を備える半導体装置の製造方法において、所定の配線形成後、該配線上に、相隣り合う前記配線の隙間よりも狭い幅の領域を除いて下層の前記絶縁膜と選択的なエッチングが可能な材料を配設した略平坦なハードマスクを形成する工程を含むものである。

【0022】

また、本発明の半導体装置の製造方法は、基板上に形成した絶縁膜に配線溝又はビア孔を

50

形成する工程と、前記配線溝又は前記ビア孔に銅、タングステン又はこれらを含む配線材料を埋設して配線又はビアを形成する工程と、を備える半導体装置の製造方法において、所定の配線形成後、該配線上に第1のカバー絶縁膜を形成する工程と、前記第1のカバー絶縁膜上に相隣り合う前記配線の隙間よりも狭い幅のパターンを備える第1のレジストパターンを形成する工程と、前記第1のレジストパターンをマスクとして前記第1のカバー絶縁膜をエッチングする工程と、前記第1のレジストパターンを除去した後、前記第1のカバー絶縁膜を覆うように、該第1のカバー絶縁膜と選択的なエッチングが可能な第2のカバー絶縁膜を堆積する工程と、前記第2のカバー絶縁膜をエッチバック又はCMP法により研磨して、前記第2のカバー絶縁膜の間が前記第1のカバー絶縁膜で埋設された略平坦なハードマスクを形成する工程と、前記ハードマスク上に層間絶縁膜を形成する工程と、前記層間絶縁膜上に、前記第1のカバー絶縁膜と同等もしくは前記第1のカバー絶縁膜よりも広い幅の開口を備える第2のレジストパターンを形成する工程と、前記第2のレジストパターンをマスクとして前記層間絶縁膜及び前記第1のカバー絶縁膜をエッチングすると共に、前記第2のカバー絶縁膜をマスクとして下層の前記絶縁膜をエッチングしてビア孔を形成する工程と、を少なくとも有するものである。

10

【0023】

また、本発明の半導体装置の製造方法は、基板上に形成した絶縁膜に配線溝又はビア孔を形成する工程と、前記配線溝又は前記ビア孔に銅、タングステン又はこれらを含む配線材料を埋設して配線又はビアを形成する工程と、を備える半導体装置の製造方法において、所定の配線形成後、該配線上にカバー絶縁膜を形成する工程と、前記カバー絶縁膜上に相隣り合う前記配線の隙間よりも狭い幅の開口を備える第1のレジストパターンを形成する工程と、前記第1のレジストパターンをマスクとして前記カバー絶縁膜をエッチングして略平坦なハードマスクを形成する工程と、前記第1のレジストパターンを除去した後、前記ハードマスク上に層間絶縁膜を形成する工程と、前記層間絶縁膜上に、前記カバー絶縁膜の開口と同等もしくは前記カバー絶縁膜の開口よりも広い幅の開口を備える第2のレジストパターンを形成する工程と、前記第2のレジストパターンをマスクとして前記層間絶縁膜をエッチングすると共に、前記第2のカバー絶縁膜をマスクとして下層の前記絶縁膜をエッチングしてビア孔を形成する工程と、を少なくとも有するものである。

20

【0024】

本発明においては、前記カバー絶縁膜又は前記第2のカバー絶縁膜を、前記絶縁膜及び前記層間絶縁膜と選択的なエッチングが可能な材料で形成することが好ましい。

30

【0025】

このように、本発明の構成によれば、配線形成後、配線上に下層の層間絶縁膜とのエッチング選択比が大きいカバー絶縁膜を用いて凹凸の小さいハードマスクを形成することにより、その上層に形成する層間絶縁膜の埋め込み性を改善してボイドの発生を抑制し、配線とビアのショートを防止することができる。特に、ハードマスクを、その開口部となる領域を層間絶縁膜と同様の絶縁膜で埋設した構造とすることにより、ハードマスクを略平坦に形成することができ、層間絶縁膜の埋め込み不良を確実に防止することができる。

【0026】

また、層間絶縁膜上に設けたレジストパターンを用いてエッチングを行うと、このハードマスクによって上層の配線と下層の配線とを結ぶビア孔が自己整合的に形成されるため、ビアが貫通する配線層の配線間ピッチを小さくすることができ、配線レイアウトの制限を緩和することができる。

40

【0027】**【発明の実施の形態】**

第1の従来例で示したように、各層に形成した配線とビアとを用いて離れた配線（例えば、第1層配線と第3層配線）を接続する構成では、中間層（第2層配線）に配線が集中してしまい、その結果、配線間のピッチを小さくすることができず、半導体装置の微細化の妨げとなってしまう。また、第2の従来例で示したように、第2層配線に形成した窒化膜マスクとサイドウォール窒化膜とを用いて自己整合的に第3 - 第1層配線間ビアを形成す

50

る方法では、ショートを防止するために窒化膜マスクやサイドウォール窒化膜を厚く形成すると、サイドウォール窒化膜で挟まれた領域のアスペクト比が大きくなってしまい、層間絶縁膜の埋め込みが困難となり、埋め込み不良に起因するボイドが発生してしまうという問題がある。

【0028】

また、配線のピッチを極力小さくするためにはビアの形状を正確に制御する必要があるが、窒化膜マスクとサイドウォール窒化膜を用いてビア孔を形成する方法では、サイドウォール窒化膜の膜厚、形状を制御することが困難であり、またエッチングの進行に伴ってサイドウォール窒化膜のすそ野が削られて開口部の形状が変化するため、ビアの径が変動してしまう。従って、設計時にマージンを大きく設定する必要性が生じ半導体装置に微細化の妨げとなってしまう。

10

【0029】

このように配線のピッチを小さくするためには層間絶縁膜とのエッチング選択比の大きい材料で形成したハードマスクを用いる方法が有効であるが、上記公報に記載されたようなサイドウォール構造のハードマスクでは、ハードマスク自体の凹凸が大きくなってしまい層間絶縁膜の埋め込みが困難となり、ボイドの発生を防止することができない。そこで、本願発明者は、ハードマスクによる層間絶縁膜の埋め込み不良を解消すべく、配線形成後に配線上に略平坦なハードマスクを形成する方法を案出した。ハードマスクを用いてビアを形成すること自体は公知の技術であるが、配線上に凹凸のない又は凹凸の小さいハードマスクを形成して層間絶縁膜の埋め込み性を改善する手法は本願発明者が案出した新規な手法であり、この手法を用いることにより配線ピッチを小さくしつつ、埋め込み不良を防止することができる。

20

【0030】

【実施例】

上記した本発明の実施の形態についてさらに詳細に説明すべく、本発明の実施例について図面を参照して説明する。

【0031】

[実施例1]

まず、本発明の第1の実施例に係る半導体装置及びその製造方法について、図1乃至図5を参照して説明する。図1乃至図4は、デュアルダマシンプロセスを用いた半導体装置の製造方法を示す工程断面図であり、作図の都合上分図したものである。また、図5は、本実施例の方法を用いて形成したキャパシタ・オーバー・ビットライン(COB: Capacitor Over Bitline)構造の半導体記憶装置を示す断面図である。

30

【0032】

以下、図1乃至図4を参照して本実施例の半導体装置の製造方法について説明する。なお、以下では、配線及びビアの材料としてCu又はCuを含む配線材料を用い、CMP法によって多層配線を形成する場合について記載するが、本発明は下記実施例に限定されるものではなく、配線又はビアの材料としてタングステン(W)を用い、CMP法又はエッチバック法によって多層配線又はその一部の配線やビアを形成する場合についても同様に適用することができる。

40

【0033】

まず、MOSトランジスタ等が形成された半導体基板1上に、CVD法、プラズマCVD法等を用いて、SiNx、SiC、SiCN等からなる第1エッチングストップ膜2とSiO₂等からなる第1絶縁膜3とを順次形成し、その上に、露光の反射を抑制するための反射防止膜と化学増幅型レジストを塗布し、KrFフォトリソグラフィによる露光、現像を行い、第1配線溝を形成するためのレジストパターンを形成する。続いて、公知のドライエッチング技術を用いて第1絶縁膜3、第1エッチングストップ膜2を順次エッチングして、それらを通する第1配線溝を形成する。その後、酸素プラズマアッシング及び有機剥離液を用いたウェット処理によりレジストパターンと反射防止膜とを剥離し、ドライエッチングの残留物を除去する。

50

【0034】

次に、スパッタ法を用いて、Ti、TiN、Ta、Ta₂N₅、WN等の単層膜、又はそれらを組み合わせた2層以上の積層膜からなるバリアメタル膜を成膜し、続いて、配線材料となるCuのめっき成長を容易にするためのCuのシードメタルを形成する。次に、電解めっき法によりCuを堆積して第1配線溝内をCuで埋設した後、CMP法を用いて第1絶縁膜3上のCu及びバリアメタルを除去して第1配線溝内に第1層配線14を埋設して、図1(a)に示す構造を形成する。なお、第1エッチングストップ膜2と第1絶縁膜3の材料は特に限定されず、エッチングの選択比が得られる材料の組み合わせであればよく、その膜厚も任意に設定することができる。また、配線材料としてWを用いる場合は、バリアメタル膜としてTiN/Ti又はTiN等を成膜し、CMP法又はエッチバック法を用いて第1配線溝内にWを埋設して第1層配線14を形成すればよい(以下の配線又はビアについても同様)。

10

【0035】

次に、図1(b)に示すように、第1絶縁膜3上に、CVD法、プラズマCVD法等を用いて、SiNx、SiC、SiCN等からなる第2エッチングストップ膜4、SiO₂、低誘電率膜等からなる第1層間絶縁膜5、SiNx、SiC、SiCN等からなる第3エッチングストップ膜6及びSiO₂等からなる第2絶縁膜7を順次形成し、その上に、第1ビア孔21を形成するためのレジストパターン(図示せず)を形成する。その後、公知のドライエッチング技術を用いて第2絶縁膜7、第3エッチングストップ膜6及び第1層間絶縁膜5を順次エッチングして、それらを貫通する第1ビア孔21を形成し、酸素プラズマアッシング及び有機剥離液を用いたウェット処理によりレジストパターンを除去する。なお、第2エッチングストップ膜4、第1層間絶縁膜5、第3エッチングストップ膜6及び第2絶縁膜7の材料も特に限定されず、エッチングの選択比が得られる材料の組み合わせであればよく、その膜厚も任意に設定することができる。

20

【0036】

次に、図1(c)に示すように、第2絶縁膜7上に、第2配線溝22を形成するためのレジストパターン(図示せず)を形成する。その後、公知のドライエッチング技術を用いて第2絶縁膜7をエッチングした後、露出した第3エッチングストップ膜6及び第1ビア孔21底部の第2エッチングストップ膜4をエッチングする。その後、酸素プラズマアッシング及び有機剥離液を用いたウェット処理によりレジストパターンを除去する。

30

【0037】

次に、図1(d)に示すように、スパッタ法を用いて、Ti、TiN、Ta、Ta₂N₅、WN等の単層膜、又はそれらを組み合わせた2層以上の積層膜からなるバリアメタルを成膜し、続いて、Cuのシードメタルを100nm程度形成した後、電解めっき法によりCuを形成して第1ビア孔21及び第2配線溝22内をCuで埋設する。その後、CMP法を用いて第2絶縁膜7上のCu及びバリアメタルを除去して第2層配線16と第2-第1層配線間ビア15を同時に形成する。なお、ここまでの工程は通常のデュアルダマシンプロセスと同様であり、同様の構造を形成することができる他の方法を用いてもよい。

【0038】

次に、図2(a)に示すように、第2絶縁膜7上にSiO₂等(後の工程で形成される第2カバー絶縁膜とのエッチング選択比が得られる材料)からなる第1カバー絶縁膜8を形成する。この第1カバー絶縁膜8は、ハードマスクを形成するために用いられるものであり、その膜厚はハードマスクに求められる膜厚(すなわち、ビアの形状、各々の層の膜厚、材料等を勘案して定められる膜厚)となるように設定する。

40

【0039】

その後、第1カバー絶縁膜8上にハードマスクの開口を規定するためのレジストパターン20aを形成する。このレジストパターン20aは、レジストパターン20aと第2層配線16との間隔(図2(a)のa)が、第2層配線16との目ずれマージン+第2層配線16と第3-第1層配線間ビア19とのショートマージン以上となるように設定する。

【0040】

50

次に、図2(b)に示すように、レジストパターン20aをマスクとして、公知のドライエッチング技術を用いて第1カバー絶縁膜8をエッチングした後、レジストパターン20aを除去し、第1カバー絶縁膜8をレジストパターン20aと略等しい形状に加工する。

【0041】

次に、図2(c)に示すように、パターン加工された第1カバー絶縁膜8を覆うように、第1カバー絶縁膜8に対してエッチング選択比が十分に大きい材料(SiNx、SiC、SiCN等)からなる第2カバー絶縁膜9を形成する。その後、第2カバー絶縁膜9をエッチバックまたはCMP法により研磨することにより、第2カバー絶縁膜9の開口部に第1カバー絶縁膜8が埋設された略平坦なハードマスクが形成される(図3(a)参照)。

【0042】

次に、上記構造のハードマスク上に第2層間絶縁膜11を形成する。その際、第2の従来例では、窒化膜マスク24とサイドウォール窒化膜25からなるハードマスクの凹凸が大きくサイドウォール窒化膜25で挟まれた領域のアスペクト比が大きいため、第2層間絶縁膜11の埋め込みが困難となり埋め込み不良に起因するボイドが発生しやすかったが、本実施例の構造の場合、第2カバー絶縁膜9の開口に第1カバー絶縁膜8が埋設されており、ハードマスク自体の凹凸がないため、第2層間絶縁膜11の埋め込み不良が発生することはない。その後、第2層間絶縁膜11上に第1カバー絶縁膜8と同等もしくはそれよりも広い幅の開口のレジストパターン(図示せず)を形成し、このレジストパターンをマスクとして公知のドライエッチング技術を用いてエッチングを行うことにより、第2絶縁膜7及び第1層間絶縁膜5は第2カバー絶縁膜9の開口で規定される部分のみがエッチングされ、図3(b)に示す形状の第2ビア孔23が形成される。

【0043】

その後、図3(c)に示すように、スパッタ法を用いて、Ti、TiN、Ta、Ta₂N₃、WN等の単層膜、又はそれらを組み合わせた2層以上の積層膜からなるバリアメタル、Cuのシードメタルを形成した後、電解めっき法によりCuを形成して第2ビア孔23内をCuで埋設する。そして、CMP法を用いて第2層間絶縁膜11上のCu及びバリアメタルを除去して第3-第1配線間ビア19を形成する。更に、同様の方法を用いて第3-第1配線間ビア19上層に第3層配線18を形成し、上記工程を繰り返すことにより所望の多層配線構造の半導体装置が完成する(図4参照)。

【0044】

以上、第2層配線16と第2-第1層配線間ビア15とを同時に形成するデュアルダマシンプロセスに本発明のハードマスクを用いて第3-第1層配線間ビア19を形成する方法について説明したが、第2層配線16と第2-第1層配線間ビア15とを別々に形成するシングルダマシンプロセスについても同様に適用することができる。その場合は、図8(a)乃至(c)の工程に従って第1層配線14と、第2-第1層配線間ビア15と第2層配線16を形成した後、図2及び図3の工程に従って第3-第1層配線間ビア19を形成すればよい。

【0045】

本発明の製造方法はダマシン構造の任意の半導体装置に適用することができるが、ビット線の上部に容量素子を配置するCOB構造の半導体記憶装置に適用した場合は図5に示すようになる。すなわち、第1層配線14がセルコンタクトとなり、セルコンタクトの一部がビットコンタクト(第2-第1層配線間ビア15)を介してビット線(第2層配線16)と接続され、一部が容量コンタクト(第3-第1層配線間ビア19)を介して容量下部電極(第3層配線18)と接続される構造となり、円筒状の容量下部電極内に容量絶縁膜を介して上部電極(プレート電極)を形成することにより容量が形成される。

【0046】

このように、本実施例の半導体装置及びその製造方法によれば、配線(ここでは第2層配線16)を形成した後、配線上に第1カバー絶縁膜8と第2カバー絶縁膜9とを用いて凹凸のない略平坦なハードマスクを形成することにより、その上層の層間絶縁膜(ここでは第2層間絶縁膜11)の形成を容易にし、埋め込み不良に起因するボイドの発生を防止す

10

20

30

40

50

ることができる。また、ハードマスクを用いて下層の絶縁膜（ここでは第2絶縁膜7、第3エッチングストッパ膜6、第1層間絶縁膜5及び第2エッチングストッパ膜4）を自己整合的にエッチングすることができるため、配線間ピッチ（例えば、図4のAの経路とCの経路の第2層配線16の間隔）を小さくできると共に、サイドウォールのすそ野がエッチングされてビア径が変動するといった不具合を防止することができる。

【0047】

[実施例2]

次に、本発明の第2の実施例に係る半導体装置及びその製造方法について、図6及び図7を参照して説明する。図6及び図7は、本実施例に係る半導体装置の製造方法を示す工程断面図であり、作図の都合上分図したものである。なお、本実施例はハードマスクの他の製造方法を示すものであり、その他の部分の構造、製造方法については第1の実施例と同様である。

10

【0048】

まず、第1の実施例と同様に、MOSトランジスタ等が形成された半導体基板1上に、CVD法、プラズマCVD法等を用いて、SiNx、SiC、SiCN等からなる第1エッチングストッパ膜2とSiO₂等からなる第1絶縁膜3とを順次形成し、その上に形成したレジストパターンをマスクとして、ドライエッチング技術を用いて第1配線溝を形成し、レジストパターンを除去した後、Ti、TiN、Ta、Ta₂N₅、WN等のバリアメタル膜及びCuを堆積し、CMP法を用いて第1配線溝内に第1層配線14を埋設する。

【0049】

次に、第1絶縁膜3上に、CVD法、プラズマCVD法等を用いて、SiNx、SiC、SiCN等からなる第2エッチングストッパ膜4、SiO₂、低誘電率膜等からなる第1層間絶縁膜5、SiNx、SiC、SiCN等からなる第3エッチングストッパ膜6及びSiO₂等からなる第2絶縁膜7を順次形成し、その上に形成したレジストパターンをマスクとして、ドライエッチング技術を用いて第1ビア孔21を形成し、レジストパターンを除去する。

20

【0050】

次に、第2絶縁膜7上に形成したレジストパターンをマスクとして、ドライエッチング技術を用いて第2絶縁膜7をエッチングして第2配線溝を形成した後、露出した第3エッチングストッパ膜6及び第1ビア孔21底部の第2エッチングストッパ膜4をエッチングする。そして、レジストパターンを除去した後、Ti、TiN、Ta、Ta₂N₅、WN等のバリアメタル膜及びCuを堆積し、CMP法を用いて第2層配線16と第2 - 第1層配線間ビア15を同時に形成し、図6(a)に示す構造を形成する。

30

【0051】

次に、第1の実施例では第2絶縁膜7上に第1カバー絶縁膜8を形成したが、本実施例では工程を簡略化するために、図6(b)に示すように、SiNx、SiC、SiCN等からなる第2カバー絶縁膜9を形成する。その後、第2カバー絶縁膜9上にハードマスクの開口を形成するためのレジストパターン20bを形成する。このレジストパターン20bは、レジストパターン20bの開口部と第2層配線16との間隔（図6(b)のb）が、第2層配線16との目ずれマージン+第2層配線16と第3 - 第1層配線間ビア19とのショートマージン以上となるように設定する。

40

【0052】

次に、図6(c)に示すように、レジストパターン20bをマスクとして、公知のドライエッチング技術を用いて第2カバー絶縁膜9をエッチングして開口を形成し、第2カバー絶縁膜9のみからなるハードマスクを形成する。

【0053】

次に、ハードマスク上に第2層間絶縁膜11を形成する。その際、第1の実施例では第2カバー絶縁膜9の開口部が第1カバー絶縁膜8で埋設されているため、ハードマスクの表面に凹凸がなく平坦な形状となっていたが、本実施例では第2カバー絶縁膜9の開口部は凹部となっているため多少の段差が生じる。

50

【0054】

しかしながら、第2の従来例では、サイドウォール窒化膜25で挟まれた領域のアスペクト比は窒化膜マスク24と第2配線層16の合計の膜厚(h2)/開口幅(w2)であるのに対して、本実施例では第2絶縁膜の厚さ(h1)/開口幅(w1)であり、開口幅を同じにするとアスペクト比は著しく小さくなる。従って、第2の従来技術に比べて第2層間絶縁膜11の埋め込み性を改善することができる。その後、第2層間絶縁膜11上に第2カバー絶縁膜9の開口と同等もしくはそれよりも大きい開口のレジストパターン(図示せず)を形成し、このレジストパターンをマスクとして公知のドライエッチング技術を用いてエッチングを行うことにより、第2絶縁膜7及び第1層間絶縁膜5は第2カバー絶縁膜9の開口で規定される部分のみがエッチングされ、図7(a)に示す形状の第2ビア孔23が形成される。 10

【0055】

その後、図7(b)に示すように、スパッタ法を用いて、Ti、TiN、Ta、Ta₂N₃、WN等のバリアメタル及びCuを堆積し、CMP法を用いて第2ビア孔23に第3-第1配線間ビア19を形成する。更に、同様の方法を用いて第3-第1配線間ビア19上層に第3層配線18を形成し、上記工程を繰り返すことにより所望の多層配線構造の半導体装置が完成する(図7(c)参照)。

【0056】

このように、本実施例の半導体装置及びその製造方法によれば、配線(ここでは第2層配線16)を形成した後、配線上に第2カバー絶縁膜9を用いて凹凸の小さいハードマスクを形成することにより、第2の従来例に比べてその上層に形成する層間絶縁膜(ここでは第2層間絶縁膜11)の埋め込み性を格段に向上させることができ、かつ第1の実施例よりもハードマスクの製造工程を簡略化することができる。また、ハードマスクを用いて下層の絶縁膜(ここでは第2絶縁膜7、第3エッチングストッパ膜6、第1層間絶縁膜5及び第2エッチングストッパ膜4)を自己整合的にエッチングすることができるため、配線間ピッチを小さくすることができると共に、サイドウォールのすそ野がエッチングされてビア径が変動するといった不具合を防止することができる。 20

【0057】

なお、上記説明では、第2カバー絶縁膜9からなるハードマスクの開口部の奥行き(紙面に垂直な方向)については記載していないが、レジストパターン20bを第2層配線16に並行して延ばせば開口部をスリット状に形成することができる。本実施例の構造ではハードマスクに第2カバー絶縁膜9の深さ分の溝が形成されるが、開口部をスリット状にしてその面積を大きくすることにより第2層間絶縁膜11の埋め込み性を更に改善することができる。このスリットの長さはその上層に形成する配線(ここでは第3層配線18)の構造に応じて適宜設定されるが、例えば、図5に示すCOB構造の半導体記憶装置の場合は、容量下部電極の大きさに合わせて設定すればよい。 30

【0058】

また、上記各実施例では配線を3層構造とし、本発明のハードマスクを用いて第3-第1層配線間ビアを形成する場合について説明したが、本発明は上記実施例に限定されるものではなく、凹凸の無い又は凹凸の小さいハードマスクを用いて微細なビア孔や配線溝を形成する任意の半導体装置及びその製造方法に適用することができる。 40

【0059】

【発明の効果】

以上説明したように、本発明の半導体装置及びその製造方法によれば、下記記載の効果を奏する。

【0060】

本発明の第1の効果は、層間絶縁膜の埋め込み不良に起因するボイドの発生や隣接ビア間のショートを防止することができるということである。

【0061】

その理由は、ビアを形成するためのハードマスクをサイドウォールによって形成するので 50

はなく、配線形成後に配線上に設けたカバー絶縁膜を用いて形成しているため、ハードマスクの開口部の凹凸を無くし又は小さくして、その上に形成する層間絶縁膜の埋め込み性を改善することができるからである。特に、第2カバー絶縁膜の開口部に第1カバー絶縁膜を埋設してハードマスクを形成する方法では、ハードマスク自体の段差が無くなるため埋め込み不良の発生を確実に防止することができるからである。

【0062】

また、本発明の第2の効果は、配線間のピッチを小さくすることができるということである。

【0063】

その理由は、ハードマスク上に層間絶縁膜を形成し、その上に形成したレジストパターンを用いてエッチングを行うと、ハードマスク下層の絶縁膜はハードマスクの開口に従ってエッチングされるため、精度の高いビアを形成することができるからである。また、サイドウォール構造の場合はすそ野部分のエッチングによりビアの径が変動する恐れがあるが、本発明では開口部を基板面に略垂直に加工したハードマスクを用いているため、ビアの形状を制御することができ、その結果、設計マージンを小さくすることができるからである。

【図面の簡単な説明】

【図1】本発明の第1の実施例に係るデュアルダマシンプロセスを用いた半導体装置の製造方法を示す工程断面図である。

【図2】本発明の第1の実施例に係るデュアルダマシンプロセスを用いた半導体装置の製造方法を示す工程断面図である。

【図3】本発明の第1の実施例に係るデュアルダマシンプロセスを用いた半導体装置の製造方法を示す工程断面図である。

【図4】本発明の第1の実施例に係るデュアルダマシンプロセスを用いた半導体装置の製造方法を示す工程断面図である。

【図5】本発明の一実施例に係る製造方法で形成したCOB構造の半導体記憶装置を示す断面図である。

【図6】本発明の第2の実施例に係るデュアルダマシンプロセスを用いた半導体装置の製造方法を示す工程断面図である。

【図7】本発明の第2の実施例に係るデュアルダマシンプロセスを用いた半導体装置の製造方法を示す工程断面図である。

【図8】従来のシングルダマシンプロセスを用いた半導体装置の製造方法を示す工程断面図である。

【図9】従来のシングルダマシンプロセスを用いた半導体装置の製造方法を示す工程断面図である。

【図10】従来のサイドウォール構造のハードマスクを用いた半導体装置の製造方法を示す工程断面図である。

【図11】従来のサイドウォール構造のハードマスクを用いた半導体装置の製造方法を示す工程断面図である。

【符号の説明】

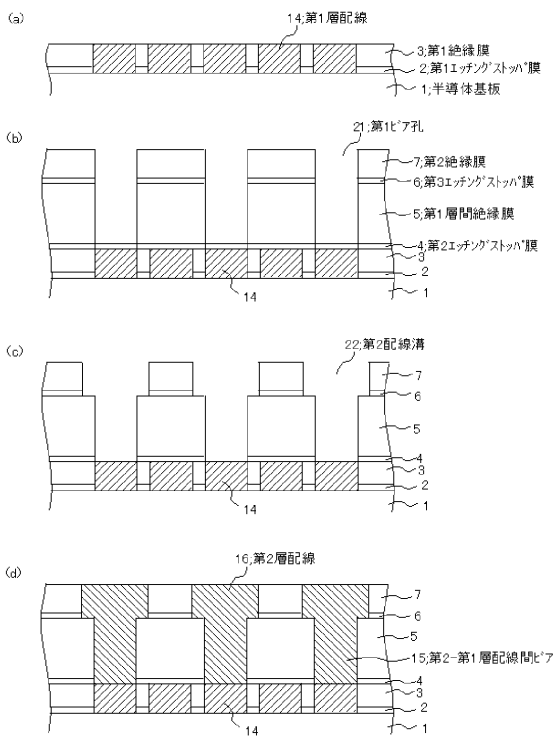
- 1 半導体基板
- 2 第1エッチングストッパ膜
- 3 第1絶縁膜
- 4 第2エッチングストッパ膜
- 5 第1層間絶縁膜
- 6 第3エッチングストッパ膜
- 7 第2絶縁膜
- 8 第1カバー絶縁膜
- 9 第2カバー絶縁膜
- 10 第4エッチングストッパ膜

40

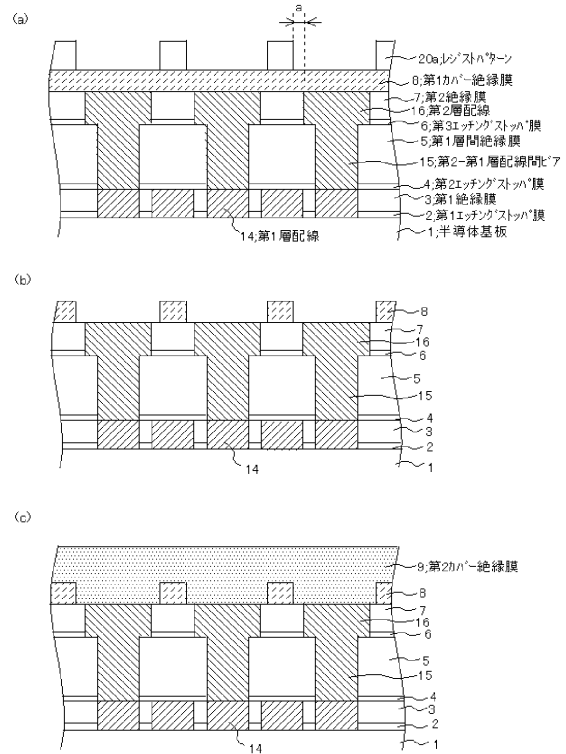
50

- 1 1 第 2 層間絶縁膜
- 1 2 第 5 エッチングストップ膜
- 1 3 第 3 絶縁膜
- 1 4 第 1 層配線
- 1 5 第 2 - 第 1 層配線間ビア
- 1 6 第 2 層配線
- 1 7 第 3 - 第 2 層配線間ビア
- 1 8 第 3 層配線
- 1 9 第 3 - 第 1 層配線間ビア
- 2 0 a、2 0 b レジストパターン
- 2 1 第 1 ビア孔
- 2 2 第 2 配線溝
- 2 3 第 2 ビア孔
- 2 4 窒化膜マスク
- 2 5 サイドウォール窒化膜
- 2 6 ボイド

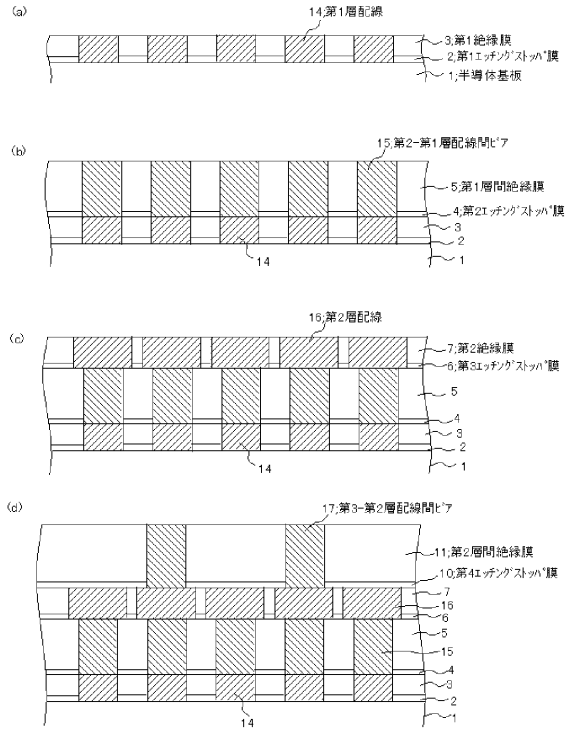
【 図 1 】



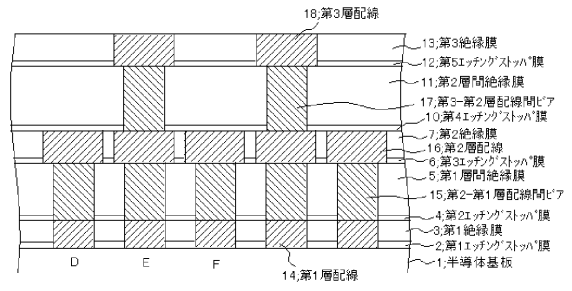
【 図 2 】



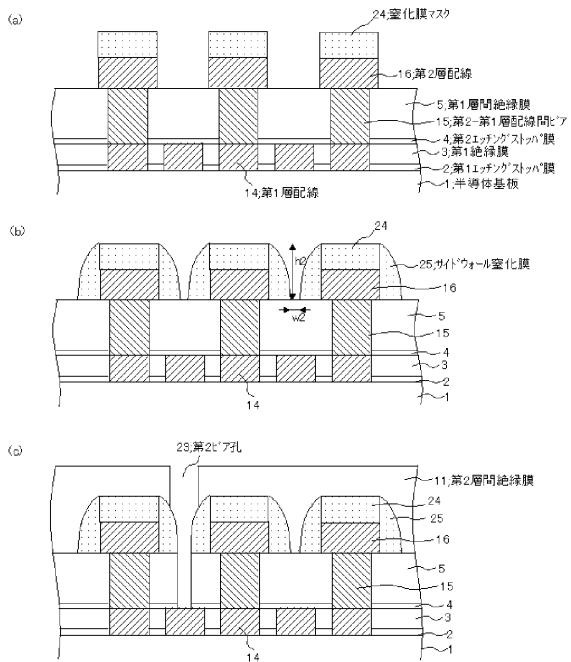
【 図 8 】



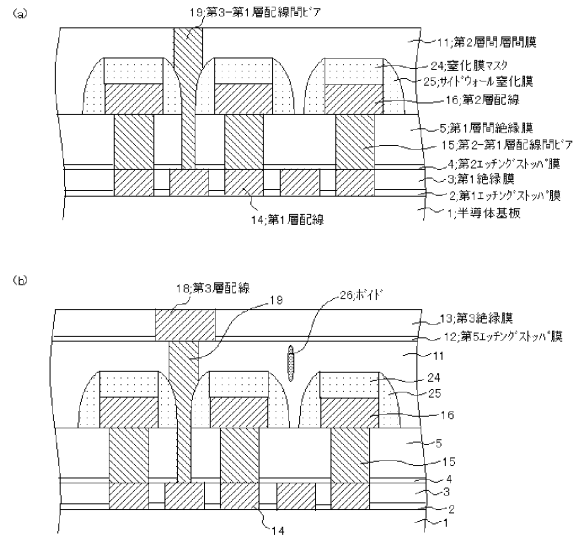
【 図 9 】



【 図 10 】



【 図 11 】



フロントページの続き

F ターム(参考) 5F033 HH11 HH18 HH19 HH21 HH32 HH33 HH34 JJ01 JJ11 JJ18
JJ19 JJ21 JJ32 JJ33 JJ34 KK11 KK18 KK19 KK21 KK32
KK33 KK34 MM01 MM02 MM12 MM13 NN06 NN07 PP27 QQ09
QQ10 QQ11 QQ25 QQ28 QQ31 QQ48 RR01 RR04 RR06 SS08
SS11 SS15 TT02 VV16 XX03 XX31
5F083 AD24 AD48 JA19 JA37 JA39 JA40 MA05 MA06 MA17 MA20