



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I482171 B

(45)公告日：中華民國 104 (2015) 年 04 月 21 日

(21)申請案號：098126414

(22)申請日：中華民國 98 (2009) 年 08 月 05 日

(51)Int. Cl. : G11C7/10 (2006.01)

(30)優先權：2008/08/05 美國

12/186,357

(71)申請人：美光科技公司 (美國) MICRON TECHNOLOGY, INC. (US)

美國

(72)發明人：雷斯尼克 大衛 R RESNICK, DAVID R. (US)

(74)代理人：陳長文

(56)參考文獻：

US 2006/0277355A1

US 2006/0277355A1

US 2007/0011578A1

US 2007/0136537A1

US 2008/0099753A1

US 2009/0172213A1

審查人員：賴炳成

申請專利範圍項數：25 項 圖式數：15 共 46 頁

(54)名稱

撓性及可擴展之記憶體架構

FLEXIBLE AND EXPANDABLE MEMORY ARCHITECTURES

(57)摘要

本發明揭示記憶體系統架構、記憶體模組、處理系統及方法。在各種實施例中，一記憶體系統架構包含經組態以將信號傳遞至一記憶體裝置之一源。至少一個記憶體塊(memory cube)可藉由具有多於一個通信路徑之一通信鏈路耦合至該源。該記憶體塊可包含以運作方式耦合至一路由交換器之一記憶體裝置，該路由交換器選擇性地在該源與該記憶體裝置之間傳遞信號。

Memory system architectures, memory modules, processing systems and methods are disclosed. In various embodiments, a memory system architecture includes a source configured to communicate signals to a memory device. At least one memory cube may be coupled to the source by a communications link having more than one communications path. The memory cube may include a memory device operably coupled to a routing switch that selectively communicates the signals between the source and the memory device.

- 10 . . . 記憶體系統
- 12 . . . 源
- 14 . . . 記憶體塊
- 16 . . . 通信鏈路
- 18 . . . 記憶體單元
- 20 . . . 路由交換器
- 22 . . . 區域鏈路

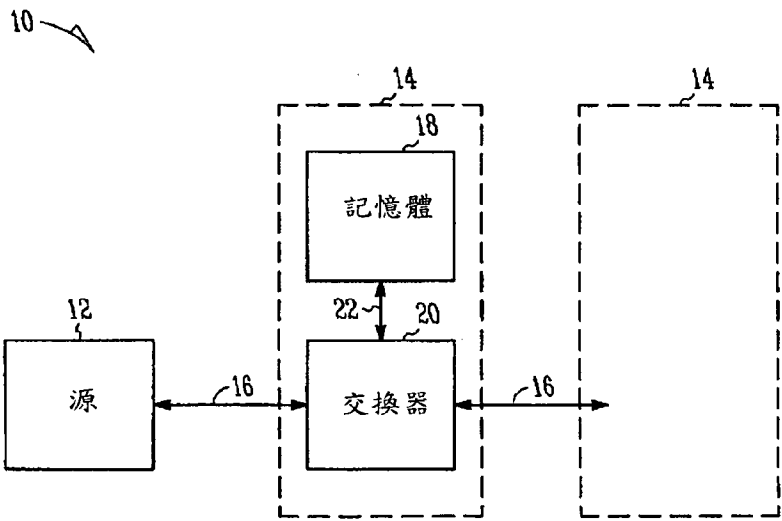


圖 1

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號： 98126414

※申請日： 98-8-5

※IPC 分類：G11C

一、發明名稱：(中文/英文)

撓性及可擴展之記憶體架構

G11C 7/10

(2006.01)

FLEXIBLE AND EXPANDABLE MEMORY ARCHITECTURES

二、中文發明摘要：

本發明揭示記憶體系統架構、記憶體模組、處理系統及方法。在各種實施例中，一記憶體系統架構包含經組態以將信號傳遞至一記憶體裝置之一源。至少一個記憶體塊 (memory cube) 可藉由具有多於一個通信路徑之一通信鏈路耦合至該源。該記憶體塊可包含以運作方式耦合至一路由交換器之一記憶體裝置；該路由交換器選擇性地在該源與該記憶體裝置之間傳遞信號。

三、英文發明摘要：

Memory system architectures, memory modules, processing systems and methods are disclosed. In various embodiments, a memory system architecture includes a source configured to communicate signals to a memory device. At least one memory cube may coupled to the source by a communications link having more than one communications path. The memory cube may include a memory device operably coupled to a routing switch that selectively communicates the signals between the source and the memory device.

四、指定代表圖：

(一)本案指定代表圖為：第 (1) 圖。

(二)本代表圖之元件符號簡單說明：

10	記憶體系統
12	源
14	記憶體塊
16	通信鏈路
18	記憶體單元
20	路由交換器
22	區域鏈路

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

六、發明說明：

【先前技術】

電腦技術之持續進步已引起各種組件(包含處理器及記憶體裝置)之效能之眾多改良。由於電腦系統中之各種組件通常以通信方式相耦合，因此通信速度及帶寬要求構成重大挑戰，不斷提高之處理速度及帶寬要求使該等挑戰加劇。因此，仍緊迫需要對電腦系統進行針對處理器與記憶體裝置之間的增強通信之改良。

【實施方式】

各種實施例包含記憶體系統、模組、處理系統及方法。在以下說明及且在圖1至圖15中列舉若干實施例之具體細節以提供對此等實施例之一理解。然而，一熟習此項技術者應理解，可能存在額外實施例且在沒有以下說明中所揭示之細節中之若干細節之情況下亦可實踐許多實施例。亦應理解，各種實施例可實施於包含實體組件(例如「硬體」)之一實體電路內，或其可使用機器可讀指令(例如，「軟體」)實施，或以實體組件與機器可讀指令(例如，「韌體」)之某一組合來實施。

圖1係根據該等實施例中之一或多者之一記憶體系統10之一圖解性方塊圖。記憶體系統10可包含一源12，其可運作以藉由一通信鏈路16將資料傳遞至一或多個記憶體塊14。記憶體塊14包含記憶體裝置。源12可包含(例如)一較大處理系統之一記憶體控制器部分(圖1中未顯示)，該記憶體控制器部分包含管理資訊向及自耦合至該記憶體控制器

之記憶體裝置之流動之電路。舉例而言，該記憶體控制器內之電路可係可運作以執行各種記憶體裝置相關之工作，諸如記憶體裝置再新、位址編碼及解碼、資料傳送或其他習知記憶體相關之工作等。源12可藉由一通信鏈路16耦合至記憶體塊14中之一或多者。

通信鏈路16通常包含兩個或多於兩個個別互連且個別雙向之通信路徑(圖1中未顯示)，該等路徑可使用串行及/或並行通信路徑實施。舉例而言，該等路徑可包含差分信號配置，或或者，亦可使用單端信號配置，或可在該等路徑中使用單端與差分信號對之一組合。在各種實施例中，通信鏈路16可包含兩個在源12與一單個記憶體塊14之間延伸之通信路徑，以使得通信鏈路16中之帶寬係使用一單個通信路徑可達成之帶寬之大約兩倍。或者，該等通信路徑中之一所選者可用作一冗餘通信路徑或用於提供一通行能力，其中資料可在源12與在記憶體塊14之一耦合鏈中之其他記憶體塊14之間傳遞。在各種實施例中，通信鏈路16可包含四個通信路徑，與兩個通信路徑相比較，四個通信路徑提供帶寬之增加。作為一替代方案，可採用四個通信路徑以提供冗餘通信路徑及/或與呈各種配置之其他記憶體塊14進行通信，如將在下文中詳細闡述。在各種實施例中，該等通信路徑在每一方向上包含16個通道(全雙工)，以使得在每一通信路徑中存在總共32個通道。另外，在各種實施例中，一對較窄通信路徑可經最佳化以提供較一單個較寬通信路徑更佳之效能。雖然圖1中未顯示，但額外

通信路徑(例如，一多點匯流排)可將源12耦合至其他記憶體裝置，或可用於將時鐘信號、功率或其他額外控制信號傳遞至其他記憶體裝置。

記憶體塊14包含可藉由一區域鏈路22以運作方式耦合至一路由交換器20之一記憶體單元18。路由交換器20又耦合至通信鏈路16。通信鏈路16可包含多個通信路徑。舉例而言，雖然區域鏈路22可包含四個或多於四個雙向通信路徑，但在區域鏈路22中可存在少於四個通信路徑。記憶體單元18可包含一或多個離散記憶體裝置，諸如一靜態記憶體、一動態隨機存取記憶體(DRAM)、一擴充資料輸出動態隨機存取記憶體(EDO DRAM)、一同步動態隨機存取記憶體(SDRAM)、一雙倍資料速率同步動態隨機存取記憶體(DDR SDRAM)、一第二代雙倍資料速率同步動態隨機存取記憶體(DDR2 SDRAM)、一第三代雙倍資料速率同步動態隨機存取記憶體(DDR3 SDRAM)、一同步鏈路動態隨機存取記憶體(SLDRAM)、一視訊隨機存取記憶體(VRAM)、一RAMBUS動態隨機存取記憶體(RDRAM)、一靜態隨機存取記憶體(SRAM)、一快閃記憶體以及其他習知記憶體裝置。

仍參照圖1，路由交換器20通常可運作以選擇性地將信號傳遞至記憶體單元18及自記憶體單元18傳遞信號且亦沿通信鏈路16傳遞信號。因此，路由交換器20可進一步包含經組態以執行封包組裝與拆解、封包錯誤檢查、信號多工、緩衝以及其他所規定功能之各種電路。下文將更詳細

地闡述路由交換器20。

記憶體系統10可使用一常見且通常可拆卸之電路總成來實施，該電路總成可藉由邊緣連接器、可拆卸式插入總成或其他習知可拆卸式互連裝置耦合至一較大電子系統。另外，記憶體系統10可實施為路由交換器20內之一整合組件。或者，記憶體系統10可實施為一較大電子系統之一製造部分。

現參照圖2及圖3，該其根據各種實施例分別顯示記憶體系統30及40之圖解性視圖。記憶體系統30包含一通信鏈路32，通信鏈路32包含適當地經組態以將源12耦合至記憶體塊14之一第一通信路徑34及一第二通信路徑36。因此，通信鏈路32允許在源12與記憶體塊14之間進行增加帶寬之通信。或者，在其他特定實施例中，第一通信路徑34及第二通信路徑36中之一選定一者可經組態以提供一冗餘通信路徑，以使得可在第一通信路徑34及第二通信路徑36中之一者出現故障之情況下在源12與記憶體塊14之間傳遞資料。在又一些實施例中，第一通信路徑34及第二通信路徑36中之一者可經組態以與記憶體單元18中之選定庫進行通信。舉例而言，若記憶體單元18包含32個記憶體庫，則第一通信路徑34可用於參考該等庫中之16個，而第二通信路徑36可用於參考剩餘之16個記憶體庫。在其他實施例中，第一通信路徑34與第二通信路徑36中之一者可與又一記憶體塊14(圖3中未顯示)通信，以使得提供一通行通信路徑。

圖3中之記憶體系統40包含一通信鏈路42，其包含一第

一通信路徑44、一第二通信路徑45、一第三通信路徑46及一第四通信路徑47。第一通信路徑44至第四通信路徑47亦經組態以將源12耦合至記憶體塊14，以使得可達成源12與記憶體塊14之間的增加之帶寬通信。在其他實施例中，第一通信路徑44、第二通信路徑45、第三通信路徑46及第四通信路徑47之一所選對可經組態以與記憶體塊14通信，而另一所選對提供通信路徑至其他記憶體塊14(圖3中未顯示)。在又一些實施例中，通信路徑44至47中之每一者可耦合至單獨的記憶體塊14或串聯耦合之記憶體塊14之單獨群組。

圖3A至圖3D係根據各種實施例之各種記憶體實施方案之圖解性方塊圖。圖3A係一記憶體塊14a之一圖解性方塊圖，記憶體塊14a可藉由耦合至記憶體塊14a之通信路徑選擇性地耦合至其他源，如將闡述。圖3B係一記憶體系統10b之一圖解性方塊圖，其中一記憶體塊14b以運作方式耦合至一源12a，其中自記憶體塊14b延伸之通信路徑係在後面引導至源12a。圖3C係一記憶體系統10c之一圖解性方塊圖，其中一記憶體塊14b以運作方式耦合至一第一源12c及一第二源12d，其中自記憶體塊14c延伸之通信路徑係在後面引導至第一源12c及第二源12d。圖3D係一記憶體系統10d之一圖解性方塊圖，其中一記憶體塊14d以運作方式耦合至複數個源12e至12h。在記憶體系統10d中，自記憶體塊14d延伸之通信路徑係在後面引導至源12e至12h。

圖4係根據各種實施例中之另一實施例之一記憶體系統

50之一圖解性方塊圖。記憶體系統50可包含具有記憶體塊14中之一或多者之一第一群組52及具有記憶體塊14中之一或多者之一第二群組54。第一群組52及第二群組54可藉由一通信鏈路56以通信方式耦合至源12，通信鏈路56包含以運作方式耦合至第一群組52之一第一通信路徑58及以運作方式耦合至第一群組52之一第二通信路徑59。在各種實施例中，第一群組52及第二群組54可包含多達八個記憶體塊14。在各種實施例中，第一群組52及第二群組54可包含多於或少於八個記憶體塊14。在各種實施例中，記憶體塊14中之某些記憶體塊可串聯地耦合，其中採用經組態以適應一記憶體裝置故障(例如，CHIPKILL或CHIPSPARE)之高級錯誤校正方法。簡明且概括而言，此等高級錯誤校正方法藉由提供功能上替代出現故障之記憶體裝置之至少一個額外記憶體裝置來保護記憶體系統免受一單個記憶體裝置故障或免受來自一單個記憶體裝置之多位元錯誤。因此，可保存及/或重構出現故障之記憶體裝置之記憶體內容。

圖5係根據各種實施例之一記憶體系統60之一圖解性方塊圖。記憶體系統60可包含包含記憶體塊14中之一或多者之一第一群組62及亦包含記憶體塊14中之一或多者之一第二群組64。第一群組62及第二群組64可藉由一通信鏈路66以通信方式耦合至源12，通信鏈路66包含以運作方式耦合至第一群組62之一第一通信路徑68及一第二通信路徑70。記憶體系統60亦可包含以運作方式耦合至第二群組64之一第三通信路徑72及一第四通信路徑74。如先前所論述，第

一通信路徑68與第二通信路徑70可給予在源12與第一群組62之間的增加帶寬之通信，及/或提供至第一群組62中之其他記憶體塊14之一通行能力，而第三通信路徑72與第四通信路徑74同樣可給予在源12與第二群組64之間的增加帶寬之通信，且亦可用於提供至可存在於第二群組64中之其他記憶體塊14之一通行能力。

圖6係根據各種實施例之一記憶體系統80之一圖解性方塊圖。記憶體系統80可包含一第一群組82、一第二群組84、一第三群組86及一第四群組88，其每一者可包含記憶體塊14中之一或多者。一通信鏈路90將第一群組82、第二群組84、第三群組86及第四群組88以通信方式耦合至源12。因此，通信鏈路90可包含耦合至第一群組82之一第一通信路徑92、耦合至第二群組84之一第二通信路徑94、耦合至第三群組86之一第三通信路徑96及耦合至第四群組88之一第四通信路徑98。由於通信鏈路90將第一群組82、第二群組84、第三群組86及第四群組88耦合至源12，因此可提供較大數量之記憶體塊14。

圖7係根據各種實施例之一記憶體系統100之一圖解性方塊圖。記憶體系統100包含一通信鏈路102，通信鏈路102可包含耦合至記憶體塊之一第一群組108之一第一通信路徑104及一第二通信路徑106，第一群組108在當前所圖解闡釋之實施例中可包含一記憶體塊110至一記憶體塊116，但第一群組108中可包含多於該等記憶體塊或甚至少於所圖解闡釋之記憶體塊之記憶體塊。通信鏈路102亦包含耦

合至記憶體塊之一第二群組122之一第三通信路徑118及一第四通信路徑120，第二群組122可包含一記憶體塊110至一記憶體塊116，但第二群組122中可包含多於該等記憶體塊或甚至少於該等記憶體塊之記憶體塊。第一通信路徑104及第二通信路徑106中之一選定一者適當地經組態以耦合至第二群組122中之記憶體塊，而第三通信路徑118及第四通信路徑120中之一選定一者可經組態以耦合至第一群組108中之記憶體塊。因此，第一群組108與第二群組122以一纏結方式耦合以提供冗餘通信路徑，該等冗餘通信路徑可在第一群組108中之記憶體塊110至116中之一或多者及/或第二群組122中之記憶體塊124至130中之一或多者出現故障之情況下使用。具體而言，若第一群組108中之記憶體塊110至116中之一或多者出現故障，則第一群組108可採用第二群組122中之記憶體塊124至130中之一或多者以用於至第一群組108中沿相對於源之路徑定位之其他記憶體塊之存取。對應地，當第二群組122中之記憶體塊124至130中之一或多者出現故障時，第二群組122可採用第一群組108中之記憶體塊110至116中之一或多者。舉例而言，且仍參照圖7，若記憶體塊112出現故障，則自源12向外行進之資料可自第一群組108中之記憶體塊110路由至第二群組122中之記憶體塊126。自記憶體塊126向外行進之資料則可路由至第一群組108中之記憶體塊114。

仍參照圖7，可藉由對由一接收器返回之否定確認字符(NAK)之一數量進行計數來識別記憶體塊110至116及124

至130中之一有缺陷一者，該接收器定位於記憶體塊110至116及記憶體塊124至130中之每一者中之路由交換器20(如圖1中所示)中之每一者中。遇到一規定數量之NAK時，可選擇性地繞開記憶體塊110至116及124至130中之有缺陷一者，如上所述。或者，定位於記憶體塊110至116及記憶體塊124至130中之每一者中之路由交換器20(同樣，如圖1中所示)中之每一者中之一傳輸器可經組態以在已超出一資料傳輸時間(其可對應於重傳嘗試之一數量)時指示一記憶體塊中已出現一故障。同樣，回應於所偵測到之錯誤，可選擇性地繞開被識別為有缺陷之記憶體塊。

現參照圖8，其顯示根據各種實施例之一路由交換器130之一圖解性方塊圖。路由交換器130可包含於該等記憶體塊中，如先前結合各種實施例所述。路由交換器130可經組態以藉由在區域記憶體與路由交換器130之間延伸之複數個區域路徑132來與該區域記憶體(例如，圖1中所示之記憶體單元18)進行通信。路由交換器130可藉由交叉點交換網路136耦合至區域路徑132。雖然圖8中未顯示，但應理解，交叉點交換網路136亦可包含適當之邏輯及緩衝電路。路由交換器130亦包含可選擇性地耦合至一第一通信路徑134及一第二通信路徑135之雙向輸入/輸出(I/O)埠138。I/O埠138與交叉點交換網路136適當地互連以藉由區域路徑132協作形成自第一通信路徑134及第二通信路徑135至記憶體裝置之路徑。第一通信路徑134及第二通信路徑135亦可藉由路由交換器130形成通行路徑，以使得可將

資料傳遞至其他記憶體塊14(圖8中未顯示)。I/O埠138中之每一者可包含輸入塊140，輸入塊140可經組態以接收自一源(例如，圖1之源12)及自其他記憶體塊14(圖1中所示)傳遞至路由交換器130之封包化資料。因此，輸入塊140可包含適當的資料接收器、資料驅動器、緩衝器、封包組裝與拆解電路及錯誤檢查電路。舉例而言，輸入塊140可包含經組態以校正可在資料傳遞期間出現之單個位元或多位元故障之錯誤校正碼(ECC)電路。I/O埠138亦可包含多工單元(MUX)142，其通常可運作以接收施加至MUX 142之一輸入之多個信號，且回應於一所施加之控制信號而在MUX 142之一輸出處提供該多個信號中之一選定一者。

圖9係根據各種實施例之一記憶體模組150之一局部示意圖。記憶體模組150包含定位於一基板154上之記憶體塊14之至少一個群組152。基板154可包含一大致為平面之介電結構。基板154可相應地包含一前側及一對置後側，且適當地經組態以支援將定位於基板154上之各種組件電耦合至沿基板154之一選定邊緣158定位之一邊緣連接器156之導電跡線。通信路徑160可安置於在邊緣連接器156與群組152之間延伸之基板154上。雖然圖9中未顯示，但通信路徑160及群組152之一選定子組可安置於基板154之一前側上，而剩餘通信路徑160及群組152可安置於基板154之後側上。由於基板154亦可包含基板154內導體之離散層，因此通信路徑160之一部分或甚至所有可安置於基板154內。邊緣連接器156可包含通常間隔開之電導體(圖9中未顯

示)，其經組態以由一接納邊緣連接器槽中之配對觸點(圖9中亦未顯示)來接納，以使得模組150可與模組150外部之電路及裝置進行通信。邊緣連接器156亦可安置於基板154之前側及/或後側上，且可包含一或多個鍵槽161以准許模組150在該接收邊緣連接器槽中恰當對準。雖然圖9中未顯示，但應理解，可將各種其他組件可定位於基板154上，基板154可藉由在邊緣連接器156與各種其他裝置之間延伸之導電跡線耦合至其他外部電路及裝置。邊緣連接器156可包含其他電互連裝置。舉例而言，亦可使用一銷連接結構，其經組態以接納一撓性導體網路，例如一多導體平面電纜或其他類似結構。

仍參照圖9，為適應較大數量之群組152，可將一路由器結構併入至各種實施例中。此等併入件可促進增強，例如增加之系統撓性及較大數量之群組152之整合。現亦參照圖10，其顯示根據各種實施例之一路徑管理器220之一圖解性方塊圖。路徑管理器220可經組態以支援可以通信方式耦合以替代先前圖示中所示之源路徑之複數個區域路徑222。舉例而言，圖1中之通信鏈路16或圖6中之通信路徑92提供額外層級(例如，扇出)，以使得可耦合額外立方體。雖然圖10圖解闡釋四個區域路徑222，但應理解，可存在少於四個或多於四個區域路徑222。路徑管理器220亦可經組態以：支援全域源路徑224，全域源路徑224可耦合至可運作以向及自耦合至區域路徑222之群組152傳遞資料及指令之一源；及支援亦可耦合至圖9中之其他群組152之

全域通行路徑226，以提供一通行能力。路徑管理器220可實施於一專用積體電路(ASIC)中，或其可使用一場可程式化閘極陣列(FPGA)或使用其他適當之邏輯技術來實施。

仍參照圖10，且現亦參照圖11，將闡述根據各種實施例之路徑管理器220之各種細節。路徑管理器220可經組態以藉由在群組152與路徑管理器220之間延伸之區域路徑222來與記憶體塊14(如圖9中所示)之群組152進行通信。交叉點交換網路230將區域路徑222耦合至全域源路徑224及全域通行路徑226。雖然圖11中未顯示，但其他邏輯及緩衝電路亦可包含於交叉點交換網路230中。路徑管理器220亦可包含可耦合至全域源路徑224之雙向輸入/輸出(I/O)埠232及可耦合至全域通行路徑226之雙向輸入/輸出(I/O)埠234。I/O埠232可包含經組態以接收沿全域源路徑224傳遞至路徑管理器220之封包化資料之輸入塊236。輸入塊236可包含圖11中未顯示之其他裝置，該等其他裝置可包含資料接收器、資料驅動器、緩衝器、封包組裝與拆解電路、錯誤檢查電路及其他類似電路。I/O埠232亦可包含多工單元(MUX)238，其可運作以接收施加至MUX 238之一輸入之多個信號，且在MUX 238之一輸出處提供該多個信號中之一選定一者。I/O埠234亦可包含輸入塊236以接收沿全域通行路徑226傳遞至路徑管理器220之封包化資料。雖然圖11中未顯示，但輸入塊236可包含以下其他裝置：資料接收器、資料驅動器、緩衝器、封包組裝與拆解電路、錯誤檢查電路及通常協助封包化資料傳遞之其他裝置。

圖 12 係根據各種實施例之一記憶體模組 270 之一局部示意圖。記憶體模組 270 包含定位於具有一前側及一對置的後側之一基板 274 上之記憶體塊 14 之至少一個群組 272，基板 274 可包含將定位於基板 274 上之組件電耦合至沿基板 274 之一選定邊緣 278 定位之一邊緣連接器 276 之導電跡線。與群組 272 相關聯之一或多個通信路徑 16 可安置於基板 274 之前側及/或後側上。另外，通信鏈路 16 亦可安置於基板 274 內之離散層中。至少一個群組 272 之記憶體塊 14 亦可安置於基板 274 之前側及/或後側上。邊緣連接器 276 可包含間隔開之電導體(圖 12 中未顯示)，其經組態以嚙合邊緣連接器槽中之配對觸點(圖 12 中亦未顯示)，以使得模組 270 可與模組 270 外部之電路及裝置進行通信。邊緣連接器 276 可安置於基板 274 之前側及/或後側上且亦可包含一或多個鍵槽 280 以准許模組 270 在一邊緣連接器槽中恰當對準。在各種實施例中，可將其他額外組件安裝於具有圖 12 中所示之組件之基板 274 上。舉例而言，可將一驅動處理器以及其他組件安裝於基板 274 上。

記憶體模組 270 亦可包含可以運作方式耦合至至少一個群組 272 之一路徑管理器 282。因此，通信路徑 16 包括延伸至至少一個群組 272 之區域路徑(耦合至通信路徑 16)，同時全域源路徑 284 及 286 可耦合至一源(例如，圖 1 之源 12)，且全域通行路徑 288 及 289 可耦合至模組 270 中之又一些模組，以將記憶體信號遞送至其他模組。雖然圖 12 中將路徑管理器 282 顯示為定位於基板 274 上，但路徑管理器 282 可

定位於遠離基板274之其他位置中且以運作方式耦合至群組272。

前述之記憶體模組270可整合至又一些且更具擴展性之記憶體結構中。現亦參照圖13，其顯示根據各種實施例之一記憶體結構290之一圖解性方塊圖。記憶體結構290包含記憶體模組292(例如，圖12之記憶體模組270)之至少一個群組294，記憶體模組292之群組294可藉由通信鏈路284耦合至源12。由於記憶體模組292中之每一者可包含一路徑管理器(如先前所述)，因此源12可與複數個記憶體裝置(例如，圖1之記憶體塊14)進行通信。在各種實施例中，記憶體模組292中之至少某些記憶體模組可包含32個或更多個記憶體塊。在其他實施例中，記憶體模組中至少某些記憶體模組可包含多達36個記憶體塊，但亦可存在其他較大數量之記憶體塊。雖然圖13中將記憶體結構290顯示為可安置於單獨基板上之記憶體模組292之一總成，但各種實施例並不受此限制。舉例而言，圖13中所示之記憶體結構290可安置於一單個基板上或可安置於具有定位於該基板上之又一些組件之一基板上。

圖14係闡述根據各種實施例運作一記憶體系統之一方法300之一流程圖。在方塊302處，方法300提供包含藉由複數個區域通信路徑耦合至一記憶體裝置之一記憶體裝置之至少一個記憶體塊。在方塊304處，該至少一個記憶體塊耦合至記憶體信號之一源以在該源與該至少一個記憶體塊之間提供多於一個通信路徑。根據各種實施例，在該源與

該至少一個記憶體塊之間延伸之通信路徑可介於兩個與四個之間的範圍內，但其他組態亦係可能的。在方塊306處，建立在該源與該至少一個記憶體塊之間的增加帶寬與在該源與該至少一個記憶體塊之間的一冗餘通信路徑中之至少一者。

圖15係根據各種實施例之一處理系統400之一圖解性方塊圖。處理系統400可包含一中央處理單元(CPU)402，其可包含能夠接收資料及經程式化之指令且根據該等經程式化之指令處理該資料之任一數位裝置。因此，CPU 402可包含一微處理器(例如，一通用單晶片或多晶片處理器)，或其可包含一數位信號處理單元或其他類似可程式化處理單元。CPU 402通常經組態以經由一適當通信匯流排406與一記憶體單元404進行通信。記憶體單元404可包含根據各種實施例構成之記憶體塊中之一或多者，例如，分別如圖1至圖3中所示之記憶體系統10、30及40。處理系統400亦可包含以運作方式耦合至匯流排406之各種其他裝置，該等其他裝置經組態以協作地與CPU 402及記憶體單元404互動。舉例而言，處理系統400可包含一或多個輸入/輸出(I/O)裝置408，例如一列印機、一顯示器裝置、一鍵盤、一滑鼠或其他習知輸入/輸出裝置。處理系統400亦可包含一大容量儲存裝置410，其可包含一硬磁碟驅動器、一軟磁碟驅動器、一光碟裝置(CD-ROM)或其他類似裝置。應理解，圖15提供處理系統400之一簡化表示。因此，應理解，雖然圖15中未顯示但此項技術中習知之其他裝置(例

如，一記憶體控制器)仍可存在於處理系統400中。如各種圖示中已顯示，一記憶體系統中可存在多個區域路徑及全域路徑。提供可藉由多個匯流排406耦合至又一些記憶體系統之一記憶體系統亦在各種實施例之範疇內。

雖然已圖解闡釋及闡述了各種實施例(如上所述)，但可在不背離本發明之情況下做出改變。形成本文之一部分之附圖以圖解闡釋而非限制之方式顯示其中可實踐標的物之具體實施例。所圖解闡釋之實施例經足夠詳細地闡述以使熟習此項技術者能夠實踐本文中所揭示之教示。由此可利用及導出其他實施例。因此，此[實施方式]不應被視為具有一限制意義。

雖然本文中已圖解闡釋及闡述了若干具體實施例，但應瞭解，經設想以達成相同目的之任一配置皆可替代所示具體實施例。此外，雖然已結合記憶體系統及裝置闡述了各種實施例，但應理解，可在不做修改之情況下在各種習知電子系統及裝置中採用各種實施例。本發明意欲涵蓋各種實施例之任何及所有改動或變化形式。在審閱以上說明時，熟習此項技術者將明瞭上述實施例之組合及本文中未具體闡述之其他實施例。

提供[發明摘要]以符合37 C.F.R. §1.72(b)，其需要將允許讀者快速獲取該技術性發明之性質之一摘要。提交本摘要係基於以下理解：其將不用於解釋或限制申請專利範圍之含義。另外，在前述[實施方式]中，可發現，出於簡化本發明之目的，可將各種特徵一同集合於一單個實施例

中。此發明之方法不應解釋為反映以下意圖：所主張之實施例需要比每一請求項中所明確陳述之特徵更多之特徵。而是，如以下申請專利範圍反映，發明性標的物在於少於一單個所揭示實施例之所有特徵。因此，藉此將以下申請專利範圍併入至[實施方式]中，其中每一請求項本身作為一單獨實施例。

【圖式簡單說明】

在上文之論述中結合以下圖式詳細闡述了各種實施例。

圖1係根據各種實施例之一記憶體系統之一圖解性方塊圖；

圖2係根據各種實施例之一記憶體系統之一圖解性方塊圖；

圖3係根據各種實施例之一記憶體系統之一圖解性方塊圖；

圖3A係根據各種實施例之一記憶體塊之一圖解性方塊圖；

圖3B係根據各種實施例之一記憶體系統之一圖解性方塊圖；

圖3C係根據各種實施例之一記憶體系統之一圖解性方塊圖；

圖3D係根據各種實施例之一記憶體系統之一圖解性方塊圖；

圖4係根據各種實施例之一記憶體系統之一圖解性方塊圖；

圖 5 係根據各種實施例之一記憶體系統之一圖解性方塊圖；

圖 6 係根據各種實施例之一記憶體系統之一圖解性方塊圖；

圖 7 係根據各種實施例之一記憶體系統之一圖解性方塊圖；

圖 8 係根據各種實施例之用於一記憶體系統之一路由交換器之一局部示意圖；

圖 9 係根據各種實施例之一記憶體模組之一局部圖解性方塊圖；

圖 10 係根據各種實施例之用於一記憶體系統之一路徑管理器之一局部圖解性方塊圖；

圖 11 係根據各種實施例之一路徑管理器之一局部圖解性方塊圖；

圖 12 係根據各種實施例之一記憶體模組之一圖解性方塊圖；

圖 13 係根據各種實施例之一記憶體結構之一圖解性方塊圖；

圖 14 係根據各種實施例闡述運作一記憶體系統之一方法之一流程圖；及

圖 15 係根據各種實施例之一處理系統之一圖解性方塊圖。

【主要元件符號說明】

10 記憶體系統

10B	記 憶 體 系 統
10C	記 憶 體 系 統
10D	記 憶 體 系 統
12	源
12A	源
12C	第 一 源
12D	第 二 源
12E	源
12F	源
12G	源
12H	源
14	記 憶 體 塊
14A	記 憶 體 塊
14B	記 憶 體 塊
14C	記 憶 體 塊
14D	記 憶 體 塊
16	通 信 鏈 路
18	記 憶 體 單 元
20	路 由 交 換 器
22	區 域 鏈 路
30	記 憶 體 系 統
32	通 信 鏈 路
34	第 一 通 信 路 徑
36	第 二 通 信 路 徑

40	記憶體系統
42	通信鏈路
44	第一通信路徑
45	第二通信路徑
46	第三通信路徑
47	第四通信路徑
50	記憶體系統
52	第一群組
54	第二群組
56	通信鏈路
58	第一通信路徑
59	第二通信路徑
60	記憶體系統
62	第一群組
64	第二群組
66	通信鏈路
68	第一通信路徑
70	第二通信路徑
72	第三通信路徑
74	第四通信路徑
80	記憶體系統
82	第一群組
84	第二群組
86	第三群組

88	第四群組
90	通信鏈路
92	第一通信路徑
94	第二通信路徑
96	第三通信路徑
98	第四通信路徑
100	記憶體系統
102	通信鏈路
104	第一通信路徑
106	第二通信路徑
108	第一群組
110	記憶體塊
112	記憶體塊
114	記憶體塊
116	記憶體塊
118	第三通信路徑
120	第四通信路徑
122	第二群組
124	記憶體塊
126	記憶體塊
128	記憶體塊
130	記憶體塊/路由交換器
132	區域路徑
134	第一通信路徑

135	第二通信路徑
136	交叉點交換網路
138	輸入/輸出(I/O)埠
140	輸入塊
142	多工單元(MUX)
150	記憶體模組
152	群組
154	基板
156	邊緣連接器
158	邊緣
160	通信路徑
161	鍵槽
220	路徑管理器
222	區域路徑
224	全域源路徑
226	全域通行路徑
230	交叉點交換網路
232	雙向輸入/輸出(I/O)埠
234	雙向輸入/輸出(I/O)埠
236	輸入塊
238	多工單元(MUX)
270	記憶體模組
272	群組
274	基板

276	邊緣連接器
278	邊緣
280	鍵槽
282	路徑管理器
284	全域源路徑
286	全域源路徑
288	全域通行路徑
289	全域通行路徑
290	記憶體結構
292	記憶體模組
294	群組
400	處理系統
402	中央處理單元 (CPU)
404	記憶體單元
406	通信匯流排
408	輸入/輸出 (I/O) 裝置
410	大容量儲存裝置

103年12月24日修正對照(本)

第 098126414 號專利申請案

中文申請專利範圍替換本(103 年 12 月)

七、申請專利範圍：

P.1-17

1. 一種記憶體系統，其包括：

串聯耦合之記憶體塊之一第一群組，其包含複數個記憶體裝置之一第一部分，其中該等記憶體裝置之該第一部分中之每一者耦合至以運作方式耦合至一源之一第一路由交換器；

串聯耦合之記憶體塊之一第二群組，其包含該複數個記憶體裝置之一第二部分，其中該等記憶體裝置之該第二部分中之每一者耦合至以運作方式耦合至該源之一第二路由交換器；及

至少一個通信路徑，其經組態以將該第一群組及該第二群組中之每一者以通信方式耦合至該源，其中該第一群組及該第二群組在作業中並聯耦合至該源，其中該第一群組及該第二群組以一纏結方式耦合以提供多個冗餘通信路徑，且其中除串聯耦合之記憶體塊之該第一群組之最後一個記憶體塊外，每一記憶體塊之一輸出直接耦合至串聯耦合之記憶體塊之該第二群組之一記憶體塊之一輸入。

2. 如請求項1之記憶體系統，其中該第一群組及該第二群組中之一者包括大約多個記憶體塊。

3. 如請求項1之記憶體系統，其中該至少一個通信路徑係雙向的，其包括在每一方向上延伸之複數個全雙工雙向通道。

4. 如請求項1之記憶體系統，其包括：

串聯耦合之記憶體塊之一第三群組，其包含該複數個記憶體裝置之一第三部分，其中該等記憶體裝置之該第三部分中之每一者耦合至經組態以運作方式耦合至該源之第三路由交換器；及

串聯耦合之記憶體塊之一第四群組，其包含該複數個記憶體裝置之一第四部分，其中該等記憶體裝置之該第四部分中之每一者耦合至經組態以運作方式耦合至該源之第四路由交換器，其中該第三群組及該第四群組在被耦合時與該第一群組及該第二群組並聯耦合至該源。

5. 如請求項4之記憶體系統，其中一單個雙向通信路徑將該第一群組、該第二群組、該第三群組及該第四群組耦合至該源。

6. 一種記憶體系統，其包括：

串聯耦合之記憶體塊之一第一群組，其包含複數個記憶體裝置之一第一部分，其中該等記憶體裝置之該第一部分中之每一者耦合至經組態以耦合至一源之該第一路由交換器；

串聯耦合之記憶體塊之一第二群組，其包含該複數個記憶體裝置之一第二部分，其中該等記憶體裝置之該第二部分中之每一者耦合至經組態以耦合至該源之一第二路由交換器；及

一通信鏈路，其在被耦合時將該第一群組及該第二群組中之每一者以通信方式耦合至該源，其中該通信鏈路包含耦合至該第一群組之一第一對雙向通信路徑及耦合

至該第二群組之一第二對雙向通信路徑，此外其中該第一群組中之特定記憶體塊與該第二群組中之特定記憶體塊以一纏結方式互連以提供多個冗餘通信路徑，且其中除串聯耦合之記憶體塊之該第一群組之最後一個記憶體塊外，每一記憶體塊之一輸出直接耦合至串聯耦合之記憶體塊之該第二群組之一記憶體塊之一輸入。

7. 如請求項6之記憶體系統，其中該第一對該等雙向通信路徑中之一特定一者耦合至該第二群組中之一特定記憶體塊，且該第二對該等雙向通信路徑中之一特定一者耦合至該第一群組中之一特定記憶體塊。

8. 一種記憶體系統，其包括：

第一複數個記憶體塊，其藉由至少一對雙向通信路徑串聯耦合至一源，該第一複數個記憶體塊中之每一者包含藉由複數個區域通信路徑以通信方式耦合至一路由交換器之一記憶體裝置之至少一部分，其中該路由交換器包含經組態以在該源與該等記憶體塊之間傳遞資料之雙向輸入/輸出(I/O)埠；及

第二複數個記憶體塊，其藉由至少一第二對雙向通信路徑串聯耦合至該源，其中除串聯耦合之記憶體塊之該第一群組之最後一個記憶體塊外，每一記憶體塊之一輸出直接耦合至串聯耦合之記憶體塊之該第二群組之一記憶體塊之一輸入。

9. 如請求項8之記憶體系統，其中該等雙向輸入/輸出(I/O)埠包括經組態以接收封包化資料之一輸入塊、經組態以

傳輸該封包化資料之一多工器及經組態以將該封包化資料傳遞至該記憶體裝置之一交叉點交換網路。

10. 如請求項9之記憶體系統，其中該輸入塊包括經組態以偵測並校正該所接收資料中之錯誤之錯誤校正碼(ECC)電路。

11. 一種記憶體模組，其包括：

一基板，其經組態以耦合至記憶體信號之一源；

串聯耦合之記憶體塊之至少一個第一群組，其中每一記憶體塊包含耦合至一路由交換器之一記憶體裝置；及

一通信鏈路，其經組態以將該至少一個第一群組之該等路由交換器耦合至該源，其中串聯耦合之記憶體塊之該至少一個第一群組一纏結方式耦合至串聯耦合之記憶體塊之一第二群組以提供多個冗餘通信路徑，且其中除串聯耦合之記憶體塊之該至少一個第一群組之最後一個記憶體塊外，每一記憶體塊之一輸出直接耦合至串聯耦合之記憶體塊之該第二群組之一記憶體塊之一輸入。

12. 如請求項11之記憶體模組，其中該通信鏈路包括在該等記憶體塊中之每一者之間延伸之至少一對雙向通信路徑，此外其中該等雙向通信路徑延伸至安置於該平面基板上且經組態以耦合至該源之一邊緣連接器。

13. 如請求項12之記憶體模組，其中該至少一個群組包括複數個記憶體塊，且其中該等雙向通信路徑每一者包含複數個資料通道。

14. 一種記憶體系統，其包括：

串聯耦合之記憶體塊之至少一個第一群組，其安置於一基板上，其中每一記憶體塊包含耦合至一路由交換器之一記憶體裝置之至少一部分；及

一路徑管理器，其經組態以運作方式耦合至記憶體信號之一源且可運作以藉由一區域通信鏈路將該等記憶體信號傳遞至該至少一個第一群組之該路由交換器，其中除串聯耦合之記憶體塊之該至少一個第一群組之最後一個記憶體塊外，每一記憶體塊之一輸出直接耦合至串聯耦合之記憶體塊之一第二群組之一記憶體塊之一輸入。

15. 如請求項14之記憶體系統，其中該區域通信鏈路包括耦合至該至少一個群組之該路由交換器之至少一對雙向通信路徑。
16. 如請求項14之記憶體系統，其中該路徑管理器藉由延伸至一源之至少一對雙向全域源路徑耦合至該源。
17. 如請求項16之記憶體系統，其中該路徑管理器安置於其上安置有該等記憶體塊之一基板上，且該等雙向全域源路徑延伸至安置於該基板上之一連接器。
18. 如請求項16之記憶體系統，其中該路徑管理器耦合至一對雙向全域通行路徑，該對雙向全域通行路徑延伸至未安置於該基板上之串聯耦合之記憶體塊之至少一個其他群組。
19. 一種操作一記憶體裝置之方法，其包括：

提供串聯耦合之記憶體塊之一第一群組及一第二群組，串聯耦合之記憶體塊之該第一群組及該第二群組之

每一記憶體塊具有僅一個記憶體裝置及僅一個耦合至該記憶體裝置之路由交換器；

將串聯耦合之記憶體塊之該第一群組及該第二群組耦合至記憶體信號之一源以在該源與該記憶體塊之間提供多於一個通信路徑；及

選擇性地提供該源與串聯耦合之記憶體塊之該第一群組及該第二群組之間的一增加之帶寬或該源與記憶體塊之該第一群組及該第二群組之間的一冗餘通信路徑中之至少一者，其中除串聯耦合之記憶體塊之該第一群組之最後一個記憶體塊外，每一記憶體塊之一輸出直接耦合至串聯耦合之記憶體塊之該第二群組之一記憶體塊之一輸入。

20. 如請求項19之方法，其中記憶體信號之該源包含一記憶體控制器，且此外其中將串聯耦合之記憶體塊之該第一群組及該第二群組耦合至記憶體信號之一源包括提供兩個與四個之間的延伸於該記憶體控制器與串聯耦合之記憶體塊之該第一群組及該第二群組之間的多個雙向通信路徑。

21. 一種用於一記憶體裝置之處理系統，其包含：

一中央處理單元(CPU)；

一記憶體單元，其藉由一通信匯流排以運作方式耦合至該CPU，其中該記憶體單元經組態以傳遞記憶體信號，該記憶體單元進一步包括：

串聯耦合之記憶體塊之一第一群組及一第二群組，串

聯耦合之記憶體塊之該第一群組及該第二群組之每一記憶體塊具有僅一個記憶體裝置及僅一個耦合至該記憶體裝置之路由交換器，其中除該第一複數個記憶體塊之最後一個記憶體塊外，每一記憶體塊之一輸出直接耦合至該第二複數個記憶體塊之一記憶體塊之一輸入。

22. 如請求項21之處理系統，其中該通信鏈路包括兩個與四個之間的雙向通信路徑。
23. 如請求項21之處理系統，其中該通信鏈路提供至少一個冗餘雙向通信路徑。
24. 如請求項21之處理系統，其中該至少一個記憶體塊包括將該記憶體裝置耦合至該路由交換器之一區域通信鏈路。
25. 如請求項24之處理系統，其中該區域通信鏈路包括多於一個區域通信路徑。

八、圖式：

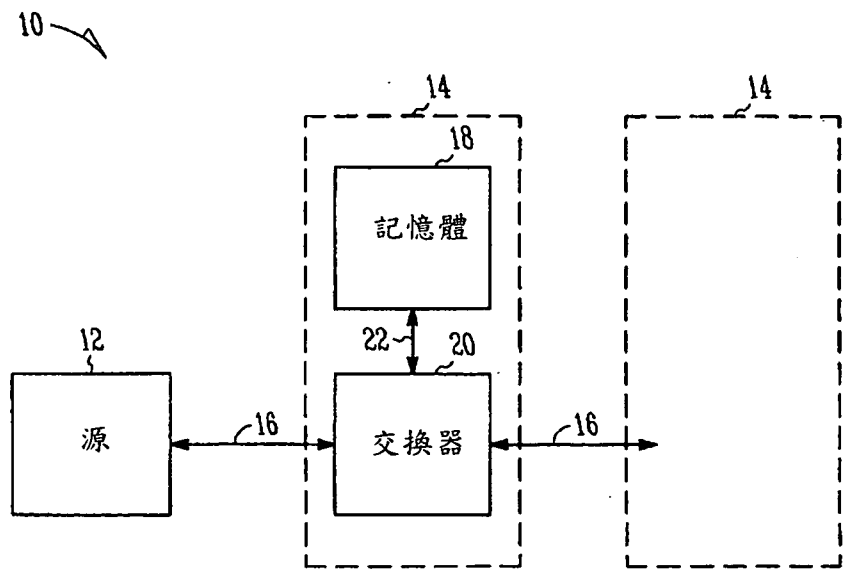


圖 1

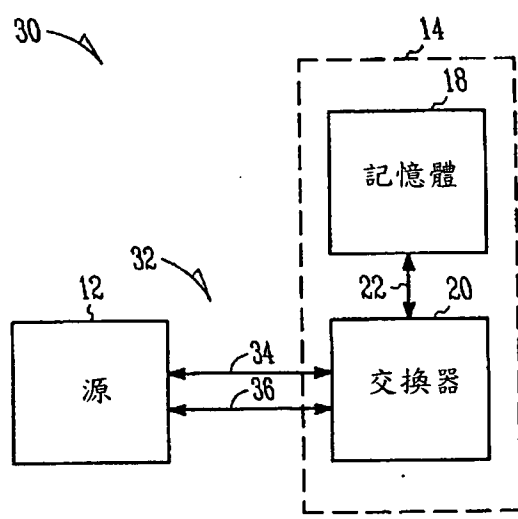


圖 2

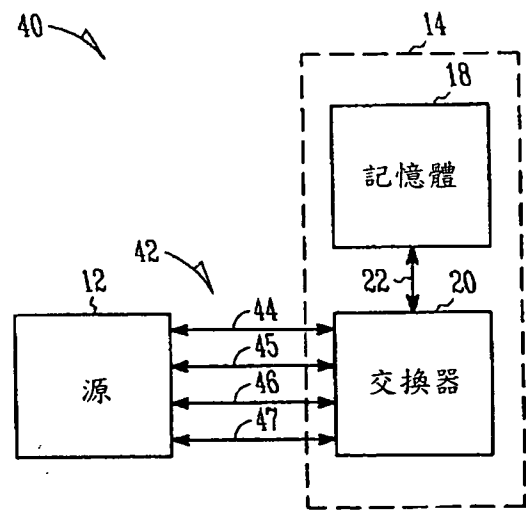


圖 3

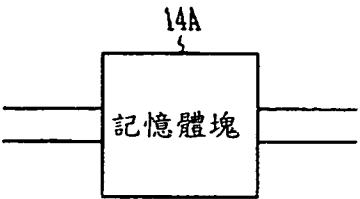


圖 3A

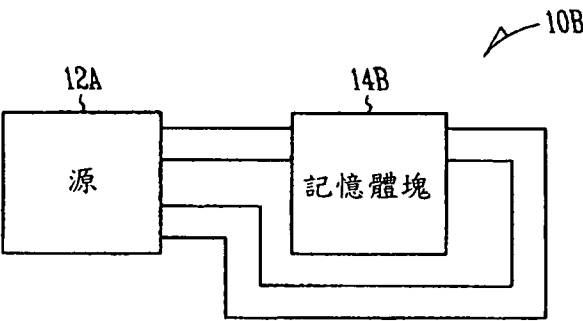


圖 3B

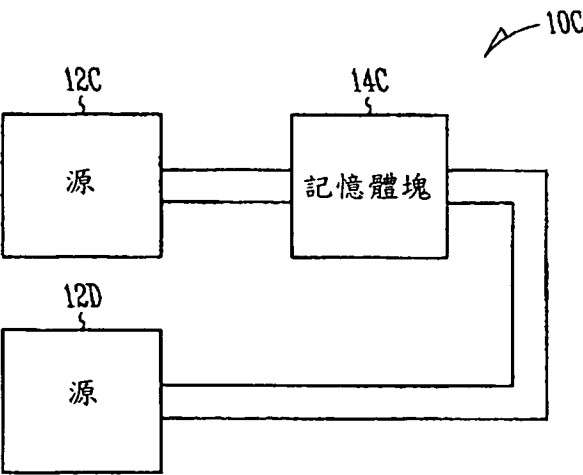


圖 3C

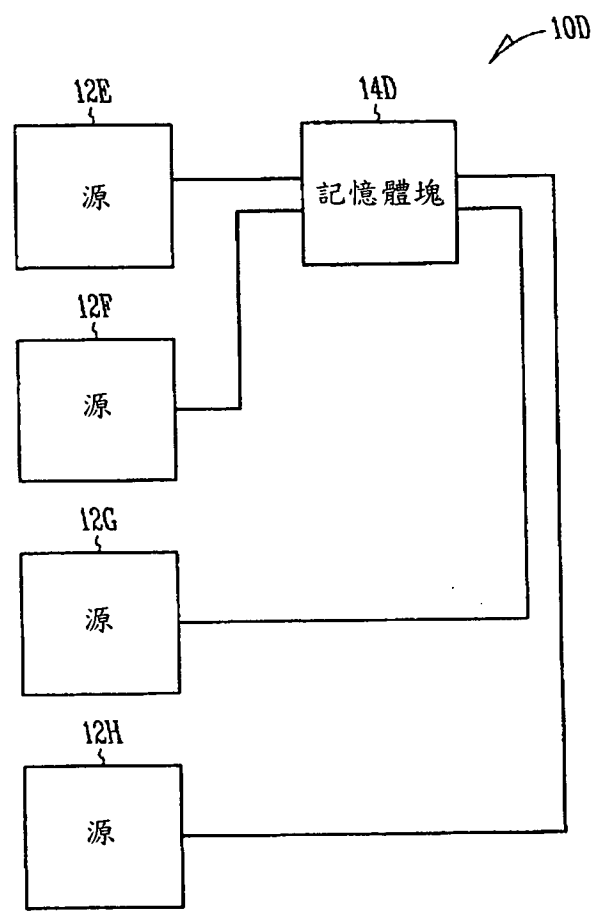


圖 3D

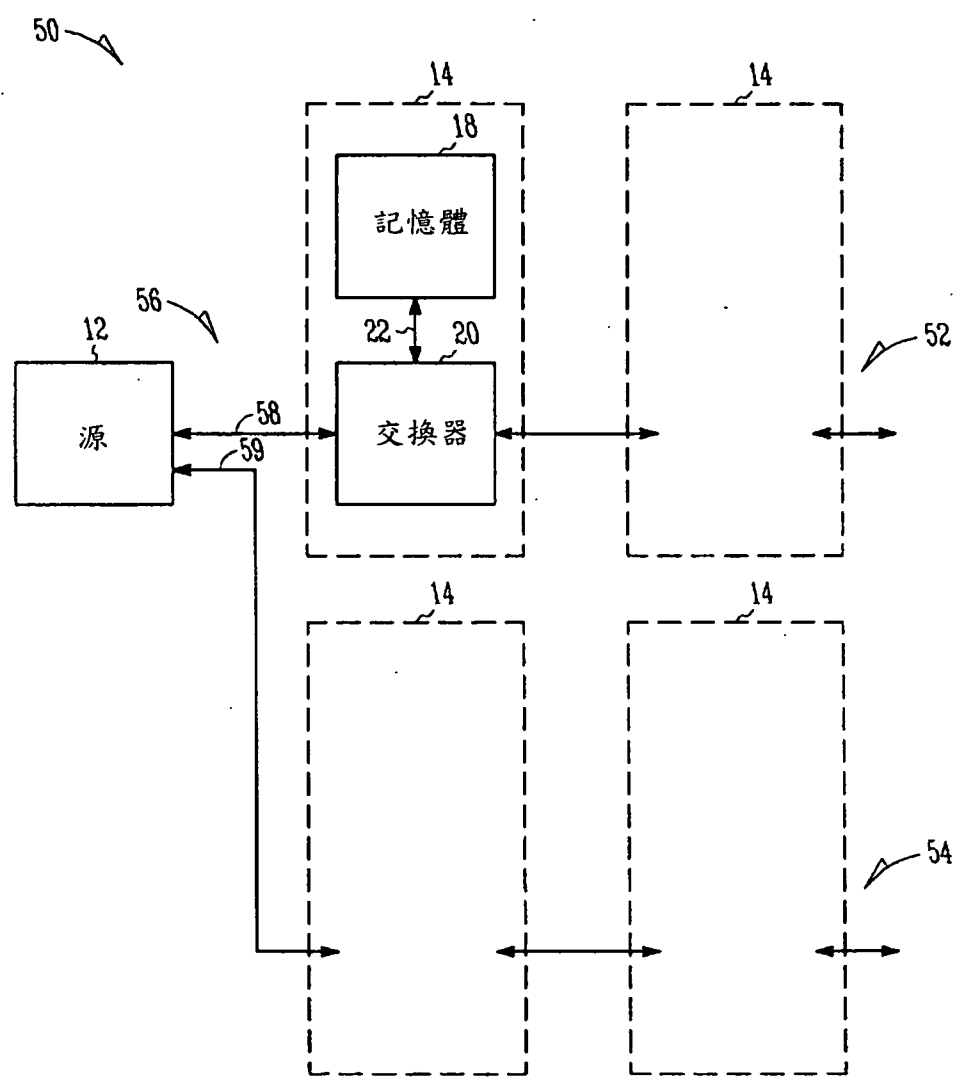


圖 4

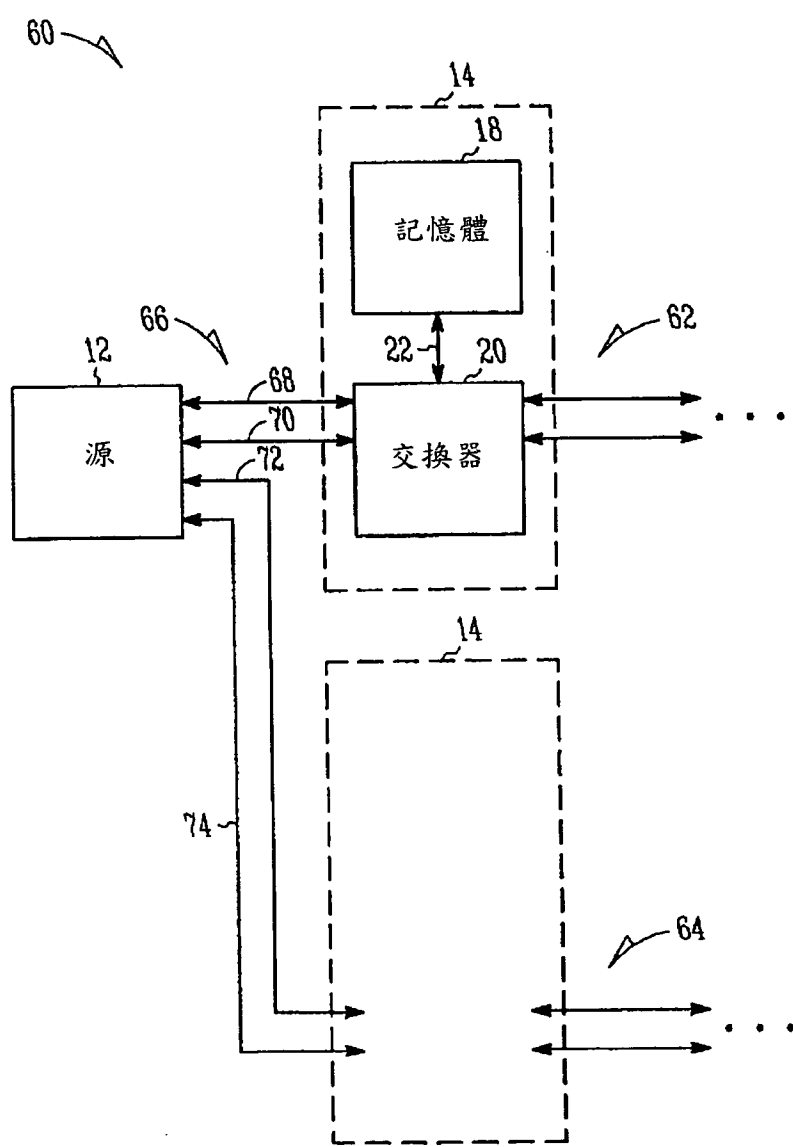


圖 5

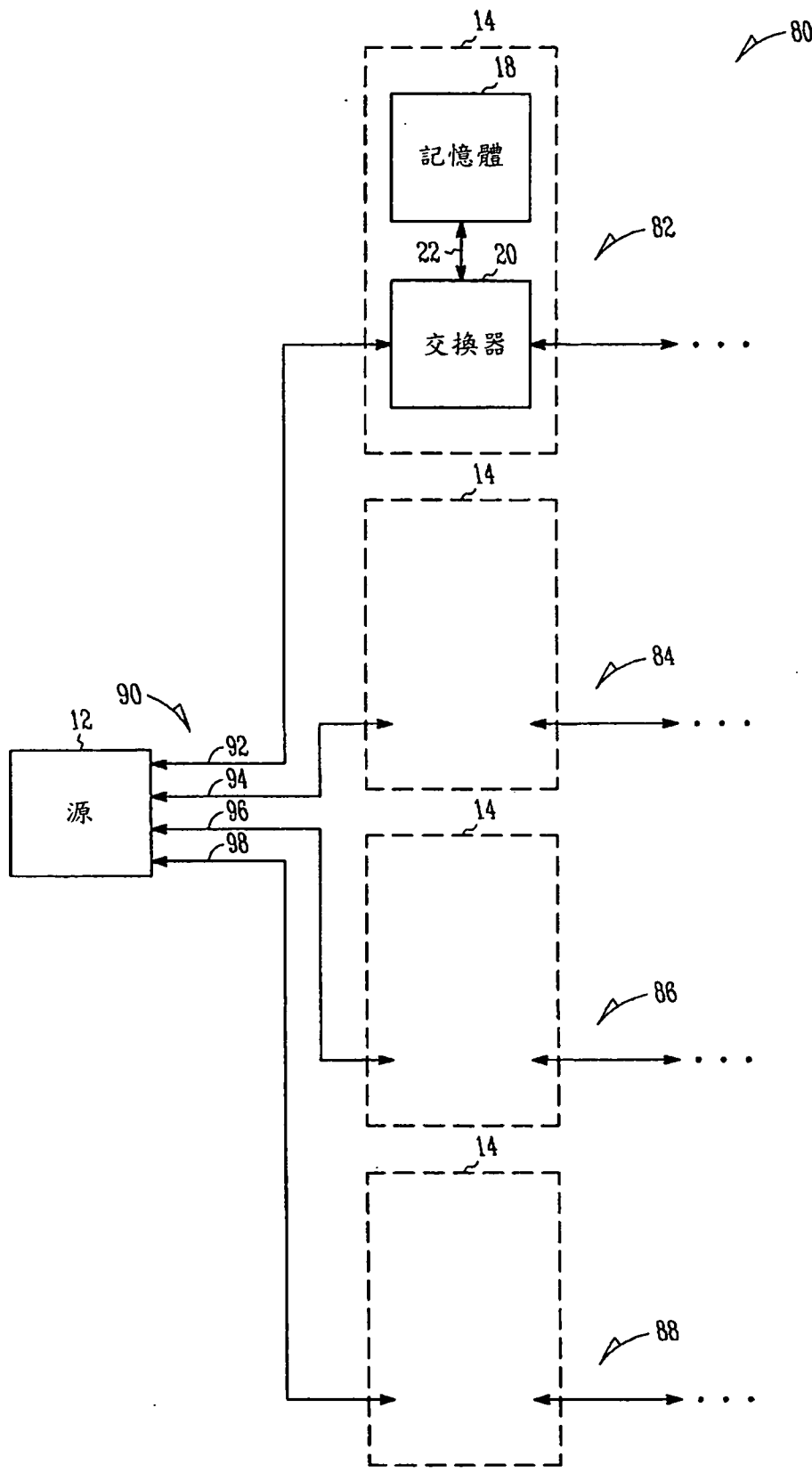


圖 6

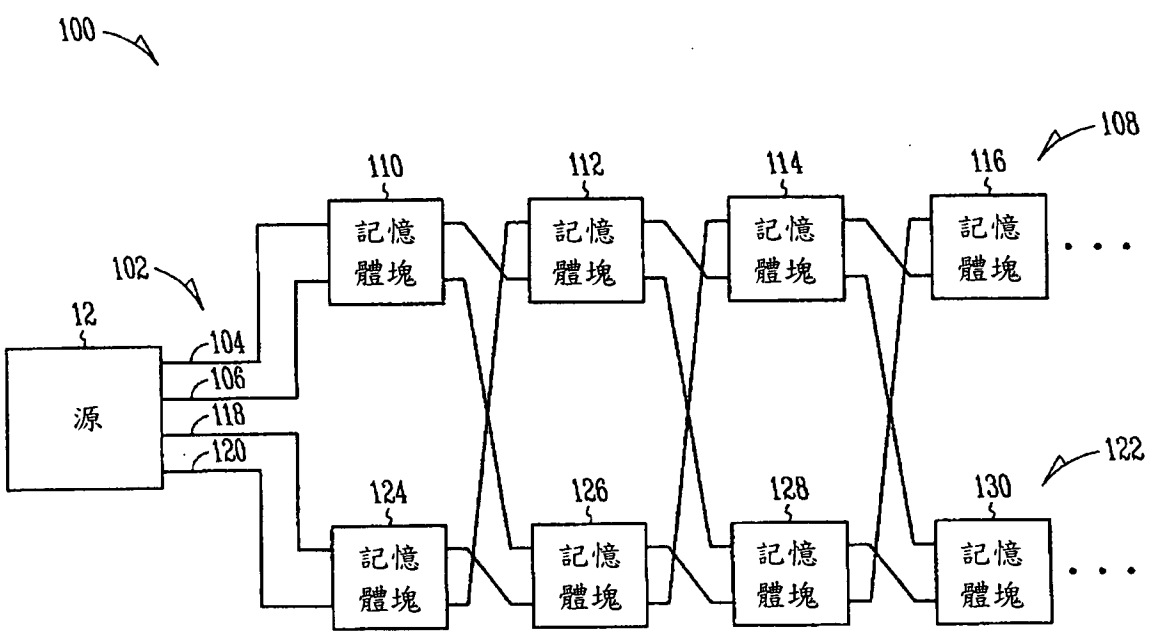


圖 7

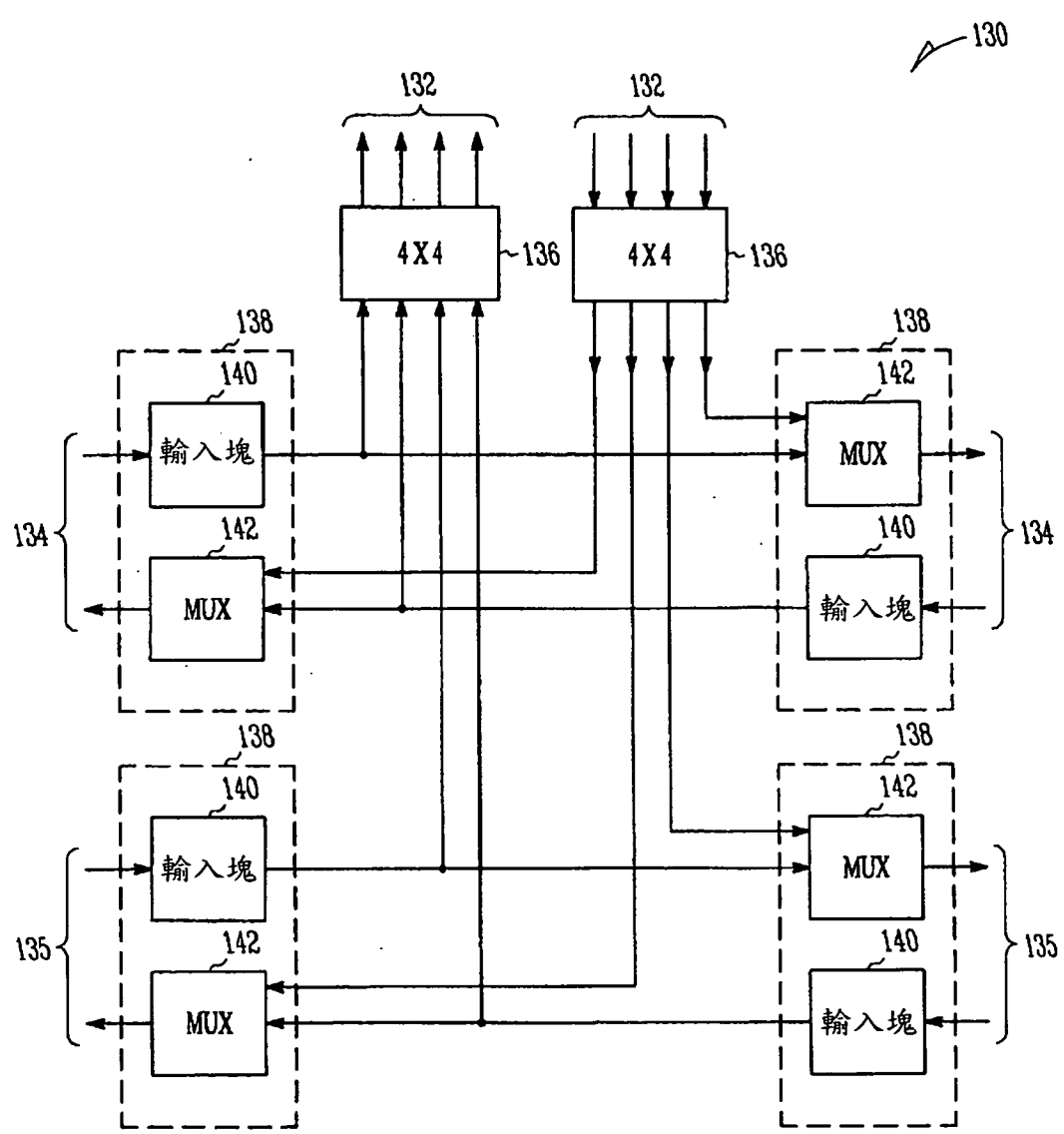


圖 8

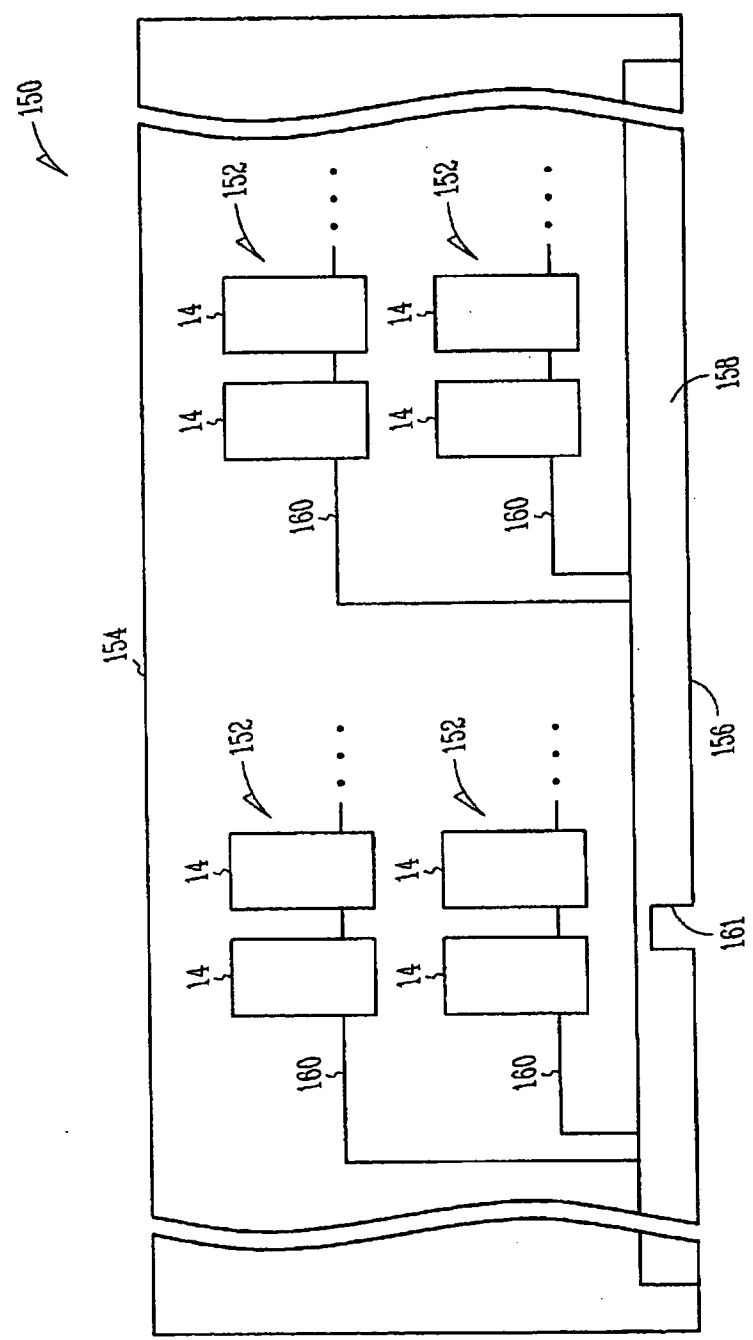


圖 9

圖 10

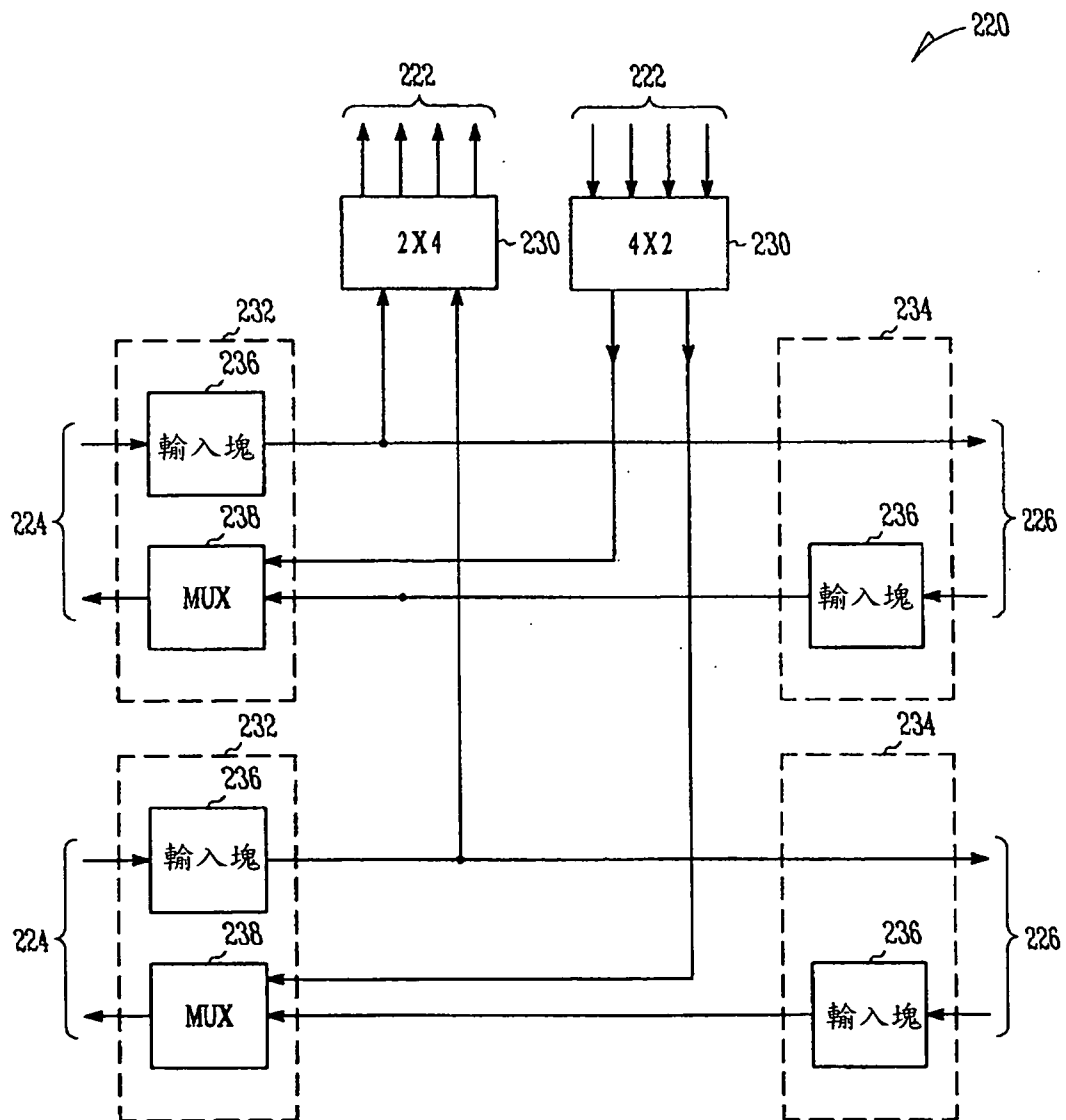


圖 11

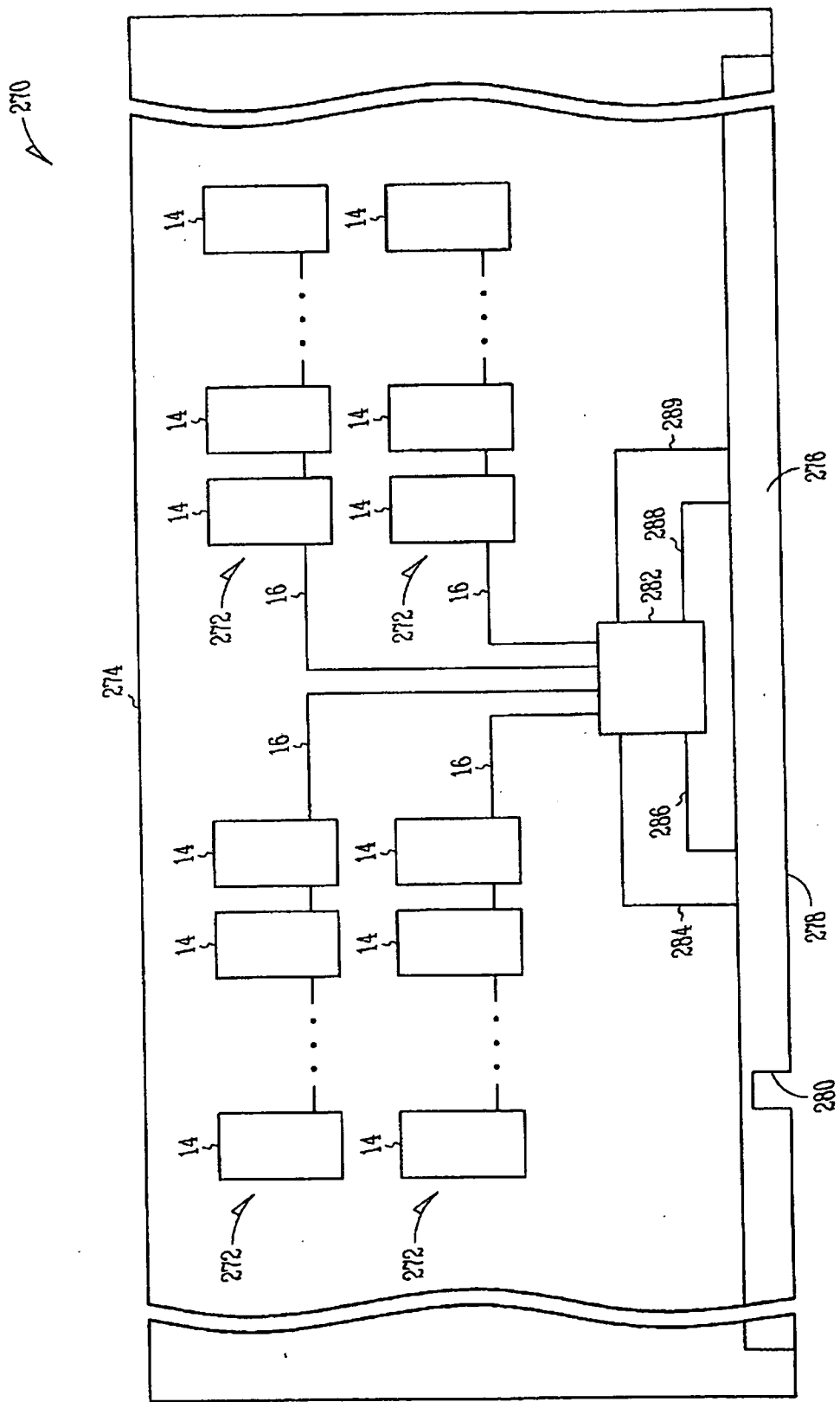


圖 12

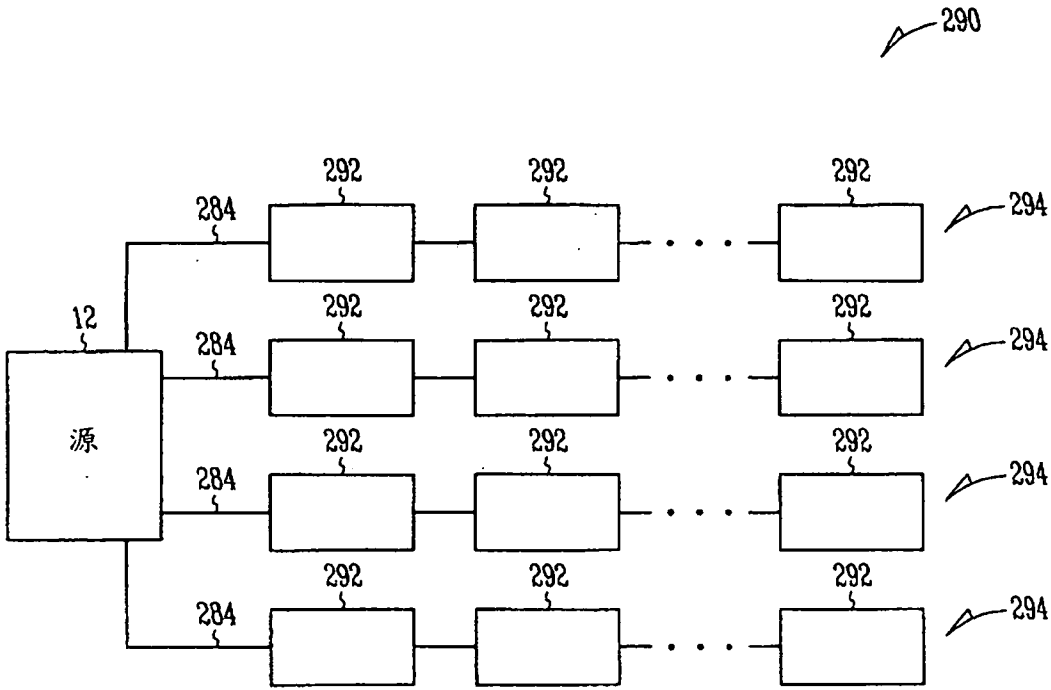


圖 13

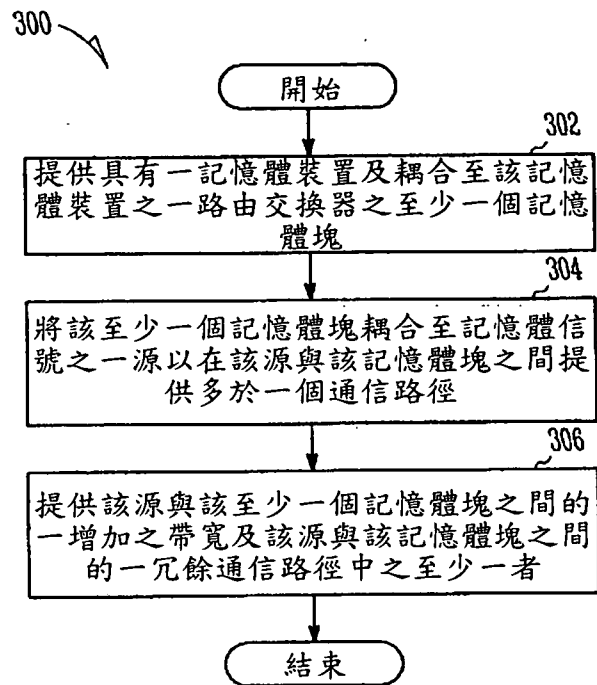


圖 14

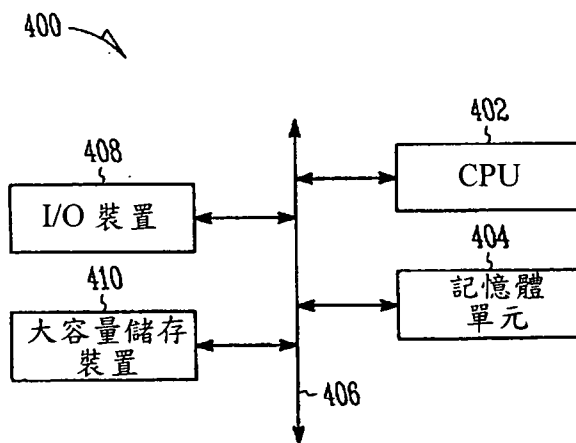


圖 15