

(19) 日本国特許庁(JP)

## (12) 公開特許公報(A)

(11) 特許出願公開番号

特開2011-112722  
(P2011-112722A)

(43) 公開日 平成23年6月9日(2011.6.9)

(51) Int.Cl.		F 1				テーマコード (参考)
<b>G09G</b>	<b>3/30</b>	<b>(2006.01)</b>	GO9G	3/30	J	3K107
<b>G09G</b>	<b>3/20</b>	<b>(2006.01)</b>	GO9G	3/20	624B	5C080
<b>H05B</b>	<b>33/08</b>	<b>(2006.01)</b>	GO9G	3/20	641D	5C380
<b>H01L</b>	<b>51/50</b>	<b>(2006.01)</b>	GO9G	3/20	642A	
			GO9G	3/20	611H	

審査請求 未請求 請求項の数 7 O L (全 20 頁) 最終頁に続く

(21) 出願番号	特願2009-266733 (P2009-266733)	(71) 出願人	000002185 ソニー株式会社 東京都港区港南1丁目7番1号
(22) 出願日	平成21年11月24日 (2009.11.24)	(74) 代理人	100098785 弁理士 藤島 洋一郎
		(74) 代理人	100109656 弁理士 三反崎 泰司
		(74) 代理人	100130915 弁理士 長谷部 政男
		(74) 代理人	100155376 弁理士 田名網 孝昭
		(72) 発明者	山下 淳一 東京都港区港南1丁目7番1号 ソニー株式会社内

最終頁に続く

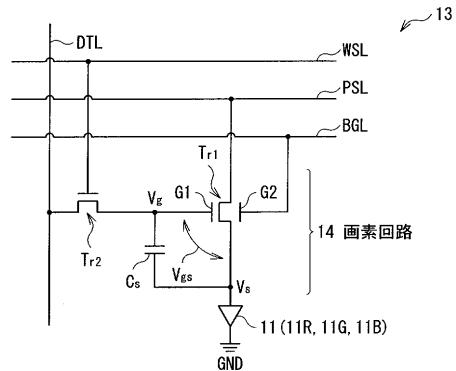
(54) 【発明の名称】表示装置およびその駆動方法ならびに電子機器

## (57) 【要約】

【課題】移動度  $\mu$  の補正に適した時間  $t$  を過度に短くすることなく、高輝度化を実現することの可能な表示装置およびその駆動方法ならびに電子機器を提供する。

【解決手段】有機EL素子11と直列に接続された駆動トランジスタ  $T_{r1}$  として、デュアルゲート型のトランジスタが用いられている。有機EL素子11を発光させる時、または有機EL素子11を発光させている時に、駆動トランジスタ  $T_{r1}$  の閾値補正および移動度補正を行っている時とは異なる所定の値の電圧がバックゲート  $G2$  に印加される。これにより、トップゲート  $G1$  に書き込む信号電圧  $V_{sig}$  の大きさを大きくする代わりに、バックゲート  $G2$  に印加する電圧を適切に調整することにより、有機EL素子11に流れる電流  $I_d$  を大きくすることができる。

【選択図】図2



## 【特許請求の範囲】

## 【請求項 1】

一組の発光素子および画素回路が2次元配置された表示部と、  
映像信号に基づいて前記画素回路を駆動する駆動部と  
を備え、

前記画素回路は、第1ゲートおよび第2ゲートを含み、かつ前記発光素子に流れる電流  
を制御するデュアルゲート型の第1トランジスタと、前記映像信号に応じた信号電圧を前  
記第1ゲートに書き込む第2トランジスタとを有し、

前記駆動部は、前記第1トランジスタの閾値補正および移動度補正を行っている時と、  
前記発光素子を発光させている時とで、前記第2ゲートに印加する電圧を異なる  
表示装置。  
10

## 【請求項 2】

前記画素回路は、前記発光素子のうち前記第1トランジスタ側の端子と前記第2ゲート  
との電気的な接続を制御するスイッチング素子を有すると共に、前記第1トランジスタと前記スイッチング素子との接続点と前記駆動部との間に容量素子を有する

請求項1に記載の表示装置。

## 【請求項 3】

前記駆動部は、少なくとも前記第1トランジスタの閾値補正および移動度補正を行って  
いる間、前記スイッチング素子をオンし、発光が開始された後、前記スイッチング素子を  
オフする  
20

請求項2に記載の表示装置。

## 【請求項 4】

前記駆動部は、前記第1トランジスタがnチャネル型である場合には、前記発光素子を  
発光させている時に前記第2ゲートに印加する電圧を、前記第1トランジスタの閾値補正  
および移動度補正を行っている時に前記第2ゲートに印加する電圧よりも高くする

請求項1ないし請求項3のいずれか一項に記載の表示装置。

## 【請求項 5】

前記駆動部は、前記第1トランジスタがpチャネル型である場合には、前記発光素子を  
発光させている時に前記第2ゲートに印加する電圧を、前記第1トランジスタの閾値補正  
および移動度補正を行っている時に前記第2ゲートに印加する電圧よりも低くする  
30

請求項1ないし請求項3のいずれか一項に記載の表示装置。

## 【請求項 6】

一組の発光素子および画素回路が2次元配置された表示部と、映像信号に基づいて前記  
画素回路を駆動する駆動部とを備え、前記画素回路が、第1ゲートおよび第2ゲートを含  
み、かつ前記発光素子に流れる電流を制御するデュアルゲート型の第1トランジスタと、  
前記映像信号に応じた信号電圧を前記第1ゲートに書き込む第2トランジスタとを有する  
発光装置を用意するステップと、

前記駆動部を用いて、前記第1トランジスタの閾値補正および移動度補正を行っている  
時に前記第2ゲートに第1電圧を印加したのち、前記発光素子を発光させている時に前記  
第2ゲートに前記第1電圧とは大きさの異なる第2電圧を印加するステップと  
40  
を含む表示装置の駆動方法。

## 【請求項 7】

表示装置を備え、

前記表示装置は、

一組の発光素子および画素回路が2次元配置された表示部と、  
映像信号に基づいて前記画素回路を駆動する駆動部と  
を備え、

前記画素回路は、第1ゲートおよび第2ゲートを含み、かつ前記発光素子に流れる電流  
を制御するデュアルゲート型の第1トランジスタと、前記映像信号に応じた信号電圧を前  
記第1ゲートに書き込む第2トランジスタとを有し、  
50

前記駆動部は、前記第1トランジスタの閾値補正および移動度補正を行っている時と、前記発光素子を発光させている時とで、前記第2ゲートに印加する電圧を異ならせる電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、画素ごとに配置した発光素子で画像を表示する表示装置およびその駆動方法に関する。また、本発明は、上記表示装置を備えた電子機器に関する。

【背景技術】

【0002】

近年、画像表示を行う表示装置の分野では、画素の発光素子として、流れる電流値に応じて発光輝度が変化する電流駆動型の光学素子、例えば有機EL(electro luminescence)素子を用いた表示装置が開発され、商品化が進められている。

【0003】

有機EL素子は、液晶素子などと異なり自発光素子である。そのため、有機EL素子を用いた表示装置(有機EL表示装置)では、光源(バックライト)が必要ないので、光源を必要とする液晶表示装置と比べて画像の視認性が高く、消費電力が低く、かつ素子の応答速度が速い。

【0004】

有機EL表示装置では、液晶表示装置と同様、その駆動方式として単純(パッシブ)マトリクス方式とアクティブマトリクス方式がある。前者は、構造が単純であるものの、大型かつ高精細の表示装置の実現が難しいなどの問題がある。そのため、現在では、アクティブマトリクス方式の開発が盛んに行なわれている。この方式は、画素ごとに配した有機EL素子に流れる電流を、有機EL素子ごとに設けた画素回路内に設けた能動素子(一般にはTFT(Thin Film Transistor; 薄膜トランジスタ))によって制御するものである。

【0005】

一般的に、有機EL素子の電流-電圧(I-V)特性は、時間の経過に従って劣化(経時劣化)する。有機EL素子を電流駆動する画素回路では、有機EL素子のI-V特性が経時変化すると、有機EL素子と、有機EL素子に直列に接続されたTFTとの分圧比が変化するので、TFTのゲート-ソース間電圧 $V_{gs}$ も変化する。その結果、TFTに流れる電流値が変化するので、有機EL素子に流れる電流値も変化し、その電流値に応じて発光輝度も変化する。

【0006】

また、TFTにおいて、閾値電圧 $V_{th}$ や移動度 $\mu$ が経時的に変化したり、製造プロセスのばらつきによって画素回路ごとに異なったりする場合がある。TFTの閾値電圧 $V_{th}$ や移動度 $\mu$ が画素回路ごとに異なる場合には、TFTに流れる電流値が画素回路ごとにばらつく。その結果、TFTのゲートに同じ電圧を印加しても、有機EL素子の発光輝度がばらつき、画面の一様性(ユニフォーミティ)が損なわれる。

【0007】

そこで、有機EL素子のI-V特性が経時変化したり、TFTの閾値電圧 $V_{th}$ や移動度 $\mu$ が経時変化したりしても、それらの影響を受けることなく、有機EL素子の発光輝度を一定に保つようにするために、TFTの閾値電圧 $V_{th}$ や移動度 $\mu$ を補正する方策が提案されている(例えば、特許文献1参照)。

【先行技術文献】

【特許文献】

【0008】

【特許文献1】特開2008-083272号公報

【発明の概要】

【発明が解決しようとする課題】

10

20

30

40

50

## 【0009】

ところで、有機EL表示装置の分野では、高輝度化および高精細化が強く要求されている。そのため、例えば、信号電圧  $V_{sig}$  を大きくしたり、画素サイズを小さくしたりする方策が一般に採られている。しかし、そのようにした結果、移動度  $\mu$  の補正に適した時間  $t$  (以下の数1、数2参照) が短くなり、実際に移動度  $\mu$  を補正したときの補正時間がばらつくので、そのばらつきに起因して画面にスジムラが生じ、画質が低下してしまうという問題があった。なお、数1において、 $k$  は、 $(1/2)(W/L)C_{ox}$  である。Wはトランジスタのチャネル幅、Lはトランジスタのチャネル長、 $C_{ox}$ はゲート容量をそれぞれ表している。数2において、 $C_s$ は画素回路内の保持容量、 $C_{sub}$ は補助容量、 $C_{oled}$ は有機EL素子の容量をそれぞれ表している。

10

## 【数1】

$$t = \frac{C}{k \mu V_{sig}}$$

## 【数2】

20

$$C = C_s + C_{sub} + C_{oled}$$

## 【0010】

本発明はかかる問題点に鑑みてなされたもので、その目的は、移動度  $\mu$  の補正に適した時間  $t$  を過度に短くすることなく、高輝度化を実現することの可能な表示装置およびその駆動方法ならびに電子機器を提供することにある。

## 【課題を解決するための手段】

30

## 【0011】

本発明の表示装置は、一組の発光素子および画素回路が2次元配置された表示部と、映像信号に基づいて画素回路を駆動する駆動部とを備えたものである。画素回路は、2つのトランジスタ(第1トランジスタ、第2トランジスタ)を有している。第1トランジスタは、第1ゲートおよび第2ゲートを含んでおり、発光素子に流れる電流を制御するデュアルゲート型のトランジスタである。一方、第2トランジスタは、映像信号に応じた信号電圧を第1ゲートに書き込むトランジスタである。駆動部は、第1トランジスタの閾値補正および移動度補正を行っている時と、発光素子を発光させている時とで、第2ゲートに印加する電圧を異ならせるようになっている。

## 【0012】

40

本発明の電子機器は、上記表示装置を備えたものである。

## 【0013】

本発明の表示装置の駆動方法は、以下の2つのステップを含むものである。

(A) 以下の構成を備えた表示装置を用意するステップ

(B) 駆動部を用いて、第1トランジスタの閾値補正および移動度補正を行っている時に第2ゲートに第1電圧を印加したのち、発光素子を発光させている時に第2ゲートに第1電圧とは大きさの異なる第2電圧を印加するステップ

## 【0014】

上記駆動方法が用いられる表示装置は、一組の発光素子および画素回路が2次元配置された表示部と、映像信号に基づいて画素回路を駆動する駆動部とを備えたものである。画素回路は、2つのトランジスタ(第1トランジスタ、第2トランジスタ)を有している。

50

第1トランジスタは、第1ゲートおよび第2ゲートを含んでおり、発光素子に流れる電流を制御するデュアルゲート型のトランジスタである。一方、第2トランジスタは、映像信号に応じた信号電圧を第1ゲートに書き込むトランジスタである。

【0015】

本発明の表示装置およびその駆動方法ならびに電子機器では、第1トランジスタの閾値補正および移動度補正を行っている時と、発光素子を発光させている時とで、第1トランジスタの第2ゲートに印加する電圧が異なっている。これにより、第1ゲートに書き込む信号電圧の大きさを大きくする代わりに、第2ゲートに印加する電圧を適切に調整することにより、発光素子に流れる電流を大きくすることができる。

【発明の効果】

【0016】

本発明の表示装置およびその駆動方法ならびに電子機器によれば、第1ゲートに書き込む信号電圧の大きさを大きくする代わりに、第2ゲートに印加する電圧を適切に調整することにより、発光素子に流れる電流を大きくすることができるようとした。これにより、第1ゲートに書き込む信号電圧を大きくしなくても、高輝度を得ることができるので、移動度 $\mu$ の補正に適した時間 $t$ を過度に短くすることなく、高輝度化を実現することができる。

【図面の簡単な説明】

【0017】

【図1】本発明の第1の実施の形態に係る表示装置の一例を表す構成図である。

【図2】図1の画素回路アレイ部の内部構成の一例を表す構成図である。

【図3】図1の表示装置の動作の一例について説明するための波形図である。

【図4】図1の表示装置におけるゲート-ソース間電圧 $V_{gs}$ と発光素子を流れる電流 $I_d$ との関係図である。

【図5】本発明の第2の実施の形態に係る表示装置の一例を表す構成図である。

【図6】図5の画素回路アレイ部の内部構成の一例を表す構成図である。

【図7】図5の表示装置の動作の一例について説明するための波形図である。

【図8】図2の画素回路における発光前後の動作点を表す図である。

【図9】図6の画素回路における発光前後の動作点を表す図である。

【図10】上記実施の形態の表示装置を含むモジュールの概略構成を表す平面図である。

【図11】上記実施の形態の表示装置の適用例1の外観を表す斜視図である。

【図12】(A)は適用例2の表側から見た外観を表す斜視図であり、(B)は裏側から見た外観を表す斜視図である。

【図13】適用例3の外観を表す斜視図である。

【図14】適用例4の外観を表す斜視図である。

【図15】(A)は適用例5の開いた状態の正面図、(B)はその側面図、(C)は閉じた状態の正面図、(D)は左側面図、(E)は右側面図、(F)は上面図、(G)は下面図である。

【発明を実施するための形態】

【0018】

以下、発明を実施するための形態について、図面を参照して詳細に説明する。なお、説明は以下の順序で行う。

1. 第1の実施の形態(図1～図4)

バックゲートが常にトップゲートおよびソースから独立している例

2. 第2の実施の形態(図5～図9)

バックゲートが常にトップゲートから独立している例

バックゲートが所定の期間の間だけソースと同電圧となる例

3. モジュールおよび適用例(図10～図15)

【0019】

## &lt;第1の実施の形態&gt;

## (表示装置の概略構成)

図1は、本発明の第1の実施の形態に係る表示装置1の概略構成を表したものである。この表示装置1は、表示パネル10(表示部)と、駆動回路20(駆動部)とを備えている。表示パネル10は、例えば、複数の有機EL素子11R, 11G, 11B(発光素子)が2次元配置された画素回路アレイ部13を有している。本実施の形態では、例えば、互いに隣り合う3つの有機EL素子11R, 11G, 11Bが1つの画素12を構成している。なお、以下では、有機EL素子11R, 11G, 11Bの総称として有機EL素子11を適宜、用いるものとする。駆動回路20は、画素回路アレイ部13を駆動するものであり、例えば、映像信号処理回路21、タイミング生成回路22、信号線駆動回路23、書込線駆動回路24、電源線駆動回路25およびバックゲート線駆動回路26を有している。

10

## 【0020】

## [画素回路アレイ部]

図2は、画素回路アレイ部13の回路構成の一例を表したものである。画素回路アレイ部13は、表示パネル10の表示領域に形成されている。画素回路アレイ部13は、例えば、図1、図2に示したように、行状に配置された複数の書込線WSLと、列状に配置された複数の信号線DTLと、書込線WSLに沿って行状に配置された複数の電源線PSLおよび複数のバックゲート線BGLとを有している。各書込線WSLと各信号線DTLとの交差部に対応して、一組の有機EL素子11および画素回路14が行列状に配置(2次元配置)されている。画素回路14は、例えば、駆動トランジスタTr<sub>1</sub>(第1トランジスタ)、書き込みトランジスタTr<sub>2</sub>(第2トランジスタ)および保持容量C<sub>s</sub>によって構成されたものであり、2Tr<sub>1</sub>Cの回路構成となっている。

20

## 【0021】

駆動トランジスタTr<sub>1</sub>は、トップゲートG1(第1ゲート)およびバックゲートG2(第2ゲート)を有するデュアルゲート型のトランジスタにより形成されている。駆動トランジスタTr<sub>1</sub>は、例えば、nチャネルMOS型の薄膜トランジスタ(TFT(Thin Film Transistor))により形成されている。書き込みトランジスタTr<sub>2</sub>は、例えば、デュアルゲート型、トップゲート型、またはボトムゲート型のトランジスタにより形成されている。書き込みトランジスタTr<sub>2</sub>は、例えば、nチャネルMOS型のTFTにより形成されている。なお、駆動トランジスタTr<sub>1</sub>または書き込みトランジスタTr<sub>2</sub>は、pチャネルMOS型のTFTにより形成されていてもよい。

30

## 【0022】

画素回路アレイ部13において、各信号線DTLは、信号線駆動回路23の出力端(図示せず)と、書き込みトランジスタTr<sub>2</sub>のドレイン電極(図示せず)に接続されている。各書込線WSLは、書込線駆動回路24の出力端(図示せず)と、書き込みトランジスタTr<sub>2</sub>のゲート電極(図示せず)に接続されている。各電源線PSLは、電源線駆動回路25の出力端(図示せず)と、駆動トランジスタTr<sub>1</sub>のドレイン電極(図示せず)に接続されている。書き込みトランジスタTr<sub>2</sub>のソース電極(図示せず)は、駆動トランジスタTr<sub>1</sub>のトップゲート電極(図示せず)と、保持容量C<sub>s</sub>の一端に接続されている。駆動トランジスタTr<sub>1</sub>のソース電極(図示せず)と保持容量C<sub>s</sub>の他端とが、有機EL素子11のアノード電極(図示せず)に接続されている。有機EL素子11のカソード電極(図示せず)は、例えばグラウンド線GNDに接続されている。駆動トランジスタTr<sub>1</sub>のバックゲート電極(図示せず)は、バックゲート線BGLに接続されている。なお、カソード電極は、各有機EL素子11の共通電極として用いられており、例えば、表示パネル10の表示領域全体に渡って連続して形成され、平板状となっている。

40

## 【0023】

## [駆動回路]

次に、画素回路アレイ部13の周辺に設けられた駆動回路20内の各回路について、図1を参照して説明する。

50

## 【0024】

映像信号処理回路21は、外部から入力されたデジタルの映像信号20Aに対して所定の補正を行うと共に、補正した後の映像信号21Aを信号線駆動回路23に出力するようになっている。所定の補正としては、例えば、ガンマ補正や、オーバードライブ補正などが挙げられる。

## 【0025】

タイミング生成回路22は、信号線駆動回路23、書き線駆動回路24、電源線駆動回路25およびバックゲート線駆動回路26が連動して動作するように制御するものである。タイミング生成回路22は、例えば、外部から入力された同期信号20Bに応じて（同期して）、これらの回路に対して制御信号22Aを出力するようになっている。

10

## 【0026】

信号線駆動回路23は、制御信号22Aの入力に応じて（同期して）、映像信号21Aに対応するアナログの映像信号を各信号線DTLに印加して、アナログの映像信号またはそれに対応する信号を選択対象の画素回路14に書き込むものである。具体的には、信号線駆動回路23は、映像信号21Aに対応する信号電圧 $V_{sig}$ を各信号線DTLに印加して、選択対象の画素回路14への書き込みを行うものである。なお、書き込みとは、駆動トランジスタTr<sub>1</sub>のトップゲートG<sub>1</sub>に所定の電圧を印加することを指している。

## 【0027】

信号線駆動回路23は、例えば、信号電圧 $V_{sig}$ と、有機EL素子11の消光時に駆動トランジスタTr<sub>1</sub>のトップゲートG<sub>1</sub>に印加する電圧 $V_{ofs}$ とを出力することが可能となっている。ここで、電圧 $V_{ofs}$ は、有機EL素子11の閾値電圧 $V_{el}$ よりも低い電圧値（一定値）である。

20

## 【0028】

書き線駆動回路24は、制御信号22Aの入力に応じて（同期して）、複数の書き線WSLに選択パルスを順次印加して、複数の有機EL素子11および複数の画素回路14を順次選択するものである。書き線駆動回路24は、例えば、書き込みトランジスタTr<sub>2</sub>をオンさせるときに印加する電圧 $V_{on1}$ と、書き込みトランジスタTr<sub>2</sub>をオフさせるときに印加する電圧 $V_{off1}$ とを出力することが可能となっている。

## 【0029】

電源線駆動回路25は、制御信号22Aの入力に応じて（同期して）、複数の電源線PSLに制御パルスを順次印加して、有機EL素子11の発光および消光を制御するものである。電源線駆動回路25は、例えば、駆動トランジスタTr<sub>1</sub>に電流を流すときに印加する電圧 $V_{cch}$ と、駆動トランジスタTr<sub>1</sub>に電流を流さないときに印加する電圧 $V_{ccl}$ とを出力することが可能となっている。ここで、電圧 $V_{ccl}$ は、有機EL素子11の閾値電圧 $V_{el}$ と、有機EL素子11のカソードの電圧 $V_{ca}$ とを足し合わせた電圧（ $V_{el} + V_{ca}$ ）よりも低い電圧値（一定値）である。 $V_{cch}$ は、電圧（ $V_{el} + V_{ca}$ ）以上の電圧値（一定値）である。

30

## 【0030】

バックゲート線駆動回路26は、制御信号22Aの入力に応じて（同期して）、複数のバックゲート線BGLに制御パルスを順次印加して、選択対象の有機EL素子11に流れている電流 $I_d$ を所望の大きさにまで増大させるものである。バックゲート線駆動回路26は、例えば、駆動トランジスタTr<sub>1</sub>の閾値補正および移動度補正を行っている時に印加する電圧 $V_{b1}$ （第1電圧）と、有機EL素子11を発光させている時に印加する電圧 $V_{b2}$ （第2電圧）とを出力することが可能となっている。電圧 $V_{b1}$ および電圧 $V_{b2}$ は、互いに異なる電圧値となっている。電圧 $V_{b1}$ は、例えば0V（ゼロボルト）である。電圧 $V_{b2}$ は、駆動トランジスタTr<sub>1</sub>がnチャネル型である場合には、電圧 $V_{b1}$ よりも高くなっている、例えば、+2.0Vである。また、電圧 $V_{b2}$ は、駆動トランジスタTr<sub>1</sub>がpチャネル型である場合には、電圧 $V_{b1}$ よりも低くなっている、例えば、-2.0Vである。

40

## 【0031】

（表示装置1の動作）

50

図3は、表示装置1を駆動させたときの各種波形の一例を表したものである。図3(A),(B)には、信号線DTLに $V_{sig}$ 、 $V_{ofs}$ が周期的に印加され、書込線WSLに $V_{on1}$ 、 $V_{off1}$ が所定のタイミングで印加されている様子がそれぞれ示されている。図3(C),(D)には、電源線PSLに $V_{ccL}$ 、 $V_{ccH}$ が所定のタイミングで印加され、バックゲート線BGLに $V_{b1}$ 、 $V_{b2}$ が所定のタイミングで印加されている様子がそれぞれ示されている。なお、図3(D)には、電圧 $V_{b2}$ が電圧 $V_{b1}$ よりも高くなっている場合、すなわち、駆動トランジスタTr<sub>1</sub>がpチャネル型である場合の波形が例示されている。図3(E),(F)には、信号線DTL、書込線WSL、電源線PSLおよびバックゲート線BGLへの電圧印加に応じて、駆動トランジスタTr<sub>1</sub>のゲート電圧 $V_g$ およびソース電圧 $V_s$ が時々刻々変化している様子が示されている。図3(G)には、有機EL素子11に流れる電流 $I_d$ が時々刻々変化している様子が示されている。

10

## 【0032】

[ $V_{th}$ 補正準備期間]

まず、 $V_{th}$ 補正の準備を行う。具体的には、電源線駆動回路25が電源線PSLの電圧を $V_{ccH}$ から $V_{ccL}$ に下げる(T<sub>1</sub>)。すると、ソース電圧 $V_s$ が $V_{ccL}$ となり、有機EL素子11が消光すると共に、ゲート電圧 $V_g$ が $V_{ofs}$ に下がる。次に、バックゲート線駆動回路26は、 $V_{th}$ 補正が開始されるまでの間に、具体的には、電源線PSLの電圧が $V_{ccL}$ となっている間に、バックゲート線BGLの電圧を $V_{b2}$ から $V_{b1}$ に変更する(T<sub>2</sub>)。バックゲート線駆動回路26は、その後、引き続き、駆動トランジスタTr<sub>1</sub>の閾値補正および移動度補正が終わり、有機EL素子11の発光が開始されるまでの間、バックゲート線BGLの電圧を $V_{b1}$ に維持する。つまり、バックゲート線駆動回路26は、駆動トランジスタTr<sub>1</sub>の閾値補正および移動度補正を行っている間、バックゲート線BGLに $V_{b1}$ を印加する。

20

## 【0033】

[最初の $V_{th}$ 補正期間]

次に、 $V_{th}$ の補正を行う。具体的には、信号線DTLの電圧が $V_{ofs}$ となっており、かつ書込線WSLの電圧が $V_{on1}$ となっている間に、電源線駆動回路25が電源線PSLの電圧を $V_{ccL}$ から $V_{ccH}$ に上げる(T<sub>3</sub>)。すると、駆動トランジスタTr<sub>1</sub>のドレイン-ソース間に電流 $I_d$ が流れ、ソース電圧 $V_s$ が上昇する。なお、図3(G)では、縦軸のスケールの関係で、電流 $I_d$ の変化がほとんど見られない。その後、信号線駆動回路23が信号線DTLの電圧を $V_{ofs}$ から $V_{sig}$ に切り替える前に、書込線駆動回路24が書込線WSLの電圧を $V_{on1}$ から $V_{off1}$ に下げる(T<sub>4</sub>)。すると、駆動トランジスタTr<sub>1</sub>のゲートがフロー-ティングとなり、 $V_{th}$ の補正が一旦停止する。

30

## 【0034】

[最初の $V_{th}$ 補正休止期間]

$V_{th}$ 補正が休止している期間中は、先の $V_{th}$ 補正を行った行(画素)とは異なる他の行(画素)において、信号線DTLの電圧のサンプリングが行われる。なお、 $V_{th}$ 補正が不十分である場合、すなわち、駆動トランジスタTr<sub>1</sub>のゲート-ソース間の電位差 $V_{gs}$ が駆動トランジスタTr<sub>1</sub>の閾値電圧 $V_{th}$ よりも大きい場合には、以下のようになる。すなわち、 $V_{th}$ 補正休止期間中にも、先の $V_{th}$ 補正を行った行(画素)において、駆動トランジスタTr<sub>1</sub>のドレイン-ソース間に電流 $I_d$ が流れ、ソース電圧 $V_s$ が上昇し、保持容量 $C_s$ を介したカッピングによりゲート電圧 $V_g$ も上昇する。

40

## 【0035】

[2回目の $V_{th}$ 補正期間]

$V_{th}$ 補正休止期間が終了した後、 $V_{th}$ の補正を再び行う。具体的には、信号線DTLの電圧が $V_{ofs}$ となっており、 $V_{th}$ 補正が可能となっている時に、書込線駆動回路24が書込線WSLの電圧を $V_{off1}$ から $V_{on1}$ に上げ(T<sub>5</sub>)、駆動トランジスタTr<sub>1</sub>のゲートを信号線DTLに接続する。このとき、ソース電圧 $V_s$ が( $V_{ofs} - V_{th}$ )よりも低い場合( $V_{th}$ 補正がまだ完了していない場合)には、駆動トランジスタTr<sub>1</sub>がカットオフするまで(電位差 $V_{gs}$ が $V_{th}$ になるまで)、駆動トランジスタTr<sub>1</sub>のドレイン-ソース間に電

50

流  $I_d$  が流れる。その結果、保持容量  $C_s$  が  $V_{th}$  に充電され、電位差  $V_{gs}$  が  $V_{th}$  となる。なお、図 3 (G) では、縦軸のスケールの関係で、電流  $I_d$  の変化はほんのわずかである。その後、信号線駆動回路 23 が信号線 DTL の電圧を  $V_{ofs}$  から  $V_{sig}$  に切り替える前に、書込線駆動回路 24 が書込線 WSL の電圧を  $V_{on1}$  から  $V_{off1}$  に下げる ( $T_6$ )。すると、駆動トランジスタ  $T_{r1}$  のゲートがフローティングとなるので、電位差  $V_{gs}$  を信号線 DTL の電圧の大きさに拘わらず  $V_{th}$  のままで維持することができる。このように、電位差  $V_{gs}$  を  $V_{th}$  に設定することにより、駆動トランジスタ  $T_{r1}$  の閾値電圧  $V_{th}$  が画素回路 14 ごとにばらついた場合であっても、有機 EL 素子 11 の発光輝度がばらつくのをなくすることができる。

【0036】

10

[2回目の  $V_{th}$  補正休止期間]

その後、 $V_{th}$  補正の休止期間中に、信号線駆動回路 23 が信号線 DTL の電圧を  $V_{ofs}$  から  $V_{sig}$  に切り替える。

【0037】

20

[書き込み・ $\mu$  補正期間]

$V_{th}$  補正休止期間が終了した後、書き込みと  $\mu$  補正を行う。具体的には、信号線 DTL の電圧が  $V_{sig}$  となっている間に、書込線駆動回路 24 が書込線 WSL の電圧を  $V_{off1}$  から  $V_{on1}$  に上げ ( $T_7$ )、駆動トランジスタ  $T_{r1}$  のゲートを信号線 DTL に接続する。すると、駆動トランジスタ  $T_{r1}$  のゲート電圧が  $V_{sig}$  となる。このとき、有機 EL 素子 11 のアノード電圧はこの段階ではまだ有機 EL 素子 11 の閾値電圧  $V_{el}$  よりも小さく、有機 EL 素子 11 はカットオフしている。そのため、電流  $I_d$  は有機 EL 素子 11 の素子容量 (図示せず) に流れ、素子容量が充電されるので、ソース電圧  $V_s$  が  $V$  だけ上昇し、やがて電位差  $V_{gs}$  が  $V_{sig} + V_{th} - V$  となる。このようにして、書き込みと同時に  $\mu$  補正が行われる。ここで、駆動トランジスタ  $T_{r1}$  の移動度  $\mu$  が大きい程、 $V$  も大きくなるので、電位差  $V_{gs}$  を発光前に  $V$  だけ小さくすることにより、画素回路 14 ごとの移動度  $\mu$  のばらつきを取り除くことができる。

【0038】

20

[発光期間]

次に、書込線駆動回路 24 が書込線 WSL の電圧を  $V_{on1}$  から  $V_{off1}$  に下げる ( $T_8$ )。すると、駆動トランジスタ  $T_{r1}$  のゲートがフローティングとなり、駆動トランジスタ  $T_{r1}$  のゲート - ソース間の電圧  $V_{gs}$  を一定に維持した状態で、駆動トランジスタ  $T_{r1}$  のドレイン - ソース間に電流  $I_d$  が流れる。その結果、ソース電圧  $V_s$  が上昇し、それに連動して駆動トランジスタ  $T_{r1}$  のゲートも上昇し、有機 EL 素子 11 が所望の輝度よりも小さな輝度で発光し始める。

【0039】

30

次に、バックゲート線駆動回路 26 は、有機 EL 素子 11 が発光を開始した直後に、バックゲート線 BGL の電圧を  $V_{b1}$  から  $V_{b2}$  に変更する ( $T_9$ )。すると、駆動トランジスタ  $T_{r1}$  の  $I_d - V_{gs}$  特性が変化し、有機 EL 素子 11 に流れる電流  $I_d$  が急激に大きくなる。その結果、有機 EL 素子 11 が所望の輝度で発光するようになる。なお、有機 EL 素子 11 に流れる電流  $I_d$  が急激に大きくなる理由については、後に詳述する。

【0040】

40

本実施の形態の表示装置 1 では、上記のようにして、各画素 12 において画素回路 14 がオンオフ制御され、各画素 12 の有機 EL 素子 11 に駆動電流が注入されることにより、正孔と電子とが再結合して発光が起こる。この光は、有機 EL 素子 11 の電極等を透過して外部に取り出される。その結果、表示パネル 10 において画像が表示される。

【0041】

40

(作用・効果)

ところで、従来の有機 EL 表示装置では、信号電圧  $V_{sig}$  を大きくしたり、画素 12 のサイズを小さくしたりすることにより、高輝度化および高精細化への対応がなされてきた。しかし、そのようにした結果、移動度  $\mu$  の補正に適した時間  $t$  (上述の数 1、数 2 参照

50

) が短くなり、実際に移動度  $\mu$  を補正したときの補正時間がばらつくので、そのばらつきに起因して画面にスジムラが生じ、画質が低下してしまうという問題があった。

#### 【0042】

一方、本実施の形態では、駆動トランジスタ  $T_{r_1}$  として、デュアルゲート型のトランジスタが用いられており、このデュアルゲート型のトランジスタにおける特異な特性を利用することにより、上記の問題を解決している。以下に、その特異な特性について説明する。

#### 【0043】

図4は、デュアルゲート型のトランジスタにおいて、バックゲートG2の電圧  $V_{bg}$  を0V、+2.0V、または-2.0Vに設定したときの、飽和領域における  $I_d - V_{gs}$  特性の一例を表したものである。図4には、トランジスタがnチャネル型である場合の  $I_d - V_{gs}$  特性が例示されている。図4から、トランジスタがnチャネル型である場合には、例えば、バックゲートG2の電圧  $V_{bg}$  を0Vから+2.0Vに変化させると、 $V_{gs}$  の上昇幅に対する  $I_d$  の上昇幅 ( $I_d - V_{gs}$  特性の傾き) が大きくなることがわかる。これは、 $V_{gs}$  を一定としたときに、バックゲートG2の電圧  $V_{bg}$  を正の方向に変化させると、トランジスタに流れる電流  $I_d$  が増大することを意味している。同様のことは、トランジスタがpチャネル型である場合にも言える。トランジスタがpチャネル型である場合には、例えば、図示しないが、バックゲートG2の電圧  $V_{bg}$  を0Vから-2.0Vに変化させると、 $V_{gs}$  の上昇幅に対する  $I_d$  の上昇幅 ( $I_d - V_{gs}$  特性の傾き) が大きくなる。これは、 $V_{gs}$  を一定としたときに、バックゲートG2の電圧  $V_{bg}$  を負の方向に変化させると、トランジスタに流れる電流  $I_d$  が増大することを意味している。

#### 【0044】

本実施の形態では、上述した特異な特性を利用するため、駆動トランジスタ  $T_{r_1}$ において、トップゲートG1と、バックゲートG2とが独立して駆動される。具体的には、トップゲートG1は書き込みトランジスタ  $T_{r_2}$  および信号線DTLを介して信号線駆動回路23によって駆動され、バックゲートG2はバックゲート線BGLを介してバックゲート線駆動回路26によって駆動される。

#### 【0045】

トップゲートG1とバックゲートG2との独立駆動は、例えば、以下のようにして行われる。まず、信号線駆動回路23は、トップゲートG1(信号線DTL)に印加する信号電圧  $V_{sig}$  を、移動度  $\mu$  を補正したときの補正時間のばらつきが問題とならない程度に小さく設定する。そして、信号線駆動回路23は、そのように設定した信号電圧  $V_{sig}$  を移動度補正および発光に際してトップゲートG1(信号線DTL)に印加する。一方、バックゲート線駆動回路26は、駆動トランジスタ  $T_{r_1}$  の閾値補正および移動度補正を行っている時にバックゲートG2(バックゲート線BGL)に所定の電圧  $V_{b1}$  を印加したのち、有機EL素子11を発光させている時に電圧  $V_{b1}$  よりも大きな電圧  $V_{b2}$  をバックゲートG2(バックゲート線BGL)に印加する。より詳細には、バックゲート線駆動回路26は、消光時および発光初期(有機EL素子11が発光を開始してからごく僅かな期間)にバックゲートG2(バックゲート線BGL)に所定の電圧  $V_{b1}$  を印加し、続いて、電圧  $V_{b1}$  よりも大きな電圧  $V_{b2}$  をバックゲートG2(バックゲート線BGL)に印加する。これにより、上述の信号電圧  $V_{sig}$  をトップゲートG1(信号線DTL)に印加したときに有機EL素子11に通常流れる電流値よりも大きな電流  $I_d$  を有機EL素子11に流すことができる。

#### 【0046】

なお、駆動トランジスタ  $T_{r_1}$  がpチャネル型である場合には、バックゲート線駆動回路26は、閾値補正および移動度補正を行っている時にバックゲートG2(バックゲート線BGL)に所定の電圧  $V_{b1}$  を印加したのち、有機EL素子11を発光させている時に電圧  $V_{b1}$  よりも小さな電圧  $V_{b2}$  をバックゲートG2(バックゲート線BGL)に印加する。より詳細には、バックゲート線駆動回路26は、消光時および発光初期(有機EL素子11が発光を開始してからごく僅かな期間)にバックゲートG2(バックゲート線BGL)

に所定の電圧  $V_{b1}$  を印加し、続いて、電圧  $V_{b1}$  よりも小さな電圧  $V_{b2}$  をバックゲート G 2 (バックゲート線 B G L) に印加する。これにより、上述の信号電圧  $V_{sig}$  をトップゲート G 1 (信号線 D T L) に印加したときに有機 E L 素子 1 1 に通常流れる電流値よりも大きな電流  $I_d$  を有機 E L 素子 1 1 に流すことができる。

【0047】

このように、本実施の形態では、有機 E L 素子 1 1 を発光させる時、または有機 E L 素子 1 1 を発光させている時に、駆動トランジスタ  $T_{r1}$  の閾値補正および移動度補正を行っている時とは異なる所定の値の電圧をバックゲート G 2 に印加することにより、上述の信号電圧  $V_{sig}$  をトップゲート G 1 (信号線 D T L) に印加したときに有機 E L 素子 1 1 に通常流れる電流値よりも大きな電流  $I_d$  を有機 E L 素子 1 1 に流すことができる。つまり、トップゲート G 1 に書き込む信号電圧  $V_{sig}$  の大きさを大きくする代わりに、バックゲート G 2 に印加する電圧を適切に調整することにより、有機 E L 素子 1 1 に流れる電流  $I_d$  を大きくすることができる。従って、本実施の形態では、移動度  $\mu$  の補正に適した時間  $t$  を過度に短くすることなく、高輝度化を実現することができる。

10

【0048】

<第2の実施の形態>

図 5 は、本発明の第 2 の実施の形態に係る表示装置 2 の概略構成を表したものである。図 6 は、図 5 の表示装置 2 の画素回路アレイ部 1 3 の回路構成を表したものである。この表示装置 2 は、駆動回路 2 0 において制御線駆動回路 2 7 がさらに設けられ、画素回路 1 4 において制御トランジスタ  $T_{r3}$  (スイッチング素子) および容量素子  $C_b$  がさらに設けられている点で、上記実施の形態の表示装置 1 の構成と主に相違する。そこで、以下では、表示装置 1 の構成と相違する点について主に説明し、表示装置 1 の構成と共通する点についての説明を適宜、省略するものとする。

20

【0049】

画素回路 1 4 は、上述したように、駆動トランジスタ  $T_{r1}$ 、書き込みトランジスタ  $T_{r2}$  および保持容量  $C_s$  の他に、制御トランジスタ  $T_{r3}$  および容量素子  $C_b$  をさらに有している。制御トランジスタ  $T_{r3}$  は、例えば、デュアルゲート型、トップゲート型、またはボトムゲート型のトランジスタにより形成されている。制御トランジスタ  $T_{r3}$  は、例えば、n チャネル M O S 型の T F T により形成されている。なお、制御トランジスタ  $T_{r3}$  は、p チャネル M O S 型の T F T により形成されていてもよい。

30

【0050】

制御トランジスタ  $T_{r3}$  のドレイン電極 (図示せず) は、駆動トランジスタ  $T_{r1}$  のバックゲート電極 (バックゲート G 2) に接続されている。なお、図 6 には、制御トランジスタ  $T_{r3}$  のドレイン電極と、駆動トランジスタ  $T_{r1}$  のバックゲート電極との接続点が P で表されている。制御トランジスタ  $T_{r3}$  のソース電極 (図示せず) は、有機 E L 素子 1 1 のうち駆動トランジスタ  $T_{r1}$  側の端子と、駆動トランジスタ  $T_{r1}$  のソース電極とに接続されている。制御トランジスタ  $T_{r3}$  のゲート電極 (図示せず) は、制御線駆動回路 2 7 から延在する制御線 C N L に接続されている。接続点 P と、バックゲート線 B G L との間に容量素子  $C_b$  が設けられている。従って、本実施の形態では、駆動トランジスタ  $T_{r1}$  のバックゲート G 2 は、容量素子  $C_b$  を介してバックゲート線 B G L と接続されており、さらに、制御トランジスタ  $T_{r3}$  を介して、駆動トランジスタ  $T_{r1}$  のソース電極と接続されている。

40

【0051】

制御線駆動回路 2 7 は、制御信号 2 2 A の入力に応じて (同期して)、複数の制御線 C N L に制御パルスを順次印加して、選択対象の有機 E L 素子 1 1 に接続された駆動トランジスタ  $T_{r1}$  のバックゲート G 2 の電圧を制御するものである。制御線駆動回路 2 7 は、例えば、制御トランジスタ  $T_{r3}$  をオンさせるときに印加する電圧  $V_{on2}$  と、制御トランジスタ  $T_{r3}$  をオフさせるときに印加する電圧  $V_{off2}$  とを出力することが可能となっている。電圧  $V_{on2}$  は、主に、駆動トランジスタ  $T_{r1}$  の閾値補正および移動度補正を行っている時に印加されるものである。一方、電圧  $V_{off2}$  は、有機 E L 素子 1 1 を発光させている時

50

に印加されるものである。

【0052】

(表示装置2の動作)

図7は、表示装置2を駆動させたときの各種波形の一例を表したものである。図7(A), (B)には、信号線DTLに $V_{sig}$ 、 $V_{ofs}$ が周期的に印加され、書込線WSLに $V_{on1}$ 、 $V_{off1}$ が所定のタイミングで印加されている様子がそれぞれ示されている。図7(C), (D), (E)には、電源線PSLに $V_{ccL}$ 、 $V_{ccH}$ が所定のタイミングで印加され、バックゲート線BGLに $V_{b1}$ 、 $V_{b2}$ が所定のタイミングで印加され、制御線CNLに $V_{on2}$ 、 $V_{off2}$ が所定のタイミングで印加されている様子がそれぞれ示されている。なお、図3(D)には、電圧 $V_{b2}$ が電圧 $V_{b1}$ よりも高くなっている場合、すなわち、駆動トランジスタTr<sub>1</sub>がpチャネル型である場合の波形が例示されている。図3(F), (G)には、信号線DTL、書込線WSL、電源線PSL、バックゲート線BGLおよび制御線CNLへの電圧印加に応じて、駆動トランジスタTr<sub>1</sub>のゲート電圧 $V_g$ およびソース電圧 $V_s$ が時々刻々変化している様子が示されている。図3(H)には、有機EL素子11に流れる電流 $I_d$ が時々刻々変化している様子が示されている。

10

【0053】

[ $V_{th}$ 補正準備期間]

まず、 $V_{th}$ 補正の準備を行う。具体的には、電源線駆動回路25が電源線PSLの電圧を $V_{ccH}$ から $V_{ccL}$ に下げる( $T_1$ )。すると、ソース電圧 $V_s$ が $V_{ccL}$ となり、有機EL素子11が消光すると共に、ゲート電圧 $V_g$ が $V_{ofs}$ に下がる。このとき、制御線駆動回路27が、制御線CNLの電圧を $V_{off2}$ から $V_{on2}$ に上げる( $T_1$ )。すると、駆動トランジスタTr<sub>1</sub>がオンし、トランジスタTr<sub>1</sub>のバックゲートG2が駆動トランジスタTr<sub>1</sub>のソースと電気的に接続され、バックゲートG2の電圧と、駆動トランジスタTr<sub>1</sub>のソース電圧とが互いに等しくなる。なお、 $V_{off2}$ から $V_{on2}$ への変移は、 $V_{ccH}$ から $V_{ccL}$ への変移と同時であってもよいし、 $V_{ccH}$ から $V_{ccL}$ への変移が終わった後であってもよい。制御線駆動回路27は、その後、引き続き、駆動トランジスタTr<sub>1</sub>の閾値補正および移動度補正が終わり、有機EL素子11の発光が開始されるまでの間、制御線CNLの電圧を $V_{on2}$ に維持する。つまり、制御線駆動回路27は、駆動トランジスタTr<sub>1</sub>の閾値補正および移動度補正を行っている間、制御線CNLに $V_{on2}$ を印加し続け、バックゲートG2の電圧を、駆動トランジスタTr<sub>1</sub>のソース電圧に追従させる。

20

【0054】

次に、バックゲート線駆動回路26は、 $V_{th}$ 補正が開始されるまでの間に、具体的には、電源線PSLの電圧が $V_{ccL}$ となっている間に、バックゲート線BGLの電圧を $V_{b2}$ から $V_{b1}$ に変更する( $T_2$ )。バックゲート線駆動回路26は、その後、引き続き、駆動トランジスタTr<sub>1</sub>の閾値補正および移動度補正が終わり、有機EL素子11の発光が開始されるまでの間、バックゲート線BGLの電圧を $V_{b1}$ に維持する。つまり、バックゲート線駆動回路26は、駆動トランジスタTr<sub>1</sub>の閾値補正および移動度補正を行っている時に、バックゲート線BGLに $V_{b1}$ を印加する。

30

【0055】

[最初の $V_{th}$ 補正期間]

次に、 $V_{th}$ の補正を行う。具体的には、信号線DTLの電圧が $V_{ofs}$ となっており、かつ書込線WSLの電圧が $V_{on1}$ となっている間に、電源線駆動回路25が電源線PSLの電圧を $V_{ccL}$ から $V_{ccH}$ に上げる( $T_3$ )。すると、駆動トランジスタTr<sub>1</sub>のドレイン-ソース間に電流 $I_d$ が流れ、ソース電圧 $V_s$ が上昇する。なお、図3(G)では、縦軸のスケールの関係で、電流 $I_d$ の変化がほとんど見られない。その後、信号線駆動回路23が信号線DTLの電圧を $V_{ofs}$ から $V_{sig}$ に切り替える前に、書込線駆動回路24が書込線WSLの電圧を $V_{on1}$ から $V_{off1}$ に下げる( $T_4$ )。すると、駆動トランジスタTr<sub>1</sub>のゲートがフローティングとなり、 $V_{th}$ の補正が一旦停止する。

40

【0056】

[最初の $V_{th}$ 補正休止期間]

50

$V_{th}$ 補正が休止している期間中は、先の $V_{th}$ 補正を行った行(画素)とは異なる他の行(画素)において、信号線DTLの電圧のサンプリングが行われる。なお、 $V_{th}$ 補正が不十分である場合、すなわち、駆動トランジスタTr<sub>1</sub>のゲート-ソース間の電位差 $V_{gs}$ が駆動トランジスタTr<sub>1</sub>の閾値電圧 $V_{th}$ よりも大きい場合には、以下のようになる。すなわち、 $V_{th}$ 補正休止期間中にも、先の $V_{th}$ 補正を行った行(画素)において、駆動トランジスタTr<sub>1</sub>のドレイン-ソース間に電流 $I_d$ が流れ、ソース電圧 $V_s$ が上昇し、保持容量 $C_s$ を介したカップリングによりゲート電圧 $V_g$ も上昇する。

## 【0057】

[2回目の $V_{th}$ 補正期間]

$V_{th}$ 補正休止期間が終了した後、 $V_{th}$ の補正を再び行う。具体的には、信号線DTLの電圧が $V_{ofs}$ となっており、 $V_{th}$ 補正が可能となっている時に、書込線駆動回路24が書込線WSLの電圧を $V_{off1}$ から $V_{on1}$ に上げ( $T_5$ )、駆動トランジスタTr<sub>1</sub>のゲートを信号線DTLに接続する。このとき、ソース電圧 $V_s$ が( $V_{ofs} - V_{th}$ )よりも低い場合( $V_{th}$ 補正がまだ完了していない場合)には、駆動トランジスタTr<sub>1</sub>がカットオフするまで(電位差 $V_{gs}$ が $V_{th}$ になるまで)、駆動トランジスタTr<sub>1</sub>のドレイン-ソース間に電流 $I_d$ が流れる。その結果、保持容量 $C_s$ が $V_{th}$ に充電され、電位差 $V_{gs}$ が $V_{th}$ となる。なお、図3(G)では、縦軸のスケールの関係で、電流 $I_d$ の変化はほんのわずかである。その後、信号線駆動回路23が信号線DTLの電圧を $V_{ofs}$ から $V_{sig}$ に切り替える前に、書込線駆動回路24が書込線WSLの電圧を $V_{on1}$ から $V_{off1}$ に下げる( $T_6$ )。すると、駆動トランジスタTr<sub>1</sub>のゲートがフローティングとなるので、電位差 $V_{gs}$ を信号線DTLの電圧の大きさに拘わらず $V_{th}$ のままで維持することができる。このように、電位差 $V_{gs}$ を $V_{th}$ に設定することにより、駆動トランジスタTr<sub>1</sub>の閾値電圧 $V_{th}$ が画素回路14ごとにばらついた場合であっても、有機EL素子11の発光輝度がばらつくのをなくすることができる。

## 【0058】

[2回目の $V_{th}$ 補正休止期間]

その後、 $V_{th}$ 補正の休止期間中に、信号線駆動回路23が信号線DTLの電圧を $V_{ofs}$ から $V_{sig}$ に切り替える。

## 【0059】

[書き込み・ $\mu$ 補正期間]

$V_{th}$ 補正休止期間が終了した後、書き込みと $\mu$ 補正を行う。具体的には、信号線DTLの電圧が $V_{sig}$ となっている間に、書込線駆動回路24が書込線WSLの電圧を $V_{off1}$ から $V_{on1}$ に上げ( $T_7$ )、駆動トランジスタTr<sub>1</sub>のゲートを信号線DTLに接続する。すると、駆動トランジスタTr<sub>1</sub>のゲート電圧が $V_{sig}$ となる。このとき、有機EL素子11のアノード電圧はこの段階ではまだ有機EL素子11の閾値電圧 $V_{el}$ よりも小さく、有機EL素子11はカットオフしている。そのため、電流 $I_d$ は有機EL素子11の素子容量(図示せず)に流れ、素子容量が充電されるので、ソース電圧 $V_s$ が $V$ だけ上昇し、やがて電位差 $V_{gs}$ が $V_{sig} + V_{th} - V$ となる。このようにして、書き込みと同時に $\mu$ 補正が行われる。ここで、駆動トランジスタTr<sub>1</sub>の移動度 $\mu$ が大きい程、 $V$ も大きくなるので、電位差 $V_{gs}$ を発光前に $V$ だけ小さくすることにより、画素回路14ごとの移動度 $\mu$ のばらつきを取り除くことができる。

## 【0060】

## [発光期間]

次に、書込線駆動回路24が書込線WSLの電圧を $V_{on1}$ から $V_{off1}$ に下げる( $T_8$ )。すると、駆動トランジスタTr<sub>1</sub>のゲートがフローティングとなり、駆動トランジスタTr<sub>1</sub>のゲート-ソース間の電圧 $V_{gs}$ を一定に維持した状態で、駆動トランジスタTr<sub>1</sub>のドレイン-ソース間に電流 $I_d$ が流れる。その結果、ソース電圧 $V_s$ が上昇し、それに連動して駆動トランジスタTr<sub>1</sub>のゲートも上昇し、有機EL素子11が所望の輝度よりも小さな輝度で発光し始める。

## 【0061】

10

20

30

40

50

次に、制御線駆動回路27は、発光が開始された後、制御線CNLの電圧を $V_{on2}$ から $V_{off2}$ に下げる( $T_9$ )。すると、駆動トランジスタTr<sub>1</sub>がオフし、バックゲートG2が駆動トランジスタTr<sub>1</sub>のソースと電気的に分離され、バックゲートG2がフローティングとなる。続いて、バックゲート線駆動回路26が、バックゲート線BGLの電圧を $V_{b2}$ から $V_{b1}$ に変更する( $T_{10}$ )。すると、容量素子C<sub>b</sub>を介したカップリングによりバックゲートG2の電圧が変動するので、バックゲートG2の電圧変動に起因して駆動トランジスタTr<sub>1</sub>の $I_d - V_{gs}$ 特性が変化し、有機EL素子11に流れる電流 $I_d$ が急激に大きくなる。その結果、有機EL素子11が所望の輝度で発光するようになる。

## 【0062】

(作用・効果)

10

ところで、本実施の形態では、第1の実施の形態と同様、駆動トランジスタTr<sub>1</sub>として、デュアルゲート型のトランジスタが用いられており、駆動トランジスタTr<sub>1</sub>において、トップゲートG1と、バックゲートG2とが独立して駆動される。具体的には、トップゲートG1は書き込みトランジスタTr<sub>2</sub>および信号線DTLを介して信号線駆動回路23によって駆動され、バックゲートG2はバックゲート線BGLを介してバックゲート線駆動回路26によって駆動される。トップゲートG1とバックゲートG2との独立駆動は、第1の実施の形態と同様の方法で行われる。

## 【0063】

従って、本実施の形態でも、有機EL素子11を発光させる時、または有機EL素子11を発光させている時に、駆動トランジスタTr<sub>1</sub>の閾値補正および移動度補正を行っている時とは異なる所定の値の電圧をバックゲートG2に印加することにより、上述の信号電圧 $V_{sig}$ をトップゲートG1(信号線DTL)に印加したときに有機EL素子11に通常流れる電流値よりも大きな電流 $I_d$ を有機EL素子11に流すことができる。つまり、トップゲートG1に書き込む信号電圧 $V_{sig}$ の大きさを大きくする代わりに、バックゲートG2に印加する電圧を適切に調整することにより、有機EL素子11に流れる電流 $I_d$ を大きくすることができる。従って、本実施の形態では、移動度 $\mu$ の補正に適した時間 $t$ を過度に短くすることなく、高輝度化を実現することができる。

20

## 【0064】

ところで、第1の実施の形態では、発光前のソース電圧 $V_s$ は、 $V_{th}$ 補正により、駆動トランジスタTr<sub>1</sub>の $V_{th}$ ばらつきを反映した値( $V_{ofs} + V_{th} - V$ )となっている(図8(A)参照)。しかし、発光後は、ソース電圧 $V_s$ は、有機EL素子11の動作点によって決定されるので、 $V_{th}$ ばらつきに拘わらず、ほぼ一定値( $V_{el}$ )となる(図8(B)参照)。そのため、発光後に、バックゲートG2側のゲート-ソース間電圧 $V_{gsb}$ (図6参照)に、 $V_{th}$ ばらつきに対応する小さなばらつきが生じる場合がある。

30

## 【0065】

一方、本実施の形態では、駆動トランジスタTr<sub>1</sub>の閾値補正および移動度補正を行っている間、制御線CNLに $V_{on2}$ が印加されており、バックゲートG2の電圧 $V_{bg}$ が、駆動トランジスタTr<sub>1</sub>のソース電圧 $V_s$ と等しくなっている(図9(A)参照)。さらに、発光が開始された後、制御線CNLに $V_{off2}$ が印加されており、バックゲートG2の電圧 $V_{bg}$ が、容量素子C<sub>b</sub>を介したカップリングにより、駆動トランジスタTr<sub>1</sub>の $V_{th}$ ばらつきを反映した電圧 $V_b$ と、 $V_{el}$ との和( $V_{el} + V_b$ )となる(図9(B)参照)。これにより、バックゲートG2側のゲート-ソース間電圧 $V_{gsb}$ に、 $V_{th}$ ばらつきに対応する小さなばらつきが生じる可能性をなくすることができる。従って、本実施の形態では、高輝度化と同時に高画質化を実現することができる。

40

## 【0066】

&lt;モジュールおよび適用例&gt;

以下、上述した実施の形態で説明した表示装置の適用例について説明する。上記実施の形態の表示装置は、テレビジョン装置、デジタルカメラ、ノート型パーソナルコンピュータ、携帯電話等の携帯端末装置あるいはビデオカメラなど、外部から入力された映像信号あるいは内部で生成した映像信号を、画像あるいは映像として表示するあらゆる分野の電

50

子機器の表示装置に適用することが可能である。

【0067】

(モジュール)

上記実施の形態の表示装置1は、例えば、図10に示したようなモジュールとして、後述する適用例1～5などの種々の電子機器に組み込まれる。このモジュールは、例えば、基板31の一辺に、封止用基板32から露出した領域210を設け、この露出した領域210に、駆動回路20の配線を延長して外部接続端子(図示せず)を形成したものである。外部接続端子には、信号の入出力のためのフレキシブルプリント配線基板(FPC;Flexible Printed Circuit)220が設けられていてもよい。

【0068】

(適用例1)

図11は、上記実施の形態の表示装置1が適用されるテレビジョン装置の外観をしたものである。このテレビジョン装置は、例えば、フロントパネル310およびフィルターガラス320を含む映像表示画面部300を有しており、この映像表示画面部300は、上記各実施の形態に係る表示装置1により構成されている。

【0069】

(適用例2)

図12は、上記実施の形態の表示装置1が適用されるデジタルカメラの外観をしたものである。このデジタルカメラは、例えば、フラッシュ用の発光部410、表示部420、メニュースイッチ430およびシャッターボタン440を有しており、その表示部420は、上記実施の形態に係る表示装置1により構成されている。

【0070】

(適用例3)

図13は、上記実施の形態の表示装置1が適用されるノート型パーソナルコンピュータの外観をしたものである。このノート型パーソナルコンピュータは、例えば、本体510、文字等の入力操作のためのキーボード520および画像を表示する表示部530を有しており、その表示部530は、上記各実施の形態に係る表示装置1により構成されている。

【0071】

(適用例4)

図14は、上記実施の形態の表示装置1が適用されるビデオカメラの外観をしたものである。このビデオカメラは、例えば、本体部610、この本体部610の前方側面に設けられた被写体撮影用のレンズ620、撮影時のスタート/ストップスイッチ630および表示部640を有しており、その表示部640は、上記各実施の形態に係る表示装置1により構成されている。

【0072】

(適用例5)

図15は、上記実施の形態の表示装置1が適用される携帯電話機の外観をしたものである。この携帯電話機は、例えば、上側筐体710と下側筐体720とを連結部(ヒンジ部)730で連結したものであり、ディスプレイ740、サブディスプレイ750、ピクチャーライト760およびカメラ770を有している。そのディスプレイ740またはサブディスプレイ750は、上記各実施の形態に係る表示装置1により構成されている。

【0073】

以上、実施の形態および適用例を挙げて本発明を説明したが、本発明は上記実施の形態等に限定されるものではなく、種々変形が可能である。

【0074】

例えば、上記実施の形態等では、表示装置1, 2がアクティブマトリクス型である場合について説明したが、アクティブマトリクス駆動のための画素回路14の構成は上記実施の形態等で説明したものに限られず、必要に応じて容量素子やトランジスタを画素回路14に追加してもよい。その場合、画素回路14の変更に応じて、上述した信号線駆動回路

10

20

30

40

50

23、書込線駆動回路24、電源線駆動回路25およびバックゲート線駆動回路26のほかに、必要な駆動回路を追加してもよい。

【0075】

また、上記実施の形態等では、信号線駆動回路23、書込線駆動回路24、電源線駆動回路25およびバックゲート線駆動回路26の駆動をタイミング生成回路22が制御していたが、他の回路がこれらの駆動を制御するようにしてもよい。また、信号線駆動回路23、書込線駆動回路24、電源線駆動回路25およびバックゲート線駆動回路26の制御は、ハードウェア（回路）で行われていてもよいし、ソフトウェア（プログラム）で行われていてもよい。

【0076】

また、上記実施の形態等では、画素回路14が、2Tr1Cの回路構成となっていたが、デュアルゲート型のトランジスタが有機EL素子11に直列に接続された回路構成を含んでいるものであれば、2Tr1Cの回路構成以外の回路構成となっていてもよい。

【0077】

また、上記実施の形態等では、駆動トランジスタTr<sub>1</sub>、書き込みトランジスタTr<sub>2</sub>は、nチャネルMOS型の薄膜トランジスタ（TFT（Thin Film Transistor））により形成されている場合が例示されていたが、pチャネルトランジスタ（例えばpチャネルMOS型のTFT）により形成されていてもよい。ただし、その場合には、トランジスタTr<sub>2</sub>のソースおよびドレインのうち電源線PSLと未接続の方と保持容量C<sub>s</sub>の他端とを有機EL素子11のカソードに接続し、有機EL素子11のアノードをGNDなどに接続することが好ましい。

【符号の説明】

【0078】

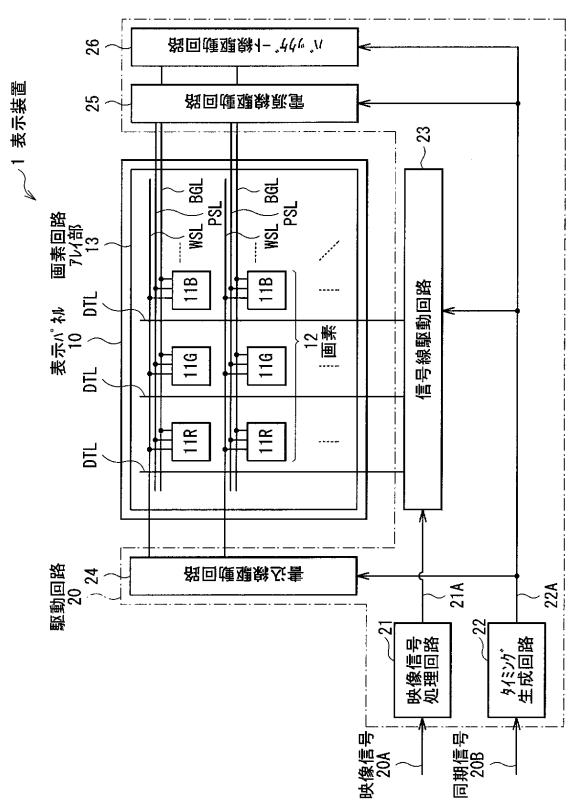
1, 2...表示装置、10...表示パネル、11, 11R, 11G, 11B...有機EL素子、12...画素、13...画素回路アレイ部、14...画素回路、20...駆動回路、21...映像信号処理回路、20A, 21A...映像信号、20B...同期信号、22...タイミング生成回路、22A...制御信号、23...信号線駆動回路、24...書込線駆動回路、25...電源線駆動回路、26...バックゲート線駆動回路、27...制御線駆動回路、BGL...バックゲート線、C<sub>s</sub>...保持容量、CTL...制御線、DTL...信号線、I<sub>d</sub>...電流、GND...グラウンド線、G1...トップゲート、G2...バックゲート、PSL...電源線、Tr<sub>1</sub>...駆動トランジスタ、Tr<sub>2</sub>...書き込みトランジスタ、Tr<sub>3</sub>...制御トランジスタ、V<sub>g</sub>...ゲート電圧、V<sub>g</sub><sub>s</sub>, V<sub>g</sub><sub>sb</sub>...ゲート-ソース間電圧、V<sub>s</sub>...ソース電圧、V<sub>sig</sub>...信号電圧、V<sub>b1</sub>, V<sub>b2</sub>, V<sub>c</sub><sub>ch</sub>, V<sub>CCL</sub>, V<sub>off1</sub>, V<sub>off2</sub>, V<sub>ofs</sub>, V<sub>on1</sub>, V<sub>on2</sub>...電圧、V<sub>th</sub>...閾値電圧、WSL...書込線。

10

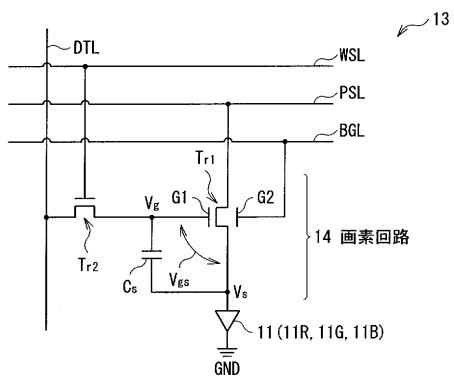
20

30

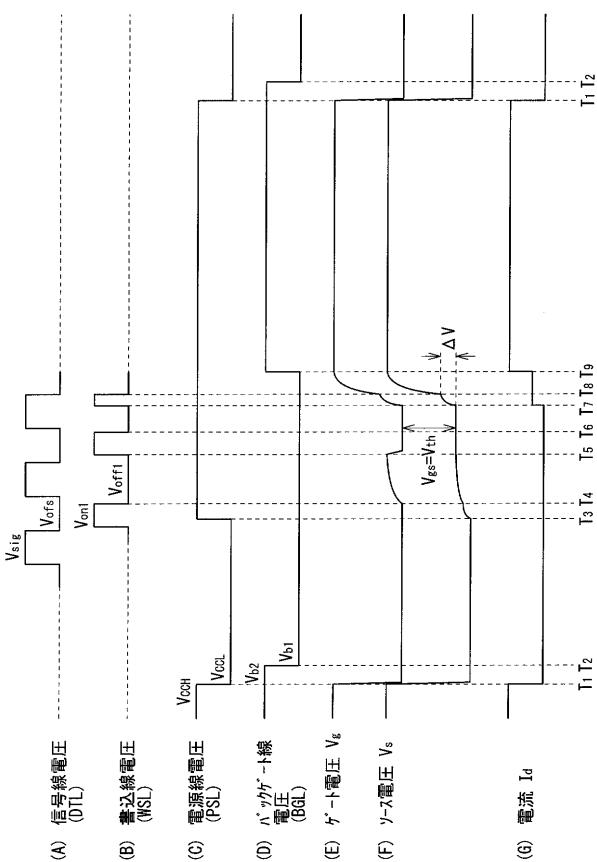
【図 1】



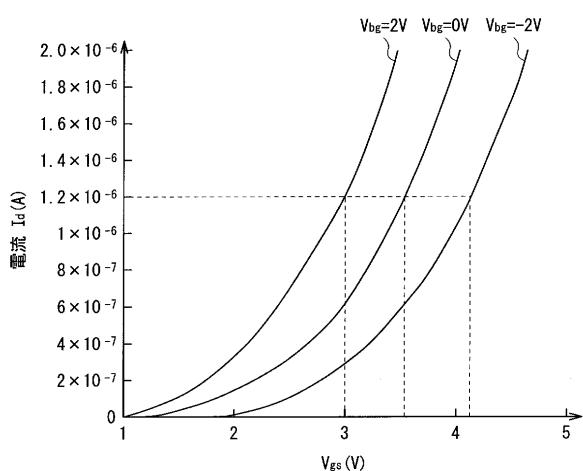
【図 2】



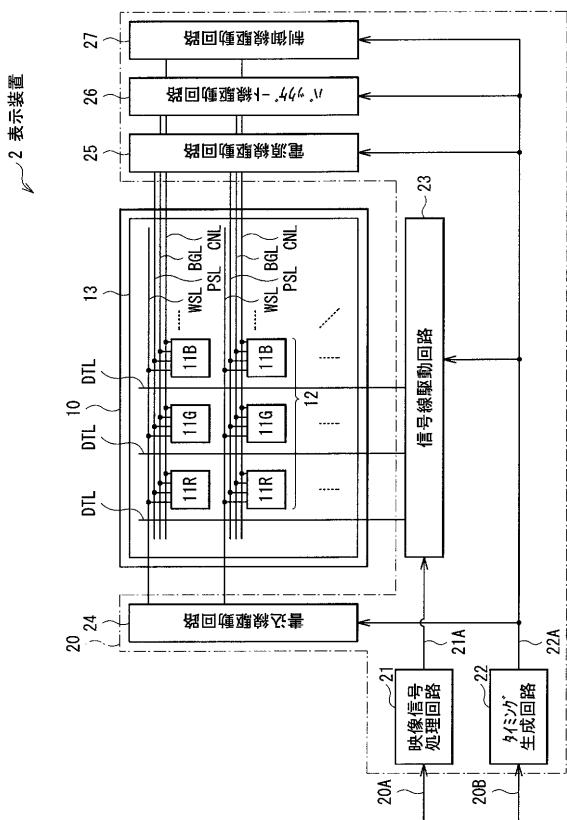
【図 3】



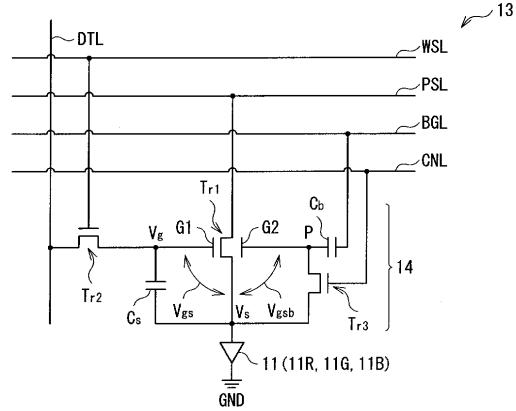
【図 4】



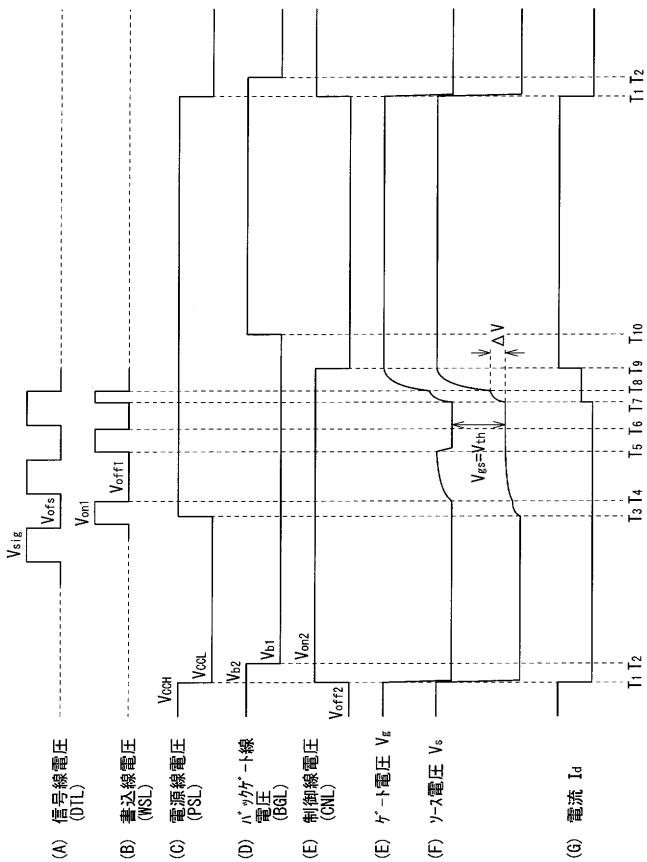
【 図 5 】



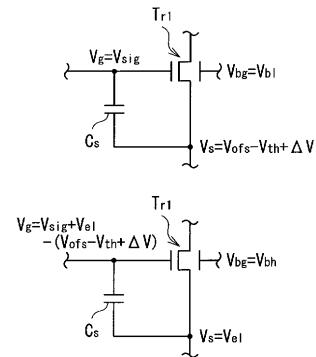
【 図 6 】



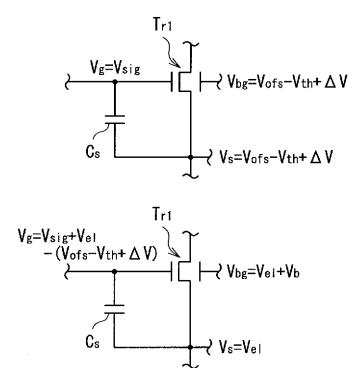
【 図 7 】



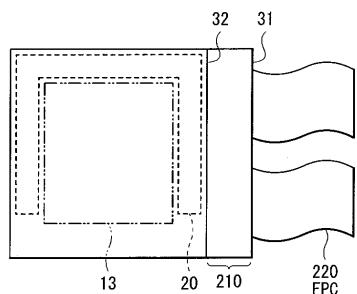
【 図 8 】



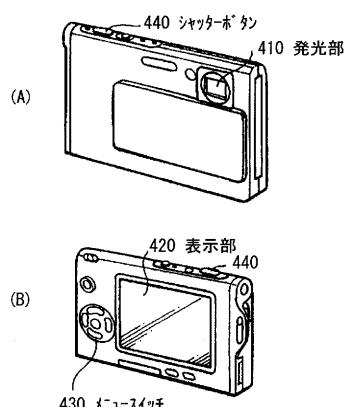
【圖 9】



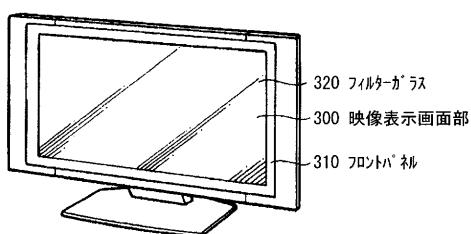
【図 1 0】



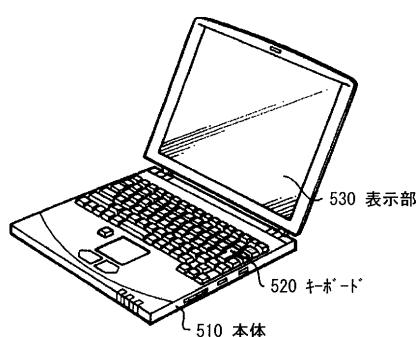
【図 1 2】



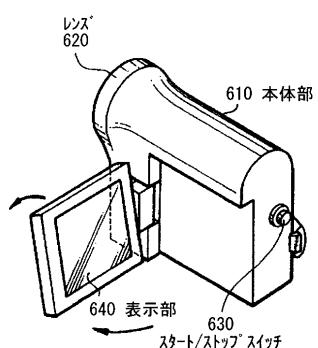
【図 1 1】



【図 1 3】



【図 1 4】



【図 1 5】

