

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

G09G 3/36 (2006.01)

G09G 3/20 (2006.01)

G02F 1/133 (2006.01)



[12] 发明专利申请公布说明书

[21] 申请号 200610126932.6

[43] 公开日 2007 年 3 月 14 日

[11] 公开号 CN 1928981A

[22] 申请日 2006.9.6

[21] 申请号 200610126932.6

[30] 优先权

[32] 2005.9.7 [33] KR [31] 10-2005-0083039

[71] 申请人 三星电子株式会社

地址 韩国京畿道

[72] 发明人 金圣万

[74] 专利代理机构 北京康信知识产权代理有限责任公司

代理人 李 伟

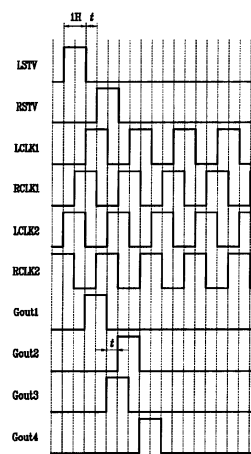
权利要求书 4 页 说明书 24 页 附图 9 页

[54] 发明名称

用于显示装置的驱动器以及具有该驱动器的显示装置

[57] 摘要

本发明提供了一种用于显示装置的驱动器和一种具有该驱动器的显示装置。该驱动器包括：多条栅极线，用于传输选通信号；以及第一栅极驱动器和第二栅极驱动器，分别连接至多条栅极线中的奇数和偶数的栅极线，并基于多个时钟信号生成选通信号，其中，多个时钟信号中的两个相邻时钟信号具有等于或大于 180° 且小于 360° 的相位差。因此，通过使两个相邻的时钟信号彼此具有不同的预定延时，使得由反冲电压产生的压降仅发生一次，所以正数据电压和负数据电压相同，从而防止了闪烁或斑点。



1. 一种用于显示装置的驱动器，包括：

多条栅极线，用于传输选通信号；以及

第一栅极驱动器和第二栅极驱动器，分别连接至所述多条栅极线中的奇数和偶数的栅极线，所述第一栅极驱动器和所述第二栅极驱动器基于多个时钟信号生成所述选通信号，

其中，所述多个时钟信号中的两个相邻时钟信号具有等于或大于 180° 且小于 360° 的相位差。

2. 根据权利要求 1 所述的驱动器，其中，所述多个时钟信号中的两个不相邻的时钟信号具有 180° 的相位差。
3. 根据权利要求 2 所述的驱动器，其中，所述多个时钟信号均具有 50% 的占空比。
4. 根据权利要求 1 所述的驱动器，其中，所述多个时钟信号包括第一时钟信号至第四时钟信号，以及所述第一时钟信号和所述第二时钟信号或所述第三时钟信号和所述第四时钟信号具有等于或大于 180° 且小于 360° 的相位差。
5. 根据权利要求 4 所述的驱动器，其中，所述第一时钟信号和所述第三时钟信号或所述第二时钟信号和所述第四时钟信号具有 180° 的相位差。
6. 根据权利要求 5 所述的驱动器，其中，所述第一时钟信号和所述第三时钟信号被输入至所述第一栅极驱动器，以及所述第二时钟信号和所述第四时钟信号被输入至所述第二栅极驱动器。

7. 根据权利要求6所述的驱动器,其中,第一输出起始信号和第二输出起始信号分别被输入至所述第一栅极驱动器和所述第二栅极驱动器。
8. 根据权利要求7所述的驱动器,其中,所述第一输出起始信号和所述第二输出起始信号具有等于或大于 180° 且小于 360° 的相位差。
9. 一种显示装置,包括:
 - 多个像素,呈矩阵排列;
 - 多条栅极线,用于将选通信号传输至所述像素;
 - 多条数据线,用于将数据信号传输至所述像素; 以及
 - 第一栅极驱动器和第二栅极驱动器,分别连接至所述多条栅极线中的奇数和偶数的栅极线,所述第一栅极驱动器和所述第二栅极驱动器基于多个时钟信号生成所述选通信号,
 - 其中,所述多个时钟信号中的两个相邻时钟信号具有等于或大于 180° 且小于 360° 的相位差。
10. 根据权利要求9所述的显示装置,其中,所述多个时钟信号中的两个不相邻的时钟信号具有 180° 的相位差。
11. 根据权利要求10所述的显示装置,其中,所述多个时钟信号均具有 50% 的占空比。
12. 根据权利要求9所述的显示装置,其中,所述多个时钟信号包括第一时钟信号至第四时钟信号,以及所述第一时钟信号和所述第二时钟信号或所述第三时钟信号和所述第四时钟信号具有等于或大于 180° 且小于 360° 的相位差。

13. 根据权利要求 12 所述的显示装置, 其中, 所述第一时钟信号和所述第三时钟信号或所述第二时钟信号和所述第四时钟信号具有 180° 的相位差。
14. 根据权利要求 13 所述的显示装置, 其中, 所述第一时钟信号和所述第三时钟信号被输入至所述第一栅极驱动器, 以及所述第二时钟信号和所述第四时钟信号被输入至所述第二栅极驱动器。
15. 根据权利要求 14 所述的显示装置, 其中, 第一输出起始信号和第二输出起始信号分别被输入至所述第一栅极驱动器和所述第二栅极驱动器。
16. 根据权利要求 15 所述的显示装置, 其中, 所述第一输出起始信号和所述第二输出起始信号具有等于或大于 180° 且小于 360° 的相位差。
17. 根据权利要求 16 所述的显示装置, 其中, 在所述多个像素中的两条相邻数据线之间沿行方向设置的两个邻接像素连接至相同的数据线。
18. 根据权利要求 17 所述的显示装置, 其中, 所述两个邻接像素连接至彼此不同的栅极线。
19. 根据权利要求 18 的显示装置, 还包括用于生成所述数据信号的数据驱动器,

其中, 所述数据驱动器将所述数据信号施加给像素, 所述像素首先接收位于沿列方向排列的多个像素行中的第一像素行中的所述两个邻接像素之间的所述选通信号。

-
20. 根据权利要求 9 所述的显示装置, 其中, 所述第一栅极驱动器和所述第二栅极驱动器被集成在所述显示装置中。

用于显示装置的驱动器以及 具有该驱动器的显示装置

本发明要求于 2005 年 9 月 7 日向韩国知识产权局提交的韩国专利申请第 2005-0083039 号的优先权,其全部内容结合于此作为参考。

技术领域

本发明涉及一种用于显示装置的驱动器以及一种具有该驱动器的显示装置。

背景技术

一般来说,液晶显示(LCD)装置包括两个设置有像素电极和共电极的面板、以及设置在两个面板之间具有介电各向异性的液晶层。像素电极以矩阵形式排列。像素电极连接至诸如薄膜晶体管(“TFT”)的开关元件,从而以像素行为单位顺序地被施加有数据电压。共电极设置在面板的整个表面的上方,并被施加有共电压。根据电路原理,像素电极、共电极、以及介于其间的液晶层组成液

成液晶电容器。液晶电容器与连接于此的开关元件一起组成像素单元。

在液晶显示装置中,对两个电极(例如,像素电极和共电极)施加电压,以在液晶层中生成电场。通过控制电场的强度调节穿过液晶层的光的透射率,获得期望的图像。如果在很长的一段时间内

在一个方向上对液晶层施加电压，图像质量会发生劣化。因此，需要以帧、像素行、或像素为单位相对于施加给共电极的共电压来反转数据电压的极性。

液晶显示装置包括：栅极驱动器，用于将选通信号传输至栅极线，以开启或关闭各个像素的开关元件；灰度电压发生器，用于生成多个灰度电压；数据驱动器，用于从灰度电压中选取对应于图像数据的电压，并将数据电压施加给显示信号线中的数据线；以及信号控制器，用于控制这些部件。

以与用于形成像素的开关元件相同的工艺形成栅极驱动器，随后将栅极驱动器集成在面板中。通过减半来减小数据线的数量，而不是使栅极线的数量加倍，从而实现了相同的分辨率并降低了成本。此外，在面板的左侧和右侧设置一对相对的栅极驱动器，以施加选通信号。为了在一帧期间施加选通信号，在施加前一选通信号之后，通过在经过预定时间之后将下一选通信号与前一选通信号重叠来传输下一选通信号。

当信号线重叠时，在像素中形成寄生电容。在施加数据电压之后，由于由寄生电容在下降沿所生成的反冲电压(kickback voltage)，数据电压轻微地减小，此后，由于在下一选通信号的下降沿所生成的反冲电压，数据电压再次减小。这样就造成正像素电压和负像素电压之间的电压差，从而导致闪烁。此外，由于残留的图像或指纹可能会使屏幕产生斑点(stain)。

因此，期望一种可以防止屏幕闪烁或斑点的用于显示装置的驱动器以及一种具有该驱动器的显示装置。

发明内容

本发明目的在于提供一种用于显示装置的驱动器和一种具有该驱动器的显示装置，其具有防止屏幕闪烁或污染的优点。

本发明的示例性实施例提供了一种用于显示装置的驱动器。

根据本发明的示例性实施例，用于显示装置的驱动器包括：多条栅极线，用于传输选通信号；以及第一和第二栅极驱动器，分别连接至多条栅极线中的奇数和偶数栅极线，第一和第二栅极驱动器基于多个时钟信号生成选通信号。多个时钟信号中的两个相邻时钟信号具有等于或大于 180° 且小于 360° 的相位差。

此外，多个时钟信号中的两个不相邻的时钟信号可以具有 180° 的相位差。

多个时钟信号均可具有 50% 的占空比。

多个时钟信号包括第一至第四时钟信号，第一和第二时钟信号或第三和第四时钟信号可以具有等于或大于 180° 且小于 360° 的相位差。

第一和第三时钟信号或第二和第四时钟信号可以具有 180° 的相位差。

第一和第三时钟信号可以输入至第一栅极驱动器，第二和第四时钟信号可以输入至第二栅极驱动器，第一和第二输出起始信号可以分别输入至第一和第二栅极驱动器，以及第一和第二输出起始信号可以具有等于或大于 180° 且小于 360° 的相位差。

本发明的另一个示例性实施例提供了一种显示装置，其包括：多个像素，呈矩阵排列；多条栅极线，用于将选通信号传输至像素；多条数据线，用于将数据信号传输至像素；以及第一和第二栅极驱动器，分别连接至多条栅极线中的奇数和偶数栅极线，第一和第二栅极驱动器基于多个时钟信号生成选通信号。多个时钟信号中的两个相邻时钟信号具有等于或大于 180° 且小于 360° 的相位差。

此外，多个时钟信号中的两个不相邻的时钟信号可以具有 180° 的相位差。

多个时钟信号均可具有 50% 的占空比。

多个时钟信号可以包括第一至第四时钟信号，并且第一和第二时钟信号或第三和第四时钟信号可以具有等于或大于 180° 且小于 360° 的相位差。

第一和第三时钟信号或第二和第四时钟信号可以具有 180° 的相位差。

第一和第三时钟信号可以输入至第一栅极驱动器，以及第二和第四时钟信号可以输入至第二栅极驱动器。

第一和第二输出起始信号可以分别输入至第一和第二栅极驱动器，以及第一和第二输出起始信号可以具有等于或大于 180° 且小于 360° 的相位差。

在多个像素中的两个相邻数据线之间沿行方向设置的两个邻接像素（一对相邻像素）可以连接至相同的数据线，以及这两个像素可以连接至彼此不同的栅极线。

显示装置还可以包括用于生成数据信号的数据驱动器，其中，数据驱动器将数据信号施加给像素，该像素首先接收位于沿列方向排列的多个像素行中的第一像素行的两个邻接像素之间的数据信号。

第一个第二栅极驱动器可以集成在显示装置中。

附图说明

通过参照附图更加详细地描述示例性实施例，本发明的上述和其它特征和优点将变得显而易见，其中：

图 1 是示出根据本发明示例性实施例的液晶显示装置的框图；

图 2 是示出根据本发明示例性实施例的液晶显示装置的像素的等效电路示意图；

图 3 示出根据本发明示例性实施例的液晶显示装置的结构；

图 4 是根据本发明示例性实施例的栅极驱动器的框图；

图 5 是根据本发明示例性实施例的用于栅极驱动器的移位寄存器的第 j 级的电路示意图；

图 6A 和 6B 示出图 4 的栅极驱动器的信号波形；

图 7A 和 7B 分别示出根据本发明的示例性实施例和现有技术的选通信号和数据电压的波形；以及

图 8 示出根据本发明示例性实施例的栅极驱动器的选通信号输出的部分波形。

具体实施方式

下面将参照附图更加全面的描述本发明。然而，本发明可以以多种不同的方式来实现，而不局限于在此描述的实施例。相反地，对本领域的技术人员来说，提供这些实施例，使得本发明充分公开并且完全覆盖本发明的范围。相同的标号表示类似的元件。

应该明白，当提到元件“位于”另一元件上时，其可直接位于其它元件上或者也可以存在插入元件。相反地，当提到元件“直接位于”另一个元件上时，不存在插入元件。在此，术语“和/或”包括一个或多个相关的所列术语的任意和所有结合。

应当理解，尽管在此可能使用术语第一、第二、第三等来描述不同的元件、部件、区域、层、和/或部，但是这些元件、部件、区域、层、和/或部并不局限于这些术语。这些术语仅用于将一个元件、部件、区域、层、或部与另一个区域、层、或部相区分。因此，在不背离本发明宗旨的情况下，下文所述的第一元件、部件、区域、层、或部可以称为第二元件、部件、区域、层、或部。

在此使用的术语仅用于描述特定实施例而不是限制本发明。正如在此使用的，单数形式的“一个”、“这个”也包括复数形式，除非文中另有其它明确指示。应当进一步理解，当在本申请文件中使用术语“包括”和/或“包含”时，是指存在所声称的特征、区域、整数、步骤、操作、元件、和/或部件，但是并不排除还存在或附加一个或多个其它的特征、区域、整数、步骤、操作、元件、部件、和/或其组合。

此外，在此可能使用诸如“在...之下”、“在...下面”、“下面的”、“在...上面”、以及“上面的”等空间关系术语，以描述如图中所示的一个元件与另一元件的关系。应当理解，除图中所示的方

位之外，空间关系术语将包括装置的不同方位。例如，如果翻转一幅图中的装置，则被描述为在其他元件“下面”的元件将被定位为在其他元件的“上面”。因此，示例性术语“在...下面”可以根据图的特定方位包括在上面和在下面的方位。类似地，如果翻转一幅图中的装置，则被描述为在其它元件“下面”或“之下”的元件将被定位为在其它元件的“上面”。因此，示例性术语“下面”或“之下”可以包含上面和下面的方位。

除非特别限定，在此所使用的所有术语（包括技术术语和科技术语）具有与本发明所属领域的普通技术人员通常所理解的意思相同的解释。还应进一步理解，诸如在通用字典中所定义的术语应该被解释为与其在相关技术上下文中的意思相一致，并且除非在此进行特别限定，不应理想化的或过于正式的对其进行解释。

下面，将参照附图描述本发明。

首先，将参照图 1 至图 3 以液晶显示装置做为实例描述根据本发明示例性实施例的液晶显示装置。

图 1 是示出根据本发明示例性实施例的液晶显示装置的框图。图 2 是示出根据本发明示例性实施例的液晶显示装置的像素的等效电路示意图。图 3 示出根据本发明示例性实施例的液晶显示装置的结构。

如图 1 所示，根据本发明示例性实施例的液晶显示装置包括液晶面板组件 **300**、连接至液晶面板组件 **300** 的栅极驱动器 **400L** 和 **400R** 以及数据驱动器 **500**、连接至数据驱动器 **500** 的灰度电压发生器 **800**、以及用于控制这些部件的信号控制器 **600**。

从图 1 和图 3 中可以很好地看出, 液晶面板组件 **300** 包括多条信号线 G_1 至 G_{2n} 、 D_1 至 D_m 、L1 和 L2。此外, 多个连接至信号线的像素基本上呈矩阵排列。

信号线 G_1 至 G_{2n} 、 D_1 至 D_m 、L1 和 L2 包括: 多条栅极线 G_1 至 G_{2n} , 用于传输选通信号 (有时称为“扫描信号”); 以及多条数据线 D_1 至 D_m 和伪线 (dummy line) L1 和 L2, 用于传输数据信号。栅极线 G_1 至 G_{2n} 在行方向上基本上互相平行地延伸, 以及数据线 D_1 至 D_m 和伪线 L1 和 L2 在列方向上基本上互相平行地延伸。

如图 3 所示, 印刷电路板 (“PCB”) **550** 设置在包括栅极线 G_1 至 G_{2n} 、数据线 D_1 至 D_m 、和伪线 L1 和 L2 的液晶面板组件 **300** 的上部。PCB **550** 包括诸如用于驱动液晶显示装置的信号控制器 **600**、驱动电压发生器、以及灰度电压发生器 (均未示出) 的电路元件。伪线 L1 和 L2 分别在液晶面板组件 **300** 的最左边和最右边沿列方向基本互相平行地延伸, 并且基本上与数据线 D_1 至 D_m 平行。

液晶面板组件 **300** 和 PCB **500** 通过柔性印刷电路 (FPC) 基板 **510** 彼此电连接和物理连接。

FPC 基板 **510** 安装有组成数据驱动器 **500** 的数据驱动集成电路芯片 **540**, 并形成具有多条数据传输线 **521**。数据传输线 **521** 通过接触部 C1 分别连接至在液晶面板组件 **300** 上形成的数据线 D_1 至 D_m , 以传输相应的数据电压。

在 FPC 基板 **510** 中, 在数据驱动集成电路芯片 **540** 的最左和最右的位置处形成信号传输线 **522a**、**522b**、**523a**、和 **523b**。信号传输线 **522a**、**522b**、**523a**、和 **523b** 通过对应的接触部 C3 连接至在 PCB **550** 中形成的信号传输线 **551a** 和 **551b**。

在FPC基板**510**最左侧形成的信号传输线**522a**通过接触部C2连接至最左侧的数据线D₁，并且通过接触部C3连接至信号传输线**551a**和**523a**，以通过接触部C1连接至伪线L2。

在基板**510**最右侧形成的信号传输线**523b**通过接触部C2连接至最右侧的数据线D_m，并且通过接触部C3连接至信号传输线**551b**和**523a**，以通过接触部C1连接至伪线L1。

从图2和图3中可以看出，每个像素均包括连接至显示信号线G₁至G_{2n}、D₁至D_m、和伪线L1和L2的开关元件Q、连接于此的液晶电容器Clc、以及存储电容器Cst。然而，可以选择性地将存储电容器Cst省略。

开关元件Q（例如，薄膜晶体管）设置在薄膜晶体管面板的下部面板**100**上。作为三端口（three-port）装置，其控制端连接至栅极线G₁至G_{2n}其中之一，其输入端连接至数据线D₁至D_m以及伪线L1和L2其中之一，以及其输出端连接至液晶电容器Clc和存储电容器Cst。

液晶电容器Clc的两个端为下部面板**100**的像素电极**191**和上部面板**200**的共电极**270**，该上部面板为共电极面板。夹置在两个电极**191**和**270**之间的液晶层**3**作为介电元件。像素电极**191**连接至开关元件Q，以及共电极**270**设置在上部面板**200**的整个表面上，以接收共电压Vcom。不同于图2所示，共电极**270**可以设置在下部面板**100**上，而不是设置在上部面板**200**上，在这种情况下，两个电极**191**和**270**中的至少一个可以以线形或条形形成。

通过将单独的信号线（未示出）和设置在下部面板**100**上的像素电极**191**重叠来构造具有对于液晶电容器Clc的辅助功能的存储电容器Cst，其中，在单独的信号线与像素电极之间夹置有绝缘件，

以及将诸如共电压 V_{com} 的预定电压施加给单独的信号线。可选地，可以通过将像素电极 **191** 和设置在其上方的先前栅极线进行重叠来构造存储电容器 C_{st} ，其中，在像素电极和先前栅极线之间夹置有绝缘件。

如图 3 所示，一对栅极线 G_{j+1} 和 G_{j+2} 、和 G_{j+3} 和 G_{j+4} 分别设置在像素电极 **191** 的单个行的上方和下方。此外，每一条数据线 D_1 至 D_m 均设置在像素电极 **191** 的两个相邻列之间。也就是，一条数据线设置在一对像素列之间。现在，将详细描述栅极线 G_1 至 G_{2n} 和像素电极 **191** 之间的连接、以及数据线 D_1 至 D_m 和像素电极 **191** 之间的连接。

连接在像素电极 **191** 上方和下方的多对栅极线 G_1 至 G_{2n} 通过设置在每个像素电极 **191** 的上方和下方的开关元件 Q 连接于此。

也就是，在奇数像素行中，设置在各条数据线 D_1 至 D_m 左侧的开关元件 Q 连接至上部栅极线 G_1 、 G_5 、...、 G_{4m+1} ，而设置在各条数据线 D_1 至 D_m 右侧的开关元件 Q 连接至下部栅极线 G_2 、 G_6 、...、 G_{4m+2} 。另一方面，在偶数像素行中，上部栅极线 G_3 、 G_7 、...、 G_{4m-1} 和下部栅极线 G_4 、 G_8 、...、 G_{4m} 以相对于奇数像素行相反的方式连接至开关元件 Q 。也就是，设置在数据线 D_1 至 D_m 右侧的开关元件 Q 连接至上部栅极线 G_3 、 G_7 、...、 G_{4m-1} ，而设置在数据线 D_1 至 D_m 左侧的开关元件 Q 连接至下部栅极线 G_4 、 G_8 、...、 G_{4m} 。

在奇数行中，设置在数据线 D_1 至 D_m 左侧的像素电极 **191** 通过其开关元件 Q 连接至第一相邻数据线 D_1 至 D_m ，而设置在数据线 D_1 至 D_m 右侧的像素电极 **191** 连接至第二相邻数据线 D_1 至 D_m 。在偶数行中，设置在数据线 D_1 至 D_m 左侧的像素电极 **191** 通过其开关元件 Q 连接至先前相邻数据线 D_1 至 D_m ，而设置在数据线 D_1 至 D_m 右侧的像素电极 **191** 连接至第一相邻数据线 D_1 至 D_m 。此外，在第

一列和偶数行中的像素电极 **191** 连接至伪线 L1, 该伪线连接至最后一条数据线 D_m , 而在最后一列和奇数行中的像素电极 **191** 连接至伪线 L2, 该伪线连接至第一条数据线 D_1 。

如上所述, 在每个像素 PX 中分别形成的开关元件 Q 以这样的方式形成: 它们可以轻易地连接至数据线 D_1 至 D_m 或伪线 L1 和 L2, 即, 它们具有尽可能短的连接距离。因此, 在图 3 中, 开关元件 Q 在每一像素行和列中设置在不同的位置。也就是, 在奇数像素对中, 在设置在数据线 D_1 至 D_m 左侧的像素 PX 的右上侧形成开关元件 Q, 而在设置在数据线 D_1 至 D_m 右侧的像素 PX 的右下侧形成开关元件 Q。

另一方面, 设置在偶数行中的像素 PX 的开关元件 Q 形成在相对于其相邻像素行相对的位置。也就是, 在偶数像素对中, 设置在数据线 D_1 至 D_m 左侧的像素 PX 在左下部具有其开关元件 Q, 以及设置在数据线 D_1 至 D_m 右侧的像素 PX 在左上部具有其开关元件 Q。

简单来说, 在图 3 的像素电极 **191** 和数据线 D_1 至 D_m 中, 设置在每个像素行的两条相邻数据线之间的两个像素 PX 的开关元件 Q 连接至相同的数据线。也就是, 在奇数像素行中, 在两条数据线之间形成的两个像素 PX 的开关元件 Q 连接至右侧数据线, 以及在偶数像素行中, 在两条数据线之间形成的两个像素 PX 的开关元件 Q 连接至左侧数据线。

图 3 的布置仅是一个实例, 因此, 像素电极 **191**、奇数和偶数数据线 D_1 至 D_m 、以及数据线 G_1 至 G_{2n} 都可以以不同的方式连接。

另一方面, 为了实现彩色显示, 每个像素 PX 唯一地显示一种原色 (空间分割), 或者每个像素 PX 根据时间交替地显示原色 (时间分割)。

通过原色的空间或时间组合可以获得期望的颜色。图 2 示出空间分割的实例，其中，在对应于像素电极 **191** 的区域中，每个像素 **PX** 均包括红、绿、或蓝滤色器 **230**。滤色器 **230** 可以如图 2 所示设置在下部面板 **100** 上方，或可选地设置在下部面板 **100** 下方。

在图 3 中，在行方向上以原色中的红色、绿色、和蓝色为顺序配置用于相应像素 **PX** 的每个滤色器 **230**，以及每个像素列以条形方式线性地配置，其中，像素列的每个滤色器 **230** 仅包括原色中的一种颜色。

在两个面板 **100** 和 **200** 中至少一个的外表面上设置有至少一个用于使光偏振的偏光器（未示出）。

再次参照图 1，灰度电压发生器 **800** 生成对应于像素 **PX** 的透射率的两个灰度电压组（基准灰度组）。一个灰度组相对于共电压 **Vcom** 具有正值，以及另一个灰度电压组相对于共电压 **Vcom** 具有负值。

一对栅极驱动器 **400L** 和 **400R** 分别设置在液晶面板组件 **300** 的左侧和右侧，以及分别连接至奇数栅极线 G_1 、 G_3 、...、 G_{2n-1} 和偶数栅极线 G_2 、 G_4 、...、 G_{2n} ，以将选通信号施加给栅极线 G_1 至 G_{2n} ，其中，选通信号由外部栅极导通电压 **Von** 和外部栅极截止电压 **Voff** 组成。栅极驱动器 **400L** 和 **400R** 包括基本上呈行排列的多个级（stage），作为移位寄存器，并且以与形成像素 **PX** 的开关元件 **Q** 相同的工艺形成和集成。然而，栅极驱动器 **400L** 和 **400R** 可以以集成电路（“IC”）的形式设置。

数据驱动器 **500** 连接至液晶面板组件 **300** 的数据线 D_1 至 D_m ，以从灰度电压发生器 **800** 中选取灰度电压，并将灰度电压作为数据信号施加给数据线 D_1 至 D_m 。可选地，在灰度电压发生器 **800** 仅生

成预定数量的基准灰度电压而不是生成所有灰度电压的情况下，数据驱动器 **500** 可以通过划分基准灰度电压并在生成的灰度电压中选取数据信号来生成对于所有灰度的灰度电压。

信号控制器 **600** 控制栅极驱动器 **400L** 和 **400R**、数据驱动器 **500**、和灰度电压发生器 **800**。

每个驱动器 **500**、**600**、和 **800** 均可以一个或多个驱动 IC 芯片的形式直接安装在 LCD 面板组件 **300** 上。可选地，驱动器 **500**、**600**、和 **800** 可以带载封装（“TCP”）的形式安装在 LCD 面板组件 **300** 中的柔性印刷电路（“FPC”）膜（未示出）上，或可以安装在单独的印刷电路板（未示出）中。可选地，驱动器 **500**、**600**、和 **800** 可以与显示信号线 G_1 至 G_{2n} 和 D_1 至 D_m 、以及薄膜晶体管开关元件 Q 一起直接安装在 LCD 面板组件 **300** 上。

此外，驱动器 **400**、**500**、**600**、和 **800** 可以以单个芯片的形式集成，在这种情况下，至少一个驱动器或其中至少一个电路元件可以出现在单个芯片的外部。

现在，将参照图 1 描述液晶显示装置的操作。

信号控制器 **600** 从外部图形控制器（未示出）中接收输入图像信号 R 、 G 、和 B 以及用于控制其显示的输入控制信号。作为输入控制信号的实例，具有垂直同步信号 V_{sync} 、水平同步信号 H_{sync} 、主时钟信号 $MCLK$ 、以及数据使能信号 DE 。

信号控制器 **600** 基于输入控制信号和输入图像信号 R 、 G 、和 B ，根据液晶面板组件 **300** 的操作条件处理输入图像信号 R 、 G 、和 B ，以生成栅极控制信号 $CONT1$ 、数据控制信号 $CONT2$ 等，随后，将生成的栅极控制信号 $CONT1$ 传输至栅极驱动器 **400L** 和 **400R**，

以及将生成的数据控制信号 CONT2 和处理过的图像数据 DAT 传输至数据驱动器 500。

栅极控制信号 CONT1 包括用于指示扫描开始的扫描起始信号 STV 和至少一个用于控制栅极导通电压 V_{on} 的输出周期的时钟信号。栅极控制信号 CONT1 还可以包括用于限定栅极导通电压 V_{on} 的持续时间的输出使能信号 OE。

数据控制信号 CONT2 包括：水平同步起始信号 STH，用于指示（一对）一个像素行的数据传输；加载信号 LOAD，用于命令将相关数据电压施加给数据线 D_1 至 D_m ；以及数据时钟信号 HCLK。数据控制信号 CONT2 还可以包括反转信号 RVS，用于相对于共电压 V_{com} 反转数据信号的电压极性（下文中，“相对于共电压 V_{com} 的数据信号的电压极性”简称为“数据信号极性”）。

响应于来自信号控制器 600 的数据控制信号 CONT2，数据驱动器 500 接收（一对）一个像素行的数字图像信号 DAT，并选取对应于数字图像信号 DAT 的灰度电压，使得数字图像信号 DAT 被转换为相关模拟数据信号。随后，模拟信号被施加给相关的数据线 D_1 至 D_m 。

栅极驱动器 400L 和 400R 根据来自信号控制器 600 的栅极控制信号 CONT1 将栅极导通电压 V_{on} 施加给栅极线 G_1 至 G_{2n} ，以使连接至栅极线 G_1 至 G_{2n} 的开关元件 Q 导通。结果，施加给数据线 D_1 至 D_m 的数据信号通过导通的开关元件 Q 被施加给相关的像素 PX。

施加给像素 PX 的数据信号的电压和共电压 V_{com} 之间的差成为液晶电容器 C_{lc} 的电荷电压，即，像素电压。液晶分子的定向根据像素电压的强度而变化。因此，改变了穿过液晶层 3 的光的偏振。

由于附着至液晶面板组件 **300** 的偏光器, 偏振的改变导致了光的透射率的改变。

以一个水平周期 (即, 水平同步信号 Hsync 和数据使能信号 DE 的一个周期) (或 1H) 为单位, 重复执行前述操作, 以顺序地将栅极导通电压 Von 施加给所有的栅极线 G_1 至 G_{2n} , 从而将数据信号施加给所有的像素。结果, 显示一帧的图像。

当一帧结束时, 下一帧开始, 并且控制施加给数据驱动器 **500** 的反转信号 RVS 的状态, 使得施加给每个像素的数据信号的极性与在上一帧中的极性相反 (帧反转)。此时, 即使在一帧中, 根据反转信号 RVS 的特性, 流过一条数据线的数据信号的极性也可以被反转 (例如, 行反转和点反转)。此外, 施加给一个像素行的数据信号的极性可以彼此不同 (例如, 列反转和点反转)。

现在, 将参照图 4 至图 6 描述根据本发明示例性实施例的液晶显示装置。

图 4 是根据本发明示例性实施例的栅极驱动器的框图。图 5 是根据本发明示例性实施例的用于栅极驱动器的移位寄存器的第 j 级的电路示意图。图 6A 和 6B 示出图 4 的栅极驱动器的信号波形。

栅极驱动器包括分别为图 4 的移位寄存器 **400L** 和 **400R** 的第一和第二栅极驱动器 **400L** 和 **400R**。移位寄存器 **400L** 和 **400R** 分别接收第一和第二扫描起始信号 LSTV 和 RSTV、以及相应的第一至第四时钟信号 LCLK1、RCLK1、LCLK2、和 RCLK2。每一个移位寄存器 **400L** 和 **400R** 均包括呈列排列的多个级 **410L** 和 **410R**, 以及多个级 **410L** 和 **410R** 中的每一个分别连接至相应的栅极线。

如图 6A 所示, 在输入到左移位寄存器 **400L** 的第一扫描起始信号 LSTV 和输入到右移位寄存器 **400R** 的第二扫描起始信号 RSTV

中, 具有 1H 宽度的一个脉冲包括在一帧中。第二扫描起始信号 RSTV 相对于第一扫描起始信号 LSTV 被延迟预定时间 t 。第一至第四时钟信号 LCLK1、RCLK1、LCLK2、和 RCLK2 中的每一个均具有 50% 的占空比以及 2H 的周期。第一时钟信号 LCLK1 和第二时钟信号 RCLK1 具有等于或大于 180° 的相位差。第三时钟信号 LCLK2 和第四时钟信号 RCLK2 也具有等于或大于 180° 的相位差。另一方面, 第一时钟信号 LCLK1 和第三时钟信号 LCLK2、以及第二时钟信号 RCLK1 和第四时钟信号 RCLK2 分别具有 180° 的相位差。

当第一时钟信号 LCLK1 为低电平时, 输入到左移位寄存器 400L 的第一级 410L 的第一垂直同步信号 LSTV 为高电平, 并且当第一时钟信号 LCLK1 变为高电平时其变为低电平。此外, 当第二时钟信号 RCLK1 为低电平时, 输入到右移位寄存器 400R 的第一级 410R 的第二垂直同步信号 RSTV 为高电平, 并且当第二时钟信号 RCLK1 变为高电平时其变为低电平。

各个移位寄存器 400L 和 400R 的两级 410L 和 410R 分别接收彼此不同的时钟信号 LCLK1、RCLK1、LCLK2、和 RCLK2。例如, 将第一时钟信号 LCLK1 输入至左移位寄存器 400L 的第一级, 将第三时钟信号 LCLK2 输入至左移位寄存器 400L 的第二级, 将第二时钟信号 RCLK1 输入至右移位寄存器 400R 的第一级, 以及将第四时钟信号 RCLK2 输入至右移位寄存器 400R 的第二级。

为了驱动像素的开关元件 Q, 每个时钟信号 LCLK1、RCLK1、LCLK2、和 RCLK2 在高电平期间均可以为栅极导通电压 V_{on} , 以及在低电平期间可以为栅极截止电压 V_{off} 。

每一级 **410L** 和 **410R** 均具有设置端 **S**、栅极电压端 **GV**、一对时钟端 **CK1** 和 **CK2**、复位端 **R**、帧复位端 **FR**、栅极输出端 **OUT1**、以及进位输出端 **OUT2**。

在每一级中，例如，在第 j 级 **ST** (j) 中，设置端 **S** 被施加有前一级 **ST** ($j-2$) 的进位输出，即，前一级的进位输出 **Cout** ($j-2$)，以及复位端 **R** 被施加有下一级 **ST** ($j+2$) 的栅极输出，即，下一级的栅极输出 **Cout** ($j+2$)。此外，时钟端 **CK1** 和 **CK2** 分别被施加有时钟信号 **LCLK1** 和 **LCLK2**，以及栅极电压端 **GV** 被施加有栅极截止电压 **Voff**。栅极输出端 **OUT1** 传输栅极输出 **Gout** (j)，以及进位输出端 **OUT2** 将进位输出 **Gout** (j) 传输至下一级 **ST** ($j+2$) 的设置端 **S**。

然而，级组的第一级 **410L** 和 **410R** 分别被施加有扫描起始信号 **LSTV** 和 **RSTV** 而不是前一级栅极输出。当第 j 级 **ST** (j) 的时钟端 **CK1** 和 **CK2** 分别被施加有时钟信号 **LCLK1** 和 **LCLK2** 时，与第 j 级 **ST** (j) 相邻的第 ($j-2$) 级和第 ($j+2$) 级 **ST** ($j-2$) 和 **ST** ($j+2$) 的时钟端分别被施加有时钟信号 **LCLK2** 和 **LCLK1**。

参照图 5，根据本发明示例性实施例的栅极驱动器 **400** 中的每一级（例如，第 j 级）均包括：输入部 **420**、上拉（pull-up）驱动器 **430**、下拉（pull-down）驱动器 **440**、以及输出部 **450**。上述元件中的每一个均包括一个或多个 NMOS 晶体管 **T1** 至 **T14**。上拉驱动器 **430** 和输出部 **450** 还包括电容器 **C1** 至 **C3**。可以用 PMOS 晶体管来代替 NMOS 晶体管 **T1** 至 **T14**。此外，电容器 **C1** 至 **C3** 可以为在制造工艺过程中在漏极和源极之间形成的寄生电容。

输入部 **420** 包括三个分别串联连接至设置端 **S** 和栅极电压端 **GV** 的晶体管 **T11**、**T10** 和 **T5**。晶体管 **T11** 和 **T5** 的栅极连接至时钟端 **CK2**，以及晶体管 **T10** 的栅极连接至时钟端 **CK1**。晶体管 **T11**

和晶体管 T10 之间的接触点连接至接触点 J1, 以及晶体管 T10 和晶体管 T5 之间的接触点连接至接触点 J2。

上拉驱动器 **430** 包括连接在设置端 S 和接触点 J1 之间的晶体管 T4、连接在时钟端 CK1 和接触点 J3 之间的晶体管 T12、以及连接在时钟端 CK1 和接触点 J4 之间的晶体管 T7。晶体管 T4 的栅极和漏极共同连接至设置端 S, 且其源极连接至接触点 J1。晶体管 T12 的栅极和漏极共同连接至时钟端 CK1, 且其源极连接至接触点 J3。晶体管 T7 的栅极连接至接触点 J3, 且通过电容器 C1 连接至时钟端 CK1, 其漏极连接至时钟端 CK1, 以及其源极连接至接触点 J4。电容器 C2 连接在接触点 J3 和接触点 J4 之间。

下拉驱动器 **440** 包括多个晶体管 T6、T9、T13、T8、T3、以及 T2, 通过它们的源极接收栅极截止电压 V_{off} , 以输出至接触点 J1、J2、J3、和 J4。晶体管 T6 的栅极连接至帧复位端 FR, 且其漏极连接至接触点 J1。晶体管 T9 的栅极连接至复位端 R, 且其漏极连接至接触点 J1。晶体管 T13 和 T8 的栅极共同连接至接触点 J2, 且它们的漏极分别连接至接触点 J3 和 J4。晶体管 T3 的栅极连接至接触点 J4 和晶体管 T8 的漏极, 以及晶体管 T2 的栅极连接至复位端 R。两个晶体管 T3 和 T2 的漏极连接至接触点 J2。

输出部 **450** 包括一对晶体管 T1 和 T14, 它们的漏极和源极分别连接至时钟端 CK1 以及输出端 OUT1 和 OUT2 之间, 且它们的栅极连接至接触点 J1。电容器 C3 连接在晶体管 T1 的栅极和漏极之间, 即, 在接触点 J1 和接触点 J2 之间。

现在, 将描述级的操作。

为了更好地理解且易于描述, 对应于高电平的时钟信号 LCLK1、RCLK1、LCLK2、和 RCLK2 的电压称为高电压, 以及对

应于低电平的时钟信号 LCLK1、RCLK1、LCLK2、和 RCLK2 的电压称为低电压，其等于栅极截止电压 V_{off} 。

首先，当时钟信号 LCLK2 和前一级进位输出 $C_{out}(j-2)$ 处于高电平时，则晶体管 T11、T5、和 T4 导通。因此，两个晶体管 T11 和 T4 将高电压传输至接触点 J1，以及晶体管 T5 将低电压传输至接触点 J2。结果，晶体管 T1 和 T14 导通，并且将时钟信号 LCLK1 输出至输出端 OUT1 和 OUT2。此时，由于接触点 J2 和时钟信号 LCLK1 均具有低电压，所以输出电压 $G_{out}(j)$ 和 $C_{out}(j)$ 变为低电压。同时，电容器 C3 充有与高电压和低电压之间的差相对应的电压。

此时，时钟信号 LCLK1 和下一级栅极输出 $G_{out}(j+2)$ 处于低电平，以及接触点 J2 也处于低电平，所以栅极连接至时钟信号 LCLK1 或下一级栅极输出 $G_{out}(j+2)$ 的所有晶体管 T10、T9、T12、T13、T8、和 T2 均处于截止状态。

随后，当时钟信号 LCLK2 处于低电平时，晶体管 T11 和 T5 截止。在这种状态下，如果时钟信号 LCLK1 变成高电平，则晶体管 T1 的输出电压和接触点 J2 处的电压变成高电压。此时，将高电压施加给晶体管 T10 的栅极，但是其连接至接触点 J2 的源极也具有相同的高电压。结果，栅极和源级之间的电位差变成 0，因此，晶体管 T10 保持截止状态。因此，接触点 J1 变为浮置状态 (floating state)，因此接触点 J1 的电位由于高电压而增加。

同时，由于时钟信号 LCLK1 和接触点 J2 的电位为高电压，所以晶体管 T12、T13、和 T8 导通。在这种状态下，晶体管 T12 和 T13 串联连接，以具有高电压和低电压之间的电压，因此，接触点 J3 处的电位具有由两个晶体管 T12 和 T13 的导通电阻值划分的电压。如果晶体管 T13 的导通电阻值确定为显著高于晶体管 T12 的导

通电阻值，例如，高出大约 10,000 倍，那么接触点 J3 处的电压几乎与高电压一样。因此，晶体管 T7 导通，因此串联连接至晶体管 T8。结果，接触点 J4 具有与由两个晶体管 T7 和 T8 的导通电阻值划分的电压相对应的电位。在这种情况下，如果确定两个晶体管 T7 和 T8 的导通电阻值几乎相同，那么接触点 J4 具有与高电压和低电压之间的中间值相对应的电位，因此，晶体管 T3 保持截止状态。此时，由于下一栅极输出 $G_{out}(j+2)$ 仍然处于低电平，所以晶体管 T9 和 T2 还保持截止状态。因此，输出端 OUT1 和 OUT2 仅连接至时钟信号 LCLK1，并且将输出端与低电压阻断，从而传输高电压。

电容器 C1 和 C2 分别充有与其两个端口之间的电位差相对应的电压。这里，接触点 J3 处的电压低于接触点 J5 处的电压。

接下来，下一栅极输出 $G_{out}(j+2)$ 和时钟信号 LCLK2 处于高电平，以及时钟信号 LCLK1 处于低电平，从而晶体管 T9 和 T2 导通，以将低电压传输至接触点 J1 和 J2。在这种情况下，通过电容器 C3 将接触点 J1 处的电压释放，并减小到低电压。由于电容器 C3 的充电时间，使得电压完全减小到低电压需要占用一些时间。由于这个原因，在下一栅极输出 $G_{out}(j+2)$ 变成高电平之后，两个晶体管 T1 和 T14 暂时处于导通状态，因此输出端 OUT1 和 OUT2 连接至时钟信号 LCLK1，从而传输低电压。接下来，当电容器 C3 被完全放电，并且接触点 J1 处的电位达到低电压时，晶体管 T14 截止，且将输出端 OUT2 与时钟信号 LCLK1 阻断。结果，进位输出 $C_{out}(j)$ 变成浮置状态，从而维持低电压。由于即使当晶体管 T1 截止时输出端 OUT1 通过晶体管 T2 连接至低电压，所以输出端 OUT1 连续地传输低电压。

由于晶体管 T12 和 T13 截止，所以接触点 J3 变成浮置状态。此外，接触点 J5 处的电压变得低于接触点 J4 处的电压，以及接触点 J3 处的电压保持低于接触点 J5 处的电压，从而晶体管 T7 截止。

在这种情况下，由于晶体管 T8 还转换为截止状态，所以接触点 J4 处的电压同样地减小，并且晶体管 T3 仍然维持截止状态。此外，晶体管 T10 的栅极连接至低电压的时钟信号 LCLK1，以及接触点 J2 处的电压处于低电平。因此，晶体管 T10 仍然维持截止状态。

接下来，当时钟信号 LCLK1 处于高电平时，晶体管 T12 和 T7 导通，并且接触点 J4 处的电压增加。结果，晶体管 T3 导通，从而将低电压传输至接触点 J2，因此输出端 OUT1 连续传输低电压。也就是，即使当下一栅极输出 $G_{out}(j+2)$ 处于低电平时，接触点 J2 处的电压也可能为低电压。

同时，晶体管 T10 的栅极连接至高电压的时钟信号 LCLK1，以及接触点 J2 处的电压为低电压。因此，晶体管 T10 导通，以将接触点 J2 处的低电压传输至接触点 J1。两个晶体管 T1 和 T14 的漏极与时钟端 CK1 连接，以连续接收时钟信号 LCLK1。具体地，晶体管 T1 的尺寸相对大于其他晶体管的尺寸，这样可能增加其栅极和漏极之间的寄生电容。因此，漏极的电压改变可能会影响栅极电压。因此，当时钟信号 LCLK1 变成高电平时，由于栅极和漏极之间的寄生电容，可能增加栅极电压，从而晶体管 T1 导通。因此，通过将接触点 J2 处的电压传输至接触点 J1，晶体管 T1 的栅极电压可以维持为低电压，从而防止晶体管 T1 导通。

此后，接触点 J1 处的电压保持在低电压，直到前一级进位输出 $C_{out}(j-2)$ 变成高电平。当时钟信号 LCLK1 处于高电平，且时钟信号 LCLK2 处于低电平时，接触点 J2 处的电压通过晶体管 T3 变成低电压。此外，接触点 J1 处的电压通过晶体管 T4 保持在低电压。

晶体管 T6 接收由最后一个伪状态 (dummy-state) (未示出) 生成的初始化信号 INT, 并将栅极截止电压 V_{off} 传输至接触点 J1, 使得接触点 J1 处的电压再次保持在低电压。

以这种方式, 级 410L 基于前一级进位输出 $C_{out}(j-2)$ 和下一栅极输出 $G_{out}(j+2)$ 与时钟信号 LCLK1 和 LCLK2 同步地生成进位输出 $C_{out}(j)$ 和栅极输出 $G_{out}(j)$ 。

图 7A 示出根据本发明示例性实施例的选通信号和数据电压的波形。图 7B 示出根据现有技术的选通信号和数据电压的波形。

如图 3 所示, 选通信号表示施加给像素组 (Pa, Pb) 的第 j 个输出 $G_{out}(j)$ 和第 $(j+1)$ 个输出 $G_{out}(j+1)$, 该像素组组成位于相同像素行并连接至相同的数据线 D_1 至 D_m 的一个像素。此外, 数据电压表示施加给每个像素组 (Pa, Pb) 的正数据电压和负数据电压 V_{da} 和 V_{db} (以 “-” 或 “+” 表示)。

参照图 7A, 第一时钟信号 LCLK1 和第二时钟信号 RCLK1 彼此分开预定时间 t 。预定时间 t 可以等于或大于 0 且小于 IH 。按相位差来说, 可以等于或大于 180° 且小于 360° 。如图中所示的实例, 预定时间 t 为表示第一时钟信号 LCLK1 和第二时钟信号 RCLK1 之间间隔的 $IH/2$, 即, 270° 。

在像素组 (Pa, Pb) 中, 随后施加有选通信号的像素 Pb 的数据电压基本上不受寄生电容的影响。其同样适用于图 7B。然而, 首先施加有选通信号的像素 Pa 的数据电压由于反冲电压而增加或减小。

也就是, 对于施加给像素 Pa 的数据电压 V_{da} , 当栅极输出 $G_{out}(j)$ 从低电平转换为高电平时, 首先施加预充电电压, 随后, 当高

电平的栅极输出 $G_{out}(j)$ 的前半级（或 $1H/2$ ）过去时施加目标电压。此后，执行主充电。

接下来，当栅极输出 $G_{out}(j)$ 从高电平转换为低电平时，由于布线之间的寄生电容所生成的反冲电压使得像素电压减小。然而，当预定时间 t 过去之后下一级栅极输出 $G_{out}(j+1)$ 从低电平转换为高电平时，点 $P1$ 处生成的反冲电压提升像素电压（正反冲电压）。同样地，当下一级栅极输出 $G_{out}(j+1)$ 处于低电平时点 $P2$ 处生成的反冲电压减小像素电压（负反冲电压），从而返回到提升之前的像素电压。然后，如图 7A 所示，正像素电压 V_{ap} 和负像素电压 V_{an} 基本相同，从而防止了闪烁或斑点。在这种情况下，因为通过考虑由于一次发生的反冲电压所造成的电压减小来预先确定共电压 V_{com} ，所以正像素电压 V_{ap} 和负像素电压 V_{an} 变得基本相同。

此外，如果预定时间 t 为 0，即，栅极输出 $G_{out}(j)$ 的下降沿与栅极输出 $G_{out}(j+1)$ 的上升沿一致，正反冲电压和负反冲电压在上升和下降时彼此抵消，因此数据电压不会增加或减小。由于负反冲电压仅在栅极输出 $G_{out}(j+1)$ 的下降沿生成，所以其结果与具有预定时间 t 的情况相同，从而仅减小数据电压一次。

参照图 7B，两个选通信号 $G_{out}(j)$ 和 $G_{out}(j+1)$ 中的每一个的一部分都互相重叠。因此，如图所示，电压不但在当栅极输出 $G_{out}(j)$ 下降时减小，而且当下一个栅极输出 $G_{out}(j+1)$ 下降时也减小。从而，发生两次电压减小，由此正像素电压 V_{ap} 和负像素电压 V_{an} 之间的电压差变得远大于图 7A 的电压差。正像素电压 V_{ap} 和负像素电压 V_{an} 之间的电压差可能引起闪烁。

图 8 示出根据本发明示例性实施例的第一至第八栅极输出 G_{out1} 至 G_{out8} 。

参照图 8, 第二栅极输出 Gout2 与第三栅极输出 Gout3 和第五栅极输出 Gout5 重叠。此外, 第四栅极输出 Gout4 部分地与第五栅极输出 Gout5 和第七栅极输出 Gout7 重叠。当将数据电压施加给接收第三栅极输出 Gout3 的像素时, 接收第二栅极输出 Gout2 的像素进行预充电。当将数据电压施加给接收第二栅极输出 Gout2 的像素时, 接收第五栅极输出 Gout5 的像素进行预充电。类似地, 第五和第七栅极输出 Gout5 和 Gout7 以同样的方式进行预充电。

然而, 没有信号与第一栅极输出 Gout1 重叠。此外, 在高电压的前半级 $1H/2$, 没有信号与第三栅极输出 Gout3 重叠。因此, 在这种情况下, 接收栅极输出 Gout1 和 Gout3 的像素没有进行预充电。为了解决这个问题, 可以将数据电压施加给等于或大于 $1H$ (例如, $3H/2$) 的第一像素行。通过这么做, 通过向像素自身施加数据电压来对第一像素行的像素进行预充电, 以及通过向第一像素行施加数据电压来对第三像素行的像素进行预充电。

以这种方式, 通过以预定延时将选通信号分别施加给像素组 (Pa, Pb), 由寄生电容引起的压降仅发生一次。因此, 负像素电压可以与正像素电压相同, 从而防止了闪烁或斑点。

尽管描述了本发明的示例性实施例和修改的实例, 但是本发明不限于示例性实施例和实例, 而是在不背离所附权利要求、详细的描述、以及本发明的附图范围的情况下, 可以作出各种形式的修改。因此, 很自然地, 这样的修改在本发明的范围之内。

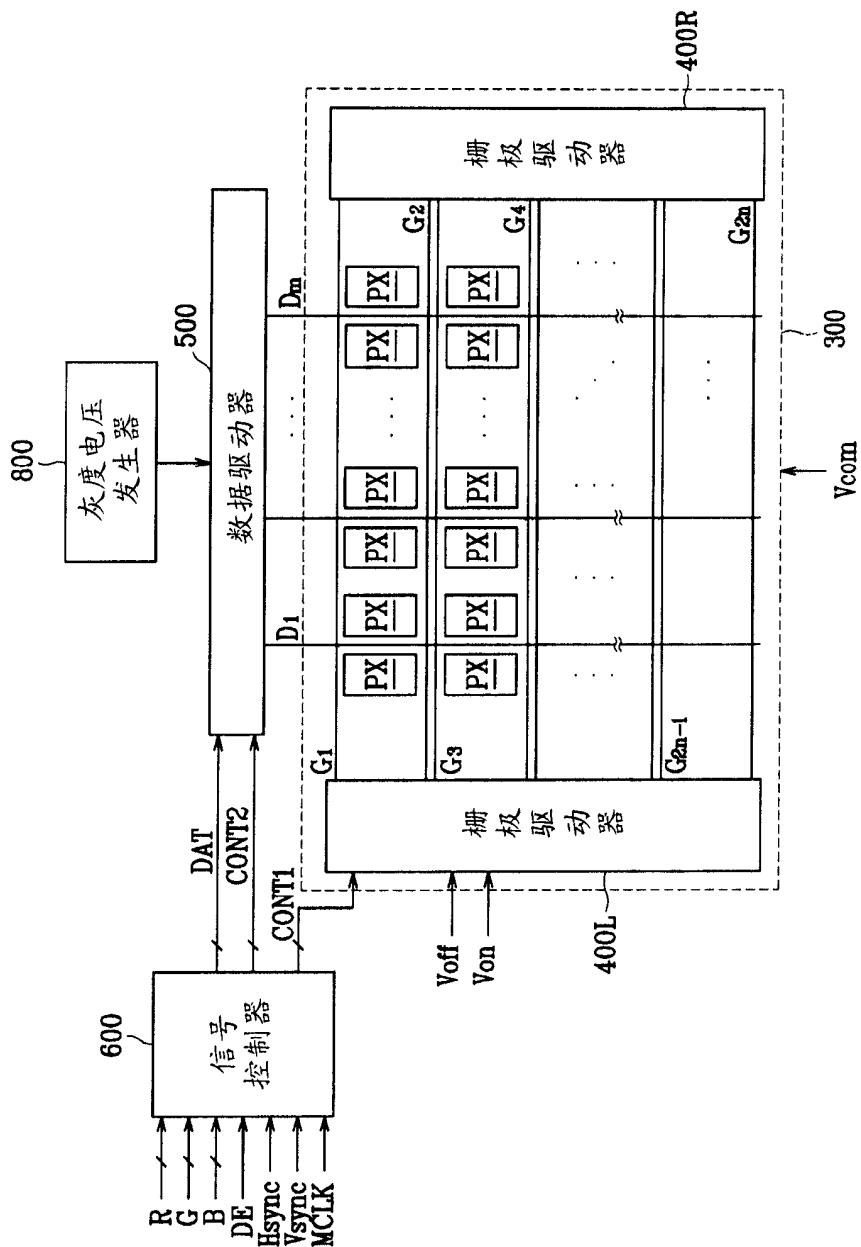


图 1

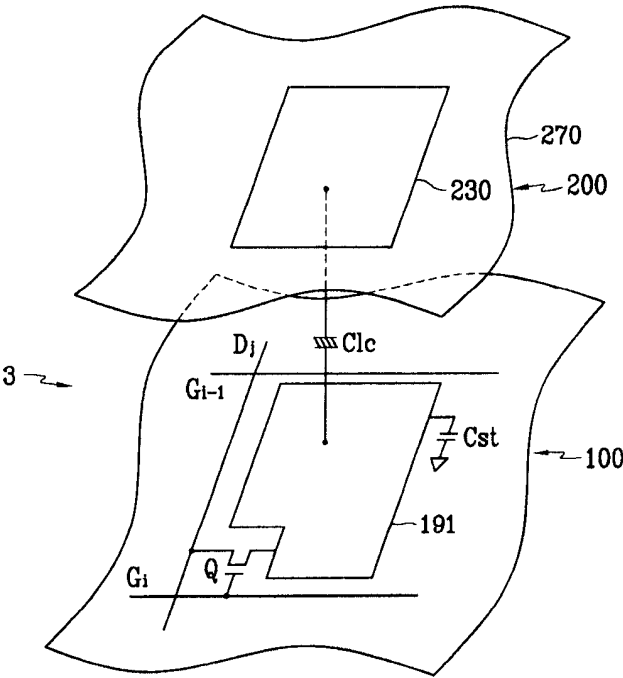


图2

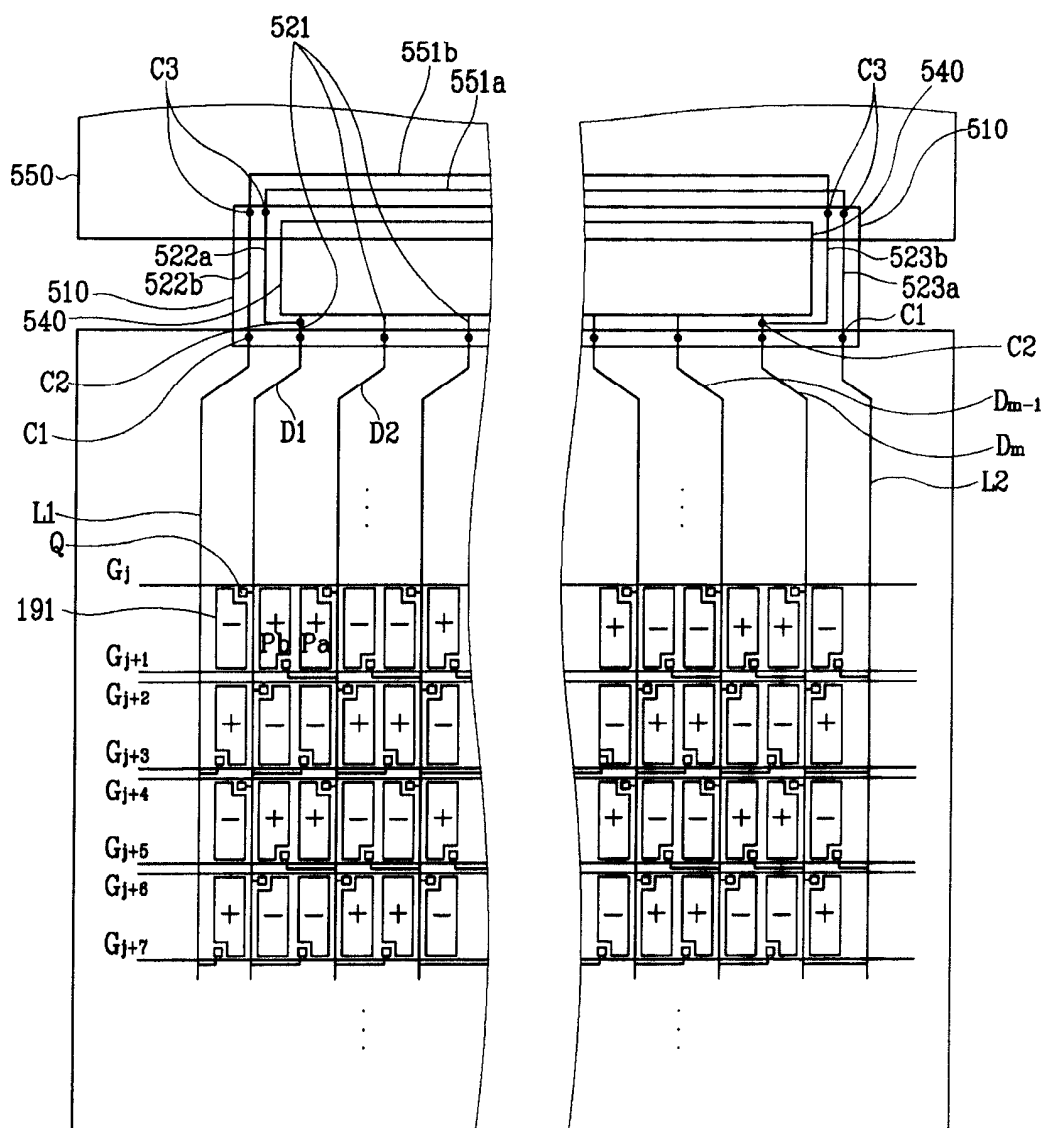


图3

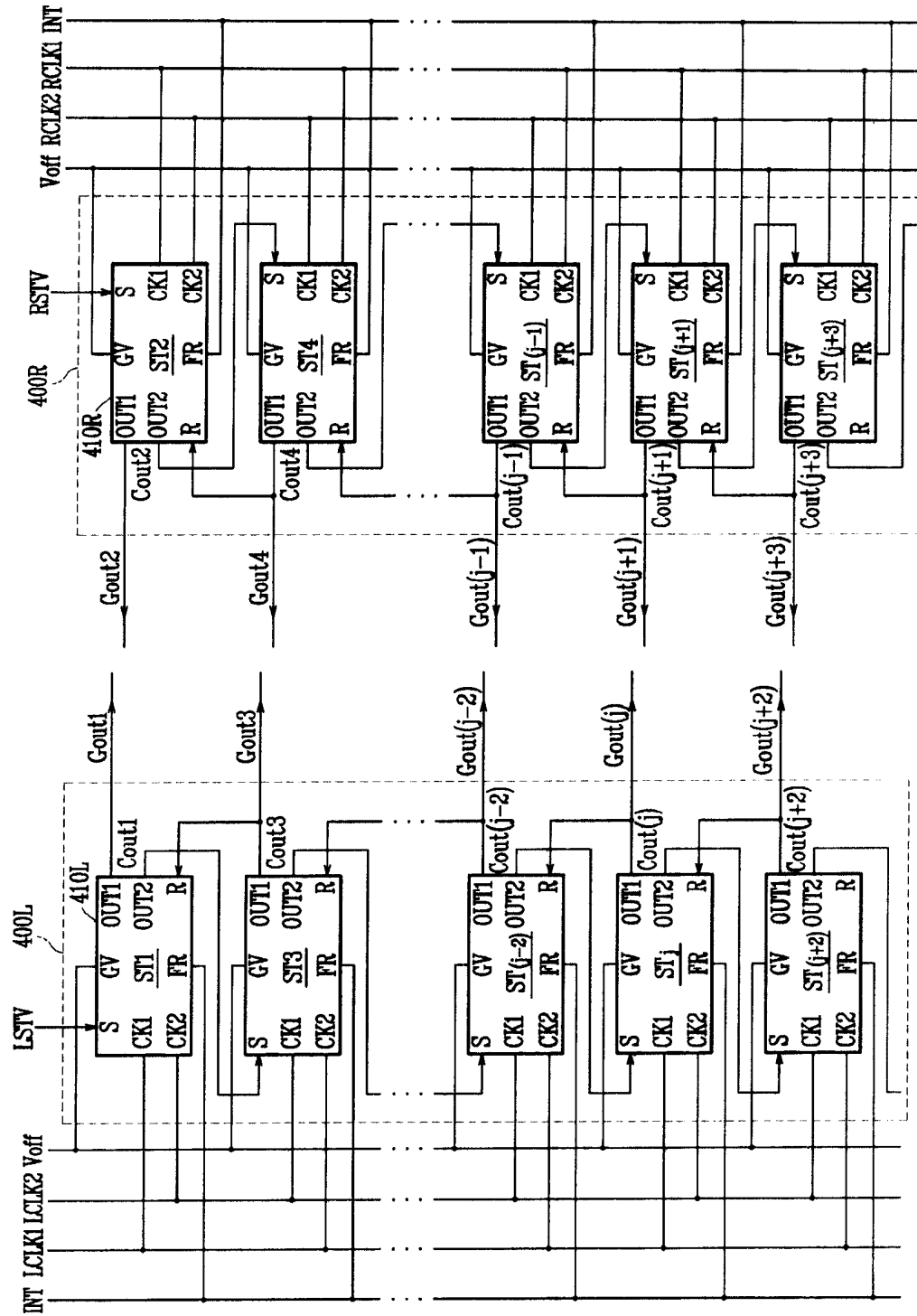


图 4

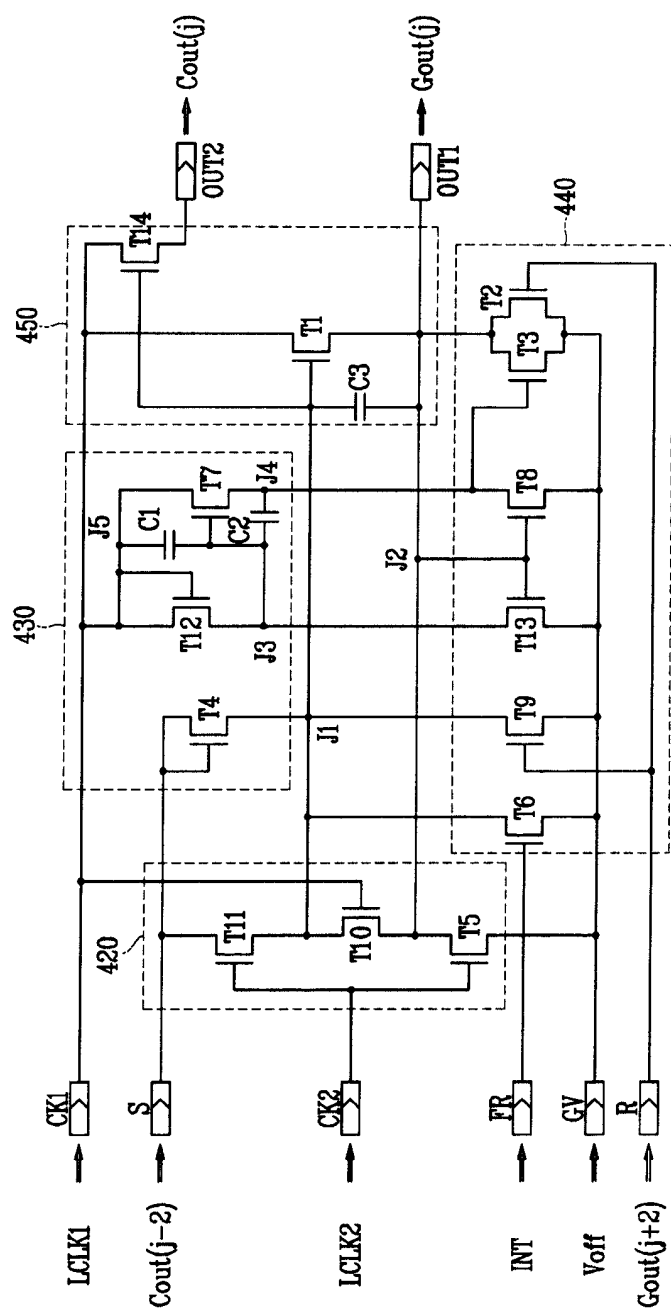


图 5

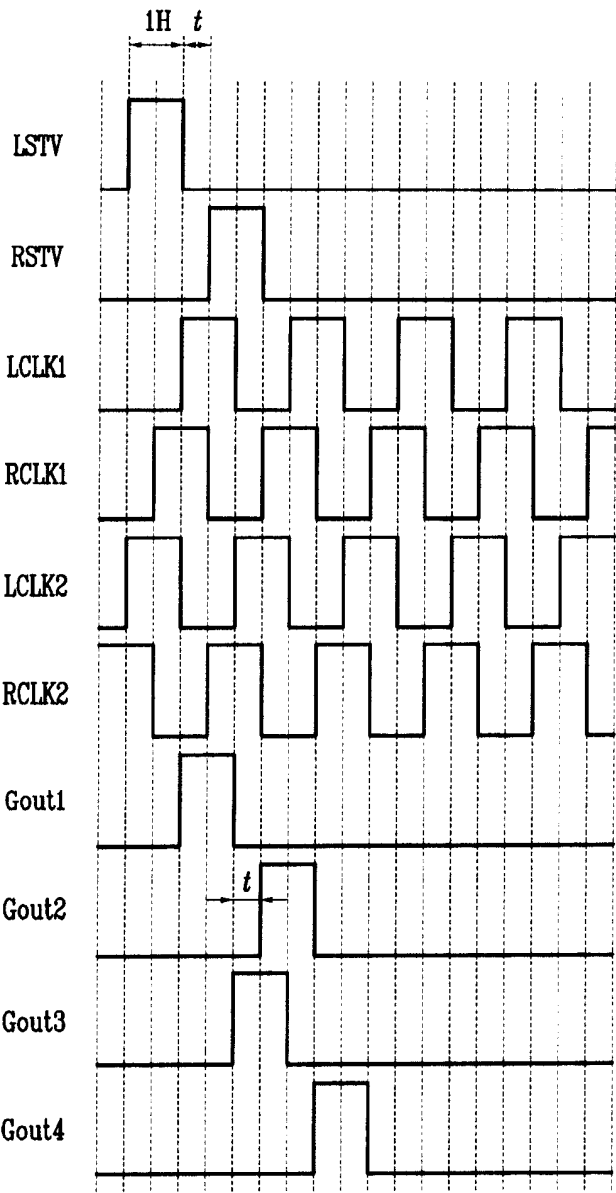


图6A

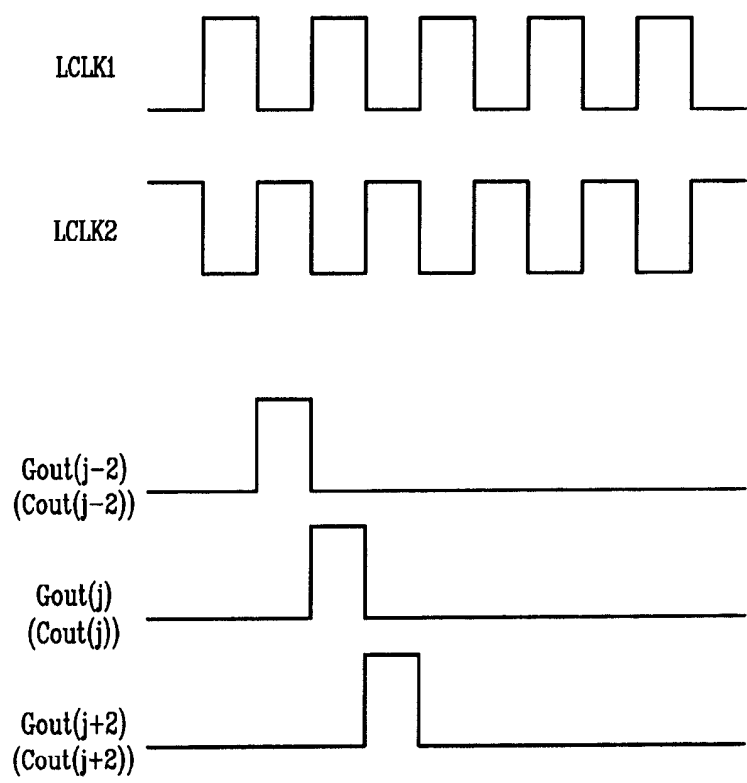


图6B

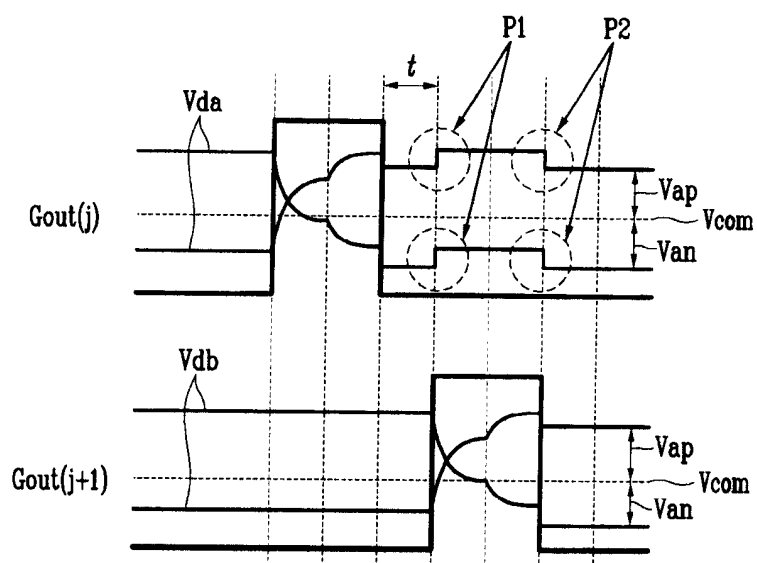


图7A

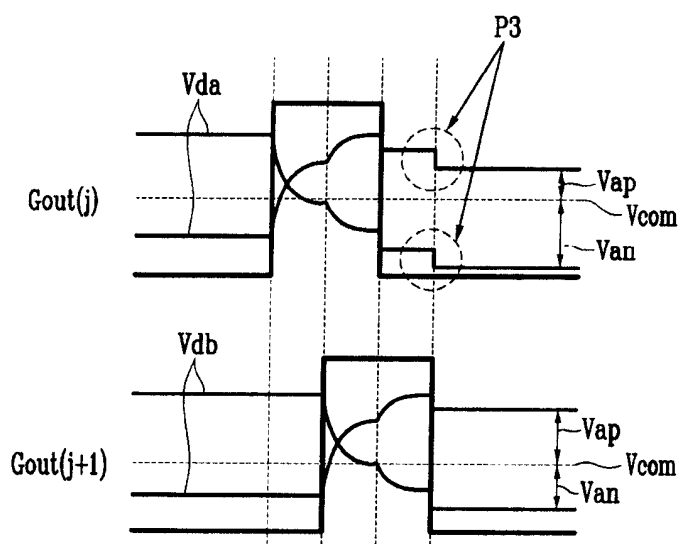


图 7B

(现有技术)

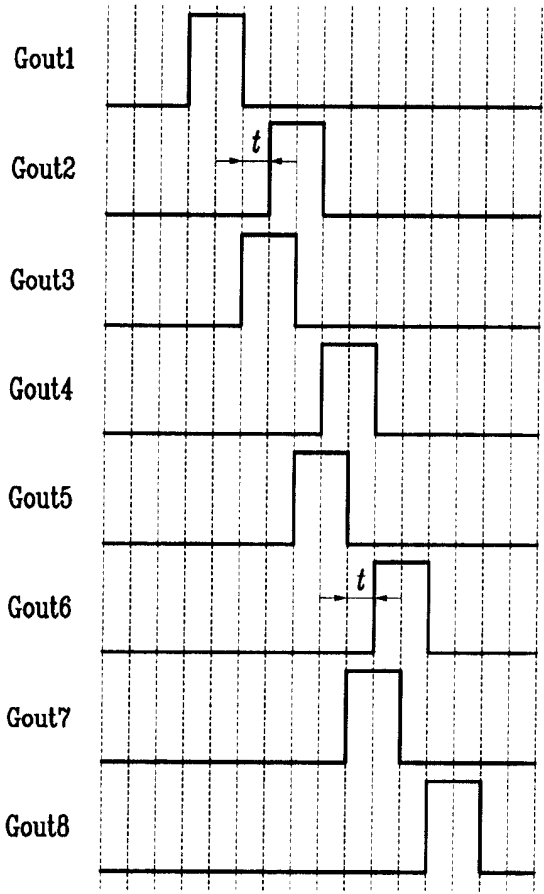


图8