(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
G06F 17/50

(45) 공고일자 2000년12월15일
(11) 등록번호 10-0274855
(24) 등록일자 2000년09월18일

(21) 출원번호	10-1997-0707407	(65) 공개번호	특1999-0007884
(22) 출원일자	1997년10월20일	(43) 공개일자	1999년01월25일
번역문제출일자	1997년10월20일		
(86) 국제출원번호	PCT/JP 96/01104	(87) 국제공개번호	WO 96/34351
(86) 국제출원일자	1996년04월24일	(87) 국제공개일자	1996년10월31일
(81) 지정국	AP ARIPO특허 : 가나 감비아 케냐 레소토 말라위 수단 스와질랜드 우간다 짐바브웨 EP 유럽특허 : 오스트리아 벨기에 스위스 리히텐슈타인 사이프러스 독일 덴마크 스페인 핀랜드 프랑스 영국 그리스 아일랜드 이탈리아 룩셈부르크 모나코 네덜란드 포르투칼 스웨덴 OA OAPI특허 : 부르키나파소 베넹 중앙아프리카 콩고 코트디브와르 카메룬 가봉 기네 말리 모리타니 니제르 세네갈 차드 토고 국내특허 : 중국 일본 대한민국 미국 싱가포르		
(30) 우선권주장	95-099204 1995년04월25일 일본(JP)		

(73) 특허권자 가부시끼가이샤 히다치 세이사꾸쇼 가나이 쓰도무
일본국 도쿄도 지요다구 간다 스루가다이 4-6
(72) 발명자 사사키 야스히코
일본국 도쿄도 고가네이시 히가시쵸 2-2-19-102
야노 가즈오
일본국 도쿄도 히노시 다마다이라 6-6-6
야마시타 순조
일본국 사이타마켄 도코로자와시 미유키쵸 1-16-2003
세키 고이치
일본국 도쿄도 히노시 히라야마 2-11-10
(74) 대리인 백남기

심사관 : 이은철

(54) 반도체 집적회로의 설계방법 및 자동설계장치

요약

반도체 집적회로의 설계방법 및 자동설계장치에 관한 것으로서, 자동설계장치에 의해 패스트랜지스터를 사용한 임의의 논리기능을 가진 논리회로를 생성할 때 종래의 패스트랜지스터회로에 비해 고속, 고집적, 저소비전력이라는 성질을 갖는 논리회로를 실현하기 위한 반도체 집적회로의 논리회로의 설계방법을 제공하기 위한 것으로서, 논리입력과 논리출력 사이의 논리관계를 결정하는 논리기능과 입출력간의 지연시간의 목표사양이 입력되는 스텝, 이로부터의 논리기능의 적어도 그 일부에 관해서 2분 결정 그래프를 형성하는 스텝, 이 스텝에 의해 형성된 2분 경정 그래프의 노드를 패스트랜지스터회로에 의해 치환하는 스텝, 이 스텝의 수순에 의해 얻어진 패스트랜지스터회로에 관한 시뮬레이션 지연시간이 목표사양을 만족시키는지의 여부를 판정해서 만약 만족시키지 않는 경우 다음의 실행하는 스텝, 2분 결정 그래프의 적어도 여러개의 노드를 1개의 치환노드로 치환하는 스텝, 치환후의 그래프의 적어도 일부의 노드를 신호인가형태가 채용되도록 패스트랜지스터회로에 의해 치환하는 스텝을 실행하는 구성으로 하였다.

이렇게 하는 것에 의해, 필요 트랜지스터수가 적고 소비전력 및 지연의 저감이 가능하고 복잡한 논리기능을 실현할 수 있는 패스트랜지스터회로를 설계하는 반도체 집적회로의 논리회로의 설계방법을 제공할 수 있다는 효과가 얻어진다.

대표도

도1

명세서

기술분야

본 발명은 반도체 집적회로장치의 설계방법 및 자동설계장치에 관한 것으로서, 특히 논리회로를 일부에 포함하는 범용프로세서, 신호처리장치, 화상처리장치 등의 반도체 집적회로를 설계할 때 사용하는 적합한

설계방법 및 자동설계장치에 관한 것이다.

배경기술

IEEE TRANSACTIONS ON COMPUTERS, Vol. c-35, No. 8, 1986년 8월 pp. 677-pp. 691에는 Binary-Decision-Diagram(2분 결정 그래프)(이하, 인용문헌1이라 한다)을 사용한 논리조작의 유효한 방법이 개시되어 있다.

또, 1994년 전자정보 통신학회 추계대회 강연논문집, 기초·경계분책 pp. 64(이하, 인용문헌2라 한다)에는 2분 결정 그래프라고 불리우는 논리표현방법을 이용한 패스 트랜지스터회로의 구성방법이 개시되어 있다.

발명의 상세한 설명

[발명의 개시]

근래 LSI의 설계에서는 게이트 어레이, 표준셀, FPGA(Field Programnlable Gate Array), PLA(Programmable Logic Array) 등의 자동화기술을 이용한 설계방식이 널리 사용되고 있다.

이것은 LSI상에 집적화할 수 있는 소자수가 현저히 증대한 것에 의해 그와 같은 대규모이고 또한 복잡한 논리회로를 이제는 사람의 힘(수작업)만으로 설계한다는 것이 사실상 불가능하게 되어 왔기 때문이다.

도 13a는 이와 같은 논리LSI의 자동설계의 구체예로서 표준셀방식에 대해서 도시한 것이다. 여기에서는 셀(1301), (1302), (1303)이라 하는 일정한 기능을 가진 회로(1304), (1305), (1306)이 미리 레이아웃(배치)된 것이 마련되어 있고, 이들 셀을 조합한 논리회로영 역(1307), (1309), (1311)과 배선영 역(1308), (1310)을 갖고, 필요에 따라서 셀 상을 사용해서 결선하는 것에 의해 원하는 논리를 얻는 것이다.

한편, 연산회로, 메모리 등의 현저하게 규칙성이 높은 소위 「매크로」 라고 불리우는 회로에 대해서는 몇개의 소규모의 블럭을 수작업으로 설계해서 이들을 규칙적으로 배치해서 제작한다는 것이 실행되지만, 그래도 또한 연산장치나 메모리의 전용칩이 아닌 한 역시 이들을 표준셀방식 등의 자동설계된 부분과 조합해서 하나의 LSI칩을 형성하는 경우가 많다. 이와 같은 예를 도 13b에 도시한다.

그런데, LSI상에 집적화하는 회로는 면적이 작고 고속이고 또한 저소비전력인 것이 바람직하므로, 여러가지의 회로방식중에서 이들의 요구를 가능한 한 만족시키는 것을 선택하는 편이 좋다. 그러나, 상기와 같은 자동화기술을 전제로 한 경우 선택하는 회로방식은 단지 회로성능이 양호하거나 면적이나 소비전력이 작다는 것만으로는 불충분하다. 즉, 그 회로방식을 지지하는 논리합성기술이나 자동레이 아웃기술 등의 자동설계기술이 확립된 것이 아니면 안된다.

근래에는 N채널 전계효과형 트랜지스터와 P채널 전계효과형 트랜지스터를 상보적으로 사용한 CMOS회로에 의해 이와 같은 자동설계기술이 확립되어 있고 실제로 마이크로프로세서 등에서 널리 이용되고 있다.

한편, 고속, 소면적, 저소비전력인 회로로서 패스 트랜지스터회로라고 하는 회로방식이 알려져 있다. 이 패스 트랜지스터회로를 이용하기 위한 자동설계기술에 관해서는 상기 인용문헌2로서 개시한 바와 같은 논리회로의 구성방법이 존재한다. 즉, 주어진 논리기능을 일단 2분 결정 그래프하고 하는 그래프를 사용한 논리표현방식으로 변환한 후, 그 그래프의 노드를 패스 트랜지스터에 의한 셀렉터로 변환하고 또 버퍼를 삽입하는 것에 의해 논리회로(패스 트랜지스터 논리회로라고 한다)를 생성한다는 것이다. 도 12에 이 패스 트랜지스터 논리회로의 구성방법의 수순과 그것에 의해 구성되는 논리회로의 예를 도시한다. 이와 같이 회로구성의 수순이 도시되는 것에 의해, 어떠한 복잡한 논리기능이라도 그것을 패스 트랜지스터 논리회로에 의해 실현할 수 있다는 것이 보증되므로, 이것은 LSI의 자동설계에 그 회로방식을 이용할 수 있다는 것을 의미한다.

그러나, 이미 기술한 바와 같이 대규모이고 또한 복잡한 논리LSI의 설계에 있어서 회로방식과 그것을 자동화하기 위한 기술과는 밀접한 관계에 있고, 양자가 함께 비로소 실용화된 것을 고려한 경우, 인용문헌2에 기재된 패스 트랜지스티회로는 회로면적, 소비전력, 성능이라는 면과 자동설계의 면의 양쪽의 관점에서 유리한회 로방식이다.

그러나, 본원 발명자들이 인용문헌2에 개시된 방법을 사용해서 구성된 패스트랜지스터 논리회로에 관해서 해석한 결과, 이 논리회로는 2분 결정 그래프의 특징을 그대로 유지하기 때문에 그 논리회로를 구성하는 각 패스 트랜지스터회로로의 다른 패스 트랜지스터 회로로부터의 입력은 소오스입력을 전제로 한 것으로 되지 않으면 안된다는 사실이 명확하게 되었다.

즉, 각 패스 트랜지스터회로의 패스 트랜지스터의 게이트입력에는 반드시 대상으로 하고 있는 논리기능의 입력신호(또는 그 부정(否定)신호)가 직접 인가된다는 특징이 있고, 이것과 관련해서 다음과 같은 두가지의 문제가 있다는 것을 발견하였다.

제1의 문제로서 이 방식의 회로는 최악의 경우에는 그 출력논리가 의존하는 입력신호의 수에 비례한 단수(段數)의 패스 트랜지스터를 신호가 통과하지 않으면 안되므로 지연시간이 커져 버린다는 점이다.

또, 제2의 문제는 이 방식의 회로중에는 본래 공유화할 수 있어야 한다는 논리가 아직 개별적으로 구성되어 있으므로 회로소자수가 증가하고 있다는 점이다.

그래서, 본원 발명자들은 패스 트랜지스러회로의 트랜지스터의 게이트입력의 대상을 대상으로 하고 있는 논리기능의 입력신호(또는 그 부정신호)뿐만 아니라 다른 패스 트랜지스터회로로부터의 출력신호도 인가한다는 신호인가형태를 추가할 것을 제안하였다. 이것에 의해, 지금까지 이상의 소자수, 지연시간, 회로면적, 소비전력의 개선이 가능하게 되고 또 보다 복잡한 논리를 실현하는 것이 가능하게 된다. 이와 같은 회로의 구체예를 도 4a, 도 4b 및 도 5a, 도 5b에 도시한다.

도 4a, 도 4b는 제1의 문제인 지연시간이 커지는 소자를 도시한 것이다. 도 4a, 도 4b의 회로는 모두 동

일논리기능(여기에서는 OUT=A · B · D · E · G · H+A · BDN · F+A · B · EN · F+AN · C+BN · C, 단 AN 등은 A의 부정 신호를 의미한다)을 실현하고 있다. 도 4a의 회로는 인용문헌2의 종래방법을 사용해서 생성되는 회로이다. 이 회로의 출력(401)의 지연시간은 신호가 입력(402)에서 들어가서 경로(403)을 통해 출력까지 도달하는 시간으로 부여된다. 이 경우, 신호는 (404)에서 (408)까지의 5단의 패스 트랜지스터를 통과하지 않으면 안된다는 것을 알 수 있다.

한편, 도 4b의 회로는 본 발명에 의한 반도체 집적회로의 설계방법을 사용해서 생성된 회로이다. 이 경우의 출력(409)의 지연시간은 신호가 입력(410)에서 들어가서 경로(411)을 통해 출력까지 도달하는 시간으로 부여된다. 이 경우, 신호는(412)에서 (414)까지의 3단의 패스 트랜지스터를 통과하는 것만으로 좋다는 것을 알수 있다. 일반적으로, 신호가 통과하는 패스 트랜지스터의 단수가 중가함에 따라 지연시간도 증가하므로, 종래의 설계방법을 사용해서 생성되는 도 4a의 회로는 아직 충분히 지연시간이 작게는 되어 있지 않았던 것을 이해할 수 있다.

도 5a 및 도 5b는 제2의 문제인 본래 공유화할 수 있어야 한다는 논리가 아직 개별적으로 구성되어 있으므로, 소자수가 증가하여 칩점유면적이나 소비전력이 커진다는 문제를 나타내고 있다.

도 5a 및 도 5b의 회로는 모두 동일논리기능(OUT1=A · B · G · H+AN · C+BN · C, OUT2=A · B · G · H+AN · D+BN · D, OUT3=A · B · G · H+AN · E+BN · E, OUT4=A · B · G · H+AN · F+BN · F)을 실현하고 있다.

도 5a의 회로는 인용문헌2의 종래방법을 사용해서 생성되는 회로이다. 이 회로는 (501)에서 (504)로 나타내는 부분이 동일형상을 취하는 희로이고, 본래 공유화할 수 있었던 부분임에도 불구하고 완전히 별개로 생성되어 있다. 이 결과, 트랜지스터수는 24개로 되어 있다.

한편, 도 5b의 회로는 본 발명에 의한 반도체 집적회로의 설계방법을 사용해서 생성된 회로이다. 이 경우, (505)로 나타내는 바와 같이 도 5a의 회로에서 공유화되어 있지 않았던 부분회로가 이쪽측에서는 공유화되어 있다. 이 결과, 트랜지스터 수는 18개로 되고 상기 도 5a의 회로보다 6개 감소하고 있다는 것을 알 수 있다. 일반적으로 트랜지스터수가 많을수록 회로의 면적과 소비전력은 커지는 경향이 있으므로 종래의 설계방법을 사용해서 생성되는 도 5a의 회로는 아직 충분히 면적, 소비전력이 작게는 되어 있지 않았던 것을 이해할 수 있다.

본 발명은 상기와 같은 배경에 따라 이루어진 것으로서 그 목적으로 하는 것은 자동실계장치에 의해 패스 트랜지스터를 사용한 임의의 논리기능을 가진 논리회로를 생성할 때 종래의 패스 트랜지스터회로에 비해 고속, 고집적, 저소비전력이라는 성질을 갖는 논리회로를 실현하기 위한 반도체 집직회로의 논리회로의 설계방법을 제공하는 것이다.

또, 본 발명의 다른 목적은 종래의 패스 트랜지스터회로에 비해 고속, 고집적, 저소비전력이라는 성질을 갖는 논리회로를 실현하기 위한 반도체 집적회로의 논리회로의 자동설계장치를 제공하는 것이다.

상기 목적을 달성하기 위해 본 발명에 의한 논리회로의 설계방법(도 1, 도 3a～도 3d, 도 11 참조)은 연산처리장치, 기억장치, 맨머신 인터페이스(man-machine i nterface)를 구비해서 이루어지는 설계장치(1101)을 사용해서 실현되고 반도체상에 집적화되는 논리회로의 설계방법으로서, 상기 기억장치상에 유지된 프로그램에 따라서 다음의 스텝을 실행하는 것을 특징으로 한다.

[a] 논리입력과 논리출력 사이의 논리관계를 결정하는 논리기능(도 3a의 (301)참조)과 상기 입출력간의 지연시간의 목표사양을 입력시키는 스텝(도 1의 (101)참조);

[b] 입력된 논리기능의 적어도 그의 일부에 관해서 하기 [b-1]에서 정의되는

2분 결정 그래프(도 3b참조)를 형성하는 스텝(도 1의 (102)참조).

[b-1] 상기 2분 결정 그래프는 제어변수(302)와 2개의 입력에지(303), (304) 1개의 출력(305)를 갖는 여러개의 노드(306)을 조합하는 것에 의해 구성되는 그래프이고, 각 노드의 제어변수는 해당하는 논리부분의 논리입력(A)를 의미하고, 각 노드의 2개의 입력에지 중 어느 한쪽은 상기 제어변수의 논리값에 대응해서 선택되고, 각 노드의 출력에는 상기 선택된 입력에시의 신호가 전달된다(도 3b참조).

[c] 상기 [b]의 스텝에서 형성된 상기 2분 결정 그래프에 대응하는 패스 트랜지스터 논리회로를 결정하는 스텝. 이 때, 이 그래프의 적어도 일부의 여러개의 노드중의 1개에 각각 대응하고 각각 하기 [c-1]에서 정의되는 여러개의 패스 트랜지스터회로(도 3d참소)를 포함하는 패스 트랜지스터 논리회로를 결정한다(도 1의 (103)참조).

[c-1] 상기 패스 트랜지스터회로(323)은 제어입력(324), 제1 입력(325), 제2입력(326), 출력(327), 상기 제1 입력과 상기 출력 사이에 소오스-드레인 경로가 접속된 제1 전계효과형 트랜지스터(328) 및 상기 제2 입력과 상기 출력 사이에 소오스-드레인 경로가 접속된 제2 전계효과형 트랜지스터(329)를 갖고 이루어지고, 상기 제1 전계효과형 트랜지스터(328)의 게이트는 상기 제어입릭(A)에 입력되는 신호에 응답하고, 상기 제2 전계효과형 트랜지스터(329)의 게이트는 상기 제어입력(A)에 입력되는 신호의 반전신호에 응답하는 것에 의해, 상기 출력에는 상기 제1 입력이나 상기 제2 입력중의 어느 한쪽의 신호가 전달된다(도 3d 참조).

[d] 상기 [c]의 수순에 의해 얻어진 상기 패스 트랜지스터 논리회로에 관한 시뮬레이션 지연시간이 상기 [a]의 상기 목표사양을 만족시키는지의 여부를 판정하고, 만약 만족시키지 않는 경우 하기 [e], [f], [g]의 스텝을 실행하는 스텝(도 1의 (104)참조).

[e] 얻어진 논리회로 중, 그 지연시간이 요구사양을 만족시키지 않는 회로부분에 상당하는 부분그래프를 추출하고, 이것을 다른 부분그래프로 치환하는 스텝. 상기 2분 결정 그래프내의 지연시간에 관한 요구사양을 만족시키지 않는 회로부분에 대응하고 각각 여러개의 노드를 포함하는 여러개의 부분그래프중의 적어도 1개 (도 3b 참조)를 하기 [e-1], [e-2]의 조건을 만족시키는 1개의 치환노드와 그 치환노드에 부가되는 제어변수를 생성하기 위한 1군의 노드를 갖는 다른 부분그래프(도 3c 참조)로 치환한다(도 1의 (105)참조).

[e-1] 치환 후의 그래프에 포함되는 치환노드의 입력에지 선단의 외부집합(도 3c의 (308), (309), (310) 참조)은 치환된 부분그래프에 포함되는 여러개의 노드의 입력에지 선단(tip)의 외부집합(도 3b의 (308), (309), (310)참조)와 일치한다.

여기서, 부분그래프에 포함되는 노드의 입력에지 선단의 외부집합이라고 하는 것은 그들 입력에지에 접속되고 그 부분그래프의 외부에 위치하는 그래프요소(di agram elements)의 집합을 의미한다. 구체적으로는 각 그래프요소는 다른 노드 또는 입력변수이다. 이하에서는 임의의 부분그래프에 포함되는 노드의 입력에지 선단의 외부집합을 단지 그 부분그래프에 대한 외부집합이라고 부르는 경우가 있다. 여기에서는 치환된 부분그래프에 포함되는 노드는 1개의 치환노드로 가정하고 있으므로, 치환된 부분그래프에 포함되는 노드의 입력에지 선단의 외부집합이라고 하는 것은 치환노드에 접속된 입력에지에 접속된 그래프요소의 집합과 동일한 집합을 지칭하게 된다.

[e-2] 치환후의 그래프의 논리기능과 치환전의 2분 결정 그래프의 논리기능이 동일하게 되도록 치환후의 그래프의 치환노드의 제어변수는 치환된 부분그래프에 포함된 여러개의 노드에 부가되는 여러개의 제어변수의 신호의 논리적 조합으로 나타낼 수 있다.

[f] 상기 [e]의 스텝의 수순에 의해 얻어진 새로운 2분 결정 그래프에 대응하는 다른 패스 트랜지스터 논리회로를 결정하는 스텝. 이 때, 그 2분 결정 그래프의 적어도 일부의 여러개의 노드중의 1개에 각각 대응하고 각각 하기 [c-1]에서 정의되는 여러개의 패스 트랜지스터회로(도 3d참조)를 갖고 하기의 신호인가형태가 채용되는 패스 트랜지스터 논리회로를 결정한다.

상기 치환후의 1개의 치환노드를 제어하는 제어신호를 부가하고 상기 1군의 노드에 대응하는 제1 패스 트랜지스터회로와 제2 패스 트랜지스터회로 사이에서는 1개의 패스 트랜지스터회로(322)의 제어입력에 입력되는 신호가 다른 패스 트랜지스터회로(323)의 출력의 신호라는 제1 신호인가형태가 채용되고, 상기 제2 패스 트랜지스터회로와 상기 치환노드의 입력에지에 접속된 노드에 대응하는 제3 패스 트랜지스터회로 사이에서는 1개의 패스 트랜지스터회로(322)의 제1 입력과 제2 입력중의 어느 한쪽에 입력되는 신호가 다른 패스 트랜지스터회로(321)의 출력의 신호라는 제2 신호인가형태가 채용된다(도 3d참조).

[g] 상기 [f]의 스텝의 수순에 의해 얻어진 상기 다른 패스 트랜지스터 논리회로에 관한 시뮬레이션 지연시간이 상기 [a]의 상기 목표사양을 만족시키는지의 여부를 판정하는 스텝.

또, 상기 목적을 달성하기 위해 본 발명에 의한 논리회로의 다른 설계방법(도 2, 도 8a~도 8e, 도 11참조)은 연산처리장치, 기억장치, 맨머신 인터페이스를 구비해서 이루어지는 설계장치(1101)을 사용해서 실현되고 반도체상에 집적화되는 논리회로의 설계방법으로서, 상기 기억장치상에 유지된 프로그램에 따라서 다음의 스텝을 실행하는 것을 특징으로 한다.

[a] 논리입력과 논리출력 사이의 논리관계를 결정하는 논리기능(도 8a의 (801)참조) 및 상기 논리회로의 칩점유면적과 소비전력중의 적어도 한쪽의 목표사양을 입력시키는 스텝(도 2의 (201)참조).

[b] 입력된 논리기능의 적어도 그의 일부에 관해서 하기 [b-1]에서 정의되는

2분 결정 그래프(도 8b참조)를 형성하는 스텝(도 2의 (202)참조).

[b-1] 상기 2분 결정 그래프는 제어변수(302)와 2개의 입력에지 및 1개의 출력을 갖는 여러개의 노드를 조합시키는 것에 의해 구성되는 그래프이고, 각 노드의 제어변수는 해당하는 논리부분의 논리입력을 의미하고, 각 노드의 2개의 입력에지 중 어느 한쪽은 상기 제어변수의 논리값에 대응해서 선택되고, 각 노드의 출력에는 상기 선택된 입력에지의 신호가 전달된다.

[c] 상기 [b]의 스텝에 의해 형성된 상기 2분 결정 그래프에 대응하는 패스 트랜지스터 논리회로를 결정한다. 이 때, 상기 2분 결정 그래프의 적어도 일부의 여러개의 노드중의 1개에 각각 대응하고 각각 하기 [c-1]에서 정의되는 여러개의 패스트랜지스터회로(도 8d참조)를 포함하는 패스 트랜지스터 논리회로를 결정한다(도2의 (203)참조).

[c-1] 상기 패스 트랜지스터회로는 제어입력, 제1 입력, 제2 입력, 출력, 상기 제1 입력과 상기 출력 사이에 소오스-드레인 경로가 접속된 제1 전계효과형 트랜지스터 및 상기 제2 입력과 상기 출력 사이에 소오스-드레인 경로가 접속된 제2 전계효과형 트랜지스터를 갖고 이루어지고, 상기 1 전계효과형 트랜지스터의 게이트는 상기 제어입력에 입력되는 신호에 응답하고, 상기 제2 전계효과형 트랜지스터의 게이트는 상기 제어입력에 입력되는 신호의 반전신호에 응답하는 것에 의해, 상기 출력에는 상기 제1 입력이나 상기 제2 입력중의 어느 한쪽의 신호가 전달된다.

[d] 상기 얻어진 패스 트랜지스터 논리회로에 관한 시뮬레이션에 의한 칩점유면적과 소비전력의 적어도 한쪽이 상기 목표사양을 만족시키는지의 여부를 판정하고 만약 만족시키지 않는 경우 하기 [e], [f], [g]의 스텝을 실행하는 스텝(도 2의(204)참조).

[e] 상기 2분 결정 그래프내의 하기 [e-1]의 조건을 만족시키는 적어도 여러개의 노드집합(도 8b의 (805), (806), (807), (808)참조)을 하기 [e-2], [e-3]의 조건을 만족시키고, 각각 1개의 노드집합에 대응하는 여러개의 치환노드(도 8c의 (817), (818), (819), (820) 참조) 및 상기 여러개의 치환노드에 공통의 제어변수를 공급하기 위한 1개의 공통노드집합(도 8c의 (825)참조)에 의해 치환하는 스텝(도 2의 (205)참조).

[e-1] 상기 여러개의 노드집합(도 8b의 (805), (806), (807), (808)참조)의 각 집합은 여러개의 노드로 구성되고, 상기 여러개의 노드집합의 각각의 여러개의 노드의 상호접속형태와 그들의 여러개의 노드로 공급되는 여러개의 제어변수는 서로 동일하다.

[e-2] 치환후의 그래프의 논리기능과 치환전의 2분 결정 그래프의 논리기능이 동일하게 되도록 상기 여러개의 치환노드(도 8c의 (817), (818), (819), (820)참조)의 제어변수로서 상기 공통노드집합(도8c의 (825)참조)의 출력을 결정할 수 있다. 여기서, 상기 공통노드집합(도 8c의 (825)참조)를 구성하는 여러개의 노드는 상기 여러개의 노드집합의 각각의 상호접속형태와 동일한 상호접속형태를 갖고, 각 노드집합으

로 공급되는 여러개의 제어변수와 동일한 제어변수가 공급된다.

[e-3] 치환후의 그래프(도 8c 참조)의 각 치환노드(도 8c의 (817), (818), (819), (820)참조)의 입력에지 선단에 접속된 그래프요소의 집합은 치환전의 2분 결정그래프(도 8b 참조)의 대응하는 치환전의 1개의 노드집합(도 8b의 (805), (806), (807), (808)참조)의 입력에지 선단에 접속되고, 그 노드집합의 외부에 위치하는 여러개의 그래프요소의 집합과 일치한다.

[f] 상기 [e]의 스텝의 수순에 의한 치환후의 2분 결정 그래프에 대응하는 다른 패스 트랜지스터 논리회로를 결정한다. 이 때, 그 2분 결정 그래프의 적어도 일부의 여러개의 노드중의 1개에 각각 대응하고, 각각 상기 [c-1]에서 정의되는 여러개의 패스 트랜지스터회로(도 8d 참조)를 갖고, 하기의 제1 및 제2 신호인가형태를 채용한 패스 트랜지스터 논리회로를 결정한다.

치환후의 그래프의 상기 여러개의 치환노드(도 8c의 (817), (818), (819), (820)참조)에 부가하는 제어변수를 출력하고 상기 공통의 노드집합에 대응하는 제1 패스 트랜지스터 회로와 각 치환노드에 대응하는 제2 패스 트랜지스터 회로 사이에서 1개의 패스 트랜지스터 회로(840), (841)의 제어입력에 입력되는 신호가 다른 패스 트랜지스터회로(844), (845)의 출력의 신호라는 제1 신호인가형태가 채용되고, 상기 제2 패스 트랜지스터 회로와 상기 각 치환노드 중의 하나의 입력에지에 접속된 노드에 대응하는 제3 패스 트랜지스터회로 사이에서는 1개의 패스 트랜지스터회로(840), (841)의 제1 입력과 제2 입력중의 어느 한쪽에 입력되는 신호가 다른 패스 트랜지스터회로(842), (843)의 출력의 신호라는 제2 신호인가형태가 채용된다(도 8d 참조).

[g] 상기 [f]의 스텝에 의해 얻어진 상기 다른 패스 트랜지스터 논리회로에 관한 시뮬레이션에 의한 칩점유면적과 소비전력의 적어도 한쪽이 상기 [a]의 상기 목표사양을 만족시키는지의 여부를 판정하는 스텝.

상술한 본 발명에 의하면, 패스 트랜지스터회로의 트랜지스터의 게이트 입력의 대상을 대상으로 하고 있는 논리기능의 입력신호(또는 그 부정신호) 뿐만 아니라 다른 패스 트랜지스터회로로부터의 출력신호도 인가한다는 신호인가형태를 추가하는 것에 의해 더욱 복잡한 논리를 실현하는 것이 가능하게 됨과 동시에 지연시간, 칩회로점유면적, 소비전력 등의 목표사양에 적합한 반도체 집적회로의 논리회로를 자동설계장치에 의해 자동설계할 수 있으므로 당초의 목적을 달성하는 것이 가능하게 된다.

본 발명의 그 밖의 목적과 특징은 다음의 실시예에서 명확하게 될 것이다.

도면의 간단한 설명

제1도는 본 발명의 실시예에 의한 논리회로의 설계방법의 흐름도1을 도시한 도면,

제2도는 본 발명의 다른 실시예에 의한 논리회로의 설계방법의 흐름도2를 도시한 도면,

제3a~3d도는 본 발명의 논리회로의 설계방법의 수순과 생성되는 회로를 도시한 도면,

제4a 및 4b도는 종래의 방법에 의해 생성되는 회로와 본 발명에 의해 생성되는 회로의 비교를 도시한 도면,

제5a 및 5b도는 종래의 방법에 의해 생성되는 회로와 본 발명에 의해 생성되는 회로의 비교를 도시한 도면,

제6a~6c도는 종래의 설계방법의 수순과 생성되는 회로의 예를 도시한 도면,

제7a~7c도는 종래의 설계방법의 수순과 생성되는 회로의 예를 도시한 도면,

제8a~8e도는 본 발명의 설계방법의 수순과 생성되는 회로의 예를 도시한 도면,

제9a~9h도는 16입력 논리곱기능에 본 발명의 논리회로의 설계방법의 수순과 생성되는 회로를 도시한 도면,

제10도은 제8d도의 논리기능을 나타내는 진리값표를 도시한 도면,

제11도는 본 발명의 실시예에 의한 논리회로의 설계장치를 도시한 도면,

제12도는 종래의 설계방법의 수순을 도시한 도면,

제13a도 및 제13b도는 본 발명의 실시예에 의한 논리LSI의 자동설계예를 도시한 도면.

실시예

[발명을 실시하기 위한 최량의 형태]

도 1은 본 발명의 실시예에 의한 반도체 집적회로의 논리회로의 설계방법을 도시한 도면이다.

이 실시예의 설계방법은 도 11에 도시한 바와 같이 연산처리장치(CPU)(도시하지 않음), 기억장치(메인 메모리, 하드디스크 메모리 등)(도시하지 않음), 맨머신 인터페이스(키보드, 디스플레이, 터치패널 등)(도시하지 않음)을 구비해서 이루어지는 자동설계장치(1101)를 사용해서 실현되고 반도체상에 집적화되는 논리회로의 설계방법이다. 이 자동설계장치(1101)의 기억장치(도시하지 않음)상에 유지된 프로그램에 따라서 다음의 스텝을 실행하는 것에 의해 반도체집적회로의 논리회로를 자동설계하는 것을 특징으로 한다.

도 1의 스텝101 : 이 스텝 101에서는 [a] 도 3a의 (301)로 나타내는 바와 같은 논리입력과 논리출력 사이의 논리관계를 결정하는 논리기능과 상기 입출력간의 지연시간의 설계목표사양이 설계자에 의해 입력된다.

도 1의 스텝102 : 이 스텝 102에서는 [b] 설계자가 부가한 논리기능의 적어도 그의 일부에 관해서 도 3b

에 도시한 바와 같은 하기 [b-1]에서 정의되는 2분 결정 그래프가 형성된다.

[b-1] 2분 결정 그래프는 도 3b에 도시한 바와 같이 제어변수(302)와 2개의 입력에지(303), (304) 및 1개의 출력(305)를 갖는 여러개의 노드((306), (306B), (306C), (306D), (306E))를 조합하는 것에 의해 구성되는 그래프이고, 각 노드의 제어면 수는 해당하는 논리부분의 논리입력(A)를 의미하고, 각 노드의 2개의 입력에지 중 어느 한쪽은 상기 제어변수의 논리값에 대응해서 선택되고, 각 노드의 출력에는 상기 선택된 입력에지의 신호가 전달된다.

도 1의 스텝103 : 이 스텝103에서는 [c] 상기 [b]의 스텝102에서 형성된 2분 결정 그래프에 대응하는 패스 트랜지스터 논리회로를 결정한다. 이 때, 이 그래프의 적어도 일부의 노드중의 1개(예를 들면, 도 3b의 (306), (306B), (306C), (306D) 또는 (306E))에 각각 대응하고 각각 하기 [c-1]에서 정의되고 도 3d의 회로(323)으로 나타낸 바와 같은 여러개의 패스 트랜지스터회로를 포함하는 패스 트랜지스터 논리 회로를 결정한다.

[c-1] 이 패스 트랜지스터회로(323)은 도 3d의 회로(323)으로 나타낸 바와 같이 제어입력(324), 제1 입력(325), 제2 입력(326), 출력(327), 상기 제I 입력과 상기출력 사이에 소오스-드레인경로가 접속된 제1 전계효과형 트랜지스터(328) 및 상기 제2 입력과 상기 출력 사이에 소오스-드레인경로가 접속된 제2 전계효과형 트랜지스터(329)를 갖고 이루어지고, 상기 제1 전계효과형 트랜지스터(328)의 게이트는 상기 제어입력(A)에 입력되는 신호에 응답하고, 상기 제2 전계효과형 트랜지스터(329)의 게이트는 상기 제어입력(A)에 입력되는 신호의 반전신호에 응답하는 것에 의해, 상기 출력에는 상기 제1 입력이나 상기 제2 입력중의 어느 한쪽의 신호가 전달된다(도 3d의 (323) 참조).

도 1의 스텝 104 : 이 스텝104에서는 [d] 상기 [e]의 스텝103의 수순에 의해 얻어진 상기 패스 트랜지스터 논리회로(도시하지 않음)의 시뮬레이션 지연시간이 상기 [a]의 스텝101의 지연시간 목표사양을 만족시키는지의 여부를 판정한다. 만약 회로특성이 목표사양을 만족시키지 않는 경우, 하기 [e], [f], [g]의 스텝을 실행한다(도 1의 (104)참조).

도 1의 스텝105 : 이 스텝 105에서는 [e] 얻어진 논리회로 중, 요구사양을 만족시키지 않는 회로부분에 상당하는 부분그래프를 추출하고, 이것을 다른 부분그래프로 치환한다. 이 경우에는 이 2분 결정 그래프중에서 지연시간이 요구사양을 만족시키지 않는 회로에 상당하는 부분그래프를 추출한다. 즉, 상기 스텝103에 의해 형성된 2분 결정 그래프중의 요구사양을 만족시키지 않는 회로에 상당하는 여러개의 부분그래프(단, 각 부분그래프는 여러개의 노드로 이루어진다)중 적어도 1개를 하기 [e-1], [e-2]의 조건을 만족시키도록 1개의 치환노드와 그 치환노드에 부가하는 제어변수를 생성하기 위한 1군의 노드를 갖는 부분그래프로 치환하는 것이다.

[e-1] 치환한 부분그래프에 포함되는 노드의 입력에지 선단의 외부집합은 치환된 부분그래프에 포함되는 노드의 입력에지 선단의 외부집합과 일치한다.

여기서, 부분그래프에 포함되는 노드의 입력에지 선단의 외부집합이라고 하는 것은 이들 입력에지에 접속되고, 그 부분그래프의 외부에 위치하는 그래프요소의 집합이다. 구체적으로는 각 그래프요소는 다른 노드 또는 입력신호이다. 이하에서는 임의의 부분그래프에 포함되는 노드의 입력에지 선단의 외부집합을 단지 부분 그래프에 대한 외부집합이라고 부르는 경우가 있다. 여기에서는 치환한 부분그래프에 포함되는 노드는 1개의 치환노드로 가정하고 있으므로, 치환한 부분그래프에 포함되는 노드의 입력에지 선단의 외부집합과는 치환노드에 접속된 입력에지에 접속된 그래프요소의 집합과 동일한 집합을 지칭하게 된다.

[e-2] 치환후의 2분 결정 그래프의 논리기능과 치환전의 2분 결정 그래프의 논리기능이 동일하게 되도록 치환후의 그래프의 치환노드의 제어변수는 처환된 부분그래프내의 이러개의 노드에 부가되는 여러개의 제어변수의 신호의 논리적 조합에 의해 나타낼 수 있다.

스텝[f] : 이 스텝[f]에서는 상기 스텝105의 스텝의 치환수순에 의해 얻어지는 새로운 2분 결정 그래프에 대응하는 다른 패스 트랜지스터 논리회로를 결정한다. 이 때, 그 2분 결정 그래프의 적어도 일부의 여러개의 노드중의 1개에 각각 대응하고, 각각 상기 스텝103의 [c-1]에서 정의되는 여러개의 패스 트랜지스터회로(도 3d의 회로(323)을 참조)를 포함하고, 하기의 2개의 신호인가형태가 채용되는 패스 트랜지스터 논리회로를 결정한다.

즉, 상기 치환후의 1개의 치환노드를 제어하는 제어신호를 부가하고 상기 공통노드집합에 대응하는 제1 패스 트랜지스터회로와 상기 치환노드를 실현하는 제2패스 트랜지스터 회로 사이에서는 1개의 패스 트랜지스터회로의 제어입력에 입력되는 신호가 다른 패스 트랜지스터회로의 출력의 신호라는 제1 신호인가형태가 채용되고, 상기 제2 패스 트랜지스터 회로와 상기 치환노드의 입력에지에 접속된 노드에 대응하는 제3 패스 트랜지스터회로 사이에서는 1개의 패스 트랜지스터회로의 제1입력과 제2 입력중의 어느 한쪽에 입력되는 신호가 다른 패스 트랜지스터회로의 출력의 신호라는 제2 신호인가형태가 채용된다.

스텝[g] : 이 스텝[g]에서는 상기 [f]의 스텝의 수순에 의해 얻어진 상기 다른 패스 트랜지스터 논리회로에 관한 시뮬레이션 지연시간이 상기 [a]의 상기 목표사양을 만족시키는지의 여부를 상기 스텝104의 [d]의 스텝의 수순에 의해 판정하는 것이다.

그 결과, 아직 시뮬레이션 지연시간이 상기 스텝101에서 부가된 [a]의 상기목표사양을 만족시키지 않는 경우는 상기 스텝 [e], [f], [g]가 2분 결정 그래프의 다른 부분에 대해서 반복되는 것이다.

도 2는 본 발명의 다른 실시예에 의한 반도체 집적회로의 논리회로의 설계방법을 도시한 것이다.

이 도 2의 다른 실시예의 설계방법도 도 1과 마찬가지로 도 11에 도시한 바와 같이 연산처리장치(CPU), 기억장치(메인메모리, 하므디스크 메모리 등), 맨머신인터페이스(키보드, 디스플레이, 터치패널 등)을 구비해서 이루어지는 자동 설계장치(I101)를 사용해서 실현되고 반도체상에 집적화되는 논리회로의 설계방법이다. 이자동설계장치(1101)의 기억장치상에 유지된 프로그램에 따라서 다음의 스텝을 실행하는 것에 의해, 반도체 집적회로의 논리회로를 자동설계하는 것을 특징으로 한다.

도 2의 스텝201 : 이 스텝201에서는 [a] 도 8a의 (801)로 나타내는 바와 같이 논리입력과 논리출력 사이

의 논리관계를 결정하는 논리기능 및 이 논리회로의 칩점유면적과 소비전력의 적어도 한쪽의 설계목표사양이 입력되는 것이다.

도 2의 스텝202 : 이 스텝202에서는 [b] 설계자가 부가한 논리기능의 적어도 그의 일부에 관해서 도 8b에 도시한 바와 같이 하기 [b-1]에서 정의되는 2분 결정 그래프를 형성하는 것이다.

[b-1] 이 2분 결정 그래프는 제어변수(302)와 2개의 입력에지와 1개의 출력을 갖는 여러개의 노드를 조합하는 것에 의해 구성되는 그래프이고, 각 노드의 제어변수는 해당하는 논리부분의 논리입력을 의미하고, 각 노드의 2개의 입력에지 중 어느 한쪽은 상기 제어변수의 논리값에 대응해서 선택되고, 각 노드의 출력에는 상기 선택된 입력에지의 신호가 전달된다.

도 2의 스텝203 : 이 스텝203에서는 [c] 상기 스텝202의 [b]의 스텝에 의해 형성된 상기 2분 결정 그래프에 대응하는 패스 트랜지스터 논리회로를 결정한다. 이 때, 그 2분 결정 그래프의 적어도 일부의 노드중의 1개에 각각 대응하고, 각각 도 8d에 도시한 바와 같이 하기 [c-1]에서 정의되는 여러개의 패스 트랜지스터회로를 포함하는 패스 트랜지스터 논리회로를 결정한다.

[c-1] 이 패스 트랜지스터회로는 제어입력, 제1 입력, 제2 입력, 출력, 상기제1 입력과 상기 출력 사이에 소오스-드레인 경로가 접속된 제1 전계효과형 트랜지스터 및 상기 제2 입력과 상기 출력 사이에 소오스-드레인 경로가 접속된 제2 전계효과형 트랜지스터를 갖고 이루어지고, 상기 1 전계효과형 트랜지스터의 게이트는 상기 제어입력에 입력되는 신호에 응답하고, 상기 제2 전계효과형 트랜지스터의 게이트는 상기 제어입력에 입력되는 신호의 반전신호에 응답하는 것에 의해, 상기 출력에는 상기 제1 입력이나 상기 제2 입력중의 어느 한쪽의 신호가 전달된다.

도 2의 스텝204: 이 스텝204에서는 [d] 상기 스텝203의 [c]의 수순에 의해 얻어진 패스 트랜지스터 논리회로에 관한 시뮬레이션에 의한 칩점유면적과 소비전력의 적어도 한쪽이 상기 스텝201의 [a]의 상기 목표사양을 만족시키는지의 여부를 판정하고 만약 만족시키지 않는 경우에는 하기 스텝[e], [f], [g]의 스텝을 실행하는 것이다.

도 2의 스텝205 : 이 스텝205에서는 [e] 상기 스텝202에서 형성된 2분 결정 그래프에 있어서 도 8b의 (805), (806), (807), (808)로 나타내는 바와 같은 하기 [e-1]의 조건을 만족시키는 여러개의 노드집합을 하기 [e-2], [e-3]의 조건을 만족시키는 도 8c의 (817), (818), (819), (820)으로 나타내는 바와 같은 각각 1개의 노드집합에 대응하는 여러개의 치환노드 및 도 8c의 (825)로 나타낸 바와 같은 상기 여러개의 치환노드에 공통의 제어변수를 공급하기 위한 1개의 공통노드집합으로 치환하는 것이다.

[e-1] 상기 여러개의 노드집합(도 8b의 (805), (806), (807), (808)참조)의 각 집합은 여러개의 노드로 구성되고, 상기 여러개의 노드집합의 각각의 여러개의 노드의 상호접속형태와 제어변수가 서로 동일하다.

[e-2] 치환후의 그래프의 논리기능과 치환전의 2분 결정 그래프의 논리기능이 동일하게 되도록 상기 여러개의 치환노드(도 8c의 (817), (818), (819), (820)참조)의 제어변수로서 공통노드집합(도 8c의 (825)참조)의 출력을 결정할 수 있다 여기서, 상기 공통노드집합(도 8c의 (825)참조)을 구성하는 여러개의 노드는 상기 여러개의 노드집합의 각각의 상호접속형태와 동일한 상호접속형태를 갖고, 각 노드집합으로 공급되는 여러개의 제어변수와 동일한 여러개의 제어변수가 공급된다(도 8b의 (805), (806), (807), (808)참조).

[e-3] 치환후의 그래프(도 8c 참조)의 각 치환노드(도 8c의 (817), (818), (819), (820)참조)의 입력에지 선단에 접속된 그래프요소의 집합은 치환전의 2분 결정그래프(도 8b 참조)의 대응하는 치환전의 1개의 노드집합(도 8b의 (805), (806), (807), (808)참조)의 입력에지 선단에 접속되고 그 노드집합의 외부에 위치하는 그래프 요소의 집합과 일치한다.

스텝[f] : 이 스텝[f]에서는 상기 스텝205의 [e]의 스텝의 수순에 의한 치환후의 2분 결정 그래프에 대응하는 다른 패스 트랜지스터 논리회로를 결정한다. 이때, 상기 치환후의 그래프의 적어도 일부의 여러개의 노드중의 1개에 각각 대응하고 각각 상기 스텝203의 [c-1]에서 정의된 여러개의 패스 트랜지스터회로를 포함하고, 하기의 제1 및 제2 신호인가형태를 채용하는 다른 패스 트랜지스터 논리회로를 결정한다.

치환후의 그래프의 상기 여러개의 치환노드(도 8c의 (817), (818), (819), (820) 참조)에 부가하는 제어변수를 출력하고 상기 공통의 노드집합에 대응하는 제I패스 트랜지스터 논리회로와 각 치환노드에 대응하는 제2 패스 트랜지스터 회로 사이에서는 1개의 패스 트랜지스터 회로(840), (841)의 제어입력에 입력되는 신호가 다른 패스 트랜지스터회로(844), (845)의 출력의 신호라는 제1 신호인가형태가 채용되고, 상기 제2 패스 트랜지스터 회로와 상기 각 치환노드 중의 어느 한쪽의 입력에지에 접속된 노드에 대응하는 제3 패스 트랜지스터 회로 사이에서는 1개의 패스 트랜지스터회로(840), (841)의 제1 입력과 제2 입력중의 어느 한쪽에 입력되는 신호가 다른 패스 트랜지스터회로(842), (843)의 출력의 신호라는 제2 신호인가형태가 채용된다(도 8d 참조).

스텝[g]: 이 스텝[g]에서는 상기 [f]의 스텝의 수순에 의해 얻어진 상기 다른

패스 트랜지스터 논리회로에 관한 시뮬레이션에 의한 칩점유면적과 소비전력의 적어도 한쪽이 상기 [a]의 상기 목표사양을 만족시키는지의 여부를 상기 [d]의 스텝의 수순에 의해 판정하는 것이다.

그 결과, 아직 시뮬레이션에 의한 칩점유면적과 소비전력중의 적어도 어느 하나가 상기 스텝201에서 부가된 [a]의 상기 목표사양을 만족시키지 않는 경우에는 상기 스텝[e], [f], [g]가 2분 결정 그래프의 다른 부분에 대해서 반복되는 것이다. 본 발명의 실시예에 의한 설계방법을 채용하는 것에 의해 구성되는 패스 트랜지스터회로가 종래보다 고속, 소면적, 저소비전력으로 되는 원리를 도 3a～도 3d, 도 6a～도 6c, 도 7a～도 7c 및 도 8a～도 8e를 사용해서 설명한다.

도 3a～도 3d와 도 6a～도 6c는 모두 동일 논리기능(301), (601)을 종래방법과 본 발명의 방법에 의해 설계한 경우를 각각 도시한 도면이다.

도 6c의 회로는 인용문헌2의 구성방법에 따라 도 6a, 도 6b, 도 6c의 순으로 실현되는 것이다 즉, 도 6a

에서 부가되는 논리기능(601)을 2분 결정 그래프(도 6b)로 변환한다, 다음에, 이 2분 결정 그래프의 각각의 노드를 패스 트랜지스터에 의해 구성되는 셀렉터로 변환한다. 이와 같이 해서 도 6c의 회로가 얻어진다. 이 회로에 있어서 지연의 제한을 부가하는 신호의 전달경로(크리티컬패스 : critlcal path)가 입력H(603)에서 출력0UT(602)로의 경로(604)였던 경우, 신호는 이 경로를 따라 5단의 트랜지스터(605), (606), (607), (608), (609)를 통과하지 않으면 안된다.

한편, 도 3d는 본 발명의 방법을 사용한 회로이지만 도 3a, 도 3b, 도 3c, 도 3d의 순으로 합성된다 즉, 도 3a에서 부가되는 논리기능(301)을 2분 결정 그래프(도 3b)로 변환된다. 다음에, 이 2분 결정 그래프중에서 지연시간이 요구사양을 만족시키지 않는 회로에 상당하는 부분그래프(307)을 추출하고, 이것을 도 3c의 다른 그래프(311)로 치환한다. 마지막으로, 이 그래프의 각각의 노드를 패스 트랜지스터회로로 면환해서 도 3d의 회로가 얻어진다. 즉, 패스 트랜지스터회로(322), (321), (320), (323), (323′)는 각각 도 3c에 도시한 부분그래프(311), (311′), 노드(314), 부분그래프(315), (316′)에 대해서 얻어지는 패스 트랜지스터회로이다. 이 회로에서는 입력H(318)에서 출력0UT(317)로의 경로(319)를 따라 3단의 트랜지스터회로(320), (321), (322)를 통과하는 것만으로 좋다는 것을 알 수 있다. 회로의 지연시간은 신호가 통과하는 트랜지스터의 단수가 증가함에 따라 악화되므로, 반대로 본 실시예와 같이 크리티컬패스를 따른 신호의 통과 트랜지스터 단수를 감소시키는 것에 의해 지연시간을 작게 하는 것이 가능하게 되어 회로의 동작속도의 향상에 있어서 효과가 있다는 것을 이해할 수 있다.

다음에, 본 실시예의 설계방법을 사용해서 설계된 논리회로에 의해 면적이나소비전력을 작게 할 수 있다는 원리에 대해서 도 7a～도 7c 및 도 8a～도 8e를 사용해서 설명한다.

도 7c의 회로는 인용문헌2의 방법에 의해 합성되는 회로이다. 회로가 합성되는 수순을 설명한다. 우선, 설계자에 의해 부가된 논리식(도 7a의 (701), (702), (703), (704))를 2분 결정 그래프(도 7b)로 변환한다. 여기에서 설계자가 부가한 입력은 A, B, C, D, E, F이다 한편, 출력은 0UT1, 0UT2, 0UT3, 0UT4이다. 그리고, 이 그래프중의 노드에서 나온 1로 선택되는 에지((705), (707), (709), (711), (713), (715), (717), (719), (721))와 0으로 선택되는 에지((706), (708), (710), (712), (714), (716), (718), (720), (722))의 각각을 그 노드의 제어변수인 대상논리기능의 입력의 긍정신호로 제어되는 패스 트랜지스터((723), (725), (727), (729), (731), (733), (735), (737), (739)) 및 입력의 부정신호로 제어되는 패스 트랜지스터((724), (726), (728), (730), (732)} (734), (736), (738), (740))로 치환한다. 여기에서, 치환하는 1개 1개의 패스 트랜지스터는 실제로는 병렬접속된 여러개의 트랜지스터라도 물론 좋다. 또한, 1과 0으로 선택되는 에지 선단이 각각 종단노드1과 0인 경우에는 패스 트랜지스터에 의해 치환하는 대신에 제어변수의 입력신호를 그대로 부가하고, 또 1과 0으로 선택되는 에지 선단이 각각 종단노드 0과 1인 경우에는 제어변수의 입력의 부정신호를 부가하고 있다 또, 필요에 따라서는 회로동작을 양호하게 하기위해 패스 트랜지스터의 직렬접속단수나 출력의 분기에 따라 전압이나 전류의 증폭회로를 삽입한 쪽이 좋은 경우도 있지만, 여기에서는 이해를 용이하게 하기 위해 증폭회로의 삽입은 실행하고 있지 않다.

한편, 도 8d의 회로는 본 발명의 실시예의 설계방법에 의해 합성되는 논리회로이다. 그 합성의 수순을 도 8a, 도 8b, 도 8c, 도 8d의 순으로 도시한다. 우선, 종래와 마찬가지로 부가된 논리식 도 8a를 2분 결정 그래프(도 8b)로 변환한다 그 후, 이 2분 결정 그래프중에서 부분그래프(805), (806), (807), (808)을 자동판정해서 추출한다 또, 이 추출한 부분그래프를 하기의 [1], [2]를 만족시키면서 다른 그래프((817), (818), (819), (820), 단 여기에서는 간단한 예이므로 노드수가 1인 그래프이다). 로 치환하고, 이들 그래프중의 노드의 제어입력(821), (822), (823), (824)에는 전체로서 설계자가 부가한 논리기능과 동일하게 되도록 또 도 8a와 다른 별도의 2분 결정 그래프의 출력(825)를 부가한다.

[1] 치환후의 그래프에 포함되는 모든 노드의 에지 선단 중 상기 그래프외부를 가리키고 있는 선단의 집합은 치환전의 그래프에 포함되는 모든 노드의 에지 선단 중 상기 그래프 외부를 가리키고 있는 선단의 집합과 일치한다.

[2] 치환후의 그래프에는 2분 결정 그래프에서 사용하는 노드와 동일구성이지만 제어변수가 치환대상부분의 입력과 다른 노드를 적어도 1개 포함한다.

다음에, 그래프중의 노드에서 나온 1로 선택되는 에지와 0으로 선택되는 에지의 각각을 그 노드의 제어변수 또는 제어입력의 긍정신호와 부정신호에 응답하는 패스 트랜지스터(834), (835), (836, (837), (838), (839), (840), (841), (842), (843), (844), (845)로 치환한다. 물론, 그 후 회로동작을 양호하게 하기 위해 요구에 따라 전압이나 전류의 증폭회로를 삽입해도 좋다. 이 증폭회로를 삽입하는 패스 트랜지스터의 직렬집속단수를 요구에 따라 변화시키면 좋은 것은 물론이다. 상기의 예에서는 도 8d의 회로는 트랜지스터수가 18로 되고 도 7c의 회로보다 트랜지스터수가 적고, 이것에 의해 회로면적의 축소와 소비전력의 감소가 도모된다. 또한, 여기에서, 상기에 있어서 패스 트랜지스터(병렬접속된 경우에도 그 수를 1개로 간주한 경우)의 수는 그래프중의 노드에서 에지로 나온 수와 일치한다.

따라서, 회로의 면적이나 소비전력을 감소시킬 목적인 경우는 트랜지스터를 감소시킬 목적을 위해 노드의 수를 감소시키는 치환을 실행하는 것이 바람직하다. 상기[1], [2]를 만족시키면서 노드의 수를 감소시키는 치환을 실행하기 위해서는 부분그래프중에 포함되는 적어도 2개의 다른 노드에서 나오는 에지선단이 동일 개소를 가리키고 있는 것이 필요하게 된다. 왜냐하면, 반대로 동일 개소를 가리키고 있는 다른 노드를 포함하고 있지 않은 그래프의 경우, 상기 [2]의 조건에서 그 노드수는 일의적으로 결정되므로 노드수를 감소시킬 수 없기 때문이다. 이 예에서는 본 발명을 사용해서 면적, 소비전력을 감소시킬 수 있지만 실제로는 지연시간에 대해서도 개선된다. 여기에서, 입력H의 도달시각이 다른 신호보다 느린 경우를 상정해 보면, 도 7c의 회로의 경우 입력H에서 각 출력까지의 신호가 통과하는 패스 트랜지스터수는 3단인 것에 반해 도 8d의 회로에서는 2단으로 좋다는 것을 알 수 있다. 지연시간은 신호가 통과하는 트랜지스터수가 적어짐에 따라 짧아진다는 것을 고려하면 지연시간의 단축도 가능하게 된다는 것을 알 수 있다.

도 8e의 회로는 도 8d의 회로에 있어서 패스 트랜지스터의 게이트입력으로 되는 다른 패스 트랜지스터회로의 출력에 CMOS인버터인 증폭회로(846)을 삽입하고 진위레벨을 전원전압까지 충분히 상승시킬 수 있도록 한 것이다. 이 회로에는 정상전류가 흐르지 않으므로 소비전력도 작게 할 수 있다. 이 경우에도 트랜지스터수는 21로서 역시 도 7c의 회로보다 적다.

또한, 본 발명의 실시예인 설계방법의 최초의 스텝에서 사용하고 있는 2분 결정 그래프는 인용문헌1에서 사용되고 있는 것과 동일하지만, 이 2분 결정 그래프의 대용이므로 널리 알려져 있는 부정에지를 갖는 노드를 사용해서 구성되는 2분 결정 그래프를 사용한 경우에도 본 발명을 적용할 수 있는 것은 물론이다.

도 11은 본 발명의 방법을 사용한 시스템을 LSI설계에 이용한 예를 도시하고 있다. 이 시스템은 본 발명의 설계방법을 사용해서 패스 트랜지스터회로를 생성하고 소자간의 결선정보 또는 소자군간의 결선정보를 생성해서 출력으로서 설계자에게 그 데이타를 제공하는 것이 가능하게 된다. 여기에서, 시스템에 각 소자의 마스크패턴정보 또는 소자군의 마스크패턴정보를 등록해 두면 또 이들 마스크패턴을 조합해서 논리회로 전체의 마스크패턴을 자동생성하는 것도 가능하게 되고, 또 합성된 논리회로의 지연시간, 칩점유면적, 소비전력의 값을 시뮬레이션에 의해 구하고, 이 시뮬레이션값이 설계목표값을 만족시키고 있는지의 여부의 자동판정을 실행하고, 이 판정결과가 부인 경우에는 도 1 및 도 2에서 설명한 상술한 수순에 의해 보다 적합한 논리회로를 자동설계할 수 있다.

도 8d 또는 도 8e는 본 발명에서 도시한 논리회로의 구성방법을 사용해서 4개의 논리기능을 갖는 회로를 실현한 실시예이다. 논리기능은 도 8a에 논리식을 사용해서 나타내고 있다. 회로구성방법의 수순은 이미 설명한 바와 같다. 여기에서 도 8d의 회로가 실제로 부가된 논리기능을 실현하고 있는 것을 확인한다. 우선, OUT1에 대해서 정확하게 논리기능이 실현되고 있는 것을 확인한다 이해를 용이하게 하기 위해 이 논리기능의 진리값표를 도 10에 도시한다. 이 진리값표의 각 입력패턴에 대해서 출력이 취하는 값과 도 8d의 회로의 출력을 비교해서 일치를 확실하게 한다.

우선, 입력A가 0일 때(진리값표에서 최상부의 16앵), 도 8d의 회로에서 패스 트랜시스터(844)가 온(ON)하고, 패스 트랜지스터(834)가 온하며, 출력OUT1은 입력C와 도통한다. 따라서, 입력C가 0일 때(제1행～제4행와 제9행～제12행) OUT1은 0으로 한다. 한편, 입력C가 1일 때(제5행～제8행과 제13행～ 제16행) OUT1은 1로 된다. 이것은 진리값표의 출력값과 합치하고 있다.

다음에, 입력A가 1이고 입력B가 0일 때(진리값표에서 다음의 8행), 도 8d의 회로에서 패스 트랜지스터(845)가 온하고, 패스 트랜지스터(834)가 온하며, 출력OUT 1은 입력C와 도통한다. 따라서, 입력C가 0일 때(제17행～제20행) OUT1은 0으로 된다. 한편, 입력C가 1일 때(제21행～제24행) OUT1은 1로 된다. 이것도 진리값표의 출력값과 합치한다.

다음에, 입력A가 1, 입력B가 1, 입력C가 0, 입력G가 0일 때(진리값표에서 다음의 2행), 도 8d의 회로에서 패스 트랜지스터(845)가 온하고, 패스 트랜지스터(835)가 온하고, 또 패스 트랜지스터(842)가 온하며, 출력OUT1이 접지와 도통한다. 따라서, OUT1은 0으로 된다. 이것도 진리값표의 출력값과 합치한다.

다음에, 입력A가 1, 입력B가 1, 입력C가 0, 입력G가 1일 때(진리값표에서 다음의 2행), 도 8d의 회로에서 패스 트랜지스터(845)가 온하고, 패스 트랜시스터(835)가 온하고, 또 패스 트랜지스터(843)이 온하며, 출력OUT1이 입력H와 도통한다. 따라서, 입력H가 0일 때(제27행째), OUT1은 0으로 된다. 한편, 입력H가 1일 때(제28행째), OUT1은 1로 된다. 이것도 진리값표의 출력값과 합치한다.

다음에. 입력A가 1, 입력B가 1, 입력C가 1, 입력G가 0일 때(진리값표에서 다음의 2행), 도 8d의 회로에서 패스 트랜지스터(845)가 온하고, 패스 트랜지스터(835)가 온하고, 또 패스 트랜지스터(842)가 온하며, 출력OUT1이 접지와 도통한다. 따라서, OUT1은 0으로 된다. 이것도 진리값표의 출력값과 합치한다.

다음에, 입력A가 1, 입력B가 1, 입력C가 1, 입력G가 1일 때(진리값표에서 다

음의 2행), 도 8d의 회로에서 패스 트랜시스터(845)가 온하고, 패스 트랜지스터(835)가 온하고, 또 패스 트랜지스터(843)이 온하며, 출력OUT1이 입력H와 도통한디. 따라서, 입력H가 0일 때(제31행째), OUT1은 0으로 된다. 한편, 입력H가 1일 때(제32행째), OUT1은 1로 된다. 이것도 진리값표의 출력값과 합치한다.

이상과 같이 4개의 출력 중 OUT1의 논리기능이 본 발명의 회로에서 정확하게 실현되고 있는 것이 확인되었다. 다른 3개의 출력(OUT2, OUT3, OUT4)에 대해서도 마찬가지로 해서 본 발명의 회로가 정확하게 논리기능을 실현하고 있는 것을 용이하게 확인할 수 있다.

도 9f 또는 도 9g는 본 발명의 실시예의 논리회로의 설계, 구성방빕을 사용해서 16비트논리곱의 기능을 갖는 회로를 실현한 실시예이다. 이 실시예에서는 본 발명의 회로가 지연시간의 단축에 큰 효과가 있다는 것을 나타낸다. 이 예에서는 본 발명의 회로구성방법에 대해서도 상세하게 순서에 따라 설명한다. 또한, 16비트 논리곱의 입력 중 입력Q는 다른 논리블럭의 출력이고, 이미 임의의 지연시간을 경과한 것으로 되어 있고 이 입력시간의 도달시각은 다른 입력보다 느린 경우를 상정하고 있다.

우선, 본 발명의 수순에 따라 논리기능(도 9a)에서 이것에 대응한 2분 결정 그래프를 작성한다(도 9b). 다음에, 이 그래프중에서 그래프 외부로의 에지 선단의 집합이 동일한 다른부분그래프 즉 여기에서는 부분그래프(902)를 빼고 이것을 다른 그래프(903)으로 치환한다. 그리고 이들 노드의 제어신호에 원래의 논리기능과 동일하도록 다른 그래프의 출력 즉 여기에서는 (904)를 부가한다(도 9c).

상기 도 9c의 그래프에서 패스 트랜지스터회로로의 변환을 실행해도 물론 좋지만 여기에서는 또 지연시간을 짧게 할 필요가 있는 경우를 상정해서 재귀직으로 상기의 수순을 실행한다. 즉, 이번에는 도 9c에 있어서 출력(904)와 출력(905)를 갖는 그래프 각각을 대상으로 해서 상기의 수순을 실행한다. 우선, 출력(904)를 갖는 그래프중에서 그래프 외부로의 에지 선단의 집합이 동일한 부분그래프 즉 여기에서는 부분그래프(906)을 빼고 이것을 도 9d에 도시한 바와 같이 또 다른 그래프(908)로 치환한다. 그리고 이들 노드의 제어신호에 원래의 논리기능과 동일하도록 다른 그래프의 출력 즉 여기에서는 (910)을 부가한다. 또, 출력(905)를 갖는 부분그래프중에서 그래프 외부로의 에지 선단의 집합이 동일한 부분그래프 즉 여기에서는 부분그래프(907)을 빼고 이것을 도 9d에 도시한 바와 같이 다른 그래프(909)로 치환한다. 그리고, 이들 노드의 제어신호에 원래의 논리기능과 동일하도록 또 다른 그래프의 출력 즉 여기에서는 (911)을 부가한다.

상기 수순을 재귀적으로 한번 더 반복하면 도 9e와 같이 된다. 여기에서, 최종적으로 생긴 여러개의 그래프의 모든 노드의 각각을 패스 트랜지스터의 소오스-드레인 경로에 의해 치환하고, 그의 게이트단자에는

각각의 노드의 제어변수의 긍정신호, 부정신호를 부가하면 도 9f에서 부가되는 패스 트랜지스터회로가 합성된다.

여기에서, 지연시간이 어느 정도 개선되었는지를 보기 위해 종래의 설계방법을 사용해서 생성되는 회로와 본 발명에 의해 생성되는 회로를 비교해 본다. 우선, 종래의 회로의 경우 도 9h와 같이 된다. 이 도면에 도시되어 있는 바와 같이, 지연시간을 지배하는 신호의 전달경로(920)을 따른 패스 트랜지스터의 단수는 15단으로 된다. 다음에, 본 발명의 회로의 경우 지연시간을 지배하는 신호의 전달경로(912)를 따른 패스 트랜지스터의 단수는 4단으로 좋은 것을 알 수 있다. 이 경우, 실제로 11단분의 패스 트랜지스터의 통과시간을 단축할 수 있다는 것을 알 수 있다.

또한, 도 9g의 회로는 도 9f의 회로에 있어서 패스 트랜지스터의 게이트에 다른 패스 트랜지스터의 출력이 들어가는 경우, 게이트입력의 전위를 충분히 전원전압까지 상승시키므로 전압의 증폭회로(913), (914), (915), (916), (917), (918), (919)를 삽입해서 정상전류가 흐르는 것을 방지한 실시예이다.

이상, 본 발명자에 의해 이루어진 본 발명의 실시예를 상세하게 설명했지만, 본 발명은 상기의 구체적인 실시예에 한정되는 것은 아니고 그 기술사상의 범위내에서 여러가지로 변경한 것은 물론이다.

예를 들면, 도 1의 실시예 또는 도 2의 실시예에 있어서 스텝103, 스텝104, 스텝105의 루프 또는 스텝203, 스텝204, 스텝205의 루프를 적어도 1회 순회한 후, 예를 들면 2회 순회째에서 목표사양 미달의 경우-에도 CPU시간의 제한이나 프로그램의 사용메모리 재한 등이 있는 경우에는 이 제한을 만족시키도록 프로그램을 종료하는 것은 1회 순회의 처리가 본 특허의 기술적 범위에 포함된다. 또, 예를 들면 2회 순회째에서 목표사양 미달의 경우에 프로그램을 종료하는 것은 스텝101 또는 스텝201에서의 목표사양의 실효적인 수정이라고 간주할 수도 있으며, 역시 본 특허의 기술적 범위에 포함되는 것이다.

또, 다른 변형 실시예로서는 패스 트랜지스터회로를 구성하는 전계효과형 트랜지스터는 실리콘의 MOSFET에 한정되는 것이 아니고 GaAs의 화합물 반도체에 의한 MISFET를 사용할 수 있다.

또, 본 발명의 패스 트랜지스터회로를 갖는 논리회로는 범용프로세서, 신호처리프로세서, 화상처리프로세서 등의 LSI에 있어서 예를 들면 RISC형의 명령을 해독해서 명령실행 유닛을 제어하기 위한 랜덤 로직 회로에 적용되는 것에 의해 LSI 전체의 소비전력 및 지연의 저감이 가능하게 되는 것은 물론이다.

산업상이용가능성

본 발명에 의하면, 필요 트랜지스터수가 적고 소비전력 및 시연의 저감이 가능하고 복잡한 논리기능을 실현하는 것이 가능한 패스 트랜지스터회로를 설계하는 반도체 집적회로의 논리회로의 설계방법을 제공할 수 있다.

(57) 청구의 범위

청구항 1

연산처리장치, 기억장치, 맨머신 인터페이스를 구비해서 이루어지는 설계장치를 사용해서 실현되고 반도체상에 집적화되는 논리회로의 설계방법으로서, 상기 기억장치상에 유시된 프로그램에 따라서,

[a] 논리입력과 논리출력 사이의 논리관계를 결정하는 논리기능과 상기 입출력간의 지연시간의 목표사양을 입력시키는 스텝;

[b] 입력된 논리기능의 적어도 그의 일부에 관해서 하기 [b-1]에서 정의되는

2분 결정 그래프를 형성하는 스텝;

[b-1] 상기 2분 결정 그래프는 제어변수와 2개의 입력에지와 1개의 출력을 갖는 여러개의 노드를 조합하는 것에 의해 구성되는 그래프이고, 각 노드의 제어변수는 해당하는 논리부분의 논리입력을 의미하고, 각 노드의 2개의 입력에지 중 어느 한쪽은 상기 제어변수의 논리값에 대응해서 선택되고, 각 노드의 출릭에는 상기 선택된 입력에지의 신호가 전달되고,

[c] 상기 [b]의 스텝에 의해 형성된 상기 2분 결정 그래프의 직어도 일부의 여러개의 노드중의 1개에 각각 대응하고 각각 하기 [c-1]에서 정의되는 여러개의 패스 트랜지스터희로를 갖는 패스 트랜지스터 논리회로를 결정하는 스텝;

[c-1] 상기 패스 트랜지스터회로는 제어입력, 제1 입력, 제2 입력, 출력, 상기 제1 입력과 상기 출력 사이에 소오스-드레인 경로가 접속된 제1 전계효과형 트랜지스터 및 상기 제2 입력과 상기 출력 사이에 소오스-드레인 경로가 접속된 제2 전계효과형 트랜지스터를 갖고 이루어지고, 상기 제1 전계효과형 트랜지스터의 게이트는 상기 제어입력에 입력되는 신호에 응답하고, 상기 제2 전계효과형 트랜지스터의 게이트는 상기 제어입력에 입력되는 신호의 반전신호에 응답하는 것에 의해, 상기 출력에는 상기 제1 입력이나 상기 제2 입력중의 어느 한쪽의 신호가 전달되고,

[d] 상기 얻어진 상기 패스 트랜지스터 논리회로에 관한 시뮬레이션 지연시간이 상기 목표사양을 만족시키는지의 여부를 판정하고 만약 만족시키지 않는 경우하기 [e], [f], [g]의 스텝을 실행하는 스텝;

[e] 상기 2분 결정 그래프내의 여러개의 노드로 이루어지는 적어모 1개의 부분그래프를 하기 [e-1」, [e-2]의 조건을 만족시키는 1개의 치환노드와 그 치환노드에 부가할 제어변수를 생성하기 위한 1군의 노드로 처환하는 스텝;

[e-1] 치환후의 2분 결정 그래프의 치환노드의 입력에지 선단에 접속된 그래프요소의 집합은 치환전의 2분 결정 그래프의 상기 치환되는 부분그래프에 포함된 상기 여러개의 노드의 입력에지 선단에 접속되고 그 부분그래프의 외부에 위치하는 그래프요소의 집합과 일치하고,

[e-2] 치환후의 2분 결정 그래프의 논리기능과 치환전의 2분 결정 그래프의 논리기능이 동일하게 되도록 치환후의 그래프의 상기 치환노드에 부가되는 상기 제어변수는 치환전의 2분 결정 그래프의 상기 치환되는 여러개의 노드에 부여되는 여러개의 제어변수의 논리적 조합으로 나타낼 수 있고,

[f] 상기 [e]의 스텝의 수순에 의한 치환후의 그래프의 적어도 일부의 여러개의 노드중의 1개에 각각 대응하고 각각 상기 [c-1]에 의해 정의된 여러개의 패스 트랜지스터회로를 갖고, 하기의 제1 및 제2 신호인가형태를 채용한 상기 치환후의 2분결정 그래프에 대응하는 다른 패스 트랜지스터 논리회로를 결정하는 스텝 및;

치환후의 그래프의 상기 1군의 노드중, 상기 치환노드에 부가하는 제어변수를 출력하고 상기 1군의 노드내의 1개의 노드에 대응하는 제1 패스 트랜지스터 회로와 상기 치환노드에 대응하는 제2 패스 트랜지스터회로 사이에서는 1개의 패스트랜지스터회로의 제어입력에 입력되는 신호가 다른 패스 트랜지스터회로의 출력의 신호라는 제1 신호인가형태가 채용되고, 상기 제2 패스 트랜지스터 회로와 상기 치환노드중의 어느 한쪽의 입력에지에 접속된 노드에 대응하는 제3 패스 트랜지스터회로 사이에서는 1개의 패스 트랜지스터회로의 제1 입력과 제2 입력중의 어느 한쪽에 입력되는 신호가 다른 패스 트랜지스터회로의 출력의 신호라는 제2 신호인가형태가 채용되고,

[g] 상기 [f]의 스텝에 의해 얻어진 상기 다른 패스 트랜지스터 논리회로에관한 시뮬레이션 지연시간이 상기 목표사양을 만족시키는지의 여부를 판정하는 스텝을 실행하는 것을 특징으로 하는 반도체 집적회로의 설계방법.

청구항 2

연산처리장치, 기억장치, 맨머신 인터페이스를 구비해서 이루어지는 설계장치를 사용해서 실현되고 반도체상에 집적화되는 논리회로의 설계방법으로서, 상기 기억장치상에 유지된 프로그램에 따라서,

[a] 논리입력과 논리출력 사이의 논리관계를 결정하는 논리기능 및 상기 논리회로의 점유회로면적과 소비전력의 적어도 한쪽의 목표사양을 입력시키는 스텝;

[b] 입력된 논리기능의 적어도 그의 일부에 관해서 하기 [b-1]에서 정의되는

2분 결정 그래프를 형성하는 스텝;

[b-1] 상기 2분 결정 그래프는 제어변수와 2개의 입력에지와 1개의 출력을 갖는 여러개의 노드를 조합하는 것에 의해 구성되는 그래프이고, 각 노드의 제어변수는 해당하는 논리부분의 논리입력을 의미하고, 각 노드의 2개의 입력에지 중 어느 한쪽은 상기 제어변수의 논리값에 대응해서 선택되고, 각 노드의 출력에는 상기 선택된 입력에지의 신호가 전달되고,

[c] 상기 [b]의 스텝에서 형성된 상기 2분 결정 그래프의 적어도 일부의 여러개의 노드중의 1개에 각각 대응하고 각각 하기 [c-1]에서 정의되는 여러개의 패스 트랜지스터회로를 갖는 패스 트랜지스터 논리회로를 결정하는 스텝;

[c-1] 상기 패스 트랜지스터회로는 제어입력, 제1 입력, 제2 입력, 출력, 상기 제1 입력과 상기 출력 사이에 소오스-드레인 경로가 접속된 제1 전계효과형 트랜지스터 및 상기 제2 입력과 상기 출력 사이에 소오스-드레인 경로가 접속된 제2 전계효과형 트랜지스터를 갖고 이루어지고, 상기 1 전계효과형 트랜지스터의 게이트는 상기 제어입력에 입력되는 신호에 응답하고, 상기 제2 전계효과형 트랜지스터의 게이트는 상기 제어입력에 입력되는 신호의 반전신호에 응답하는 것에 의해 상기 출력에는 상기 제1 입력이나 상기 제2 입력중의 어느 한쪽의 신호가 전달되고,

[d] 상기 얻어진 패스 트랜지스터 논리회로에 관한 시뮬레이션에 의한 점유회로면적과 소비전력중의 적어도 어느 하나가 상기 목표사양을 만족시키는지의 여부를 판정하고 만약 만족시키지 않는 경우 하기 [e], [f], [g]의 스텝을 실행하는 스텝;

[e] 상기 2분 결정 그래프내의 하기 [e-1]의 조건을 만족시키는 여러개의 노드집합을 하기 [e-2], [e-3]의 조건을 만족시키는 각각 1개의 노드집합에 대응하는 여러개의 치환노드 및 상기 여러개의 치환노드에 공통의 제어변수를 공급하기 위한1개의 공통노드집합으로 치환하는 스텝;

[e-1] 상기 여러개의 노드집합의 각 집합은 여러개의 노드로 구성되고, 상기 여러개의 노드집합의 각각의 여러개의 노드의 상호접속형태와 제어변수가 서로 동일하고,

[e-2] 치환후의 그래프의 논리기능과 치환전의 2분결정 그래프의 논리기능이 동일하게 되도록 상기 여러개의 치환노드의 제어변수로서 상기 공통노드집합의 출력을 결정할 수 있고, 여기에서 상기 공통의 노드집합을 구성하는 여러개의 노드는 상기 상호접속형태와 동일한 상호접속형태를 갖고, 각 노드집합으로 공급되는 여러개의 제어변수와 동일한 여러개의 제어변수가 공급되고,

[e-3] 치환후의 그래프의 각 치환노드의 입력에지 선단에 접속된 그래프요소의 집합은 치환전의 2분 결정 그래프의 대응하는 치환전의 1개의 노드집합의 입력에지 선단에 접속되고, 그 노드집합의 외부에 위치하는 그래프요소의 집합과 일치하고,

[f] 상기 [e]의 스텝의 수순에 의한 치환후의 그래프의 적어도 일부의 여러개의 노드중의 1개에 각각 대응하고 각각 상기 [c-1]에 의해 정의된 여러개의 패스 트랜지스터회로를 갖고, 하기의 제1 및 제2 신호인가형태를 채용한 상기 치환후의 2분 결정 그래프에 대응하는 다른 패스 트랜지스터 논리회로를 생성하는 스텝 및;

치환후의 그래프의 상기 여러개의 치환노드에 제1 패스 트랜지스터 회로와 각 치환노드에 대응하는 제2 패스 트랜지스터 회로 사이에서는 1개의 패스 트랜지스터 회로의 제어입력에 입력되는 신호가 다른 패스 트랜지스터 회로의 출력의 신호라는 제1 신호인가형태가 채용되고, 상기 제2 패스 트랜지스터 회로와 상기 제3패스 트랜지스터 회로 사이에서는 1개의 패스 트랜지스터회로의 제1 입력과 제2 입력 중 어느 하나

에 입력되는 신호가 다른 패스 트랜지스터회로의 출력의 신호라는 제2 신호인가형태가 채용되고,

[g] 상기 [f]의 스텝에 의해 얻어진 상기 다른 패스 트랜지스터 논리회로에 관한 시뮬레이션에 의한 점유회로면적과 소비전력중의 적어도 한쪽이 상기 [a]의 상기 목표사양을 만족시키는지의 여부를 판정하는 스텝을 실행하는 것을 특징으로 하는 반도체 집적회로의 설계방법.

청구항 3

반도체상에 집적화되는 논리회로의 설계에 사용하기 위한 것으로서, 연산처리장치, 기억장치, 맨머신 인터페이스를 구비해서 이루어지고, 상기 기억장치상에 유지된 프로그램에 따라서,

[a] 논리입력과 논리출력 사이의 논리관계를 결정하는 논리기능과 상기 입출력간의 지연시간의 목표사양을 입력시키는 스텝;

[b] 입력된 논리기능의 적어도 그의 일부에 관해서 하기 [b-1]에서 정의되는

2분 결정 그래프를 형성하는 스텝;

[b-1] 상기 2분 결정 그래프는 제어변수와 2개의 입력에지와 1개의 출력을갖는 여러개의 노드를 조합하는 것에 의해 구성되는 그래프이고, 각 노드의 제어변수는 해당하는 논리부분의 논리입력을 의미하고, 각 노드의 2개의 입력에지 중 어느 한쪽은 상기 제어변수의 논리값에 대응해서 선택되고, 각 노드의 출력에는 상기 선택된 입력에지의 신호가 전달되고,

[c] 상기 [b]의 스텝에서 형성된 상기 2분 결정 그래프의 적어도 일부의 여러개의 노드중의 1개에 각각 대응하고 각각 하기 [c-1]에서 정의되는 여러개의 패스 트랜지스터 회로를 포함하는 패스 트랜지스터 논리회로를 결정하는 스텝;

[c-1] 상기 패스 트랜지스터회로는 제어입력, 제1 입력, 제2 입력, 출력, 상기 제1 입력과 상기 출력 사이에 소오스-드레인 경로가 접속된 제1 전계효과형 트랜지스터 및 상기 제2 입력과 상기 출력 사이에 소오스-드레인 경로가 접속된 제2 전계효과형 트랜지스터를 갖고 이루어지고, 상기 제1 전계효과헝 트랜지스터의 게이트는 상기 제어입력에 입력되는 신호에 응답하고, 상기 제2 전계효과형 트랜지스터의 게이트는 상기 제어입력에 입력되는 신호의 반전신호에 응답하는 것에 의해 상기 출력에는 상기 제1 입력이나 상기 제2 입력중의 어느 한쪽의 신호가 전달되고,

[d] 상기 얻어진 상기 패스 트랜지스터 논리회로에 관한 시뮬레이션 지연시간이 상기 목표사양을 만족시키는지의 여부를 판정하고 만약 만족시키지 않는 경우에는 하기 [e], [f], [g]의 스텝을 실행하는 스텝;

[e] 상기 2분 결정 그래프내의 여러개의 노드로 이루어지는 적어도 1개의 부분그래프를 하기 [e-1], [e-2]의 조건을 만족시키는 1개의 치환노드와 그 치환노드에 부가되는 제어변수를 생성하기 위한 1군의 노드를 갖는 부분그래프로 치환하는 스텝;

[e-1] 치환후의 2분 결정 그래프의 치환노드의 입력에지 선단에 위치하는 그래프요소의 집합은 치환전의 2분 결정 그래프의 상기 치환되는 부분그래프에 포함된 상기 여러개의 노드의 입력에지 선단에 접속되고, 상기 치환되는 부분그래프의 외부에 위치하는 그래프요소의 집합과 일치하고,

[e-2] 치환후의 2분 결정 그래프의 논리기능과 치환전의 2분 결정 그래프의 논리기능이 동일하게 되도록 치환후의 그래프의 상기 치환노드에 인가되는 상기 제어변수는 치환전의 2분 결정 그래프의 상기 치환되는 여러개의 노드에 인가되는 여러개의 제어변수의 신호의 논리적 조합으로 나타낼 수 있고,

[f] 상기 [e]의 스텝의 수순에 의한 치환후의 그래프의 적어도 일부의 여러개의 노드중의 1개에 각각 대응하고 각각 상기 [c-1]에 의해 정의된 여러개의 패스 트랜지스터회로를 갖고, 하기의 제I 및 제2 신호인가형태를 채용한 상기 치환후의 2분 결정 그래프에 대응하는 다른 패스 트랜지스터 논리회로를 생성하는 스텝 및;

치환후의 그래프의 상기 치환노드에 인가되는 제어변수를 출력하고 상기 1군의 노드중의 1개의 노드에 대응하는 제1 패스 트랜지스터 회로와 상기 치환노드에 대응하는 제2 패스 트랜지스터 회로 사이에서는 1개의 패스 트랜지스터회로의 제어입력에 입력되는 신호가 다른 패스 트랜지스터회로의 출력의 신호라는 제1 신호인가형태가 채용되고, 상기 제2 패스 트랜지스터 회로와 상기 치환노드중의 하나의 입력에지에 인가되는 입력신호를 출력하는 어느 하나의 노드에 대응하는 제3 패스 트랜지스터회로 사이에서는 1개의 패스 트랜지스터회로의 제1 입력과 제2 입력중의 어느 한쪽에 입력되는 신호가 다른 패스 트랜지스터회로의 출력의 신호라는 제2 신호인가형태가 채용되고,

[g] 상기 [f]의 스텝에 의해 얻어진 상기 다른 패스 트랜시스터회로에 관한 시뮬레이션 지연시간이 상기 [a]의 상기 목표사양을 만족시키는시의 여부를 판정하기 위해 상기 [d]의 스텝을 반복하는 스텝을 실행하는 것을 특징으로 하는 반도체 집적회로의 설계장치.

청구항 4

반도체상에 집적화되는 논리회로의 설계방법을 사용하기 위한 것으로서, 연산처리상치, 기억장치, 맨머신 인터페이스를 구비해서 이루어지고, 상기 기억장치상에 유지된 프로그램에 따라서,

[a] 논리입력과 논리출력 사이의 논리관계를 결정하는 논리기능 및 상기 논리회로의 점유회로면적과 소비전력중의 적어도 한쪽의 목표사양을 입력시키는 스텝,

[b] 입력된 논리기능의 적어도 그의 일부에 관해서 하기 [b-1]에서 정의되는 2분 결정 그래프를 형성하는 스텝;

[b-1] 상기 2분 결정 그래프는 제어변수와 2개의 입력에지와 1개의 출력을 갖는 여러개의 노드를 조합하는 것에 의해 구성되는 그래프이고, 각 노드의 제어변수는 해당하는 논리부분의 논리입력을 의미하고, 각 노드의 2개의 입력에지 중 어느한쪽은 상기 제어변수의 논리값에 대응해서 선택되고, 각 노드의 출력에는

상기 선택된 입력에지의 신호가 전달되고,

[c] 상기 [b]의 스텝에서 형성된 상기 2분 결정 그래프의 적어도 일부의 여러개의 노드중의 1개에 각각 대응하고 각각 하기 [c-1]에서 정의되는 여러개의 패스 트랜지스터회로를 갖는 패스 트랜지스터 논리회로를 결정하는 스텝;

[c-1] 상기 패스 트랜지스터회로는 제어입력, 제1 입력, 제2 입력, 출력, 상기 제1 입력과 상기 출력 사이에 소오스-드레인 경로가 접속된 제1 전계효과형 트랜지스터 및 상기 제2 입력과 상기 출력 사이에 소오스-드레인 경로가 접속된 제2 전계효과형 트랜지스터를 갖고 이루어지고, 상기 1 전계효과형 트랜지스터의 게이트는 상기 제어입력에 입력되는 신호에 응답하고, 상기 제2 전계효과형 트랜지스터의 게이트는 상기 제어입력에 입력되는 신호의 반전신호에 응답하는 것에 의해 상기 출력에는 상기 제1입력이나 상기 제2 입력중의 어느 한쪽의 신호가 전달되고,

[d] 상기 얻어진 패스 트랜지스터 논리회로에 관한 시뮬레이션에 의한 점유회로면적과 소비전력중의 적어도 한쪽이 상기 [a]의 상기 목표사양을 만족시키는지의 여부를 판정하고 만약 만족시키지 않는 경우에는 하기 [e], [f], [g]의 스텝을 실행하는 스텝;

[e] 상기 2분 결정 그래프내의 하기 [e-1]의 조건을 만족시키는 여러개의 노드집합을 하기 [e-2], [2-3]의 조건을 만족시키는 각각 1개의 노드집합에 대응하는 여러개의 치환노드 및 상기 여러개의 치환노드에 공통의 제어변수를 공급하기 위한1개의 공통노드집합으로 치환하는 스텝;

[e-1] 상기 여러개의 노드집합의 각 집합은 여러개의 노드로 구성되고, 상기 여러개의 노드집합의 각각의 여러개의 노드의 상호접속형태와 그들 여러개의 노드로 공급되는 여러개의 제어변수가 상기 여러개의 노드집합 사이에서 서로 동일하고,

[e-2] 치환후의 그래프의 논리기능과 치환전의 2분결정 그래프의 논리기능이 동일하게 되도록 상기 여러개의 치환노드의 제어변수로서 공통노드집합의 출력을 결정할 수 있고, 여기에서, 상기 공통 노드집합을 구성하는 여러개의 노드는 상기 여러개의 노드집합의 각각이 갖는 노드간의 상호접속형대와 동일한 상호접속형태를 갖고, 각 노드집합으로 공급되는 여러개의 제어변수와 동일한 여러개의 제어변수가 공급되고,

[e-3] 치환후의 그래프의 각 치환노드의 입력에지 선단에 접속된 그래프요소의 집합은 치환선의 2분 결정 그래프의 대응하는 치환전의 1개의 노드집합의 입력에지 선단에 접속되고, 그 노드집합의 외부에 위치하는 그래프요소의 집합과 일치하고,

[f] 상기 [e]의 스텝의 수순에 의한 치환후의 그래프의 적어도 일부의 여러개의 노드중의 1개에 각각 대응하고 각각 상기 [c-1]에 의해 정의된 여러개의 패스 트랜시스터회로를 갖고, 하기의 제1 및 제2 신호인가형태를 채용한 상기 치환후의 2분 결정 그래프에 대응하는 다른 패스 트랜지스터 논리회로를 생성하는 스텝 및;

치환후의 그래프의 상기 여러개의 치환노드에 인가되는 제어변수를 출력하고상기 공통의 노드집합내의 1개의 노드에 대응하는 제1 패스 트랜지스터 회로와 각치환노드에 대응하는 제2 패스 트랜지스터회로 사이에서는 1개의 패스 트랜지스터회로의 제어입력에 입력되는 신호가 다른 패스 트랜지스터회로의 출력의 신호라는 제1 신호인가형태가 채용되고, 상기 제2 패스 트랜지스터 회로와 상기 각 치환노드중의 어느 한쪽의 입력에지에 접속된 노드에 대응하는 제3 패스 트랜지스터회로 사이에서는 1개의 패스 트랜지스터회로의 제1 입력과 제2 입력중의 어느 한쪽에 입력되는 신호가 다른 패스 트랜지스터회로의 출력의 신호라는 제2 신호인가형태가 채용되고,

[g] 상기 [f]의 스텝에 의해 얻어진 상기 다른 패스 트랜지스터 논리회로에 관한 시뮬레이션에 의한 점유회로면적과 소비전력중의 적어도 한쪽이 상기 [a]의 상기 목표사양을 만족시키는지의 여부를 판정하는 스텝을 실행하는 것을 특징으로 하는 반도체 집적회로의 설계장치.

청구항 5

반도체 집적회로로서 생성될 논리회로를 설계장치를 사용해서 설계하는 방법으로서,

설계할 논리회로의 입출력신호 간의 논리관계를 결정하는 논리기능에 따라서 2분 결정 그래프를 형성하는 스텝;

상기 2분 결정 그래프를 구성하는 여러개의 노드의 1개에 각각 대응하는 여러개의 패스 트랜지스터회로를 갖고 상기 2분 결정 그래프에 대응하는 패스 트랜지스터 논리회로를 결정하는 스텝;

상기 패스 트랜지스터 논리회로의 적어도 1개의 회로특성을 시뮬레이션하는 스텝;

상기 시뮬레이션된 회로특성이 소정의 목표사양을 만족시키지 않을 때, 상기 2분 결정 그래프중, 상기 회로특성에 영향을 미치는 적어도 1개의 부분그래프를 다른 부분그래프로 치환하는 스텝 및;

상기 치환하는 스텝을 실행한 후의 2분 결정 그래프에 대해서 상기 결정하는 스텝에서 상기 시뮬레이션하는 스텝까지를 반복하는 스텝을 포함하고,

상기 적어도 1개의 부분그래프는 종속접속된 여러개의 노드를 포함하고,

상기 다른 부분그래프는

상기 여러개의 노드 대신에 사용하는 1개의 노드 및; 상기 적어도 1개의 부분그래프에 포함된 상기 여러개의 노드중의 1개에 각각 공급되는 여러개의 제어변수의 논리적인 조합을 생성하고 상기 1개의 노드로 제어변수로서 공급하기 위해 여러개의 노드를 포함하는 것을 특징으로 하는 논리회로의 설계방법.

청구항 6

제5항에 있어서,

상기 소정의 목표사양의 종류에 따라서 상기 형성된 2분 결정 그래프내의 치환될 상기 적어도 1개의 부분 그래프를 선택하는 스텝을 더 포함하는 것을 특징으로 하는 논리회로의 설계방법.

청구항 7

제5항에 있어서,

상기 결정된 적어도 1개의 부분그래프의 구조에 의존해서 상기 다른 부분그래프를 결정하는 스텝을 더 포함하는 것을 특징으로 하는 논리회로의 설계방법.

청구항 8

제5항에 있어서,

상기 시뮬레이션된 회로특성이 상기 소정의 목표사양을 만족시키는지의 여부를 판정하고,

상기 시뮬레이션된 회로특성이 상기 소정의 목표사양을 만족시키지 않을 때, 상기 치환하는 스텝을 기동시키는 스텝을 더 포함하는 것을 특징으로 하는 논리회로의 설계방법.

청구항 9

제5항에 있어서,

상기 소정의 목표사양은 상기 설계될 논리회로의 지연시간에 관한 것이고,

상기 적어도 1개의 부분그래프는 상기 생성된 패스 트랜지스터 논리회로의 지연시간에 영향을 미치는 회로부분에 대응하는 부분그래프인 것을 특징으로 하는 논리회로의 설계방법.

청구항 10

제5항에 있어서,

상기 치환하는 스텝은 여러개의 부분그래프를 상기 다른 부분그래프로 치환하는 스텝을 갖고,

상기 치환될 상기 여러개의 부분그래프의 각각은 여러개의 노드를 포함하고 서로 동일한 구조를 갖고,

상기 다른 부분그래프는 상기 치환될 여러개의 부분그래프중의 1개 대신에 각각 사용하는 여러개의 노드 및 상기 대신에 사용하는 여러개의 노드에 공통으로 마련된 1개의 부분그래프를 구비하고,

상기 공통으로 마련된 1개의 부분그래프는 상기 치환될 상기 여러개의 부분 그래프의 각각에 포함된 상기 여러개의 노드중의 1개로 각각 공급되는 여러개의 제어변수의 논리적인 조합을 생성하고, 상기 치환될 각 부분그래프 대신에 사용하는 상기 여러개의 노드의 각각으로 제어변수로서 공급하는 것을 특징으로 하는 논리회로의 설계방법.

청구항 11

제10항에 있어서,

상기 소정의 목표사양은 상기 설계될 논리회로의 소비전력과 회로면적중의 적어도 한쪽에 관한 것을 특징으로 하는 논리회로의 설계방법.

청구항 12

제5항에 있어서,

상기 소정의 목표사양은 상기 설계될 논리회로의 지연시간에 관한 것을 특징으로 하는 논리회로의 설계방법.

청구항 13

제5항에 있어서,

상기 소정의 목표사양은 상기 설계될 논리회로의 소비전력과 회로면적중의 적어도 한쪽에 관한 것을 특징으로 하는 논리회로의 설계방법.

청구항 14

논리회로를 설계장치를 사용해서 설계하는 스텝;

상기 설계된 논리회로를 제조하기 위한 여러개의 마스크패턴을 생성하는 스

텝 및;

상기 생성된 여러개의 마스크패턴을 사용해서 반도체 집적회로를 제조하는 스텝을 포함하고,

상기 설계하는 스텝은

상기 설계할 논리회로의 입출력신호간의 논리관계를 결정하는 논리기능에 따라서 2분 결정 그래프를 형성하는 스텝,

상기 2분 결정 그래프를 구성하는 여러개의 노드중의 1개에 각각 대응하는 여러개의 패스 트랜지스터회로를 갖고 상기 2분 결정 그래프에 대응하는 패스 트랜지스터 논리회로를 결정하는 스텝,

상기 패스 트랜지스터 논리회로의 적어도 1개의 회로특성을 시뮬레이션하는 스텝,

상기 시뮬레이션된 회로특성이 소정의 목표사양을 만족시키지 않을 때, 상기2분 결정 그래프중 상기 회로특성에 영향을 미치는 적어도 1개의 부분그래프를 다른 부분그래프로 치환하는 스텝 및

상기 치환하는 스텝을 실행한 후의 2분 결정 그래프에 대해서 상기 결정하는스텝에서 상기 시뮬레이션하는 스텝까지를 반복하는 스텝을 구비하고,

상기 적어도 1개의 부분그래프는 종속접속된 여러개의 노드를 구비하고,

상기 다른 부분그래프는

상기 여러개의 노드 대신에 사용하는 1개의 노드 및; 상기 적어도 1개의 부분그래프에 포함된 상기 여러개의 노드중의 1개에 각각 공급되는 여러개의 제어변수의 논리적인 조합을 생성하고 상기 1개의 노드로 제어변수로서 공급하기 위해 여러개의 노드를 구비하는 것을 특징으로 하는 반도체 집적회로의 제조방법.

청구항 15

제14항에 있어서,

상기 소정의 목표사양의 종류에 따라서 상기 형성된 2분 결정 그래프내의 치환될 상기 적어도 1개의 부분그래프를 선택하는 스텝을 더 포함하는 것을 특징으로 하는 반도체 집적회로의 제조방법.

청구항 16

제14항에 있어서,

상기 결정된 적어도 1개의 부분그래프의 구조에 의존해서 상기 다른 부분그래프를 선택하는 스텝을 더 포함하는 것을 특징으로 하는 반도체 집적회로의 제조 방법.

청구항 17

제14항에 있어서,

상기 시뮬레이션된 회로특성이 상기 소정의 목표사양을 만족시키는지의 여부를 판정하는 스텝 및;

상기 시뮬레이션된 회로특성이 상기 소정의 목표사양을 만족시키지 않을 때, 상기 치환하는 스텝을 기동시키는 스텝을 더 포함하는 것을 특징으로 하는 반도체 집적회로의 제조방법.

청구항 18

제14항에 있어서,

상기 소정의 목표사양은 상기 설계될 논리회로의 지연시간에 관한 것이고,

상기 적어도 1개의 부분그래프는 상기 생성된 패스 트랜지스터 논리회로의 지연시간에 영향을 미치는 회로부분에 대응하는 부분그래프인 것을 특징으로 하는 반도체 집적회로의 제조방법.

청구항 19

제14항에 있어서,

상기 치환하는 스텝은 여러개의 부분그래프를 상기 다른 부분그래프로 치환하는 스텝을 구비하고,

상기 치환될 상기 여러개의 부분그래프의 각각은 여러개의 노드를 포함하고 서로 동일한 구조를 갖고,

상기 다른 부분그래프는 상기 치환될 여러개의 부분그래프중의 1개 대신에 각각 사용하는 여러개의 노드 및 상기 대신에 사용하는 여러개의 노드에 공통으로 마련된 1개의 부분그래프를 갖고,

상기 공통으로 마련된 1개의 부분그래프는 상기 치환될 상기 여러개의 부분그래프의 각각에 포함된 상기 여러개의 노드중의 1개에 각각 공급되는 여러개의 제어변수의 논리적인 조합을 생성하고, 상기 치환될 각 부분그래프 대신에 사용하는 상기 여러개의 노드의 각각으로 제어변수로서 공급하는 것을 특징으로 하는 반도체집적회로의 제조방법.

청구항 20

제19항에 있어서,

상기 소정의 목표사양은 상기 설계될 논리회로의 소비전력과 회로면적중의 적어도 한쪽에 관한 것을 특징으로 하는 반도체 집적회로의 제조방법.

청구항 21

제14항에 있어서,

상기 소정의 목표사양은 상기 설계될 논리회로의 지연시간에 관한 것을 특징으로 하는 반도체 집적회로의 제조방법.

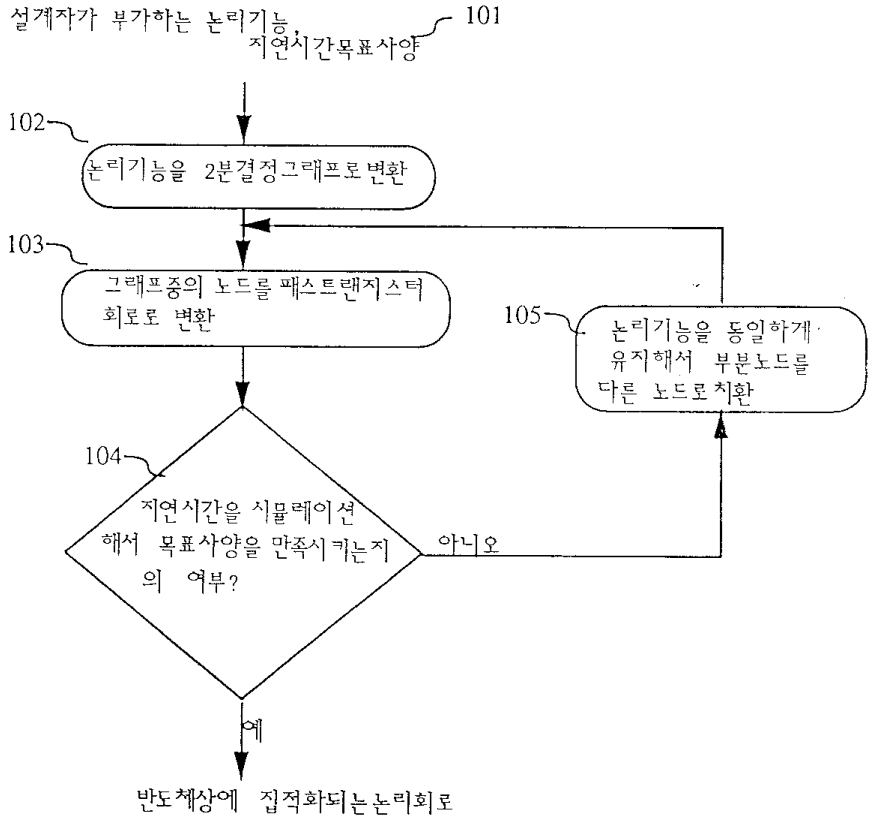
청구항 22

제14항에 있어서,

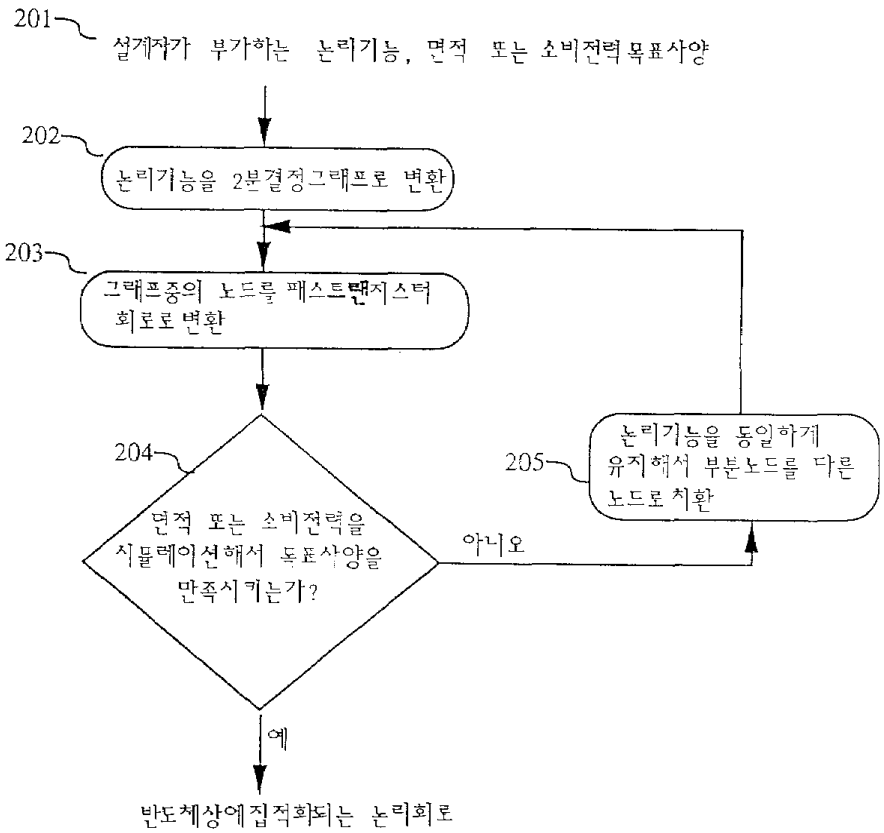
상기 소정의 목표사양은 상기 설계될 논리회로의 소비전력과 회로면적중의 적어도 한쪽에 관한 것을 특징으로 하는 반도체 집적회로의 제조방법.

도면

도면1


설계자가 부가하는 논리기능, 지연시간목표사양
101
102
논리기능을 2분결정그래프로변환
103
그래프중의 노드를 패스트랜지스터 회로로 변환
105
논리기능을 동일하게 유지해서 부분노드를 다른 노드로치환
104
지연시간을 시뮬레이션 해서 목표사양을 만족시키는지의 여부?
아니오
예
반도체상에 집적화되는논리회로

도면2


201
설계자가 부가하는 논리기능, 면적 또는 소비전력목표사양
202
논리기능을 2분결정그래프로 변환
203
그래프중의 노드를 패스트랜지스터 회로로 변환
205
논리기능을 동일하게 유지해서 부분노드를 다른 노드로 치환
204
면적 또는 소비전력을 시뮬레이션해서 목표사양을 만족시키는가?
아니오
예
반도체상에집적화되는 논리회로

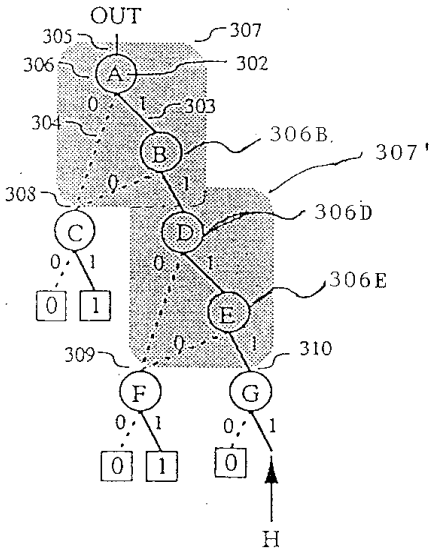
도면3a

설계자가 실현하고자 하는 논리기능

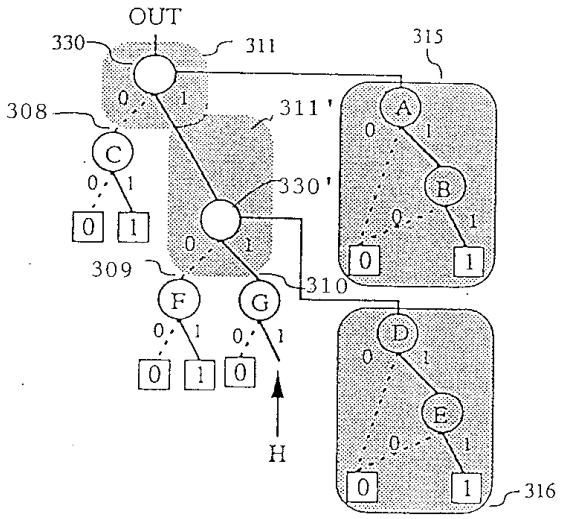
301

$$OUT = A \cdot B \cdot D \cdot E \cdot G \cdot H + A \cdot B \cdot \overline{D} \cdot F + A \cdot B \cdot \overline{E} \cdot F + \overline{A} \cdot C + \overline{B} \cdot C;$$

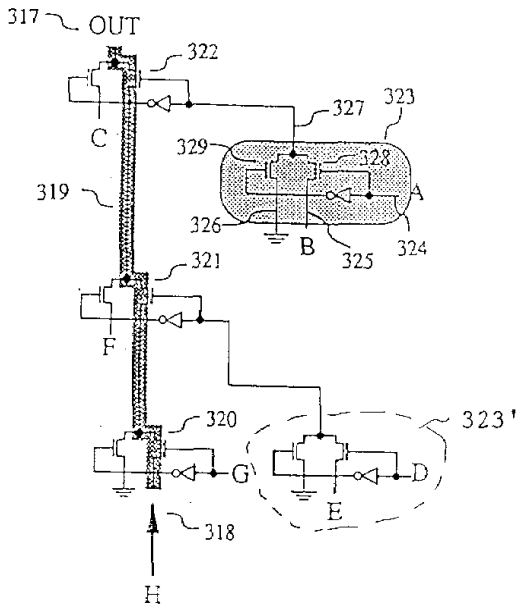
도면3b



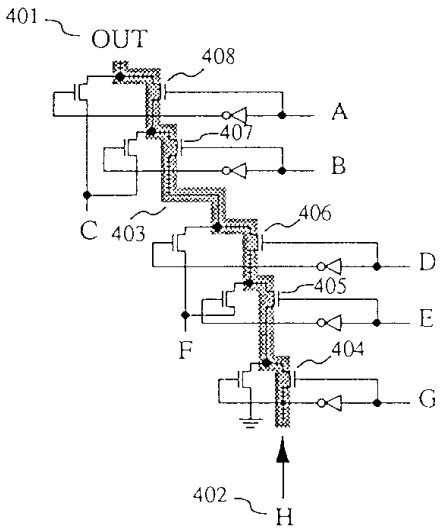
도면3c



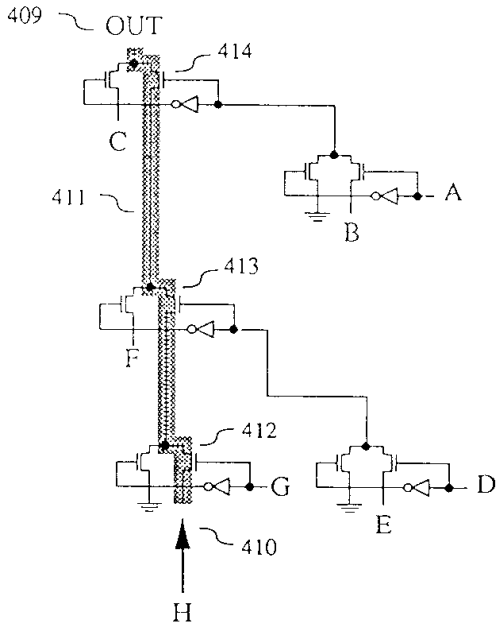
도면3d


317
OUT
322
327
323
C
329
328
A
319
326
B
325
324
321
F
320
323'
G
D
E
318
H

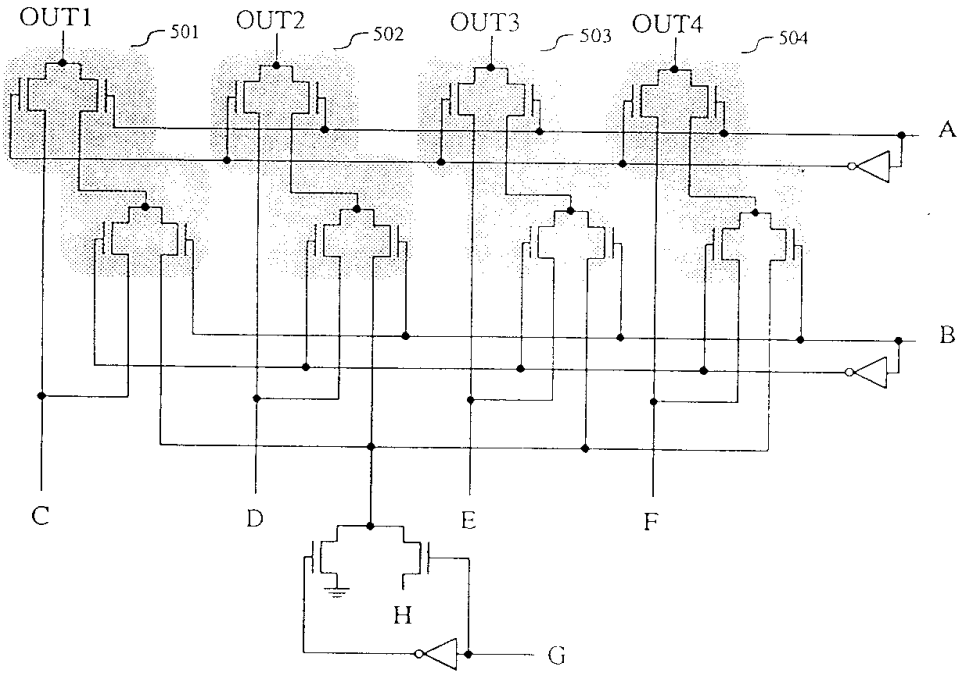
도면4a


401
OUT
408
A
407
B
C
403
406
D
405
E
F
404
G
402
H

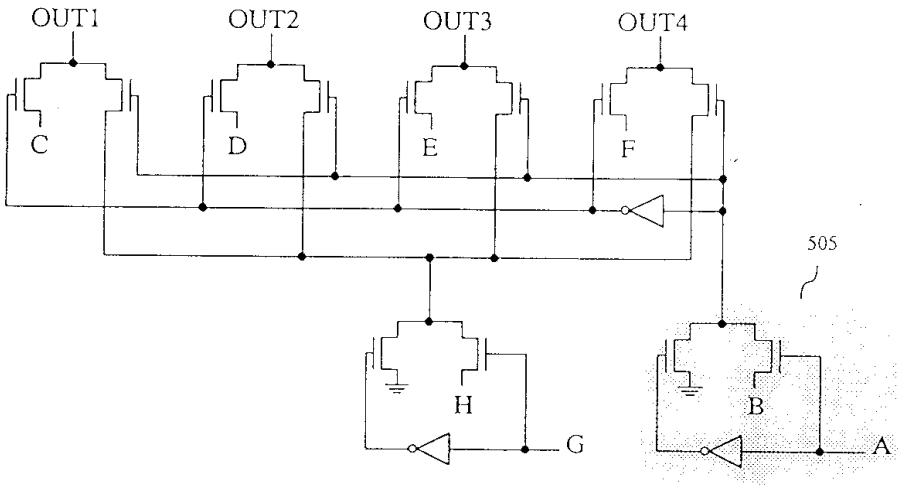
도면4b


409
OUT
414
C
411
A
B
413
F
412
G
D
E
410
H

도면5a


OUT1
501
OUT2
502
OUT3
503
OUT4
504
A
B
C
D
E
F
H
G

도면5b

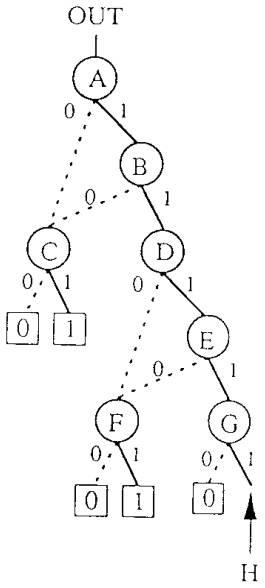


도면6a

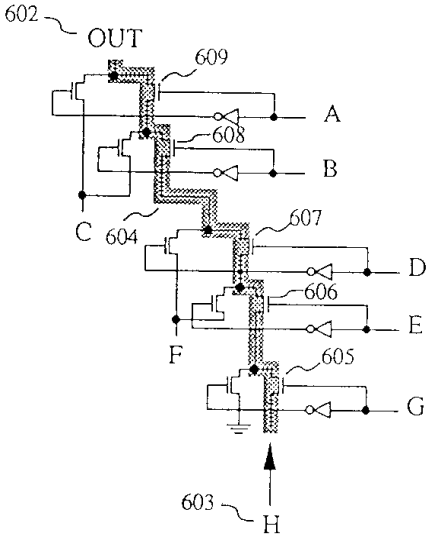
실현하고자하는 논리기능

601 OUT = A · B · D · E · G · H
+ A · B · $\overline{D}$ · F + A · B · $\overline{E}$ · F
+ $\overline{A}$ · C + $\overline{B}$ · C ;

도면6b



도면6c

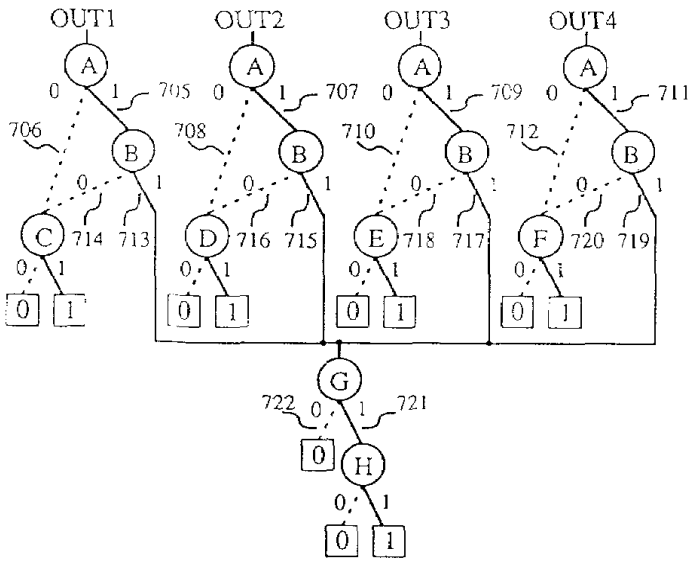


도면7a

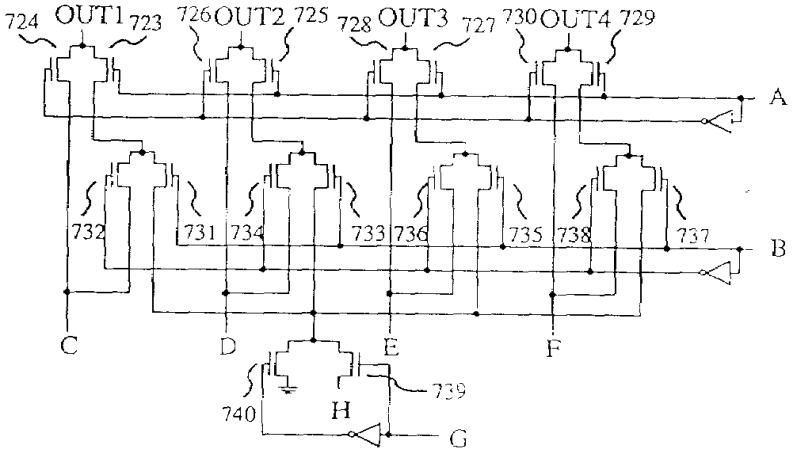
설계자가 실현하고자 하는 논리기능

701 OUT1 = A · B · G · H + $\overline{A}$ · C + $\overline{B}$ · C ;
702 OUT2 = A · B · G · H + $\overline{A}$ · D + $\overline{B}$ · D ;
703 OUT3 = A · B · G · H + $\overline{A}$ · E + $\overline{B}$ · E ;
704 OUT4 = A · B · G · H + $\overline{A}$ · F + $\overline{B}$ · F ;

도면7b



도면7c



도면8a

설계자가 실현하고자 하는 논리기능

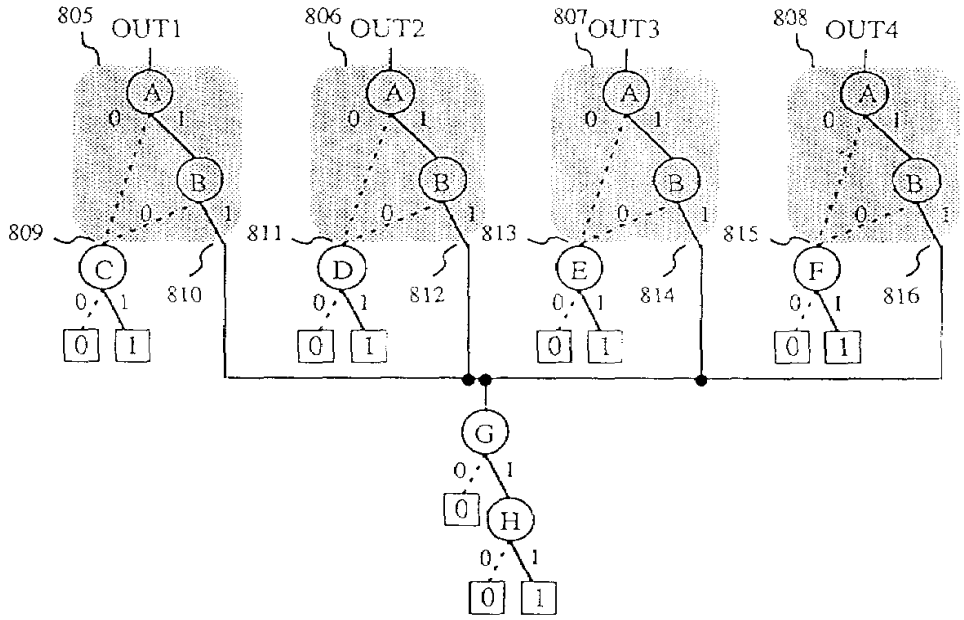
801 OUT1 = A · B · H · G + $\overline{A}$ · C + $\overline{B}$ · C ;

802 OUT2 = A · B · H · G + $\overline{A}$ · D + $\overline{B}$ · D ;

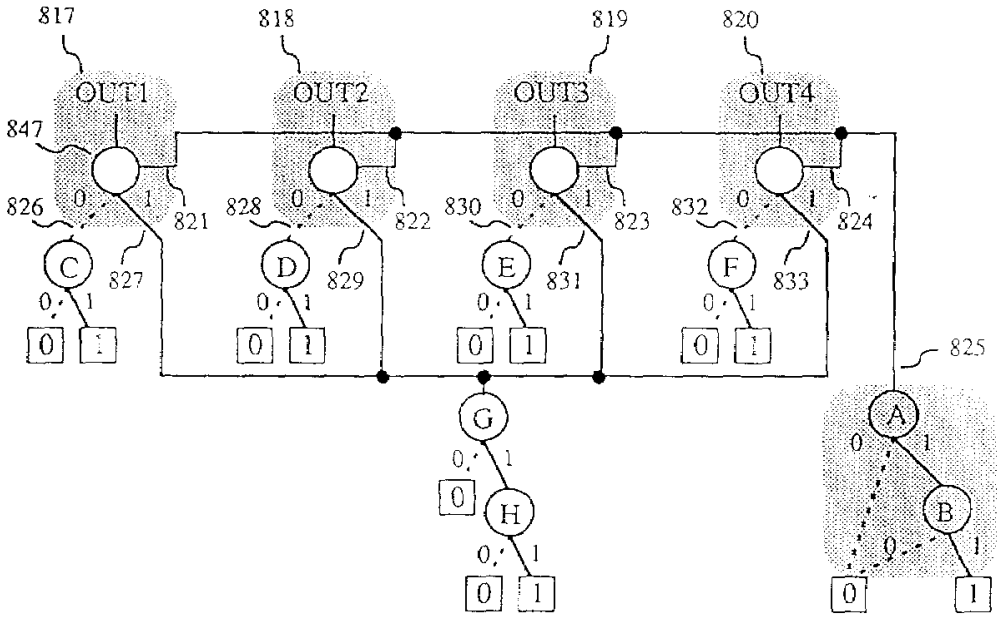
803 OUT3 = A · B · H · G + $\overline{A}$ · E + $\overline{B}$ · E ;

804 OUT4 = A · B · H · G + $\overline{A}$ · F + $\overline{B}$ · F ;

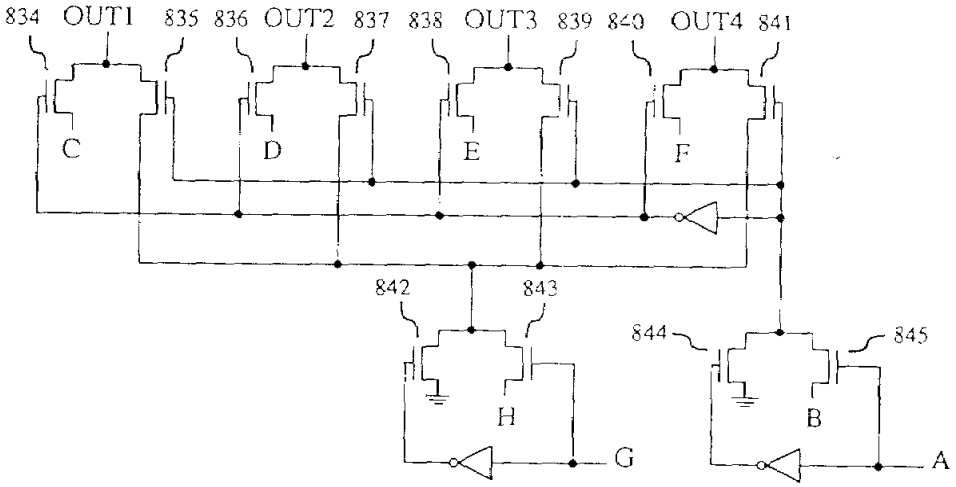
도면8b



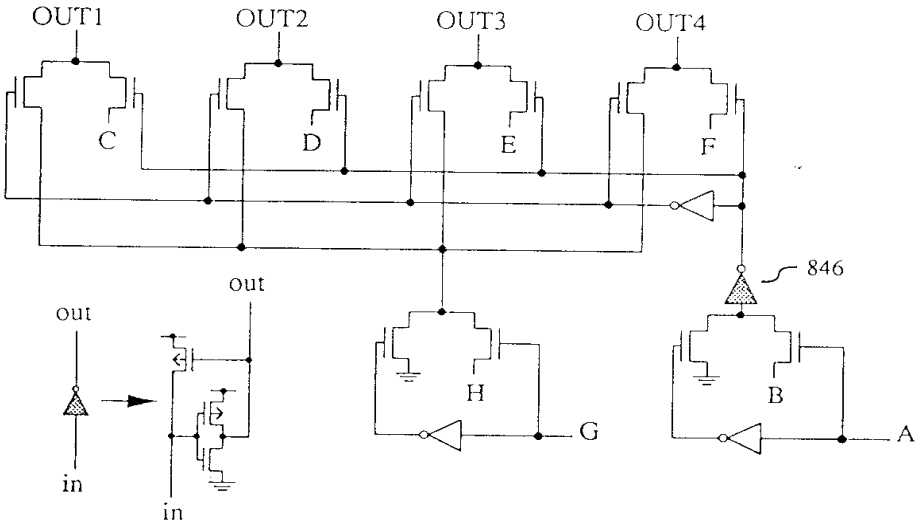
도면8c


817
818
819
820
OUT1
OUT2
OUT3
OUT4
847
826
828
830
832
821
822
823
824
827
829
831
833
C
D
E
F
G
H
A
B
825

도면8d


834
OUT1
835
836
OUT2
837
838
OUT3
839
840
OUT4
841
C
D
E
F
842
843
844
845
H
G
B
A

도면8e

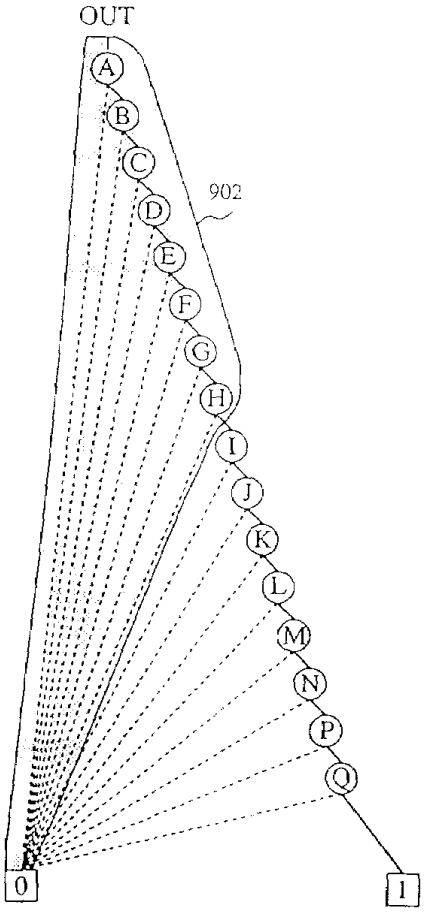


도면9a

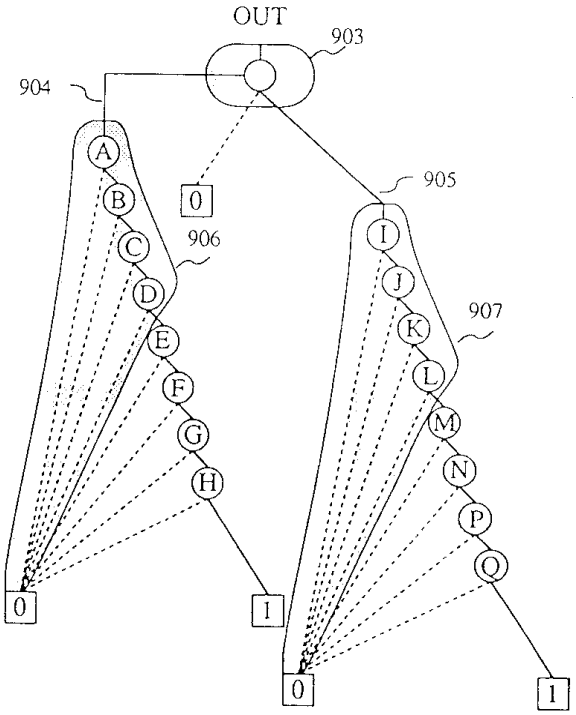
설계자가 실현하고자 하는 논리기능

901 OUT = A · B · C · D · E · F · G · H · I · J · K · L · M · N · P · Q;

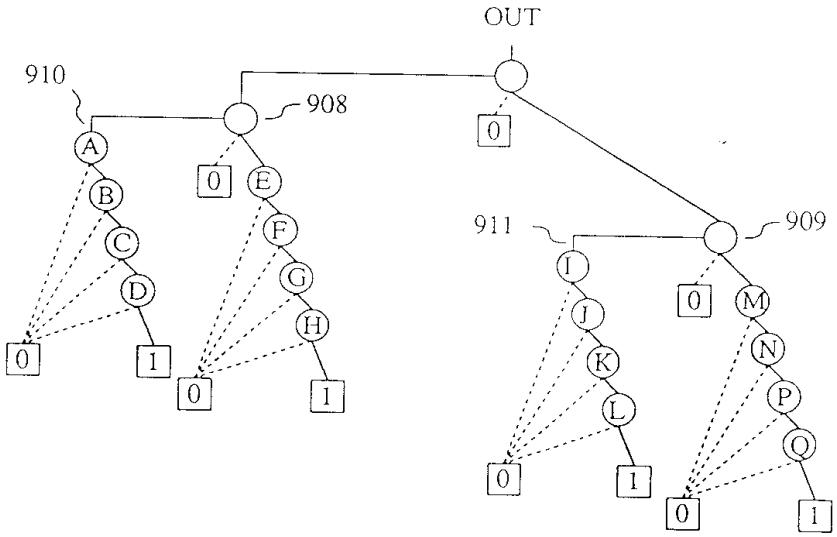
도면9b



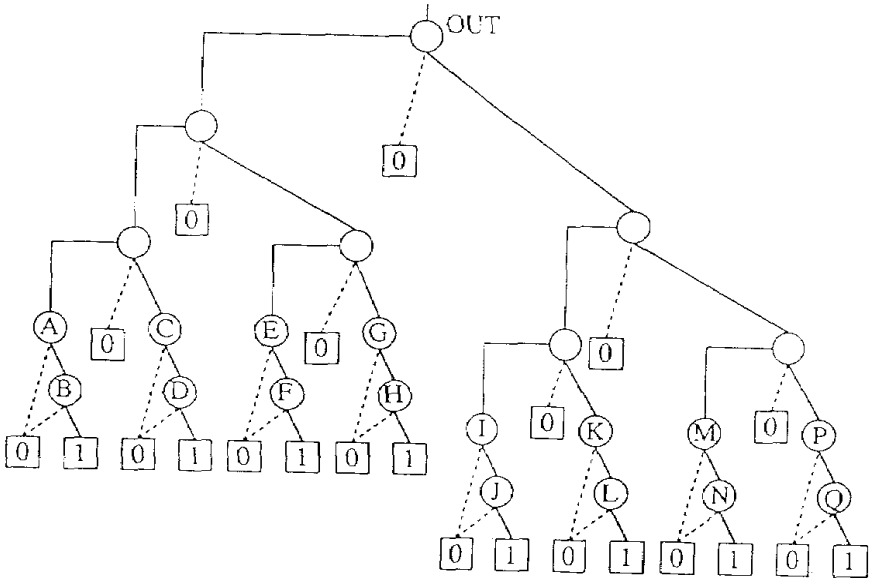
도면9c



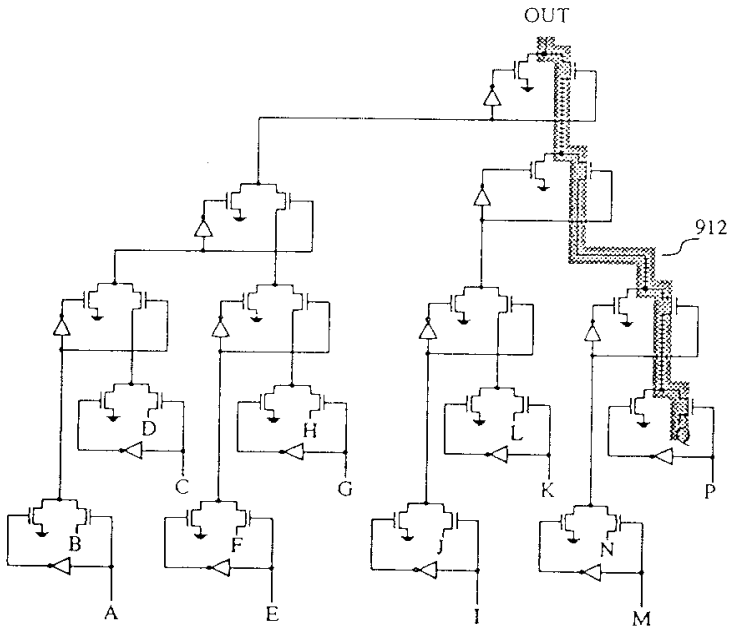
도면9d


OUT
910
908
911
909
A
B
C
D
E
F
G
H
I
J
K
L
M
N
P
Q
0
1

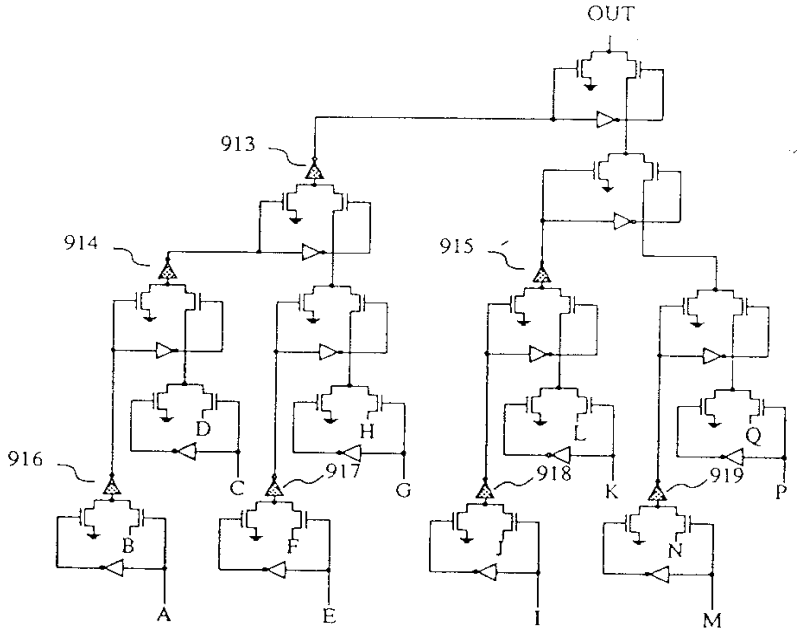
도면9e


OUT
A
B
C
D
E
F
G
H
I
J
K
L
M
N
P
Q
0
1

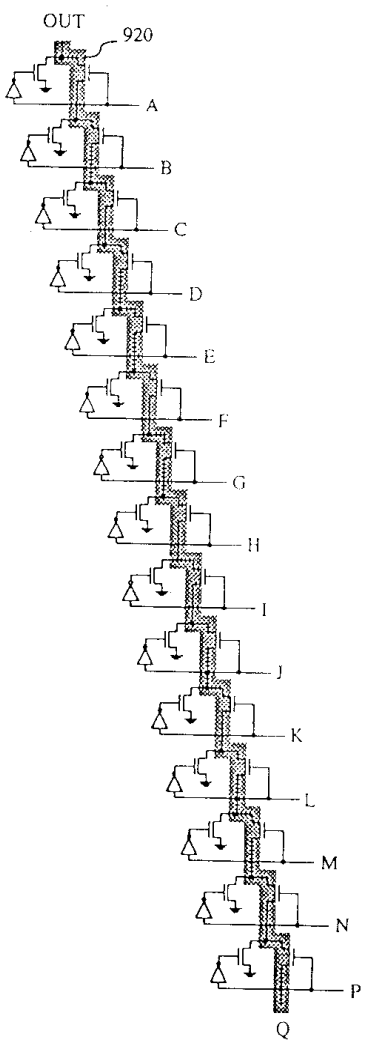
도면9f


OUT
912
D
H
L
C
G
K
P
B
F
J
N
A
E
I
M

도면9g


OUT
913
914
915
D
H
L
Q
916
917
918
919
C
G
K
P
B
F
J
N
A
E
I
M

도면9h



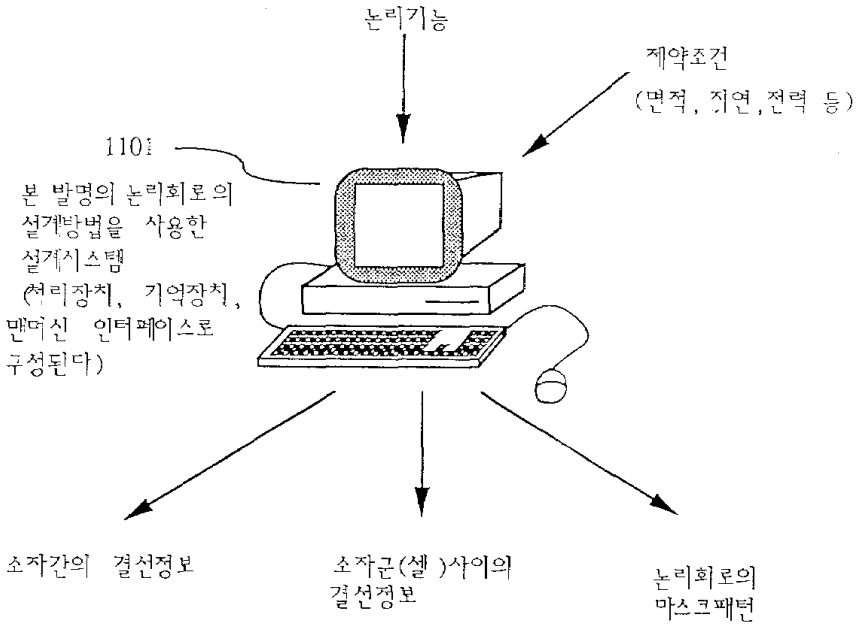
도면10

OUT1 = A · B · H · G + $\overline{A}$ · C + $\overline{B}$ · C ;

논리기능 out1 의 진리값표

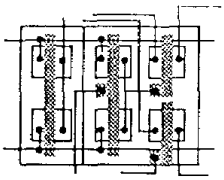
입력					출력
A	B	C	G	H	OUT1
0	0	0	0	0	0
0	0	0	0	1	0
0	0	0	1	0	0
0	0	0	1	1	0
0	0	1	0	0	1
0	0	1	0	1	1
0	0	1	1	0	1
0	0	1	1	1	1
0	1	0	0	0	0
0	1	0	0	1	0
0	1	0	1	0	0
0	1	0	1	1	0
0	1	1	0	0	1
0	1	1	0	1	1
0	1	1	1	0	1
0	1	1	1	1	1
1	0	0	0	0	0
1	0	0	0	1	0
1	0	0	1	0	0
1	0	0	1	1	0
1	0	1	0	0	1
1	0	1	0	1	1
1	0	1	1	0	1
1	0	1	1	1	1
1	1	0	0	0	0
1	1	0	0	1	0
1	1	0	1	0	0
1	1	0	1	1	1
1	1	1	0	0	0
1	1	1	0	1	0
1	1	1	1	0	0
1	1	1	1	1	1

도면32

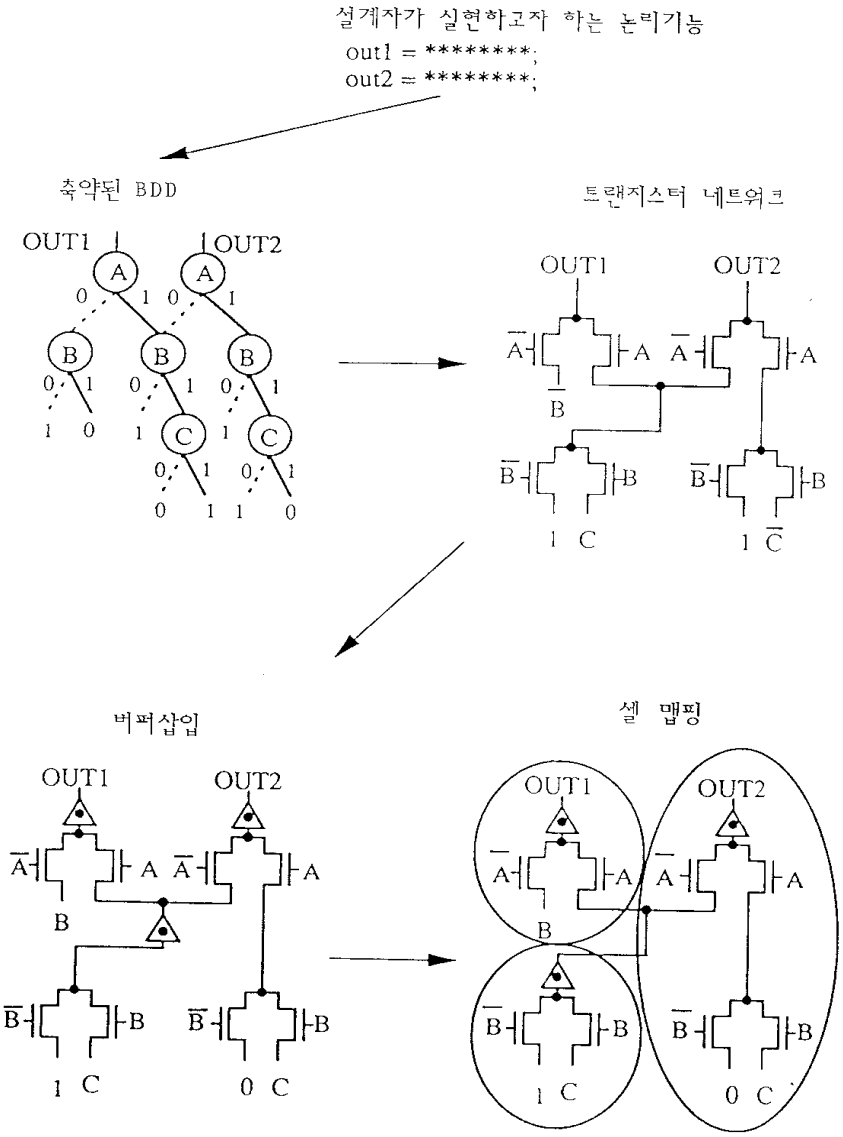



```
mn01 n01 in0 vss vss nmos l=0.5um w=5um
mn02 n01 in1 vss vss nmos l=0.5um w=5um
mn03 n03 in2 n01 vss nmos l=0.5um w=5um
mp01 n02 in0 vdd vdd pmos l=0.5um
w=10um
mp02 n03 in1 n02 vdd pmos l=0.5um
w=10um
mp03 n03 in2 vdd vdd pmos l=0.5um
w=10um
```

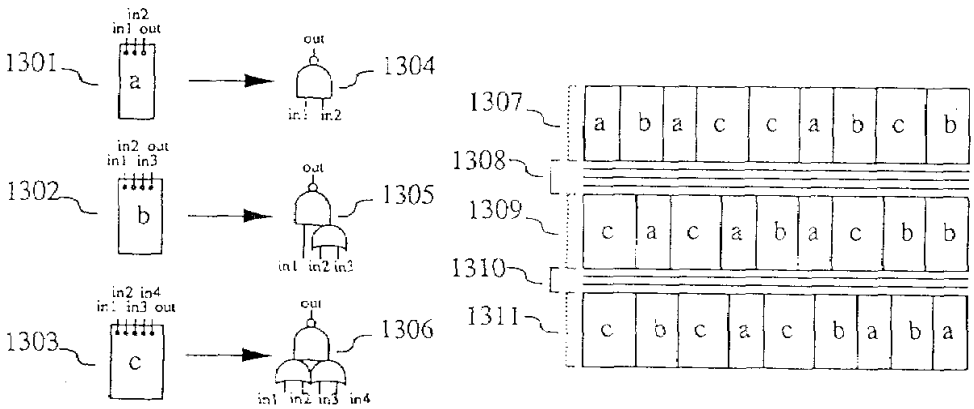
```
module test ( in1 , in2, in3, out1, out2);
input  in1, in2, in3;
output out1, out2;
  wire w1;
  CellA U1 ( .i0(in1), .o1(w1) );
  CellB  U2 ( .i0(in2), .i1(in3), .o1(out2) );
  CellC  U3 ( .i0(w1), .i1(out2), .o1(out1) );
endmodule
```



도면12


설계자가 실현하고자 하는 논리기능
out1 = ********;
out2 = ********;
축약된 BDD
트랜지스터 네트워크
버퍼삽입
셀 맵핑
OUT1
OUT2

도면13a


1301
1302
1303
1304
1305
1306
1307
1308
1309
1310
1311

도면13b

