



## (12) 发明专利

(10) 授权公告号 CN 111066152 B

(45) 授权公告日 2023.07.21

(21) 申请号 201880055698.3

(22) 申请日 2018.08.29

(65) 同一申请的已公布的文献号  
申请公布号 CN 111066152 A

(43) 申请公布日 2020.04.24

(30) 优先权数据

2017-166882 2017.08.31 JP

(85) PCT国际申请进入国家阶段日  
2020.02.27(86) PCT国际申请的申请数据  
PCT/JP2018/032004 2018.08.29

(87) PCT国际申请的公布数据

W02019/044921 JA 2019.03.07

(73) 专利权人 株式会社电装

地址 日本爱知县

(72) 发明人 箕谷周平 梶爱子 海老原康裕  
永冈达司 青井佐智子(74) 专利代理机构 永新专利商标代理有限公司  
72002  
专利代理人 吕文卓

(51) Int.CI.

H01L 29/78 (2006.01)

H01L 29/06 (2006.01)

H01L 29/12 (2006.01)

审查员 陈袁园

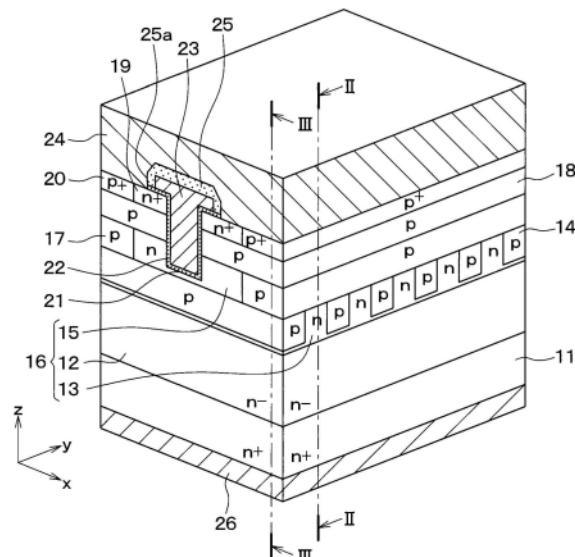
权利要求书3页 说明书10页 附图15页

## (54) 发明名称

碳化硅半导体装置及其制造方法

## (57) 摘要

具备：第1导电型的由碳化硅构成的第1电流分散层(13)，形成在n<sup>-</sup>型层(12)与基体区域(18)之间，与n<sup>-</sup>型层(12)相比为高杂质浓度；第2导电型的由碳化硅构成的多个第1深层(14)，形成在第1电流分散层(13)内，比第1电流分散层(13)浅并且在一个方向上延伸设置；第1导电型的由碳化硅构成的第2电流分散层(15)，形成在第1电流分散层(13)与基体区域(18)之间，沟槽(21)的底部位位于该第2电流分散层；以及第2导电型的由碳化硅构成的第2深层(17)，形成在第1电流分散层(13)与基体区域(18)之间，与基体区域(18)相连并与第1深层(14)相连，并且从沟槽(21)离开而形成。



1. 一种碳化硅半导体装置，具有沟槽栅构造，其特征在于，具备：

第1导电型或第2导电型的基板(11)，由碳化硅构成；

第1导电型的第一杂质区域(12)，形成在上述基板的表面上，与上述基板相比为低杂质浓度；

第2导电型的由碳化硅构成的基体区域(18)，形成在上述第一杂质区域之上；

第1导电型的由碳化硅构成的第二杂质区域(19)，形成在上述基体区域的表层部，与上述第一杂质区域相比为高杂质浓度；

沟槽栅构造，具有在沟槽(21)的内壁面形成的栅极绝缘膜(22)和在上述沟槽内形成在上述栅极绝缘膜之上的栅极电极(23)，上述沟槽从上述第二杂质区域的表面形成到比上述基体区域深的位置并且以一个方向作为长度方向而形成；

第1电极(24)，与上述第二杂质区域电连接并与上述基体区域电连接；以及

第2电极(26)，形成在上述基板的背面侧，与上述基板电连接；

上述碳化硅半导体装置具有：

第1导电型的由碳化硅构成的第一电流分散层(13)，形成在上述第一杂质区域与上述基体区域之间，与上述第一杂质区域相比为高杂质浓度；

第2导电型的由碳化硅构成的多个第1深层(14)，形成在上述第一电流分散层内，比上述第一电流分散层浅，并且以一个方向作为长度方向而延伸设置；

第1导电型的由碳化硅构成的第二电流分散层(15)，形成在上述第一电流分散层与上述基体区域之间，上述沟槽的底部位于该第二电流分散层；以及

第2导电型的由碳化硅构成的第二深层(17)，形成在上述第一电流分散层与上述基体区域之间，与上述基体区域相连并与上述第一深层相连，并且从上述沟槽离开而形成，

上述多个第1深层在与上述沟槽的长度方向交叉的方向上延伸设置；

上述第2深层在与上述第1深层的延伸设置方向交叉的方向上延伸设置。

2. 如权利要求1所述的碳化硅半导体装置，其特征在于，

上述多个第1深层的相邻的上述第1深层彼此在多个部位相连。

3. 如权利要求1所述的碳化硅半导体装置，其特征在于，

上述第2电流分散层，与上述第一杂质区域相比为高杂质浓度。

4. 如权利要求1所述的碳化硅半导体装置，其特征在于，

上述第一电流分散层，在将该第一电流分散层的杂质浓度设为以 $\text{cm}^{-3}$ 为单位的数值y、将位于相邻的上述第一深层之间的部分中的最窄部分的长度设为以 $\mu\text{m}$ 为单位的数值x时，成为 $y > 2 \times 10^{16} / x^{1.728}$ 。

5. 如权利要求1所述的碳化硅半导体装置，其特征在于，

上述第一电流分散层，在将该第一电流分散层的杂质浓度设为以 $\text{cm}^{-3}$ 为单位的数值y、将位于相邻的上述第一深层之间的部分中的最窄部分的长度设为以 $\mu\text{m}$ 为单位的数值x时，成为 $y < -2 \times 10^{17} x + 3 \times 10^{17}$ 。

6. 如权利要求1所述的碳化硅半导体装置，其特征在于，

具有配置上述沟槽栅构造的单元区域(1)和将上述单元区域包围的外周区域(2)；

上述第一电流分散层仅形成在上述单元区域；

在上述外周区域,形成有第2导电型的由碳化硅构成的保护环(27)。

7. 如权利要求1~6中任一项所述的碳化硅半导体装置,其特征在于,  
上述沟槽的<11—20>方向被设为上述长度方向。

8. 一种碳化硅半导体装置的制造方法,所述碳化硅半导体装置具有沟槽栅构造,其特征在于,

进行以下工序:

准备由碳化硅构成的第一导电型或第二导电型的基板(11);

在上述基板的表面上,形成与上述基板相比为低杂质浓度的第一导电型的由碳化硅构成的第一杂质区域(12);

在上述第一杂质区域上,形成与上述第一杂质区域相比为高杂质浓度的由碳化硅构成的第一导电型的第一电流分散层(13);

通过对上述第一电流分散层进行离子注入并进行热处理,在上述第一电流分散层内,形成比上述第一电流分散层浅并且以一个方向作为长度方向的第二导电型的由碳化硅构成的多个第一深层(14);

在上述第一电流分散层上,形成第一导电型的由碳化硅构成的第二电流分散层(15);

在上述第一电流分散层上,形成与上述第一深层相连的第二导电型的由碳化硅构成的第二深层(17);

在上述第二电流分散层及上述第二深层上,形成第二导电型的由碳化硅构成的基体区域(18);

在上述基体区域的表层部,形成与上述第一杂质区域相比为高杂质浓度的第一导电型的第二杂质区域(19);

以从上述第二杂质区域的表面将上述基体区域贯通、并且底面位于上述第二电流分散层内且与上述第二深层相分离的方式,形成以一个方向作为长度方向的沟槽(21);

在上述沟槽的内壁面形成栅极绝缘膜(22);

在上述沟槽内,在上述栅极绝缘膜之上形成栅极电极(23);

形成与上述第二杂质区域及上述基体区域电连接的第一电极(24);以及

在上述基板的背面侧,形成与上述基板电连接的第二电极(26);

在形成上述第一电流分散层的工序中,通过对上述第一杂质区域进行离子注入并进行热处理,形成上述第一电流分散层;

在形成上述多个第一深层的工序中,在与上述沟槽的长度方向交叉的方向上形成上述多个第一深层;

在形成上述第二深层的工序中,在与上述第一深层的延伸设置方向交叉的方向上形成上述第二深层。

9. 如权利要求8所述的碳化硅半导体装置的制造方法,其特征在于,

在准备上述基板的工序中,准备能够构成单元区域和将上述单元区域包围的外周区域的上述基板;

在形成上述第一电流分散层的工序中,仅在上述单元区域形成上述第一电流分散层;

在上述外周区域,形成将上述单元区域包围的第一导电型的保护环(27)。

10. 如权利要求8或9所述的碳化硅半导体装置的制造方法,其特征在于,

在形成上述第2电流分散层的工序中,通过外延成长形成上述第2电流分散层;  
在形成上述基体区域的工序中,通过外延成长形成上述基体区域。

## 碳化硅半导体装置及其制造方法

[0001] 关联申请的相互参照

[0002] 本申请基于2017年8月31日提出申请的日本专利申请第2017-166882号,这里通过参照引用其记载内容。

### 技术领域

[0003] 本发明涉及具有沟槽栅构造的碳化硅(以下称作SiC)半导体装置及其制造方法。

### 背景技术

[0004] 以往,提出了用由SiC构成的基板构成的SiC半导体装置(例如参照专利文献1)。即,在该SiC半导体装置中,在基板上形成有n型的漂移层。此外,在漂移层的表层部,形成有p型的基体(base)区域,在基体区域的表层部,形成有n<sup>+</sup>型的源极区域。并且,将源极区域及基体区域贯通而到达漂移层的沟槽在一个方向上延伸设置,通过在该沟槽的壁面隔着栅极绝缘膜形成栅极电极而构成沟槽栅构造。此外,在基体区域的下方,多个p型的深层沿着与沟槽的延伸设置方向交叉的方向以条状形成。

[0005] 由此,通过在深层与漂移层之间构成的耗尽层,能够使得高电场难以进入到栅极绝缘膜侧。因此,在这样的SiC半导体装置中,能够抑制栅极绝缘膜的损坏。

[0006] 现有技术文献

[0007] 专利文献

[0008] 专利文献1:日本特开2012-169386号公报

### 发明概要

[0009] 但是,在上述SiC半导体装置中,虽然能够抑制栅极绝缘膜的损坏,但是电流路径容易因为在深层与漂移层之间构成的耗尽层而变窄。因此,在上述SiC半导体装置中,导通电阻容易变高。

### 发明内容

[0010] 本发明的目的在于,提供能够抑制栅极绝缘膜的损坏并且降低导通电阻的SiC半导体装置及其制造方法。

[0011] 根据本发明的一个技术方案,具有沟槽栅构造的SiC半导体装置,具有:第1导电型或第2导电型的基板,由SiC构成;第1导电型的由SiC构成的第1杂质区域,形成在基板的表面上,与基板相比为低杂质浓度;第2导电型的由SiC构成的基体区域,形成在第1杂质区域之上;第1导电型的由SiC构成的第2杂质区域,形成在基体区域的表层部,与第1杂质区域相比为高杂质浓度;沟槽栅构造,具有在从第2杂质区域的表面形成到比基体区域深的位置且以一个方向作为长度方向而形成的沟槽的内壁面上形成的栅极绝缘膜、和在沟槽内形成在栅极绝缘膜之上的栅极电极;第1电极,与第2杂质区域电连接并与基体区域电连接;以及第2电极,形成在基板的背面侧,与基板电连接。进而,SiC半导体装置具有:第1导电型的由SiC构成的第1电流分散层,形成在第1杂质区域与基体区域之间,与第1杂质区域相比为高杂质

浓度；第2导电型的由SiC构成的多个第1深层，形成在第1电流分散层内，比第1电流分散层浅并以一个方向作为长度方向而延伸设置；第1导电型的由SiC构成的第2电流分散层，形成在第1电流分散层与基体区域之间，沟槽的底部位于该第2电流分散层；以及第2导电型的由SiC构成的第2深层，形成在第1电流分散层与基体区域之间，与基体区域相连并与第1深层相连，并且从沟槽离开而形成。

[0012] 由此，在比沟槽深的位置配置有与第1杂质区域相比为高杂质浓度的第1电流分散层、以及形成在该第1电流分散层内的第1深层。因此，能够抑制高电场施加于栅极绝缘膜，能够抑制栅极绝缘膜的损坏。

[0013] 此外，第1电流分散层与第1杂质区域相比为高杂质浓度。因此，相比于以与第1杂质区域相接的方式形成有深层的以往的SiC半导体装置，抑制了耗尽层从第1深层延伸，抑制了电流路径变窄。因而，能够实现导通电阻的减小。

[0014] 并且，第1深层形成在第1电流分散层内。即，第1深层以在第1深层的底部与第1杂质区域之间具有第1电流分散层的方式形成。因此，能够抑制从第1深层延伸的耗尽层向第1杂质区域侧较大地延伸而导通电阻增加的情况。

[0015] 进而，第2深层形成在从沟槽离开了的位置。因此，相比于第2深层与沟槽相接的情况，能够抑制当穿过了基体区域的载流子（例如电子）向第2电流分散层流动时、向第2电流分散层流动的路径变窄的情况。因而，能够抑制由于将基体区域与第1深层相连的第2深层而导通电阻增加。

[0016] 此外，根据本发明的另一技术方案，具有沟槽栅构造的SiC半导体装置的制造方法中，进行以下工序：准备由SiC构成的第1导电型或第2导电型的基板；在基板的表面上，形成与基板相比为低杂质浓度的第1导电型的由SiC构成的第1杂质区域；在第1杂质区域上，形成与第1杂质区域相比为高杂质浓度的由SiC构成的第1导电型的第1电流分散层；通过对第1电流分散层进行离子注入并进行热处理，在第1电流分散层内，形成比第1电流分散层浅并且以一个方向作为长度方向的第2导电型的由SiC构成的多个第1深层；在第1电流分散层上，形成第1导电型的由SiC构成的第2电流分散层；在第1电流分散层上，形成与第1深层相连的第2导电型的由SiC构成的第2深层；在第2电流分散层及第2深层上，形成第2导电型的由SiC构成的基体区域；在基体区域的表层部，形成与第1杂质区域相比为高杂质浓度的第1导电型的第2杂质区域；以从第2杂质区域的表面将基体区域贯通、并且底面位于第2电流分散层内且与第2深层相分离的方式，形成以一个方向作为长度方向的沟槽；在沟槽的内壁面形成栅极绝缘膜；在沟槽内，在栅极绝缘膜之上形成栅极电极；形成与第2杂质区域及基体区域电连接的第1电极；以及在基板的背面侧，形成与基板电连接的第2电极；在形成第1电流分散层的工序中，通过对第1杂质区域进行离子注入并进行热处理，形成第1电流分散层。

[0017] 由此，能够制造能够抑制对栅极绝缘膜施加高电场并且实现导通电阻的减小的半导体装置。此外，将第1电流分散层通过离子注入及热处理形成。因此，与在第1杂质区域上通过外延成长形成第1电流分散层的情况相比，第1电流分散层的杂质浓度的控制变得容易，能够抑制特性偏差。

[0018] 另外，对各构成要素等赋予的带括号的标号表示该构成要素等与在后述实施方式中记载的具体构成要素等的对应关系的一例。

## 附图说明

- [0019] 图1是第1实施方式的SiC半导体装置的立体剖视图。
- [0020] 图2是单元区域及外周区域的剖视图。
- [0021] 图3是与图2不同的单元区域及外周区域的剖视图。
- [0022] 图4是表示第1电流分散层的杂质浓度及宽度和第1电流分散层的导通电阻的模拟结果的图。
- [0023] 图5是表示第1电流分散层的杂质浓度及宽度和向栅极绝缘膜施加的电场的模拟结果的图。
- [0024] 图6是表示第1电流分散层的杂质浓度及宽度和耐压的模拟结果的图。
- [0025] 图7是表示导通电阻、向栅极绝缘膜施加的电场及耐压、和第1电流分散层的杂质浓度及宽度的结果的图。
- [0026] 图8A是表示图2所示的SiC半导体装置的制造工序的剖视图。
- [0027] 图8B是表示接着图8A的SiC半导体装置的制造工序的剖视图。
- [0028] 图8C是表示接着图8B的SiC半导体装置的制造工序的剖视图。
- [0029] 图8D是表示接着图8C的SiC半导体装置的制造工序的剖视图。
- [0030] 图8E是表示接着图8D的SiC半导体装置的制造工序的剖视图。
- [0031] 图8F是表示接着图8E的SiC半导体装置的制造工序的剖视图。
- [0032] 图8G是表示接着图8F的SiC半导体装置的制造工序的剖视图。
- [0033] 图8H是表示接着图8G的SiC半导体装置的制造工序的剖视图。
- [0034] 图8I是表示接着图8H的SiC半导体装置的制造工序的剖视图。
- [0035] 图8J是表示接着图8I的SiC半导体装置的制造工序的剖视图。
- [0036] 图9A是表示图3所示的SiC半导体装置的制造工序的剖视图。
- [0037] 图9B是表示接着图9A的SiC半导体装置的制造工序的剖视图。
- [0038] 图9C是表示接着图9B的SiC半导体装置的制造工序的剖视图。
- [0039] 图9D是表示接着图9C的SiC半导体装置的制造工序的剖视图。
- [0040] 图9E是表示接着图9D的SiC半导体装置的制造工序的剖视图。
- [0041] 图9F是表示接着图9E的SiC半导体装置的制造工序的剖视图。
- [0042] 图9G是表示接着图9F的SiC半导体装置的制造工序的剖视图。
- [0043] 图9H是表示接着图9G的SiC半导体装置的制造工序的剖视图。
- [0044] 图10是表示第2实施方式的第1电流分散层及第1深层的位置关系的平面示意图。
- [0045] 图11是其他实施方式的SiC半导体装置的剖视图。
- [0046] 图12是其他实施方式的SiC半导体装置的剖视图。

## 具体实施方式

- [0047] 以下，基于附图对本发明的实施方式进行说明。另外，在以下的各实施方式中，对于相互相同或等同的部分赋予相同的标号而进行说明。
- [0048] (第1实施方式)
  - [0049] 参照图1～图3对第1实施方式进行说明。本实施方式的SiC半导体装置如图1～图3所示，具有形成有反转型的沟槽栅构造的MOSFET的单元区域1和以将该单元区域1包围的方

式形成了外周耐压构造的外周区域2。另外,图2中的单元区域1相当于沿着图1中的II-II线的剖视图,图3中的单元区域1相当于沿着图1中的III-III线的剖视图。此外,图1是MOSFET的单元区域1中的1个单元的立体剖视图。

[0050] 如图1~图3所示,SiC半导体装置具备由SiC构成的n<sup>+</sup>型的基板11。在本实施方式中,基板11例如使用如下基板,即:相对于(0001)Si面具有0~8°的偏角(off angle)、氮及磷等n型杂质浓度例如为 $1.0 \times 10^{19}/\text{cm}^3$ ,厚度为300μm左右。

[0051] 另外,在图1~图3中,将基板11的面方向设为xy平面,将xy平面的<11-20>方向设为y轴方向,将与y轴方向正交的方向设为x轴方向。此外,将相对于基板11的面方向的法线方向设为z轴方向。

[0052] 在基板11的表面上,形成有氮及磷等n型杂质浓度例如为 $5.0 \sim 10.0 \times 10^{15}/\text{cm}^3$ 、厚度为10~15μm左右的由SiC构成的n<sup>-</sup>型层12。该n<sup>-</sup>型层12的杂质浓度在深度方向上可以是一定的,但优选的是对浓度分布赋予倾斜、使得n<sup>-</sup>型层12中的基板11侧比远离基板11的一侧高浓度。例如,n<sup>-</sup>型层12可以使得距基板11的表面为3~5μm左右的部分的杂质浓度比其他部分高 $2.0 \times 10^{15}/\text{cm}^3$ 左右。采用这样的结构,能够降低n<sup>-</sup>型层12的内部电阻,能够降低导通电阻。另外,在本实施方式中,n<sup>-</sup>型层12相当于第1杂质区域。

[0053] 并且,在单元区域1中,在n<sup>-</sup>型层12的表层部,形成有比n<sup>-</sup>型层12高杂质浓度的第1电流分散层13。第1电流分散层13由氮及磷等n型杂质构成,深度为0.3~1.5μm。另外,关于第1电流分散层13的具体杂质浓度在后面叙述。

[0054] 此外,第1电流分散层13在本实施方式中仅形成在单元区域1。即,在本实施方式中,在n<sup>-</sup>型层12的表层部形成有第1电流分散层13的区域被设为单元区域1,在n<sup>-</sup>型层12的表层部没有形成第1电流分散层13的区域被设为外周区域2。

[0055] 在第1电流分散层13,形成有多个硼等p型杂质浓度为例如 $2.0 \times 10^{17} \sim 2.0 \times 10^{18}$ 的p型的第1深层14。在本实施方式中,多个第1深层14以呈条状的方式分别沿着x轴方向延伸设置,并沿着y轴方向等间隔地排列。

[0056] 此外,第1深层14形成得比第1电流分散层13浅。即,第1深层14形成为,底部位于第1电流分散层13内。换言之,第1深层14形成为,在第1深层14与n<sup>-</sup>型层12之间具有第1电流分散层13。

[0057] 另外,在本实施方式中,第1深层14如后述那样通过离子注入而形成,考虑离子注入时的光刻的加工极限而形成为使y轴方向的长度为0.3μm以上。此外,关于相邻的第1深层14的沿着y轴方向的间隔、即由相邻的第1深层14夹着的第1电流分散层13的沿着y轴方向的宽度(以下也简称作第1电流分散层13的宽度)在后面叙述。但是,相邻的第1深层14的间隔比后述的相邻的沟槽21的间隔窄。

[0058] 在第1电流分散层13及第1深层14上,形成有氮及磷等n型杂质浓度为例如 $1.0 \times 10^{16} \sim 5.0 \times 10^{17}$ 、厚度为0.5~2μm的第2电流分散层15。另外,在本实施方式中,如后述那样,包括n<sup>-</sup>型层12、第1电流分散层13及第2电流分散层15而构成漂移层16。

[0059] 此外,在第2电流分散层15,以将该第2电流分散层15贯通的方式,形成有硼等p型杂质浓度为例如 $2.0 \times 10^{17} \sim 2.0 \times 10^{18}$ 、厚度与第2电流分散层15相等的多个第2深层17。在本实施方式中,第2深层17沿着y轴方向延伸设置。即,第2深层17在与各第1深层14交叉的方向上延伸设置。并且,各第2深层17分别与多个第1深层14相连。此外,多个第2深层17夹着后

述的沟槽21并从沟槽21离开而形成。

[0060] 在第2电流分散层15及第2深层17上,形成有P型的基体区域18。并且,在基体区域18的表层部,形成有n<sup>+</sup>型的源极区域19及p<sup>+</sup>型的接触层20。另外,源极区域19被配置在后述的沟槽栅构造的两侧,接触层20夹着源极区域19而被配置在与沟槽栅构造相反侧。此外,在本实施方式中,源极区域19相当于第2杂质区域。

[0061] 基体区域18的硼等p型杂质浓度例如为 $5.0 \times 10^{16} \sim 2.0 \times 10^{19}/\text{cm}^3$ ,厚度为 $2.0\mu\text{m}$ 左右。源极区域19的表层部的氮及磷等n型杂质浓度(即,表面浓度)例如为 $1.0 \times 10^{21}/\text{cm}^3$ ,源极区域19的厚度为 $0.3\mu\text{m}$ 左右。接触层20例如表层部的硼等p型杂质浓度(即,表面浓度)例如为 $1.0 \times 10^{21}/\text{cm}^3$ ,接触层20的厚度为 $0.3\mu\text{m}$ 左右。

[0062] 此外,以将基体区域18及源极区域19贯通而到达第2电流分散层15、并且底面位于第2电流分散层15内的方式,形成有例如宽度为 $1.4 \sim 2.0\mu\text{m}$ 的沟槽21。即,沟槽21被形成为,不到达第1电流分散层13及第1深层14。即,沟槽21被形成为,第1电流分散层13及第1深层14位于比该沟槽21的底面靠下方。另外,由于沟槽21以将基体区域18及源极区域19贯通的方式形成,所以基体区域18及源极区域19也可以说以与沟槽21的侧面相接的方式形成。

[0063] 并且,沟槽21被形成于内壁面的栅极绝缘膜22、和形成于栅极绝缘膜22表面的由掺杂多晶硅构成的栅极电极23填埋。由此,构成了沟槽栅构造。虽然没有被特别限定,但栅极绝缘膜22通过将沟槽21的内壁面热氧化而形成,厚度在沟槽21的侧面侧及底部侧都为 $100\text{nm}$ 左右。

[0064] 在本实施方式中,这样构成了沟槽栅构造。此外,沟槽21将图1中的y轴方向(即, $<-1120>$ 方向)作为长度方向而延伸设置。在本实施方式中,通过这样将沟槽21在 $<11-20>$ 方向上延伸设置,能够抑制在作为沟槽21的侧壁面的(1-100)面上形成晶癖面(facet plane)。此外,由于能够将(1-100)面作为沟道使用,所以能够降低沟道迁移率依赖性的影响。另外,沟槽21实际上通过沿着图1中的x轴方向排列多个形成而成为条状。此外,上述的源极区域19及接触层20沿着沟槽21的延伸设置方向延伸设置。

[0065] 在源极区域19及接触层20的表面及栅极电极23的表面,形成有源极电极24及未图示的栅极布线。另外,在本实施方式中,源极电极24相当于第1电极。

[0066] 源极电极24及栅极布线由多种金属(例如Ni/Al等)构成,至少与n型SiC(即,源极区域19或n掺杂的情况下)接触的部分由能够与n型SiC欧姆接触的金属构成。此外,源极电极24及栅极布线的至少与p型SiC(即,接触层20或p掺杂的情况下)接触的部分由能够与p型SiC欧姆接触的金属构成。

[0067] 另外,这些源极电极24及栅极布线通过形成在层间绝缘膜25上而电绝缘。并且,源极电极24经由形成于层间绝缘膜25的接触孔25a而与源极区域19及接触层20电连接。由此,第1深层14经由接触层20、基体区域18、第2深层17而被维持为与源极电极24相同的电位。此外,栅极布线在与图1~图3不同的截面中经由形成于层间绝缘膜25的接触孔25a而与栅极电极23电连接。

[0068] 在基板11的背面侧,形成有与基板11电连接的漏极电极26。另外,在本实施方式中,基板11作为漏极层发挥功能。此外,在本实施方式中,漏极电极26相当于第2电极。

[0069] 如以上说明,在单元区域1中,构成了n沟道型的反转型的沟槽栅构造的MOSFET。

[0070] 外周区域2如图2及图3所示,在外周区域2上延伸设置有形成于单元区域1的第2深

层17。并且，在n<sup>-</sup>型层12的表层部，构成有与第2深层17相连、并且将单元区域1包围的多个P型的保护环27。在本实施方式中，保护环27是与第1电流分散层13相同的杂质浓度，并且被设为相同的深度。另外，在外周区域2中，如上述那样，没有形成第1电流分散层13。

[0071] 以上是本实施方式的SiC半导体装置的结构。接着，对上述SiC半导体装置的动作进行说明。

[0072] 首先，上述SiC半导体装置，在向栅极电极23施加栅极电压之前的截止状态下，在基体区域18中不形成反型层。因此，即使在漏极电极26上施加了正电压（例如1600V），也不从源极区域19向基体区域18内流过电子，在源极电极24与漏极电极26之间不流过电流。

[0073] 此外，在对栅极电极23施加栅极电压之前的状态下，在漏极一栅极间作用电场，在栅极绝缘膜22的底部可能发生电场集中。但是，在上述SiC半导体装置中，在比沟槽21深的位置具备第1深层14及第1电流分散层13。因此，在该SiC半导体装置中，由于在第1深层14及第1电流分散层13之间构成的耗尽层，由漏极电压的影响带来的高电场不易进入到栅极绝缘膜22。因而，在本实施方式中，能够抑制栅极绝缘膜22的损坏。

[0074] 并且，在SiC半导体装置中，如果向栅极电极23施加规定的栅极电压（例如20V），则在基体区域18中的与沟槽21相接的表面形成沟道。因此，被从源极电极24注入的电子在从源极区域19穿过形成于基体区域18的沟道之后流到第2电流分散层15。并且，流到第2电流分散层15的电子穿过第1电流分散层13而向n<sup>-</sup>型层12流动，然后穿过作为漏极层的基板11而向漏极电极26流动。由此，在源极电极24与漏极电极26之间流过电流，SiC半导体装置成为导通状态。另外，在本实施方式中，由于穿过了沟道的电子穿过第2电流分散层15、第1电流分散层13及n<sup>-</sup>型层12向基板11流动，所以也可以说具有第2电流分散层15、第1电流分散层13及n<sup>-</sup>型层12而构成漂移层16。

[0075] 此时，在第1深层14及第2深层17、与第1电流分散层13及第2电流分散层15之间，成为施加了反偏压的状态，耗尽层延伸。但是，在本实施方式中，第1电流分散层13及第2电流分散层15比n<sup>-</sup>型层12高杂质浓度。因此，相比于以与漂移层相接的方式形成了深层的以往的SiC半导体装置，从第1深层14延伸的耗尽层的扩展被抑制。因此，电流路径变窄的情况被抑制，能够实现导通电阻的减小。

[0076] 以上是本实施方式的SiC半导体装置的动作。接着，对第1电流分散层13的具体的杂质浓度及宽度进行说明。

[0077] 首先，如图4所示，第1电流分散层13的杂质浓度越高，第1电流分散层13的导通电阻越低。详细地讲，第1电流分散层13的导通电阻在0.5mΩ · cm<sup>2</sup>以上的范围内随着杂质浓度变高而急剧地变低，在不到0.5mΩ · cm<sup>2</sup>的范围内，随着杂质浓度变高而平缓地变低。此外，导通电阻也依赖于第1电流分散层13的宽度，第1电流分散层13的宽度越宽则导通电阻越低。因此，在本实施方式中，设定了第1电流分散层13的杂质浓度及宽度，以使导通电阻不到0.5mΩ · cm<sup>2</sup>。

[0078] 接着，如图5所示，关于在截止时向栅极绝缘膜22施加的电场，第1电流分散层13的杂质浓度越高则越大，第1电流分散层13的宽度越宽则越大。这里，在本实施方式那样的具有沟槽栅构造的SiC半导体装置中，如果向栅极绝缘膜22施加的电场不到3.0MV/cm，则通常为高可靠性。因而，在本实施方式中，设定了第1电流分散层13的杂质浓度及宽度，以使向栅极绝缘膜22施加的电场不到3.0MV/cm。

[0079] 进而,如图6所示,关于耐压,如果第1电流分散层13的杂质浓度越高则越低,如果第1电流分散层13的宽度越宽则越低。这里,在本实施方式那样的具有沟槽栅构造的SiC半导体装置中,在现状下,2000V的耐压在理论上是最大的,如果具有1600V的耐压则认为足够高耐压。因此,在本实施方式中,设定了第1电流分散层13的杂质浓度及宽度,以使耐压为1600V以上。

[0080] 并且,总结上述图4~图6,则为图7那样。具体而言,在图7中,施以了阴影的部分成为图4的第1电流分散层13的导通电阻、图5的向栅极绝缘膜22施加的电场、图6的耐压全部满足的区域。

[0081] 因此,在本实施方式中,如果将第1电流分散层13的杂质浓度设为 $y[\text{cm}^{-3}]$ ,将第1电流分散层13的宽度设为 $x[\mu\text{m}]$ ,则为 $2 \times 10^{16}/x^{1.728} < y < -2 \times 10^{17}x + 3 \times 10^{17}$ 。由此,在本实施方式中,能够降低导通电阻并且降低向栅极绝缘膜22施加的电场,进而还能够抑制耐压下降。另外,在本实施方式中,由于多个第1深层14分别沿着x轴方向延伸设置,所以第1电流分散层13的宽度相当于第1电流分散层13中的最窄部分的长度。

[0082] 接着,参照图8A~图8J、图9A~图9H,对本实施方式的SiC半导体装置的制造方法进行说明。另外,图8A~图8J是相当于图2的剖视图,图9A~图9H是相当于图3的剖视图。

[0083] 首先,如图8A及图9A所示,准备上述n<sup>+</sup>型的基板11。接着,在该基板11的表面,使由SiC构成的n<sup>-</sup>型层12外延生长。另外,基板11使用具有能够构成上述单元区域1及外周区域2的面积的基板。

[0084] 接着,如图8B及图9B所示,在n<sup>-</sup>型层12的表面形成未图示的掩模,将掩模通过光刻等布图,以使第1电流分散层13的计划形成区域开口。具体而言,将掩模布图,以使仅单元区域1开口。并且,通过从掩模上将氮及磷等n型杂质进行离子注入并进行热处理,仅在单元区域1形成第1电流分散层13。然后,将掩模除去。另外,作为掩模,例如使用LTO(即,Low Temperature oxide)膜等。此外,在本实施方式中,在后述的工序中也使用掩模,各掩模例如使用LTO膜等。

[0085] 在本实施方式中,这样通过离子注入而形成了第1电流分散层13。因此,与将第1电流分散层13用外延膜形成的情况相比,第1电流分散层13的杂质浓度的控制变得容易,能够抑制特性偏差。

[0086] 接着,如图8C及图9C所示,形成未图示的掩模,将掩模通过光刻等布图,以使第1深层14及保护环27的计划形成区域开口。并且,通过从掩模上将硼等p型杂质进行离子注入并进行热处理,形成第1深层14及保护环27。即,在本实施方式中,将第1深层14及保护环27在相同的工序中形成。

[0087] 另外,第1深层14如上述那样,是条状,比第1电流分散层13形成得浅。此外,第1电流分散层13及第1深层14如上述那样形成,以满足 $2 \times 10^{16}/x^{1.728} < y < -2 \times 10^{17}x + 3 \times 10^{17}$ 。

[0088] 接着,如图8D及图9D所示,在n<sup>-</sup>型层12上,使由SiC构成的第2电流分散层15外延生长。由此,构成具有n<sup>-</sup>型层12、第1电流分散层13、第2电流分散层15的漂移层16。

[0089] 接着,如图8E及图9E所示,形成未图示的掩模,将掩模通过光刻等布图,以使第2深层17的计划形成区域开口。并且,通过从掩模上将硼等p型杂质进行离子注入并进行热处理,形成第2深层17。

[0090] 此时,将第2深层17在与第1深层14的延伸设置方向交叉的方向上延伸设置。因此,

即使在形成第2深层17时有一些位置偏差,也能够抑制第1深层14与第2深层17不相连这样的不良状况的发生。

[0091] 接着,如图8F及图9F所示,在第2电流分散层15及第2深层17上,通过使p型杂质层外延成长而形成基体区域18。

[0092] 接着,如图8G及图9G所示,在基体区域18上,通过使n型杂质层外延成长而形成源极区域19。

[0093] 并且,如图8H及图9H所示,形成未图示的掩模,将掩模通过光刻等布图,以使接触层20的计划形成区域开口。并且,通过从掩模上将硼等p型杂质进行离子注入并进行热处理,形成接触层20。

[0094] 接着,如图8I所示,在形成未图示的掩模后,将掩模布图,以使沟槽21的计划形成区域开口。并且,进行各向异性蚀刻而形成沟槽21。具体而言,以将源极区域19及基体区域18贯通、底部位于第2电流分散层15内的方式形成沟槽21。即,以使第1电流分散层13及第1深层14位于比沟槽21的底面靠下方的方式形成沟槽21。另外,也可以在进行各向异性蚀刻之后,根据需要而进行各向同性蚀刻、牺牲层氧化。

[0095] 接着,如图8J所示,在包括沟槽21内的部位形成栅极绝缘膜22。具体而言,通过利用了湿气体环境的基于加热(pyrogenic)法的栅极氧化(即,热氧化)而形成栅极绝缘膜22。接着,在栅极绝缘膜22的表面将掺杂有n型杂质的多晶硅层例如在600℃的温度下以440nm左右成膜之后,进行回蚀工序等,以使得在沟槽21内留下栅极绝缘膜22及栅极电极23。由此,构成沟槽栅构造。

[0096] 关于之后的工序,与以往是同样的,所以虽然没有图示,但如果简单地说明,则首先将层间绝缘膜25成膜。接着,形成源极区域19的一部分及接触层20露出的接触孔25a以及栅极电极23的一部分露出的接触孔。接着,在将电极材料成膜以将各接触孔25a填埋后,通过将该电极材料布图而形成源极电极24及栅极布线。此外,在基板11的背面侧形成漏极电极26。如以上这样,制造出本实施方式的SiC半导体装置。

[0097] 如以上说明,在本实施方式中,在比沟槽21深的位置,具有比n<sup>-</sup>型层12高杂质浓度的第1电流分散层13、和形成在该第1电流分散层13内的第1深层14。因此,高电场不易进入栅极绝缘膜22,能够抑制栅极绝缘膜22的损坏。

[0098] 此外,由于第1电流分散层13比n<sup>-</sup>型层12高杂质浓度,所以相比于以与漂移层相接的方式形成有深层的以往的SiC半导体装置,抑制了从第1深层14延伸的耗尽层的扩大。因此,抑制了由于第1深层14而电流路径变窄的情况,能够实现导通电阻的减小。

[0099] 进而,第1电流分散层13及第1深层14形成在比沟槽21深的位置。因此,即使在形成第1深层14时发生了对准偏差等,也能够抑制第1深层14与沟槽21相接。

[0100] 此外,第1深层14形成在第1电流分散层13内。即,第1深层14形成为,在第1深层14的底部与n<sup>-</sup>型层12之间具有第1电流分散层13。因此,能够抑制从第1深层14延伸的耗尽层向n<sup>-</sup>型层12侧较大地延伸而导通电阻增加的情况。

[0101] 进而,第2深层17在与第1深层14的延伸设置方向交叉的方向上延伸设置。因此,相比于将第2深层17沿着第1深层14的延伸设置方向延伸设置的情况,能够抑制在发生了位置偏差等的情况下第2深层17与第1深层14不相连这样的不良状况的产生。即,能够抑制第1深层14成为浮置状态这样的不良状况的产生。

[0102] 此外,第2深层17主要发挥将第1深层14与基体区域18(即,源极电极24)相连的功能,形成在从沟槽21离开了的位置。因此,相比于第2深层17与沟槽21相接的情况,能够抑制当穿过了形成于基体区域18的沟道的电子流到第2电流分散层15时、向第2电流分散层15流动的路径变窄。因而,能够抑制导通电阻的增加。

[0103] 进而,第2电流分散层15比n<sup>-</sup>型层12高杂质浓度。因此,例如,相比于第2电流分散层15与n<sup>-</sup>型层12杂质浓度相同的情况,从第2深层17延伸的耗尽层的扩大也得以抑制。即,能够抑制第1电流分散层13内的电流路径的变窄。因而,能够抑制导通电阻的增加。

[0104] 此外,第1电流分散层13及第1深层14形成为,将第1电流分散层13的杂质浓度设为y[cm<sup>-3</sup>]、将第1电流分散层13的宽度设为x[μm]时,成为 $2 \times 10^{16} / x^{1.728} < y < -2 \times 10^{17} x + 3 \times 10^{17}$ 。因此,能够降低导通电阻并且降低向栅极绝缘膜22施加的电场,还能够抑制耐压下降。

[0105] 进而,第1电流分散层13仅形成在单元区域1,没有形成在外周区域2。因此,在外周区域2,成为耗尽层容易扩展的结构,等位线的间隔容易扩大,从而能够成为不易发生电场集中的结构。因而,能够提高设计的自由度。

[0106] 此外,第1电流分散层13通过离子注入而形成。因此,相比于将第1电流分散层13用外延膜形成的情况,第1电流分散层13的杂质浓度的控制变得容易,能够抑制特性偏差。

#### [0107] (第2实施方式)

[0108] 对第2实施方式进行说明。第2实施方式变更了第1深层14的结构,其他与第1实施方式是同样的,所以这里省略说明。

[0109] 在本实施方式中,如图10所示,第1深层14沿着x轴方向延伸设置有多个。并且,相邻的第1深层14彼此在多个部位相连。即,在本实施方式中,第1深层14可以说被形成为格子状。另外,在本实施方式中,第1电流分散层13的最窄部分的长度成为上述宽度x。即,例如,在图10中,第1电流分散层13的被第1深层14包围的部分的平面形状被设为正方形,但在平面形状是长方形的情况下,短边的长度成为上述宽度x。

[0110] 如以上说明,在本实施方式中,第1深层14被形成为格子状。因此,能够进一步抑制第1深层14与第2深层17不相连这样的不良状况的发生,并且得到与上述第1实施方式同样的效果。

#### [0111] (其他实施方式)

[0112] 将本发明依据实施方式进行了记述,但应理解的是本发明并不限定于该实施方式及构造。本发明也包含各种各样的变形例及等价范围内的变形。除此以外,各种各样的组合及形态,进而在它们中仅包含一要素、其以上或其以下的其他组合及形态也包含在本发明的范畴及思想范围内。

[0113] 例如,在上述各实施方式中,以将第1导电型设为n型、将第2导电型设为p型的n沟道型MOSFET为例进行了说明,但也可以设为使各构成要素的导电型反转了的p沟道型MOSFET。此外,在上述各实施方式中,以沟槽栅构造的MOSFET为例进行了说明,但也可以设为同样的沟槽栅构造的IGBT。IGBT相对于上述各实施方式只是将基板11的导电型从n型变更为p型,关于其他构造及制造方法,与上述各实施方式是同样的。

[0114] 此外,在上述各实施方式中,外周区域2也可以为台面构造。即,如图11及图12所示,外周区域2也可以做成形成有将源极区域19、基体区域18贯通而到达n<sup>-</sup>型层12的凹部28的台面构造。另外,图11的单元区域1相当于沿着图1中的II-II线的截面,图12中的单元区

域1相当于沿着图1中的III—III线的截面。

[0115] 并且,在上述各实施方式中,第2深层17也可以不形成多个,而是仅1个。作为这样的SiC半导体装置,也能够通过使1个第2深层17与各第1深层14相连,来得到与上述各实施方式同样的效果。

[0116] 进而,在上述各实施方式中,第1深层14例如也可以沿着y轴方向延伸设置。即,第1深层14也可以在与第2深层17相同的方向上延伸设置。此外,在上述各实施方式中,第2电流分散层15例如也可以为与n<sup>-</sup>型层12相同的杂质浓度。并且,第1电流分散层13也可以在外周区域2中也形成。进而,第1电流分散层13及第1深层14也可以不以满足 $2 \times 10^{16}/x^{1.728} < y < -2 \times 10^{17}x + 3 \times 10^{17}$ 的方式形成。

[0117] 此外,在上述各实施方式中,接触层20也可以不形成。即,源极电极24也可以与基体区域18连接。

[0118] 并且,在上述各实施方式中,栅极绝缘膜22也可以包含不基于热氧化的氧化膜、或氮化膜等。

[0119] 进而,在上述各实施方式中,也可以在基体区域18上通过使p型杂质层外延成长而形成接触层20之后,形成源极区域19。

[0120] 另外,在表示晶体的方位的情况下,本来应该在所希望的数字之上添加横杠(—),但由于存在电子申请的表现上的限制,所以在本说明书中,在所希望的数字之前添加横杠。

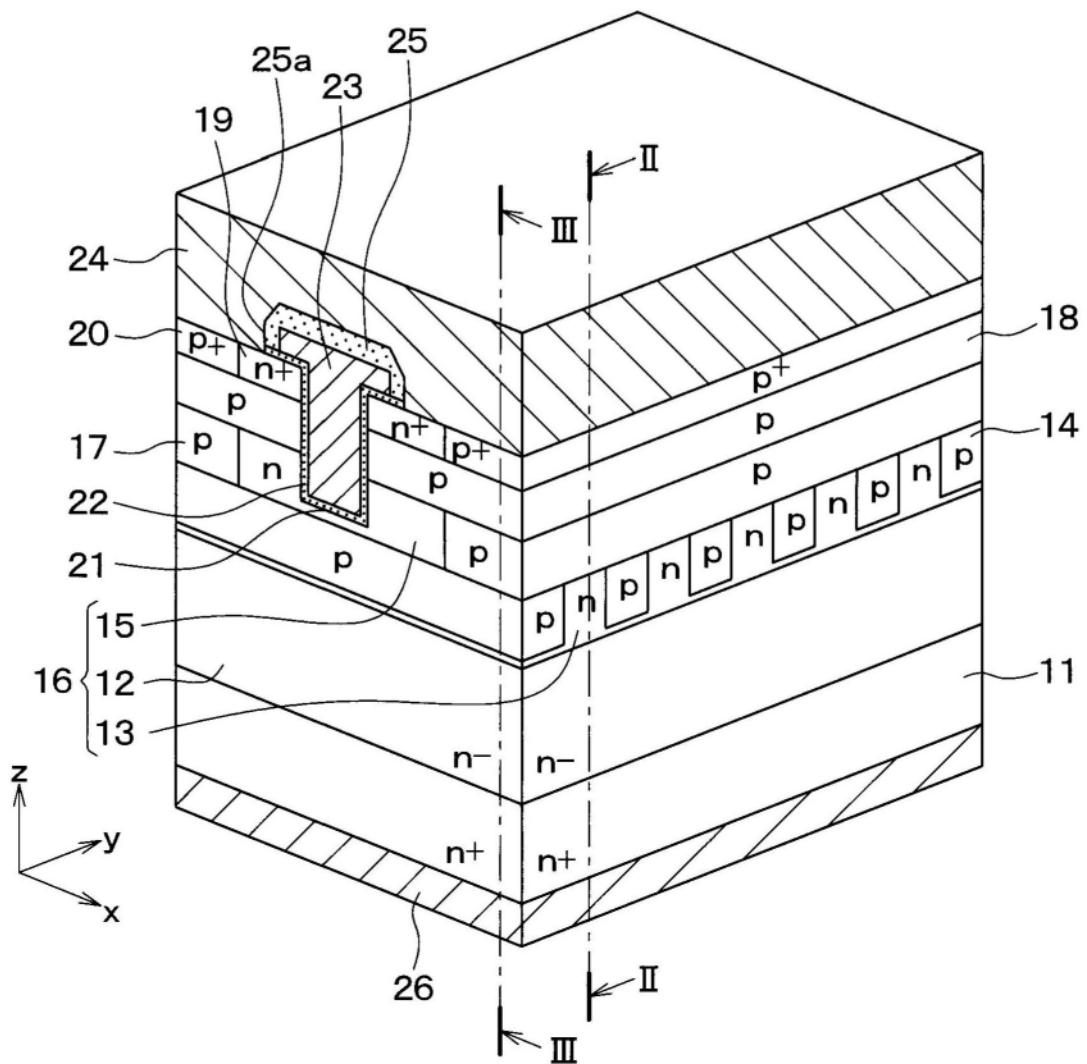


图1

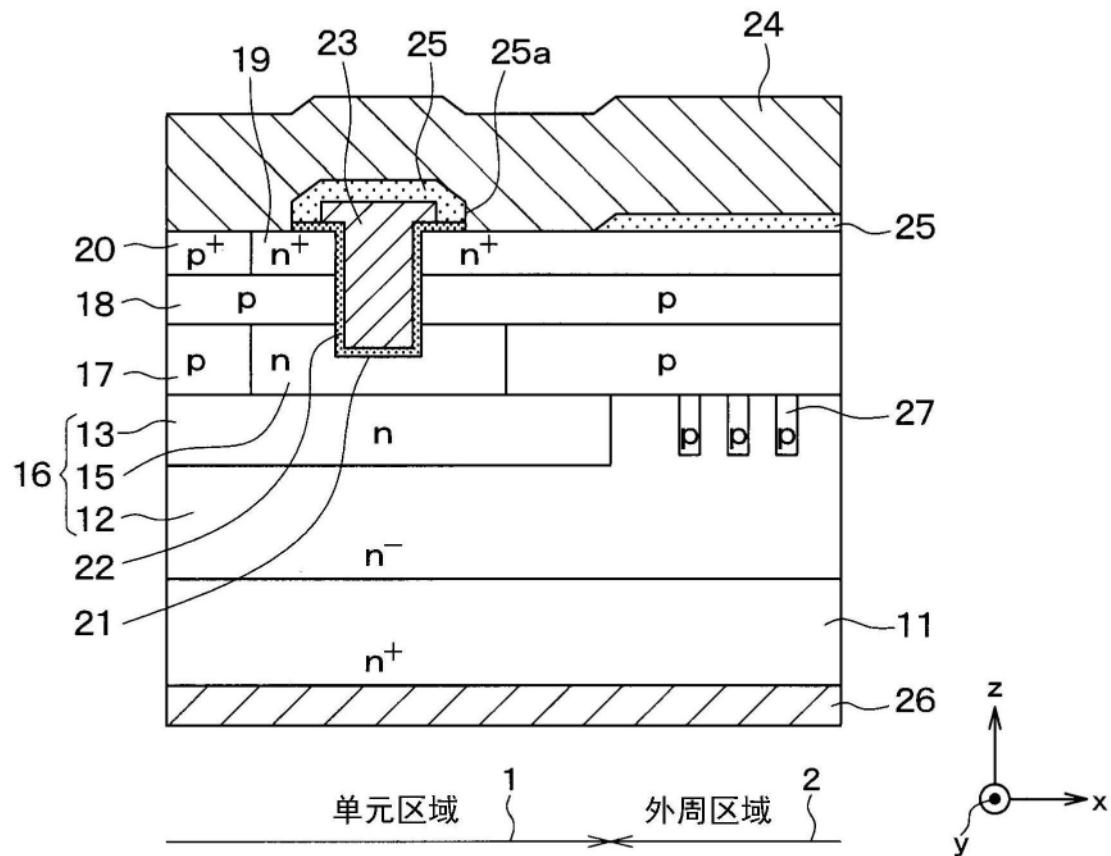


图2

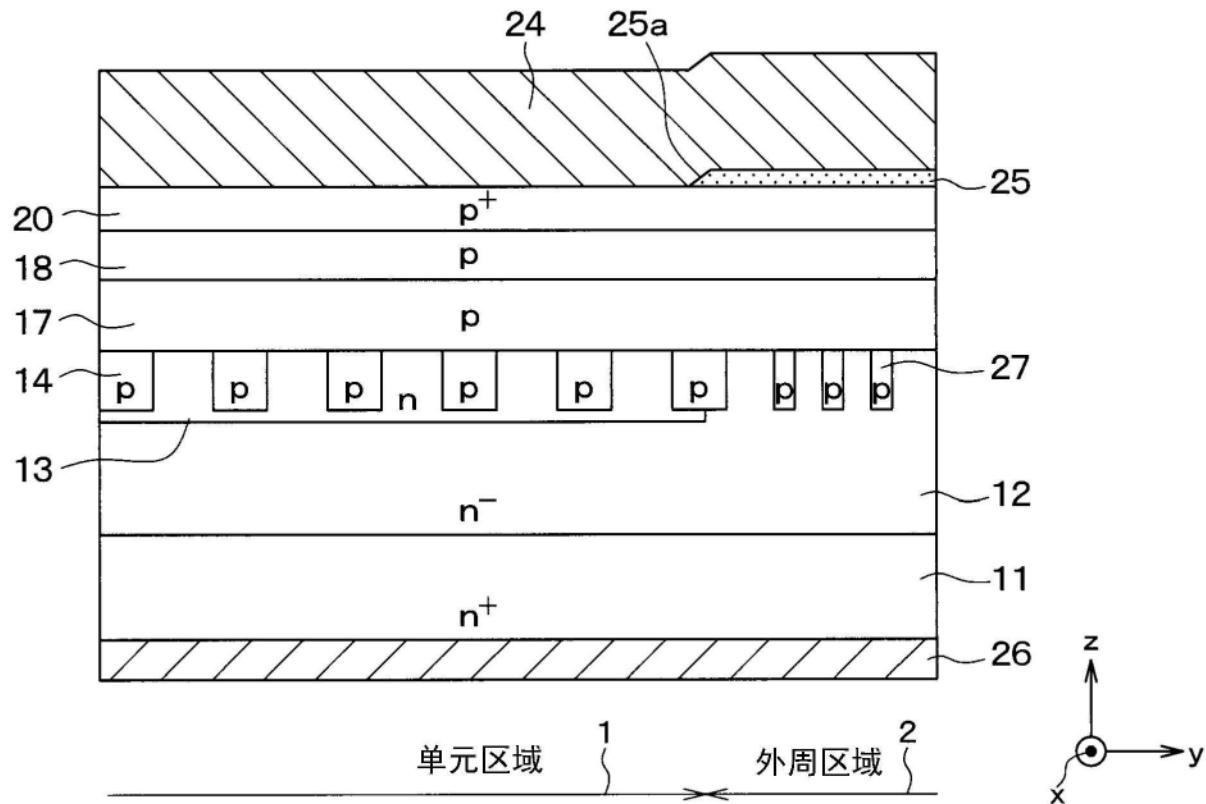


图3

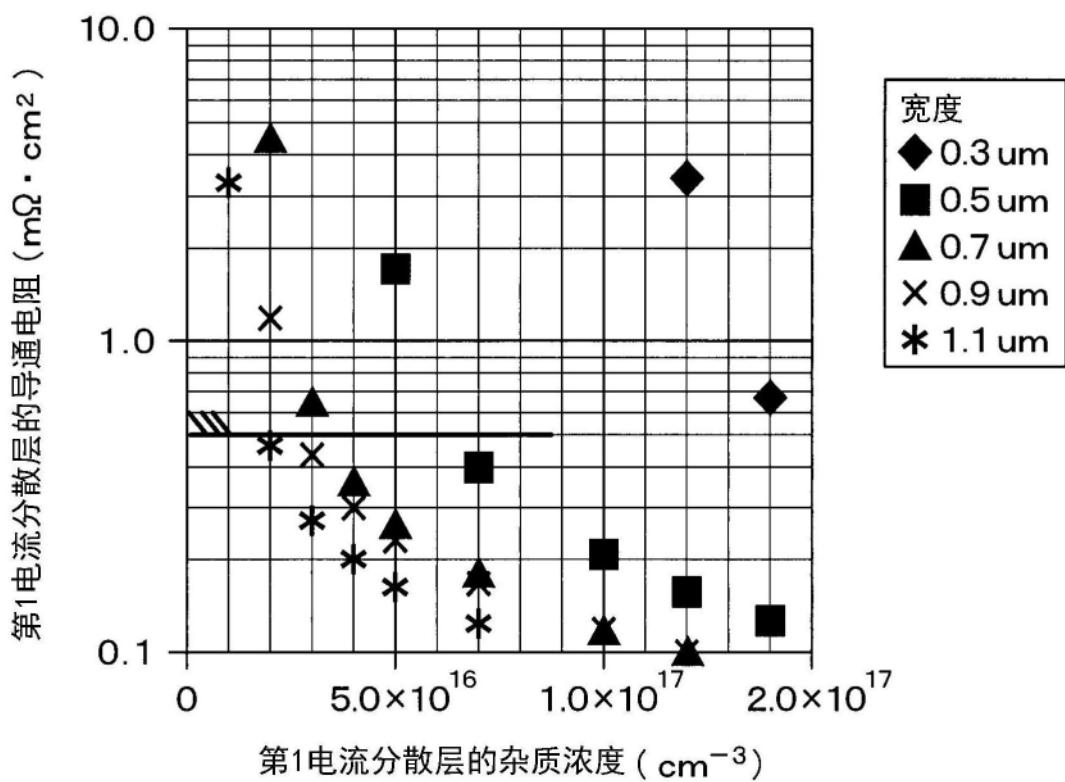


图4

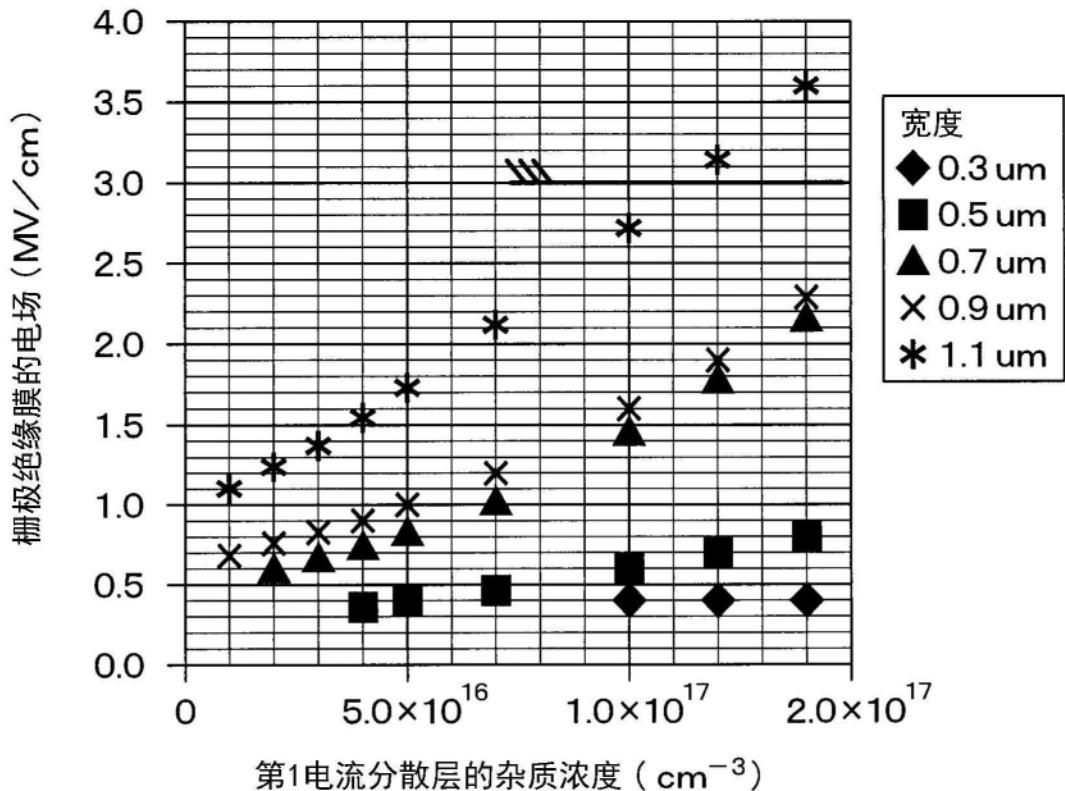


图5

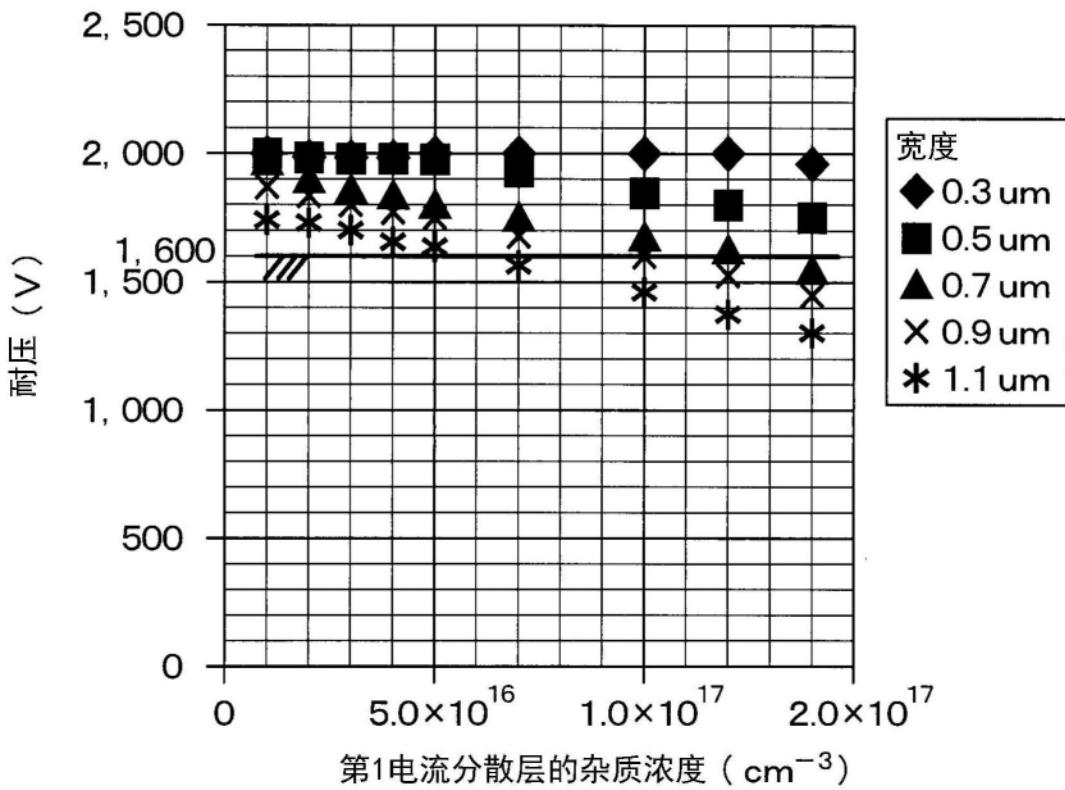


图6

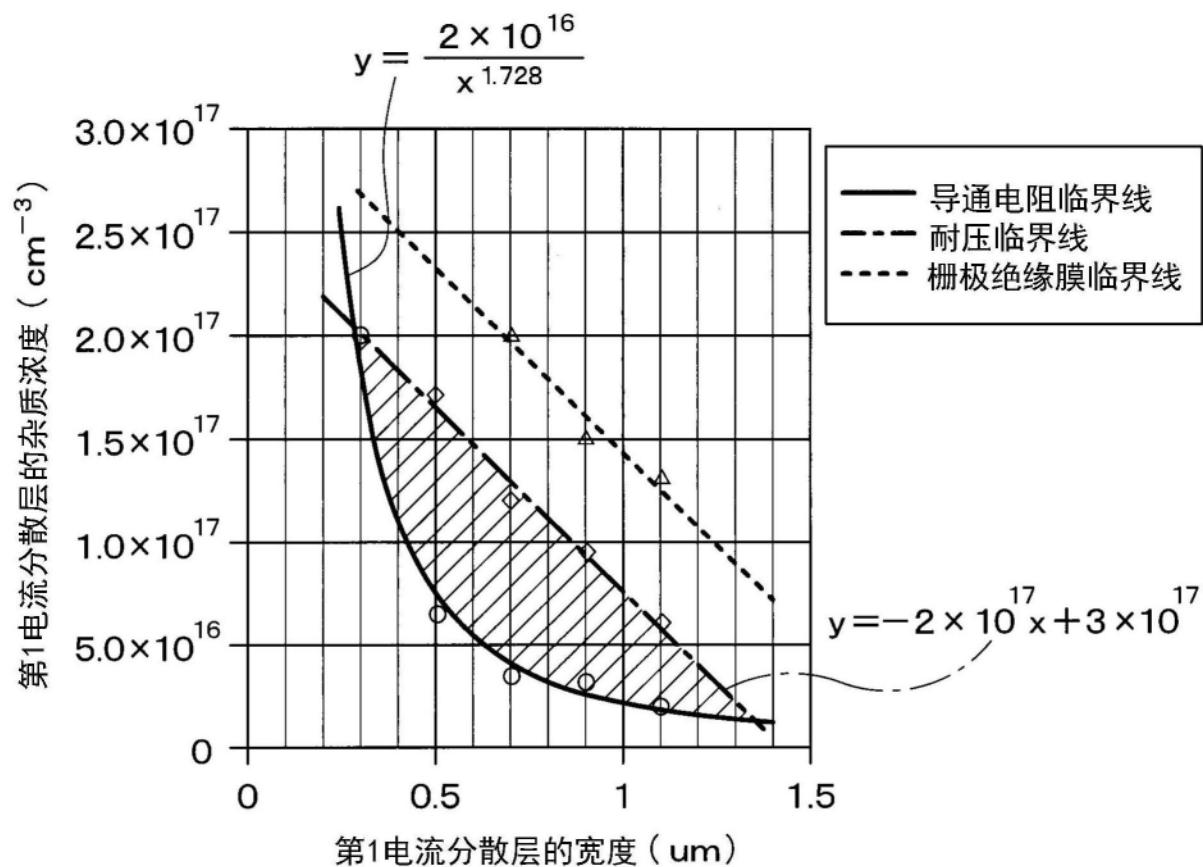


图7

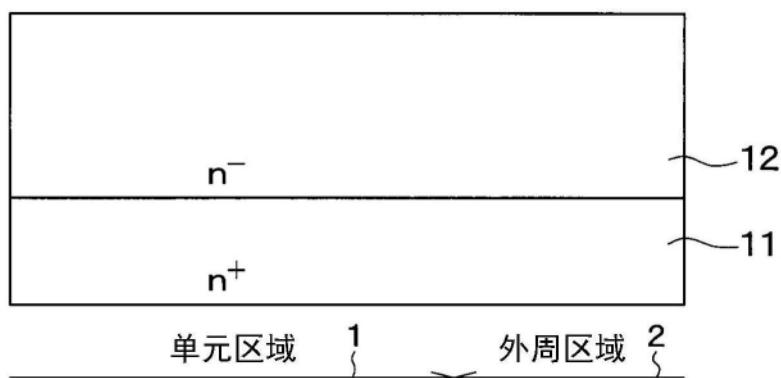


图8A

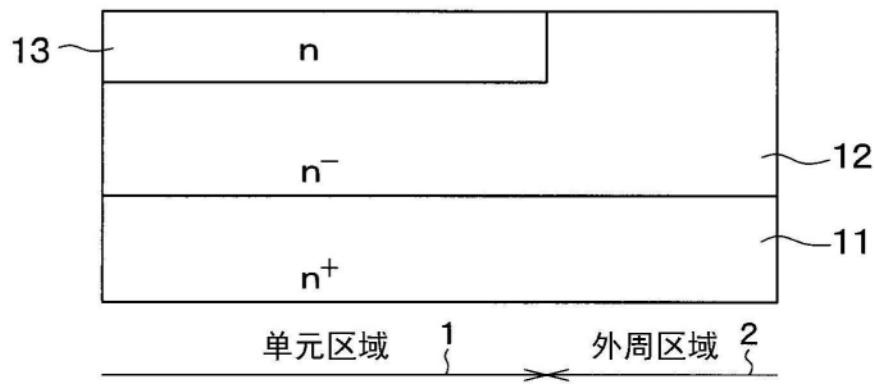


图8B

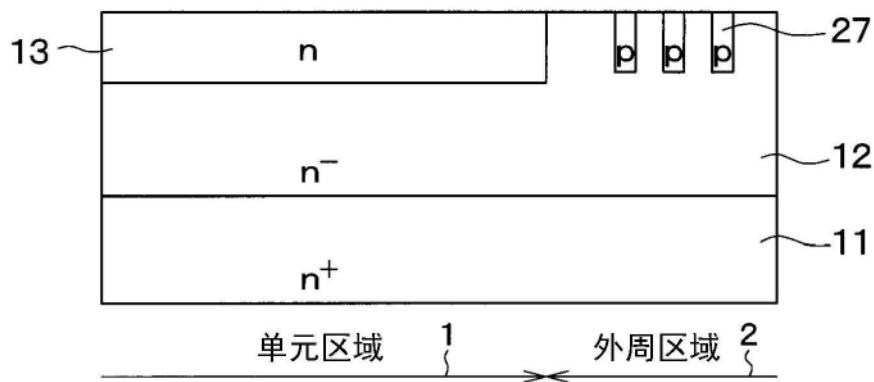


图8C

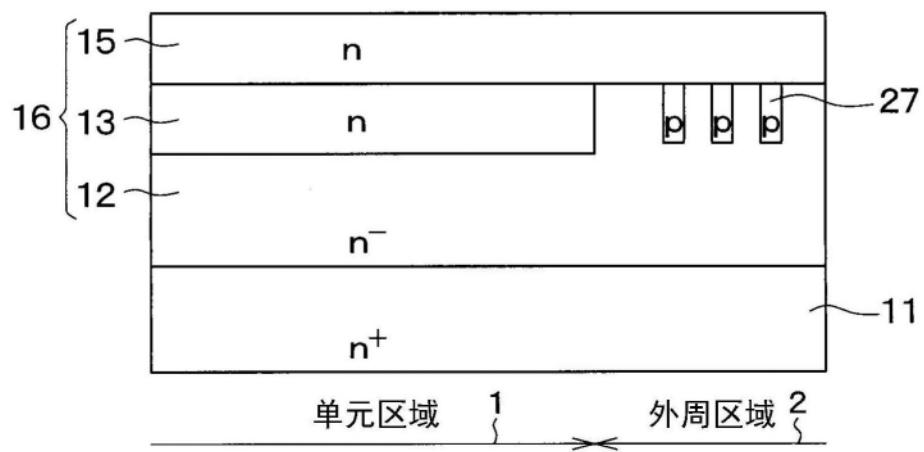


图8D

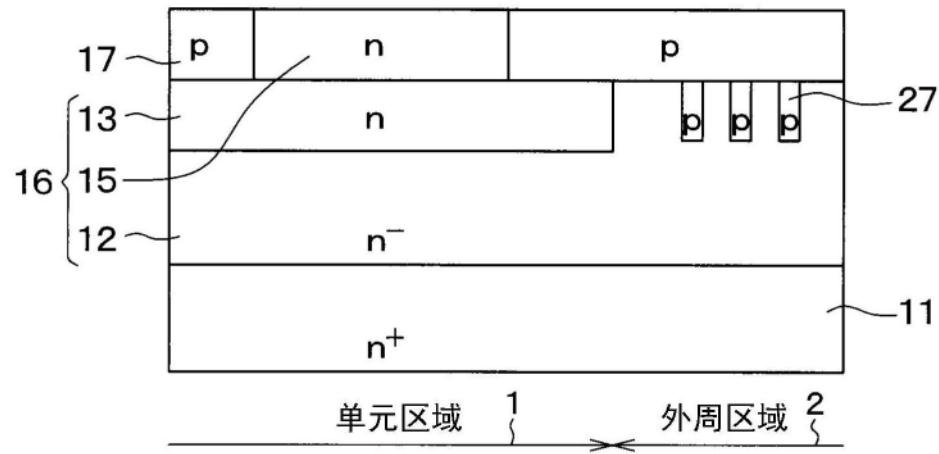


图8E

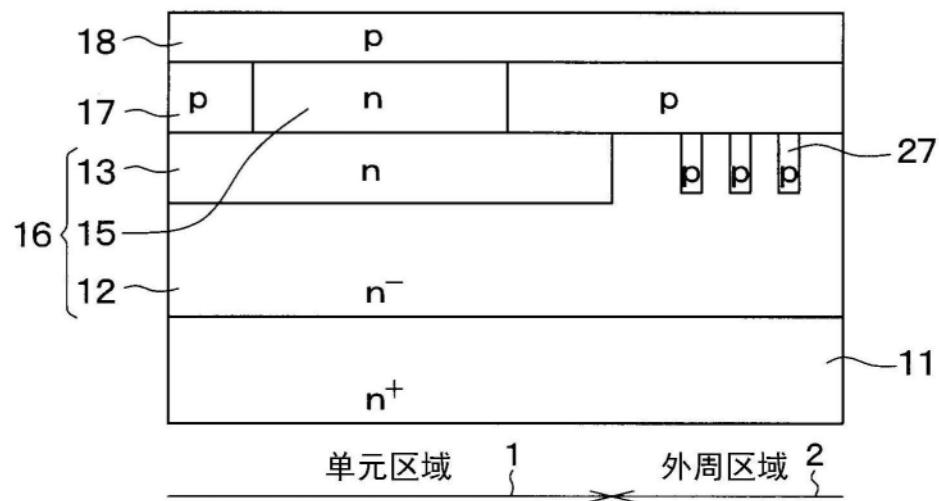


图8F

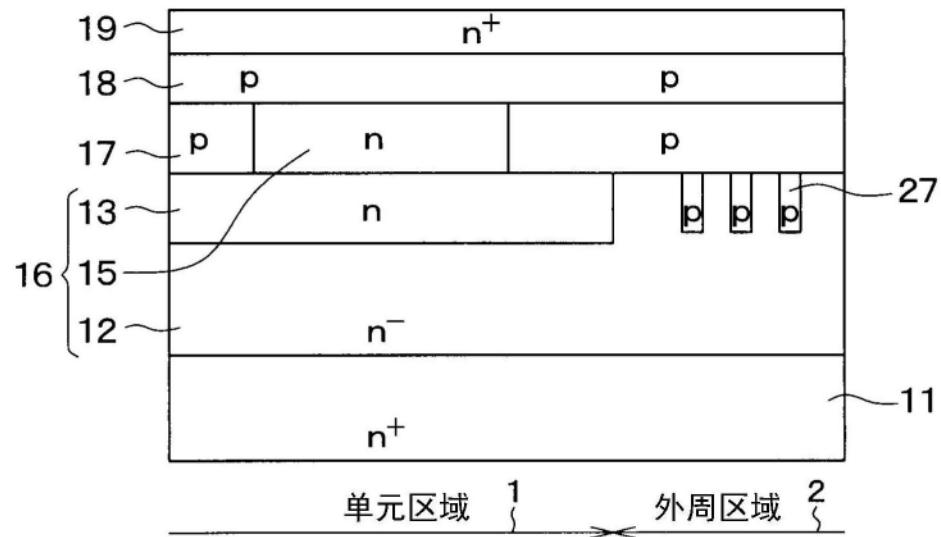


图8G

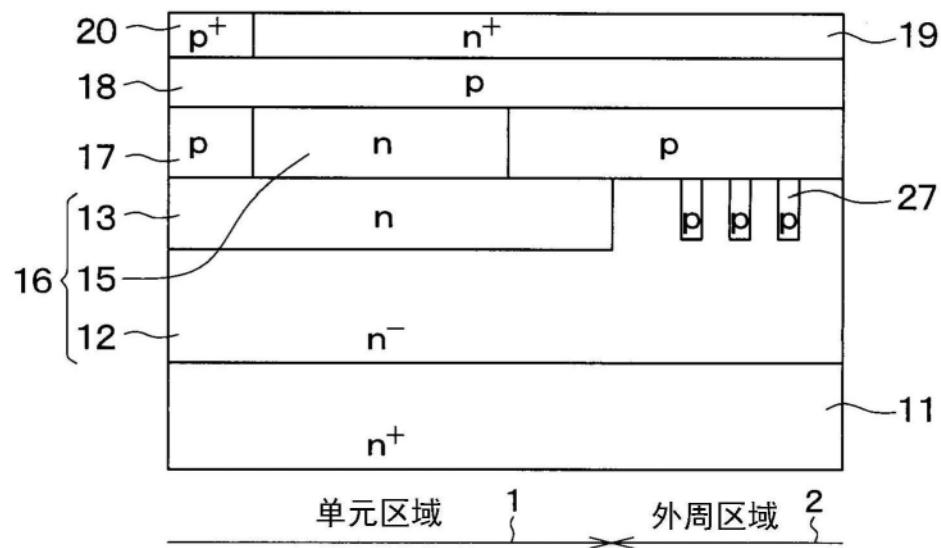


图8H

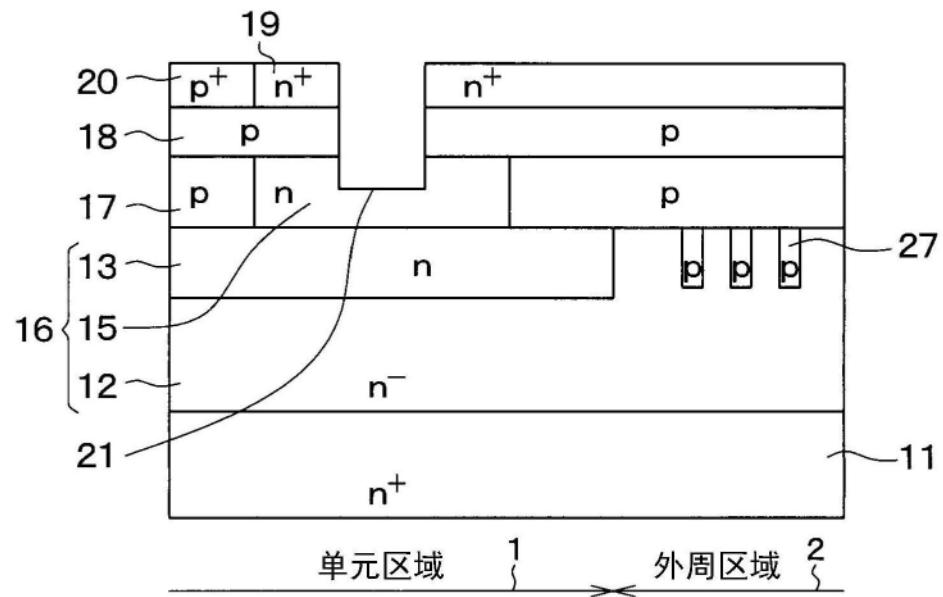


图8I

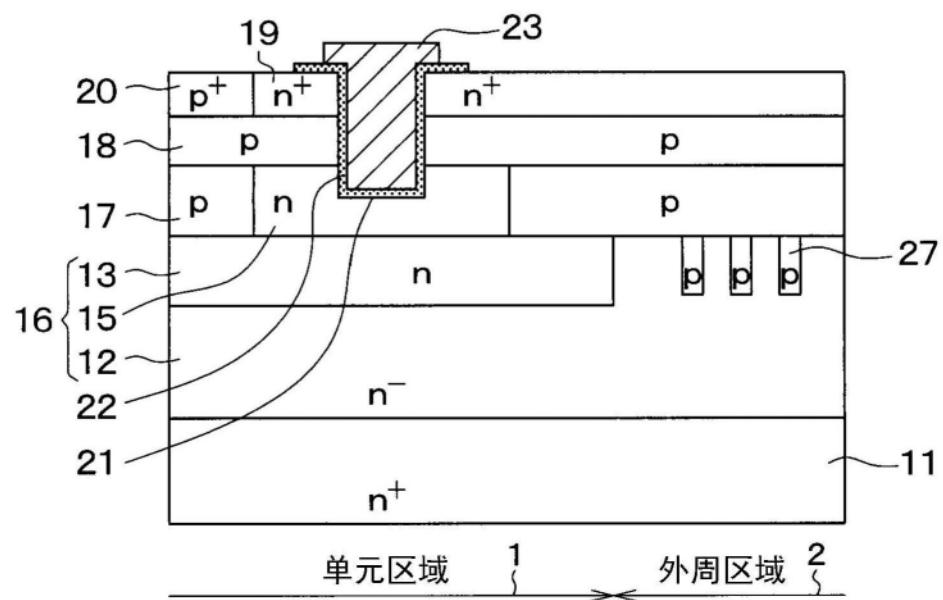


图8J

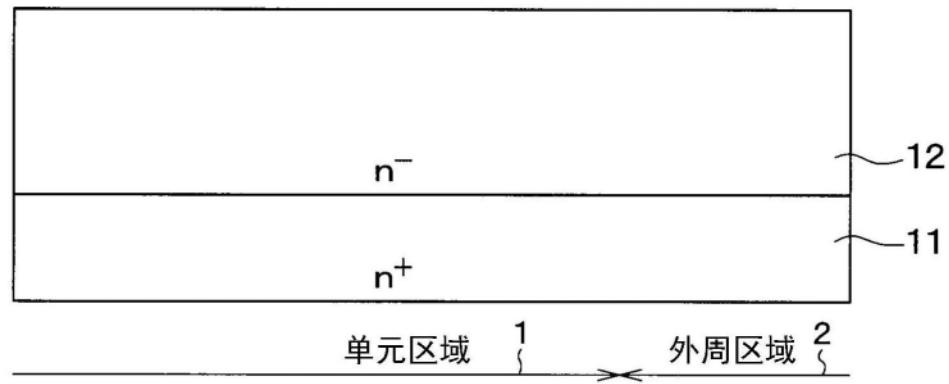


图9A

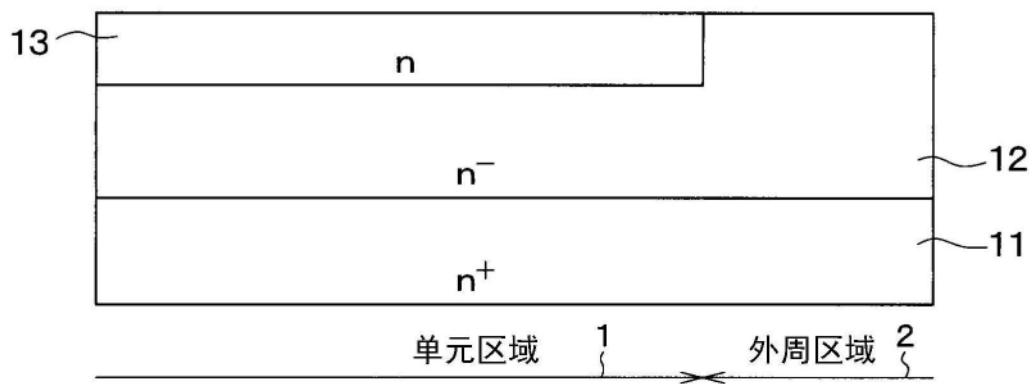


图9B

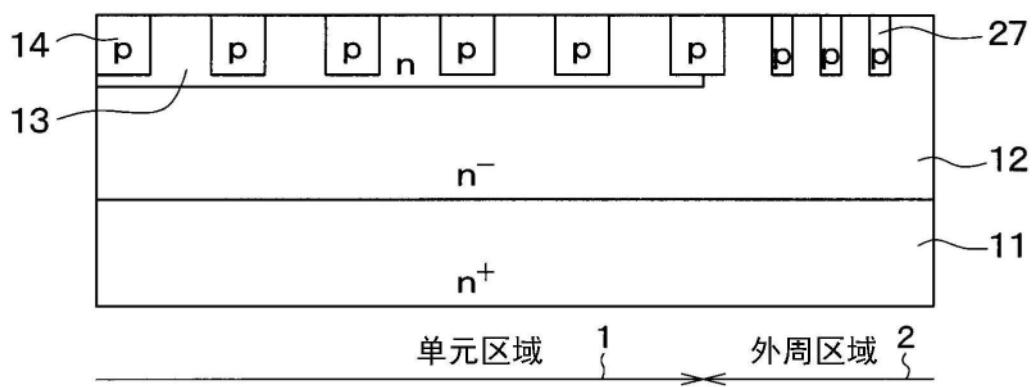


图9C

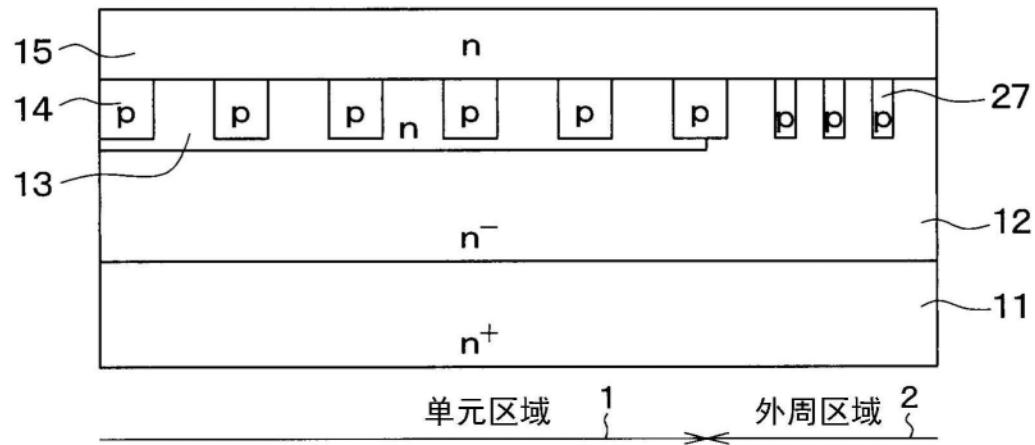


图9D

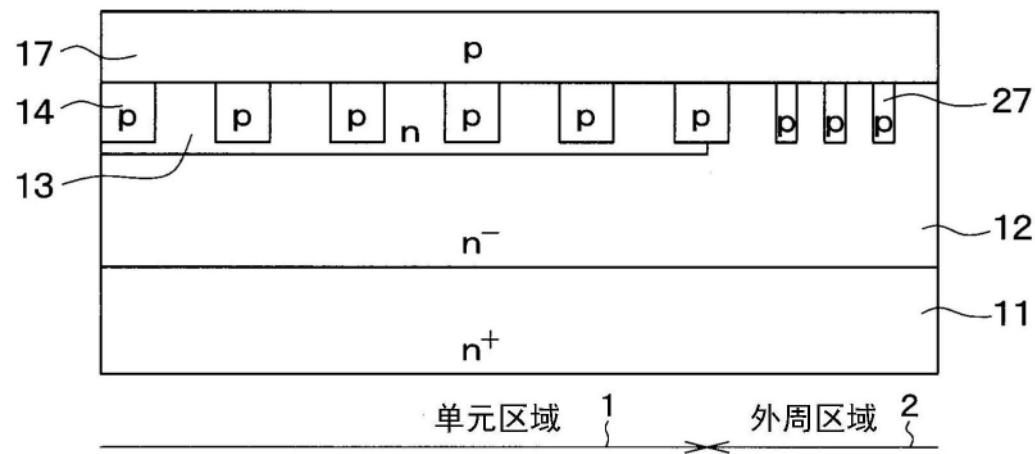


图9E

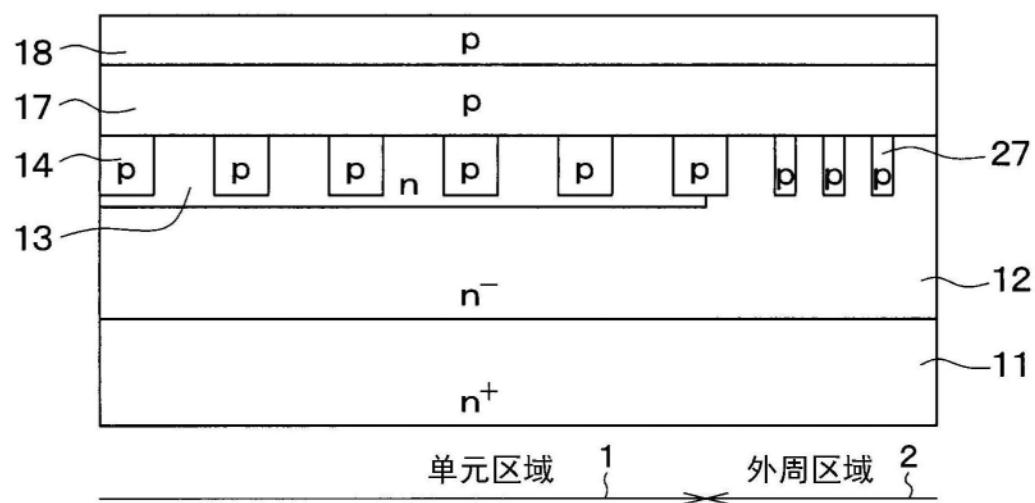


图9F

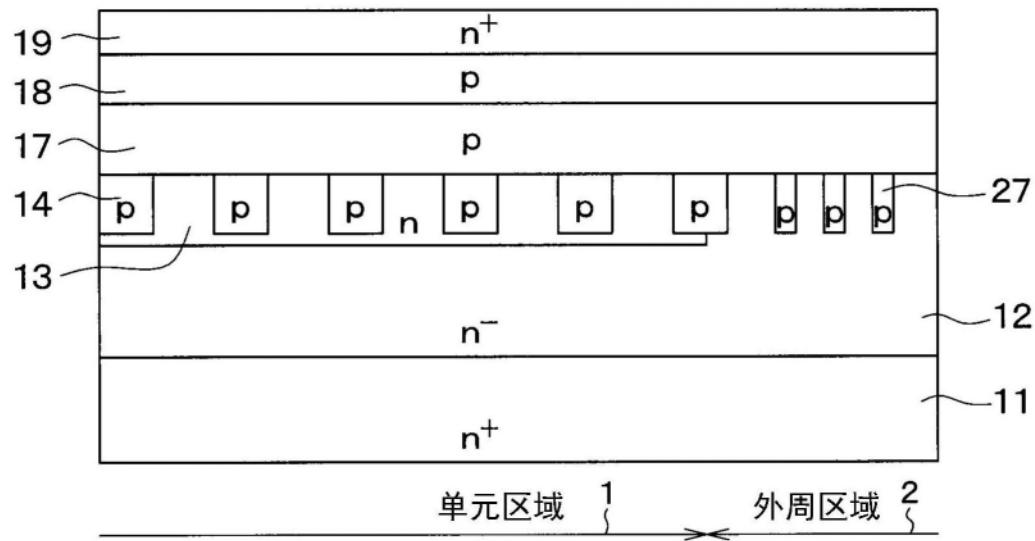


图9G

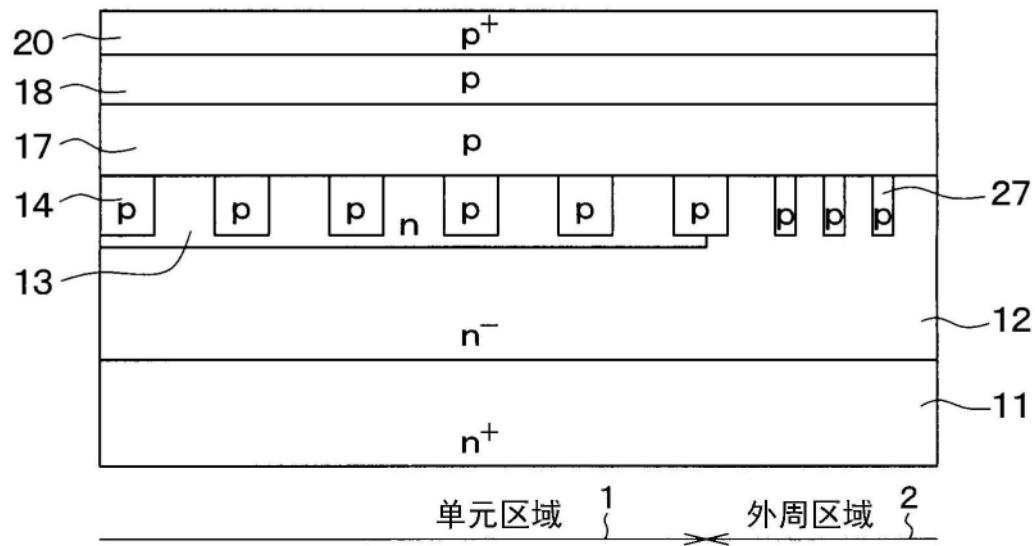


图9H

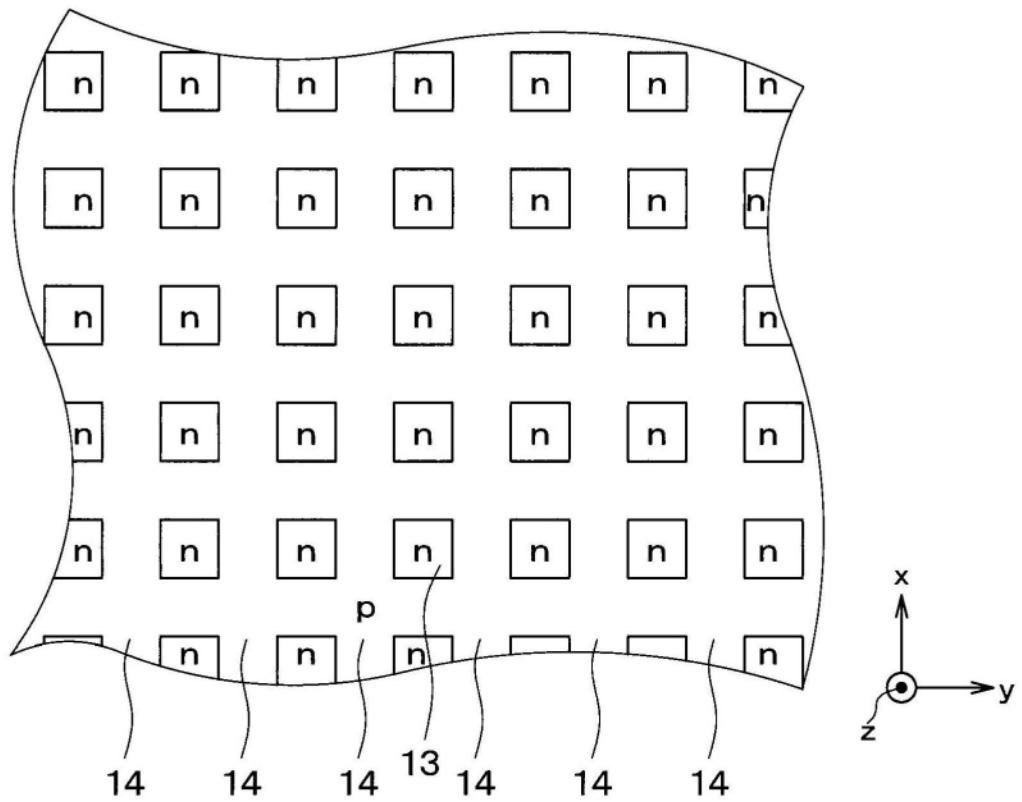


图10

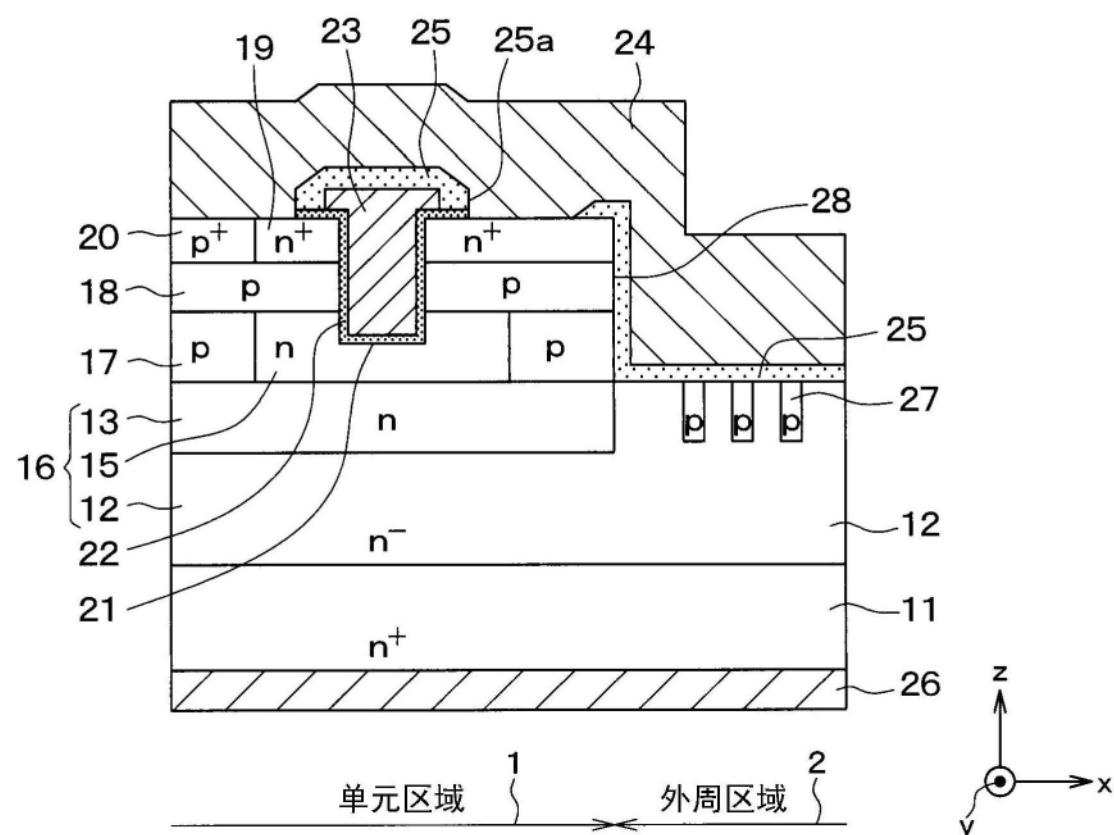


图11

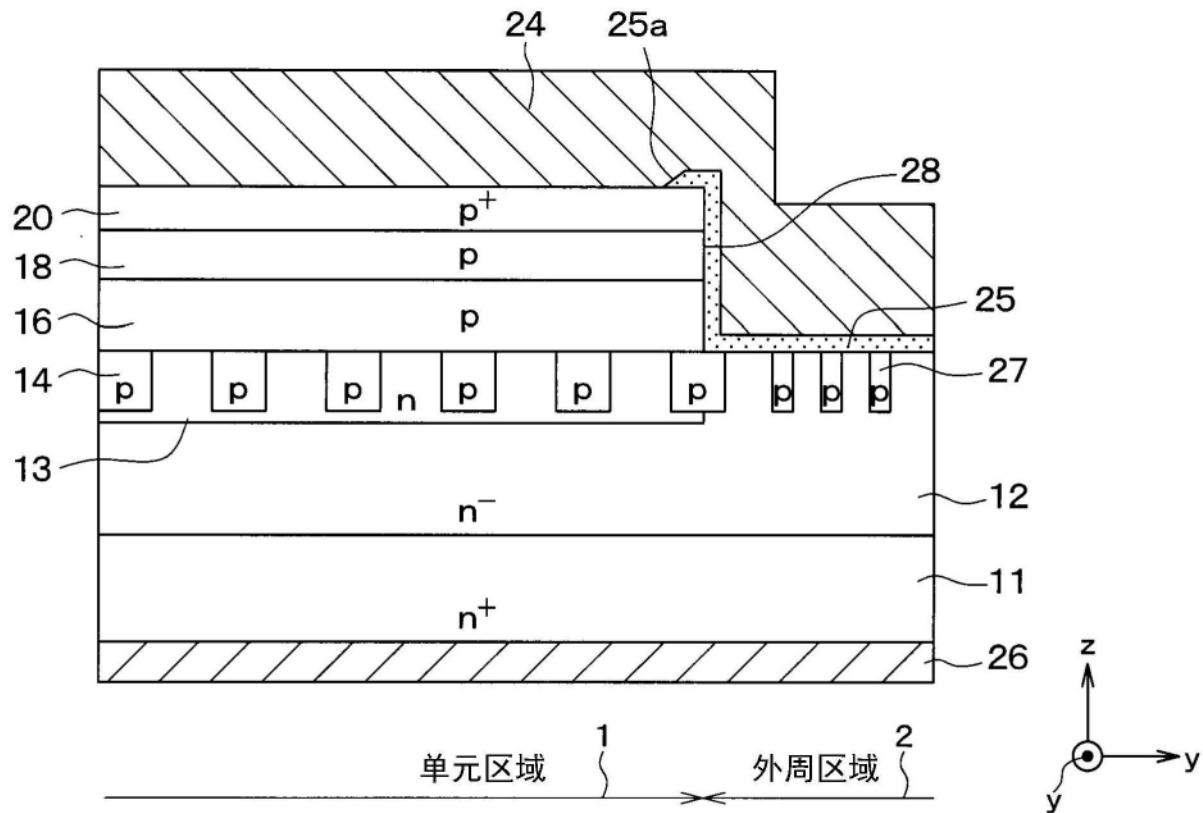


图12