

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-289974

(P2009-289974A)

(43) 公開日 平成21年12月10日(2009. 12. 10)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/3065 (2006.01)	HO 1 L 21/302 1 O 5 A	4 M 1 O 4
HO 1 L 21/28 (2006.01)	HO 1 L 21/28 E	5 F O O 4
HO 1 L 21/8247 (2006.01)	HO 1 L 27/10 4 3 4	5 F O 8 3
HO 1 L 27/115 (2006.01)	HO 1 L 27/10 4 8 1	5 F 1 O 1
HO 1 L 27/10 (2006.01)	HO 1 L 29/78 3 7 1	

審査請求 未請求 請求項の数 5 O L (全 15 頁) 最終頁に続く

(21) 出願番号 特願2008-140869 (P2008-140869)  
 (22) 出願日 平成20年5月29日 (2008. 5. 29)

(71) 出願人 000003078  
 株式会社東芝  
 東京都港区芝浦一丁目1番1号  
 (74) 代理人 110000567  
 特許業務法人 サトー国際特許事務所  
 (72) 発明者 梶原 誠二  
 東京都港区芝浦一丁目1番1号 株式会社東芝内  
 Fターム(参考) 4M104 BB01 DD71 GG09 GG10 GG14  
 HH14  
 5F004 DB01 DB30 EA03 EA06 EA07  
 EA12 EA16 EB02 EB04  
 5F083 EP02 EP23 EP32 EP76 GA27  
 NA01 NA06 PR03 PR05 PR07  
 PR12 PR41

最終頁に続く

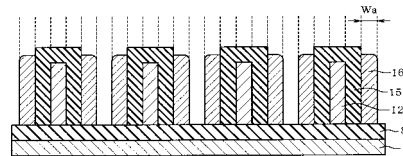
(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 簡易な製造工程で、ライン幅とスペース幅をシュリンクした複数のパターンを精度よく形成する。

【解決手段】 ゲート電極を構成する多結晶シリコン膜7上に、下地材としてシリコン窒化膜8が積層され、その上面にシュリンクパターンを形成するための非晶質シリコン膜12aが分離形成される。非晶質シリコン膜12aは、フォトリソグラフィ処理でWaの3倍の幅寸法45nmでパターンニングされるが、スリミング技術で30nmに形成した上で、熱酸化により表層をシリコン酸化膜15に変質させ、これによって寸法がWaである15nmに形成される。シリコン酸化膜15の上面に非晶質シリコン膜16を形成してスペーサ加工を行うことで側壁部に非晶質シリコン膜16aを残存させる。この後、シリコン酸化膜15を弗酸処理で剥離するとラインアンドスペースが15nmのシュリンクパターンを形成できる。

【選択図】 図9



**【特許請求の範囲】****【請求項 1】**

基板上に互いに分離した第 1 の膜からなる複数の芯材パターンを形成する工程と、  
前記複数の芯材パターンを表面改質して内部の前記第 1 の膜に対して選択的にエッチング可能な第 2 の膜を形成する工程と、

前記第 2 の膜の上面および側面を覆うと共に前記基板上に第 3 の膜を形成する工程と、  
前記第 3 の膜をエッチバック処理することにより前記第 2 の膜の上面を露出させると共に前記複数の芯材パターン間で芯材パターンの下地材を露出させ、且つ各芯材パターンの側壁部の前記第 2 の膜の外側に重ねて形成されている前記第 3 の膜を選択的に残留させる工程と、

10

前記第 2 の膜を第 1 の膜および第 3 の膜に対して選択的に除去する工程と、  
前記第 2 の膜を選択的に除去した後前記下地材上に残存している前記第 1 の膜および第 3 の膜をマスクとして前記下地材をパターンニングする工程と  
を備えることを特徴とする半導体装置の製造方法。

**【請求項 2】**

基板上に互いに分離した第 1 の膜からなる複数の芯材パターンを形成する工程と、  
前記複数の芯材パターンを表面改質して前記第 1 の膜に対して選択的にエッチング可能な第 2 の膜を形成する工程と、

前記第 2 の膜の上面および側面を覆うように前記基板上に第 3 の膜を形成する工程と、  
前記第 3 の膜をエッチバック処理することにより前記第 2 の膜の上面を露出させると共に前記複数の芯材パターン間で芯材パターンの下地材を露出させ、且つ各芯材パターンの側壁部の前記第 2 の膜の外側に重ねて形成されている前記第 3 の膜を選択的に残留させる工程と、

20

前記第 3 の膜をエッチバック処理した後、前記基板上にレジスト膜を形成し、前記複数の芯材パターンとは異なるパターンを形成してこれをマスクとして前記第 3 の膜の一部を前記第 2 の膜に対して選択的に除去する工程と、

前記レジスト膜を除去した後に、前記第 2 の膜を第 1 の膜および第 3 の膜に対して選択的に除去する工程と、

前記第 2 の膜を選択的に除去した後前記下地材上に残存している前記第 1 の膜および第 3 の膜をマスクとして前記下地材をパターンニングする工程と  
を備えることを特徴とする半導体装置の製造方法。

30

**【請求項 3】**

請求項 1 または 2 に記載の半導体装置の製造方法において、  
前記複数の芯材パターンは、各芯材パターンの幅寸法と隣接する芯材パターンとの間の間隔寸法とが略同一となるように形成され、

前記下地材に形成されたパターンを導電膜に転写することにより、前記複数の芯材パターンの略 1 / 3 のピッチで配置される複数のゲート電極を形成することを特徴とする半導体装置の製造方法。

**【請求項 4】**

請求項 1 または 2 に記載の半導体装置の製造方法において、  
前記複数の芯材パターンは、各芯材パターンの幅寸法と隣接する芯材パターンとの間の間隔寸法とが略同一となるように形成され、

40

前記下地材に形成されたパターンを半導体基板に転写することにより、前記複数の芯材パターンの略 1 / 3 のピッチで配置される複数の溝を形成することを特徴とする半導体装置の製造方法。

**【請求項 5】**

請求項 1 ないし 4 のいずれかに記載の半導体装置の製造方法において、  
前記第 1 の膜および前記第 3 の膜はシリコン膜であり、  
前記下地材および前記第 2 の膜は、シリコン窒化膜およびシリコン酸化膜のうちの一方を前記下地材とし他方を前記第 2 の膜として形成することを特徴とする半導体装置の製造

50

方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、微細なパターンを形成する半導体装置の製造方法に関する。

【背景技術】

【0002】

半導体基板上に所定の幅のライン状パターンを所定のスペース幅を挟んで複数形成するラインアンドスペースの配線パターン形成方法として、配線材料膜をパターンニングして形成する方法と、半導体基板上に形成した絶縁膜に溝を形成しその溝内に配線パターンの材料を埋め込む方法とがある。前者の場合、通常はラインアンドスペースのピッチと同じピッチを持つマスクを用いて、導電膜である被加工膜をパターンニングして配線パターンを形成する。後者の場合、通常はラインアンドスペースのピッチと同じピッチを持つマスクを用いて、絶縁膜である被加工膜をパターンニングして溝を形成し、この溝に配線材料を埋め込んだ後、基板上面を化学機械的研磨（CMP：Chemical Mechanical Polishing）で研磨除去して、配線パターンを形成する。

10

【0003】

前者、後者のいずれの場合にも、フォトリソグラフィの露光技術においては、光学的に解像可能なマスクパターンを使用するため、所望のラインアンドスペースのピッチが得られるかどうかは、露光技術の精度に依存する。

20

【0004】

しかしながら、近年、半導体加工技術の微細化が加速度的に進んでおり、露光技術の限界以下となるようなピッチを持つラインアンドスペースが要求されつつある。

特許文献1は、フォトリソグラフィ技術を利用して、元のピッチの1/3のピッチのラインアンドスペースを形成する製造方法を提案している。この製造方法は以下の工程を有する。基板上に形成されたフォトレジスト層をパターンニングした後、フォトレジスト層の上に第1層を形成して、この第1層をエッチバックして基板を露出させる。次に、第1層の上を含めた基板上に第2層を形成して、この第2層をエッチバックしてフォトレジスト層と第1層を露出させる。その後、フォトレジスト層を除去する。次に、第1層を含めた基板上に第3層を形成して、この第3層をエッチバックして基板を露出させる。次に、第1層の上に第4層を形成して、この第4層をエッチバックして第1層を露出させる。次に、第2層と第3層を除去する。

30

【0005】

しかしながら、特許文献1の製造方法は、工程数が多いため、製造に時間がかかって歩留まりも落ち、結果として製造コストが高くなる。

【特許文献1】米国特許第6638441号明細書

【発明の開示】

【発明が解決しようとする課題】

【0006】

本発明は、簡易な製造工程で、ライン幅とスペース幅をシュリンクした複数のパターンを精度よく形成可能な半導体装置の製造方法を提供することを目的とする。

40

【課題を解決するための手段】

【0007】

本発明の半導体装置の製造方法の第1の態様は、基板上に互いに分離した第1の膜からなる複数の芯材パターンを形成する工程と、前記複数の芯材パターンを表面改質して内部の前記第1の膜に対して選択的にエッチング可能な第2の膜を形成する工程と、前記第2の膜の上面および側面を覆うと共に前記基板上に第3の膜を形成する工程と、前記第3の膜をエッチバック処理することにより前記第2の膜の上面を露出させると共に前記複数の芯材パターン間で芯材パターンの下地材を露出させ、且つ各芯材パターンの側壁部の前記第2の膜の外側に重ねて形成されている前記第3の膜を選択的に残留させる工程と、前記

50

第2の膜を第1の膜および第3の膜に対して選択的に除去する工程と、前記第2の膜を選択的に除去した後前記下地材上に残存している前記第1の膜および第3の膜をマスクとして前記下地材をパターンニングする工程とを備えることを特徴とする。

【0008】

また、本発明の半導体装置の製造方法の第2の態様は、基板上に互いに分離した第1の膜からなる複数の芯材パターンを形成する工程と、前記複数の芯材パターンを表面改質して前記第1の膜に対して選択的にエッチング可能な第2の膜を形成する工程と、前記第2の膜の上面および側面を覆うように前記基板上に第3の膜を形成する工程と、前記第3の膜をエッチバック処理することにより前記第2の膜の上面を露出させると共に前記複数の芯材パターン間で芯材パターンの下地材を露出させ、且つ各芯材パターンの側壁部の前記第2の膜の外側に重ねて形成されている前記第3の膜を選択的に残留させる工程と、前記第3の膜をエッチバック処理した後、前記基板上にレジスト膜を形成し、前記複数の芯材パターンとは異なるパターンを形成してこれをマスクとして前記第3の膜の一部を前記第2の膜に対して選択的に除去する工程と、前記レジスト膜を除去した後に、前記第2の膜を第1の膜および第3の膜に対して選択的に除去する工程と、前記第2の膜を選択的に除去した後前記下地材上に残存している前記第1の膜および第3の膜をマスクとして前記下地材をパターンニングする工程とを備えることを特徴とする。

10

【発明の効果】

【0009】

本発明によれば、ライン幅およびスペース幅をシュリンクした複数のパターンを簡易な製造工程で精度よく製造することができ、製造コスト削減が図れる。

20

【発明を実施するための最良の形態】

【0010】

(第1の実施形態)

以下、本発明をNAND型フラッシュメモリ装置の加工工程に適用した場合の第1の実施形態について図1～図11を参照しながら説明する。なお、以下の図面の記載において、同一または類似の部分には同一または類似の符号で表している。但し、図面は模式的なものであり、厚みと平面寸法との関係、各層の厚みの比率等は現実のものとは異なる模式的なものである。

【0011】

30

NAND型フラッシュメモリ装置は、メモリセルトランジスタが多数マトリクス状に配置されるメモリセル領域と、メモリセルトランジスタを駆動するための周辺回路トランジスタを備えた周辺回路領域とから構成されている。

【0012】

図1(a)はメモリセル領域の一部のレイアウトパターンを示し、図1(b)は周辺回路部のトランジスタを示す平面図である。図1(a)において、半導体基板としてのシリコン基板1に、素子分離用絶縁膜としてのSTI(shallow trench isolation)2が図1(a)中Y方向に沿って所定間隔で複数本形成され、これによって活性領域3が図1(a)中X方向に分離形成されている。活性領域3と直交する図1(a)中X方向に沿って所定間隔でメモリセルトランジスタのワード線WLが形成されている。また、図1(a)中X方向に沿って一对の選択ゲートトランジスタの選択ゲート線SGL1が形成されている。一对の選択ゲート線SGL1間の活性領域3にはビット線コンタクトCBがそれぞれ形成されている。ワード線WLと交差する活性領域3上にはメモリセルトランジスタのゲート電極MGが、選択ゲート線SGL1と交差する活性領域3上には選択ゲートトランジスタのゲート電極(選択ゲート電極)SGが形成されている。

40

【0013】

図1(b)において、周辺回路部に形成されるトランジスタTrPは、シリコン基板1にSTI2を矩形状に活性領域3aを残すように形成した部分に設けられている。活性領域3aには、これを横切るように孤立ゲート電極PGが形成され、その両側に不純物を拡散して形成したソース/ドレイン領域が設けられている。

50

## 【 0 0 1 4 】

次に、本実施形態において適用対象となる加工工程について説明する。まず、第1の対象として示す図2(a)、(b)は、NAND型フラッシュメモリ装置のワード線WLとなるゲート電極の一括加工を行う場合の加工前と加工後の模式的断面を示しており、図1(a)中、切断線A-Aで示す部分に相当している。

## 【 0 0 1 5 】

加工前の状態を示す図2(a)において、シリコン基板1の上にはゲート絶縁膜4が形成され、その上面にゲート電極MGを構成する膜が積層形成されている。ゲート電極MGを構成する膜は、下から多結晶シリコン膜5、ゲート間絶縁膜6、多結晶シリコン膜7およびシリコン窒化膜8である。そして、シリコン窒化膜8をマスク膜とし、ゲート電極MGを構成する膜5~7が被加工物とされる。シリコン窒化膜8の上面には、非晶質シリコン膜からなるシュリンクパターン9が形成された状態を示している。

10

## 【 0 0 1 6 】

そして、上記構成のシュリンクパターン9を用いて、下地材であるシリコン窒化膜8をエッチング加工してパターンングし、その後、シュリンクパターン9を除去し、パターンングされたシリコン窒化膜8の加工パターンをマスク膜としてゲート電極MGを構成する多結晶シリコン膜7、ゲート間絶縁膜6、多結晶シリコン膜5を順次加工することにより、図2(b)に示す構成を得る。

## 【 0 0 1 7 】

上記のゲート電極MGの加工工程に先立って、シュリンクパターン9を形成する工程が行われるが、シュリンクパターン9は、パターンの幅寸法(ライン寸法)がたとえば15nm程度で形成され、隣接するものとの間隔寸法(スペース寸法)もたとえば15nm程度で形成されている。つまり、ラインアンドスペースの寸法が15nmに形成されている。この微細なシュリンクパターン9の形成工程は、後述するように、フォトリソグラフィ処理工程でのパターンングの寸法からさらに1/3程度の寸法にピッチを縮小させるものである。

20

## 【 0 0 1 8 】

次に、第2の対象として示す図3(a)、(b)は、NAND型フラッシュメモリ装置の素子分離用の溝(トレンチ)を形成する加工工程の加工前と加工後の模式的断面を示しており、図1(a)中切断線B-Bで示す部分に相当している。ただし、図1(a)では、ワード線WLを形成した状態での平面図を示しているが、この場合における構成では、ワード線WLを形成する前の加工工程が対象である。

30

## 【 0 0 1 9 】

図3(a)に示す加工前の状態では、シリコン基板1上にゲート絶縁膜4が形成され、その上面にゲート電極MGの下層となる多結晶シリコン膜5が形成され、さらに、その上面にシリコン窒化膜10が積層形成されている。これら被加工物としてのシリコン基板1、ゲート絶縁膜4、多結晶シリコン膜5およびシリコン窒化膜10に対して、マスク膜としてのシリコン酸化膜11が所定のパターンに形成されている。このシリコン酸化膜11は、これに先立つ製造工程においてシュリンクパターンが上面に形成され、そのシュリンクパターンを用いてエッチング加工されたものである。マスク膜としてのシリコン酸化膜11は、パターンの幅寸法(ライン寸法)がたとえば15nm程度で形成され、隣接するものとの間隔寸法(スペース寸法)もたとえば15nm程度で形成されている。

40

## 【 0 0 2 0 】

上記したシリコン酸化膜11をマスクとして、図3(b)に示すように、下地のシリコン窒化膜10、多結晶シリコン膜5、ゲート絶縁膜4およびシリコン基板1がRIE法などによりエッチング加工され、シリコン基板1に所定深さの溝1aが形成される。溝1a内には後工程において素子分離用絶縁膜としてシリコン酸化膜などが埋め込み形成され、前述したメモリセル領域のSTI2とされる。

## 【 0 0 2 1 】

次に、上記した図2(a)のシュリンクパターン9の形成工程について図4~図11を

50

参照して説明する。なお、図4～図11では、図2で示した部分のうち、マスク膜としてのシリコン窒化膜10および被加工物として多結晶シリコン膜7の部分から上を示しており、下のゲート間絶縁膜6、多結晶シリコン膜5、ゲート絶縁膜4およびシリコン基板1は図示を省略している。また、図中、等間隔で複数示す破線は最終的に形成するラインアンドスペースの寸法 $W_a$ であり、ここではたとえば15nmで示している。

#### 【0022】

まず、図4に示すように、ゲート電極となる多結晶シリコン膜7上にマスク膜となるシリコン窒化膜8を形成する。さらにCVD (chemical vapor deposition) 法により第1の膜である非晶質シリコン (amorphous silicon) 膜12を成膜する。その後、フォトリソグラフィ処理により、反射防止膜13、フォトレジスト14を塗布し、ライン寸法 $W_b$ が45nm、スペース寸法 $W_c$ が45nmの溝パターンをリソグラフィ技術を用いて形成する。

10

#### 【0023】

次に、図5に示すように、溝パターンを形成するレジスト14をマスクとしてRIE (reactive ion etching) 法により非晶質シリコン膜12を互いに分離した複数のパターンに加工し芯材とする。続いて、芯材として形成した非晶質シリコン膜12の幅寸法つまりライン寸法 $W_d$ が30nm ( $W_b$ の2/3の幅寸法) になるようにスリミング (slimming) 技術を用いて加工する。このときのRIE加工においては、臭化水素 (HBr) を主体としたガスなどを用い、下地材であるシリコン窒化膜8に対する選択比が得られる条件を採用して加工する。

20

#### 【0024】

この後、図6に示すように、アッシング処理により反射防止膜13およびレジスト膜14を除去し、続けてウェット処理により非晶質シリコン膜12の側壁及び上面にレジスト膜14などの不純物が残らないように洗浄する。

#### 【0025】

次に、図7に示すように、非晶質シリコン膜12の表層に熱酸化処理を施すことにより第2の膜である酸化膜層15に改質させる。この処理により、非晶質シリコン膜12が酸化することで自らの寸法 $W_e$ が図示のように15nmと薄くなり、側壁部および上面にはシリコンを酸化したことにより、薄くなった分よりも厚い膜厚 $W_f$ の酸化膜層15が形成される。このときの酸化膜層15の膜厚 $W_f$ は15nmとなるように形成する。同時に、非晶質シリコン膜12aによる芯材の寸法 $W_e$ も同じく15nm程度となり、両者の寸法 $W_e$ および $W_f$ がラインアンドスペースの寸法 $W_a$ に等しくなるようにする。

30

#### 【0026】

続いて、図8に示すように、全面に第3の膜としての非晶質シリコン膜16を形成する。非晶質シリコン膜16は、膜厚 $W_g$ がラインアンドスペースの寸法 $W_a$ に等しい15nmで成膜される。これにより、芯材である非晶質シリコン膜12aを中心として第2の膜である酸化膜層15が形成された側壁部にも新たに非晶質シリコン膜16が形成された状態となる。

#### 【0027】

次に、図9に示すように、RIE法により非晶質シリコン膜16のエッチバック処理を行ってスペーサ状に加工する。これにより、酸化膜層15の上面部およびシリコン窒化膜8の上面に形成された非晶質シリコン膜16は除去され、芯材となる非晶質シリコン膜12aの両側面に酸化膜層15を介して側壁部となる非晶質シリコン膜16aが選択的に残された状態に形成される。なお、このエッチバック処理では、臭化水素 (HBr) を主体とした反応ガスを用いている。

40

#### 【0028】

その後、図10に示すように、弗酸 (HF) 処理などのウェット処理を行って酸化膜層15を完全に除去する。これにより、酸化膜層15は非晶質シリコン膜12a、16aに対して選択的に除去される。非晶質シリコン膜12aはシュリンクパターン9aとして形成され、非晶質シリコン膜16aはシュリンクパターン9bとして形成され、これらシュ

50

リンクパターン 9 a、9 b によりシュリンクパターン 9 が形成される。この非晶質シリコン膜からなるシュリンクパターン 9 によるラインアンドスペースパターンの寸法  $W_e$ 、 $W_g$  およびそれらの間隔寸法は  $15 \text{ nm}$  ( $= W_a$ ) となり、最初にリソグラフィ処理でレジストをパターンングしたラインアンドスペースの寸法  $W_b$ 、 $W_c$  の  $1/3$  とすることができる。

#### 【0029】

上述のような工程を経て得られたシュリンクパターン 9 をマスクとして用いて下地材であるシリコン窒化膜 8 を R I E 法により加工すると、図 1 1 に示すように、パターンングすることができる。このシリコン窒化膜 8 のパターンは、幅寸法および間隔寸法つまりラインアンドスペースの寸法  $W_a$  が  $15 \text{ nm}$  で形成されたものとなり、フォトリソグラフィ処理では得られない略  $1/3$  にシュリンクされた微細なパターンが形成される。

10

#### 【0030】

なお、上記工程では、被加工物をシリコン窒化膜 8 とする図 2 に示した工程を対象として適用した場合で説明したが、図 3 に示した工程を対象として適用することもできる。この場合には、被加工物がシリコン酸化膜 1 1 であるから、上記した加工工程で酸化膜と窒化膜とを入れ替えて膜を形成すればよい。

#### 【0031】

すなわち、第 1 の膜である非晶質シリコン膜 1 2 および第 3 の膜である非晶質シリコン膜 1 6 はそのまま同じものを用い、第 2 の膜である酸化膜層 1 5 の代わりに窒化膜層を形成することで同様の加工を行うことができる。この第 2 の膜としての窒化膜層は、非晶質シリコン膜 1 2 の表面を改質する処理として窒化処理を行うことでシリコン窒化膜として形成できる。

20

#### 【0032】

(第 2 の実施形態)

次に、本発明の第 2 の実施形態について図 1 2 ないし図 2 1 を参照して説明する。この実施形態においては、第 1 の実施形態における場合と異なる点として、ラインアンドスペースの加工をする場合に、パターン幅や間隔の異なる部分が存在する場合を対象としている。これは、たとえば、N A N D 型フラッシュメモリ装置においては、前述したように、選択ゲート電極 S G や周辺回路領域のトランジスタのゲート電極 P G などのピッチの異なるパターンが存在するので、ゲート加工をする場合に、これらの部分で別途必要となる処理があることに基づく。なお、図 1 2 ないし図 2 1 の各図の ( a )、( b ) は、図 1 ( a ) の切断線 C a - C a、C b - C b で示す部分の断面を示している。

30

#### 【0033】

以下、選択ゲート電極 S G および周辺回路領域のゲート電極 P G が存在する場合の製造工程について説明する。

まず、図 1 2 に示すように、第 1 の実施形態と同様にして、ゲート電極となる多結晶シリコン膜 7 上にマスク膜となるシリコン窒化膜 8 を形成する。さらに C V D 法により第 1 の膜である非晶質シリコン膜 1 2 を成膜する。その後、フォトリソグラフィ処理により、反射防止膜 1 3、フォトレジスト 1 4 を塗布してレジストパターンを形成する。

#### 【0034】

40

この場合、レジストパターンは、ゲート電極 M G に対応するワード線 W L の部分のライン寸法  $W_b$  が  $45 \text{ nm}$ 、スペース寸法  $W_c$  が  $45 \text{ nm}$  の溝パターンであり、選択ゲート電極 S G に対応する選択ゲート線 S G L の部分のライン寸法  $W_h$  が  $75 \text{ nm}$ 、スペース寸法 (図示せず)  $75 \text{ nm}$  の溝パターン、および、孤立ゲート電極 G P に対応するライン寸法  $W_i$  が  $105 \text{ nm}$ 、スペース寸法 (図示せず)  $2000 \text{ nm}$  の孤立パターンが共存しているものとする。

#### 【0035】

次に、図 1 3 に示すように、溝パターンを形成するレジスト 1 4 をマスクとして R I E 法により非晶質シリコン膜 1 2 を互いに分離した複数のパターンに加工し芯材とする。続いて、メモリセルトランジスタのゲート電極 M G の芯材として形成した非晶質シリコン膜

50

12の幅寸法つまりライン寸法 $W_d$ が30nm( $W_b$ の2/3の幅寸法)になるようにスリミング技術を用いて加工する。このときのRIE加工においては、臭化水素(HBr)を主体としたガスなどを用い、下地材に対する選択比が得られる条件を採用して加工する。なお、上記したスリミング処理では、選択ゲート電極SGおよび孤立ゲート電極PGについても同様にスリミングされ、選択ゲート電極SGのライン寸法 $W_j$ が60nmとなり、孤立ゲート電極PGのライン寸法 $W_k$ が90nmとなる。

**【0036】**

この後、図14に示すように、アッシング処理により反射防止膜13およびレジスト膜14を除去し、続けてウェット処理により非晶質シリコン膜12の側壁及び上面にレジスト膜14などの不純物が残らないように洗浄する。

10

**【0037】**

次に、図15に示すように、非晶質シリコン膜12の表層に熱酸化処理を施すことにより第2の膜である酸化膜層15に改質させ非晶質シリコン膜12a、12b、12cとする。この処理により、非晶質シリコン膜12が酸化することで自らの寸法が図示のように薄くなり、側壁部および上面には薄くなった分よりも厚い膜厚 $W_f$ の酸化膜層15が形成される。このときの酸化膜層15の膜厚 $W_f$ は15nmとなるように形成する。同時に、非晶質シリコン膜12a、12b、12cによる芯材の各寸法 $W_e$ 、 $W_m$ 、 $W_n$ は15nm、45nm、75nm程度となる。

**【0038】**

続いて、図16に示すように、全面に第3の膜としての非晶質シリコン膜16を形成する。非晶質シリコン膜16は、膜厚 $W_g$ がラインアンドスペースの寸法 $W_a$ に等しい15nmで成膜される。これにより、芯材である非晶質シリコン膜12a、12b、12cを中心として第2の膜である酸化膜層15が形成された側壁部にも新たに非晶質シリコン膜16が形成された状態となる。

20

**【0039】**

次に、図17に示すように、RIE法により非晶質シリコン膜16のエッチバック処理を行ってスペーサ状に加工する。これにより、酸化膜層15の上面部およびシリコン窒化膜8の上面に形成された非晶質シリコン膜16は除去され、芯材となる非晶質シリコン膜12a、12b、12cの両側面に酸化膜層15を介して非晶質シリコン膜16による側壁部16aが選択的に残された状態に形成される。なお、このエッチバック処理では、反応ガスは臭化水素(HBr)を主体としたガスを用いている。

30

**【0040】**

次に、選択ゲート電極SGが互いに対向する部分の側壁に形成された非晶質シリコン膜16aおよび孤立ゲート電極PGの両側壁に形成された非晶質シリコン膜16aは、加工上で不要となるので除去する。これは、図18に示すように、フォトリソグラフィ処理にてフォトレジスト17を塗布し、ワード線WLのゲート電極MG部分を覆い、選択ゲート電極SGが対向する領域および孤立ゲート電極PG部分を開口させるように、芯材加工時にマスクとして用いたレジストとは異なるパターンでパターニングする。

**【0041】**

なおここでは、非晶質シリコン膜12a、12b、12cの長手方向の両端部側壁に形成された非晶質シリコン膜16aの部分がさらに開口するようなパターンでパターニングし、この後非晶質シリコン膜16aの選択的な除去の際にメモリセルトランジスタのゲート電極MG部分で非晶質シリコン膜12aの両側面の非晶質シリコン膜16aが分離加工されるようにしてもよい。

40

**【0042】**

次に、図19に示すように、CF<sub>4</sub>/O<sub>2</sub>系のガスを用いたCDE(chemical dry etching)処理により、フォトレジスト17の開口部に露出している非晶質シリコン膜16aの一部を除去する。このエッチング処理では、シリコン酸化膜、シリコン窒化膜に対し選択的に非晶質シリコン膜を加工する条件としている。これにより選択ゲート電極SGが対向する領域の側面、孤立ゲート電極PGの両側面の酸化膜層15を介して残っていた非晶

50



質シリコン膜 16 a を除去する。このとき、実際には選択比が大きく取れない場合などで、図示のように酸化膜層 15 およびシリコン窒化膜 8 が露出する部分がエッチングされて薄くなることがある。

【0043】

この後、図 20 に示すように、フォトレジスト 17 をアッシング処理により剥離する。続いて、図 21 に示すように、弗酸 (HF) のウェット処理を行って酸化膜層 15 を完全に除去する。これにより、非晶質シリコン膜 12 a はシュリンクパターン 9 a として形成され、非晶質シリコン膜 16 a はシュリンクパターン 9 b として形成され、これらシュリンクパターン 9 a、9 b によりシュリンクパターン 9 が形成される。

【0044】

この非晶質シリコン膜からなるシュリンクパターン 9 によるラインアンドスペースパターンの寸法  $W_e$ 、 $W_g$  およびそれらの間隔寸法は 15 nm となり、最初にリソグラフィ処理でレジストをパターンニングしたラインアンドスペースの寸法  $W_b$ 、 $W_c$  の  $1/3$  とすることができる。また、選択ゲート電極 SG の非晶質シリコン膜 12 b により得られたパターンのパターン寸法  $W_m$  は 45 nm であり、孤立ゲート電極 PG の非晶質シリコン膜 12 c により得られたパターンのパターン寸法  $W_n$  は 75 nm となっている。

【0045】

上述のような工程を経て得られたシュリンクパターン 9、およびパターン 12 b、12 c をマスクとして用いて下地材であるシリコン窒化膜 8 を RIE 法により加工すると、選択ゲート電極 SG や孤立ゲート電極 PG を同時に形成する工程においても、図 11 に示したのと同様ワード線 WL に対応するゲート電極 MG について所望のラインアンドスペースの寸法  $W_a$  でシリコン窒化膜 8 をパターンニングすることができる。

【0046】

なお、上記工程では、被加工物をシリコン窒化膜 8 とする図 2 に示した工程を対象として適用した場合で説明したが、この実施形態の場合においても、図 3 に示した工程を対象とした場合にも適用することができる。この場合には、被加工物がシリコン酸化膜 11 であるから、第 1 の実施形態において説明したと同様に、加工工程で用いるシリコン酸化膜とシリコン窒化膜とを入れ替えて膜を形成すればよい。

【0047】

(第 3 の実施形態)

図 22 ~ 図 25 は本発明の第 3 の実施形態を示すもので、以下、第 2 の実施形態と異なる部分について説明する。この第 3 の実施形態においては、第 2 の実施形態と次の点が異なる。第 2 の実施形態において、図 17 に示した工程からフォトリソグラフィ処理工程を用いて選択ゲート電極 SG が互いに対向する部分の側壁に形成された非晶質シリコン膜 16 a および孤立ゲート電極 PG の両側壁に形成された非晶質シリコン膜 16 a を除去する工程を採用していた。第 3 の実施形態においては、フォトリソグラフィ処理を用いないで同じパターン形成をできるようにした。以下、図 17 に示した状態から先の工程について説明する。

【0048】

すなわち、図 17 に示した状態から、次に図 22 に示すように、全面にシリコン酸化膜 18 を成膜し、ワード線 WL に対応するゲート電極 MG 間には非晶質シリコン膜 12 a、16 a の上面までシリコン酸化膜 18 を完全に埋め込むが、選択ゲート電極 SG が対向している領域や、孤立ゲート電極 PG のパターン領域は完全に埋め込まれず、溝が存在する状態にしておく。ここでは、シリコン酸化膜 18 の膜厚  $W_o$  を 15 nm とし、ワード線 WL を構成するゲート電極 MG 間には完全に埋め込まれるが、選択ゲート電極 SG、孤立ゲート電極 PG はその周りを囲むようにシリコン酸化膜 18 が 15 nm 成膜されることになる。

【0049】

この後、図 23 に示すように、CF<sub>4</sub>/O<sub>2</sub> 系のガスを用いた CDE 処理あるいは弗酸 (HF) 処理などのウェット処理によりシリコン酸化膜 18 を等方性エッチングし、ワード線 WL に対応するゲート電極 MG 間のシリコン酸化膜 18 は残しつつ、選択ゲート電極

10

20

30

40

50

S Gが対向する側の側面や、孤立ゲート電極P Gのパターン領域の側面の非晶質シリコン膜1 6 aを露出させるまでシリコン酸化膜1 8を後退させる。

【0 0 5 0】

次に、図2 4に示すように、熱酸化処理を行い、露出した非晶質シリコン膜1 6 aをシリコン酸化膜1 5 aに変質させる。これにより、ゲート電極M G間および選択ゲート電極S Gの間に形成されているシリコン酸化膜1 5、1 8と合わせ、全体としてシリコン酸化膜1 5 aとなって芯材である非晶質シリコン膜1 2 a、1 2 b、1 2 cを覆うように形成された状態となる。

【0 0 5 1】

この後、図2 5に示すように、弗酸(H F)のウェット処理を行って酸化膜層1 5 aを完全に除去する。これにより、非晶質シリコン膜1 2 aはシュリンクパターン9 aとして形成され、非晶質シリコン膜1 6 aはシュリンクパターン9 bとして形成され、これらシュリンクパターン9 a、9 bによりシュリンクパターン9が形成される。

10

【0 0 5 2】

この非晶質シリコン膜からなるシュリンクパターン9によるラインアンドスペースパターンの寸法W e、W gおよびそれらの間隔寸法は1 5 n mとなり、最初にリソグラフィ処理でレジストをパターンニングしたラインアンドスペースの寸法W b、W cの1 / 3とすることができ。また、選択ゲート電極S Gの非晶質シリコン膜1 2 bにより得られた芯材パターンのパターン寸法W mは4 5 n mであり、孤立ゲート電極P Gの非晶質シリコン膜1 2 cにより得られたパターンのパターン寸法W nは7 5 n mとなっている。

20

【0 0 5 3】

上述のような工程を経て得られたシュリンクパターン9、およびパターン1 2 b、1 2 cをマスクとして用いて下地材であるシリコン窒化膜8をR I E法により加工すると、選択ゲート電極S Gや孤立ゲート電極P Gを同時に形成する工程においても、図1 1に示したのと同様ワード線W Lに対応するゲート電極M Gについて、所望のラインアンドスペースの寸法W aで下地材であるシリコン窒化膜8をパターンニングすることができる。

【0 0 5 4】

なお、上記工程では、被加工物をシリコン窒化膜8とする図2に示した工程を対象として適用した場合で説明したが、この実施形態の場合においても、図3に示した工程を対象とした場合にも適用することができる。この場合には、被加工物がシリコン酸化膜1 1であるから、第1の実施形態において説明したと同様に、加工工程で用いるシリコン酸化膜とシリコン窒化膜とを入れ替えて膜を形成すればよい。

30

【0 0 5 5】

(他の実施形態)

本発明は、上記実施例にのみ限定されるものではなく、次のように変形または拡張できる。

シュリンクパターンの下地材として、シリコン窒化膜、シリコン酸化膜以外の膜を用いても良く、マスク膜として用いる際に他の膜との選択性が得られるものであれば良い。

1 / 3ピッチのパターンが転写される被加工物は、多結晶シリコン膜、シリコン基板以外に、絶縁膜としても良いし、他の導体膜、半導体膜としても良い。

40

【0 0 5 6】

対象とするデバイスは、N A N D型フラッシュメモリ装置に限らず、N O R型フラッシュメモリや、S R A Mあるいはその他の半導体記憶装置に適用できるし、さらには、ラインアンドスペースのパターン形成を行う半導体装置全般に適用できる。

【図面の簡単な説明】

【0 0 5 7】

【図1】本発明の第1の実施形態を示し、N A N D型フラッシュメモリ装置のメモリセル領域の一部および周辺回路領域のトランジスタのレイアウトパターンを示す模式的な平面図

【図2】図1(a)中切断線A - Aで示す部分のゲート電極の加工工程を概略的に示す模

50

## 式的断面図

【図3】図1(a)中切断線B-Bで示す部分のSTI形成用の溝加工工程を概略的に示す模式的断面図

【図4】マスクパターン形成工程を示す断面図(その1)

【図5】マスクパターン形成工程を示す断面図(その2)

【図6】マスクパターン形成工程を示す断面図(その3)

【図7】マスクパターン形成工程を示す断面図(その4)

【図8】マスクパターン形成工程を示す断面図(その5)

【図9】マスクパターン形成工程を示す断面図(その6)

【図10】マスクパターン形成工程を示す断面図(その7)

10

【図11】マスクパターン形成工程を示す断面図(その8)

【図12】本発明の第2の実施形態を示し、図1(a),(b)中、切断線Ca-Ca、Cb-Cb部分のマスクパターンの形成工程を示す断面図(その1)

【図13】マスクパターンの形成工程を示す断面図(その2)

【図14】マスクパターンの形成工程を示す断面図(その3)

【図15】マスクパターンの形成工程を示す断面図(その4)

【図16】マスクパターンの形成工程を示す断面図(その5)

【図17】マスクパターンの形成工程を示す断面図(その6)

【図18】マスクパターンの形成工程を示す断面図(その7)

【図19】マスクパターンの形成工程を示す断面図(その8)

20

【図20】マスクパターンの形成工程を示す断面図(その9)

【図21】マスクパターンの形成工程を示す断面図(その10)

【図22】本発明の第3の実施形態を示し、図1(a),(b)中、切断線Ca-Ca、Cb-Cb部分のマスクパターンの形成工程を示す断面図(その1)

【図23】マスクパターンの形成工程を示す断面図(その2)

【図24】マスクパターンの形成工程を示す断面図(その3)

【図25】マスクパターンの形成工程を示す断面図(その4)

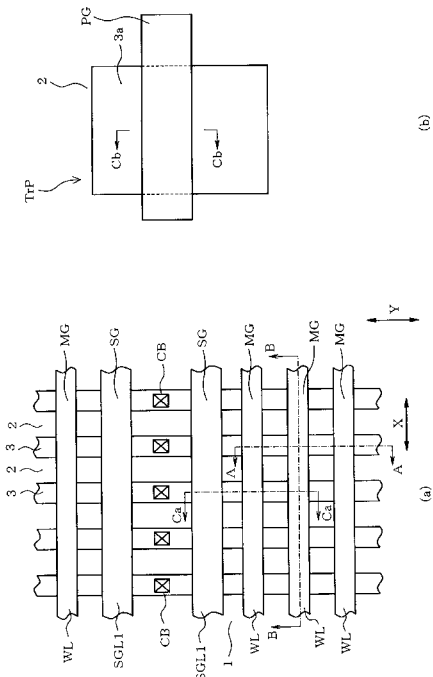
【符号の説明】

【0058】

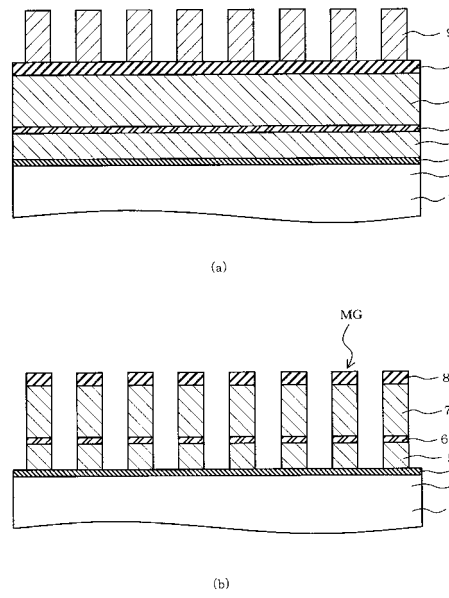
図面中、1はシリコン基板、2はSTI、3、3aは活性領域、4はゲート絶縁膜、5は多結晶シリコン膜、6はゲート間絶縁膜、7は多結晶シリコン膜、8はシリコン窒化膜(下地材)、9はシュリンクパターン、12は非晶質シリコン膜(第1の膜)、13は反射防止膜、14はフォトレジスト、15は酸化膜層(第2の膜)、16は非晶質シリコン膜(第3の膜)、18はシリコン酸化膜である。

30

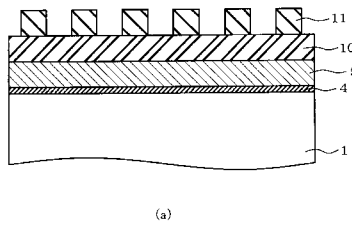
【 図 1 】



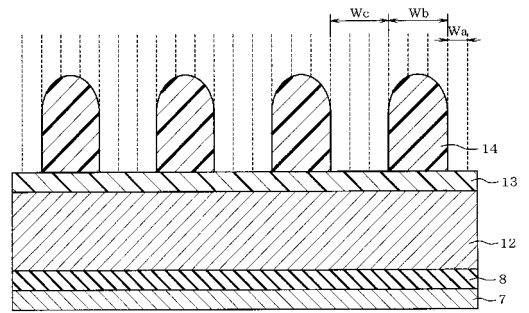
【 図 2 】



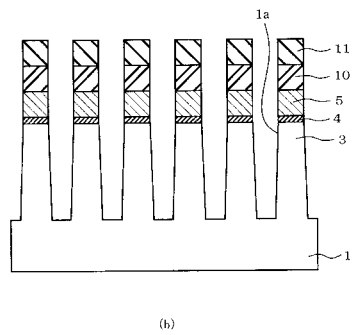
【 図 3 】



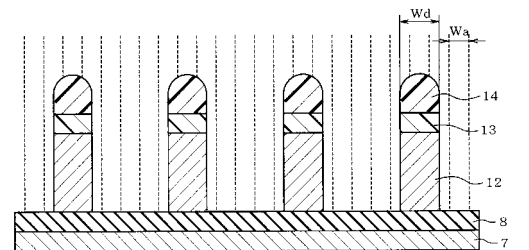
【 図 4 】



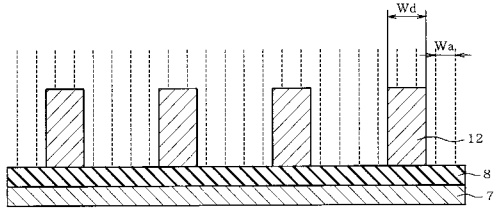
【 図 5 】



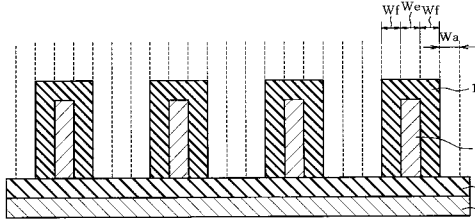
【 図 5 】



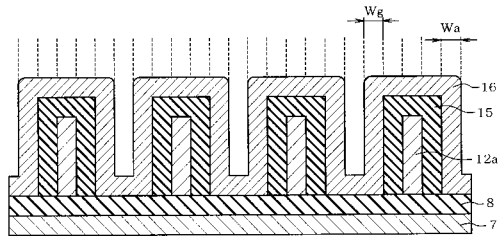
【 図 6 】



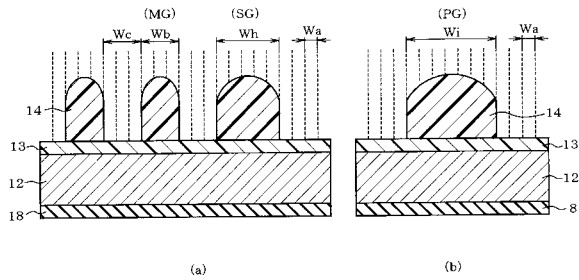
【 図 7 】



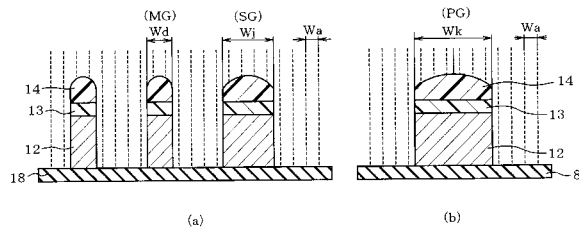
【 図 8 】



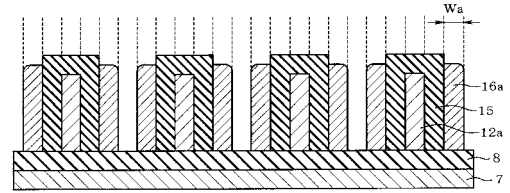
【 図 1 2 】



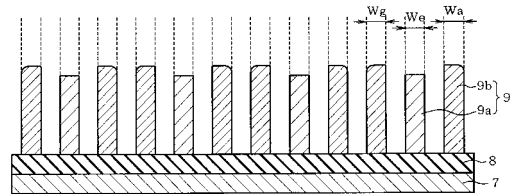
【 図 1 3 】



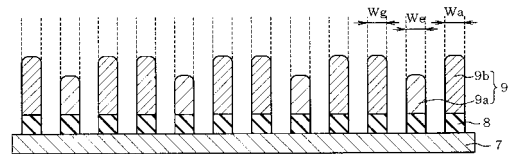
【 図 9 】



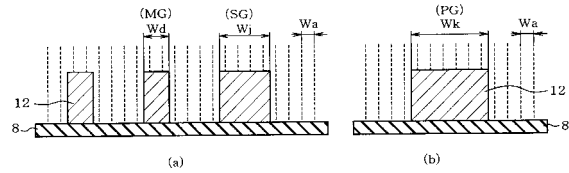
【 図 1 0 】



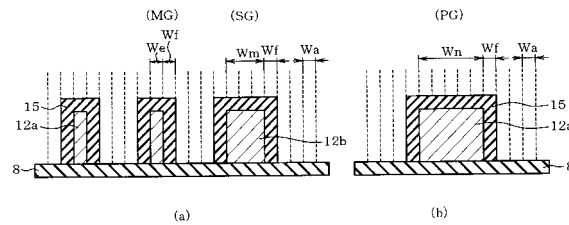
【 図 1 1 】



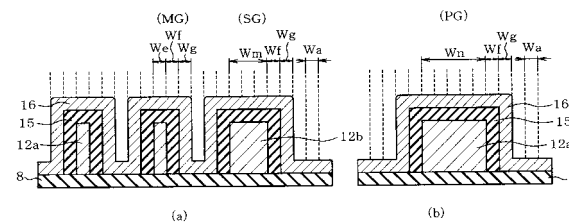
【 図 1 4 】



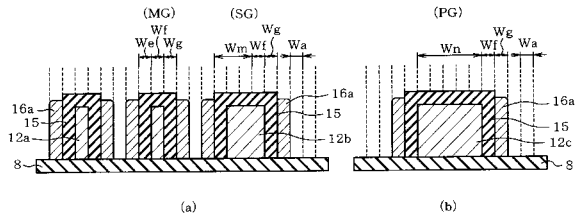
【 図 1 5 】



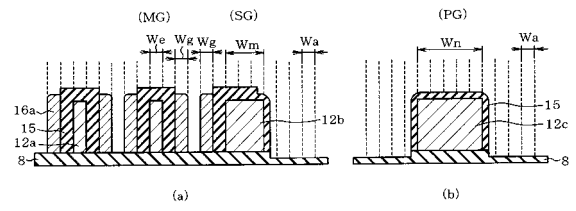
【 図 1 6 】



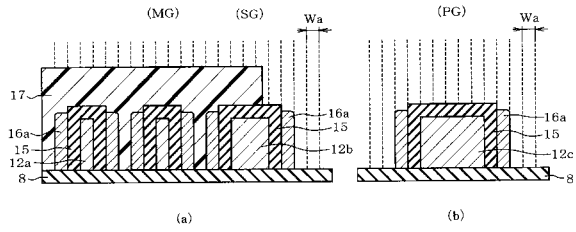
【 図 17 】



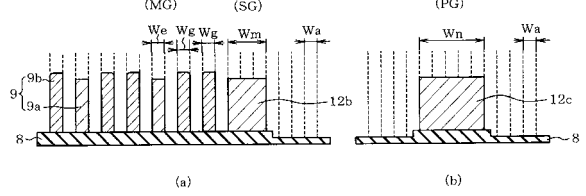
【 図 20 】



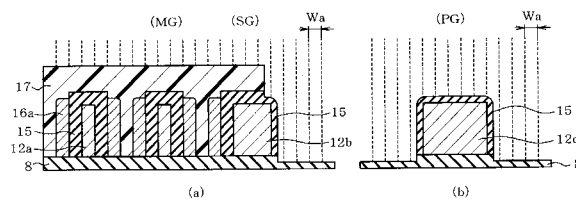
【 図 18 】



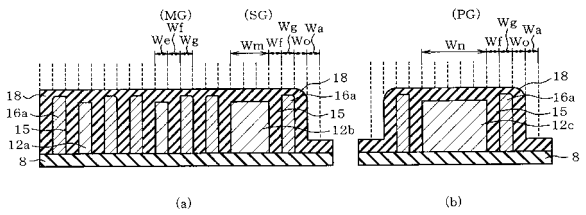
【 図 21 】



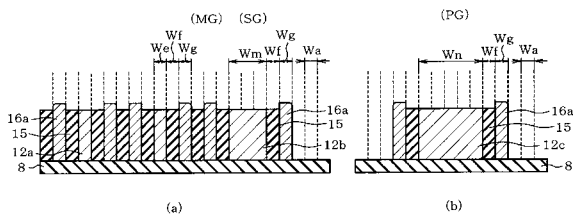
【 図 19 】



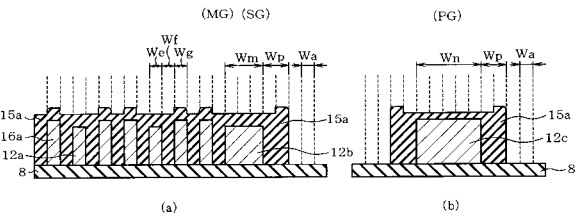
【 図 22 】



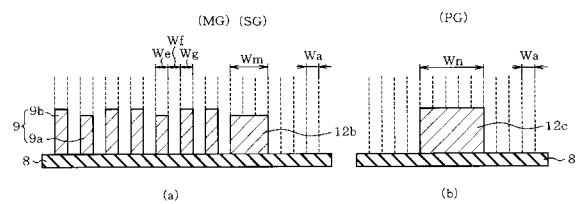
【 図 23 】



【 図 24 】



【 図 25 】



---

フロントページの続き

(51)Int.Cl. F I テーマコード(参考)  
H 0 1 L 29/788 (2006.01)  
H 0 1 L 29/792 (2006.01)

Fターム(参考) 5F101 BA01 BB05 BD02 BD22 BD32 BD34 BD35 BH03 BH14 BH15  
BH21