



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I595648 B

(45)公告日：中華民國 106 (2017) 年 08 月 11 日

(21)申請案號：104127323

(22)申請日：中華民國 99 (2010) 年 09 月 27 日

(51)Int. Cl. : H01L29/04 (2006.01)

H01L29/06 (2006.01)

H01L21/336 (2006.01)

H01L29/786 (2006.01)

(30)優先權：2009/10/09 日本

2009-235604

(71)申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72)發明人：山崎舜平 YAMAZAKI, SHUNPEI (JP)；高橋圭 TAKAHASHI, KEI (JP)；伊藤良
明 ITO, YOSHIKI (JP)

(74)代理人：林志剛

(56)參考文獻：

US 2008/0258140A1

US 2009/0152506A1

審查人員：黃泰淵

申請專利範圍項數：14 項 圖式數：19 共 73 頁

(54)名稱

半導體裝置和其製造方法

SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF

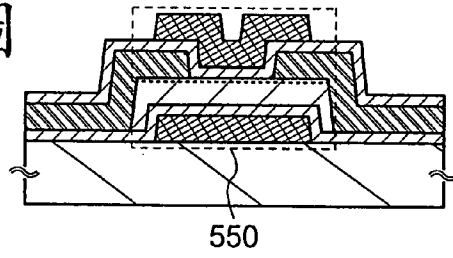
(57)摘要

本發明之目的在於提供具有新的生產性之半導體材料及新的結構之半導體裝置。該半導體裝置包含：第一導電層，在基板之上；第一絕緣層，覆蓋該第一導電層；氧化物半導體層，在該第一絕緣層之上，而與該第一導電層的一部分重疊，且具有晶體區於表面部分；第二及第三導電層，係形成與該氧化物半導體層接觸；絕緣層，覆蓋該氧化物半導體層及該第二和第三導電層；以及第四導電層，在該絕緣層之上，而與該氧化物半導體層的一部分重疊。

It is an object to provide a semiconductor device having a new productive semiconductor material and a new structure. The semiconductor device includes a first conductive layer over a substrate, a first insulating layer which covers the first conductive layer, an oxide semiconductor layer over the first insulating layer that overlaps with part of the first conductive layer and has a crystal region in a surface part, second and third conductive layers formed in contact with the oxide semiconductor layer, an insulating layer which covers the oxide semiconductor layer and the second and third conductive layers, and a fourth conductive layer over the insulating layer that overlaps with part of the oxide semiconductor layer.

指定代表圖：

第13E圖



符號簡單說明：

550 . . . 電晶體

發明摘要

※申請案號：

104127323 (由99132603分割)

※申請日：099年09月27日

※IPC分類：H01L 29/04 (2006.01)

H01L 29/06 (2006.01)

【發明名稱】(中文/英文)

H01L 21/336 (2006.01)

半導體裝置和其製造方法

H01L 29/186 (2006.01)

Semiconductor device and manufacturing method thereof

【中文】

本發明之目的在於提供具有新的生產性之半導體材料及新的結構之半導體裝置。該半導體裝置包含：第一導電層，在基板之上；第一絕緣層，覆蓋該第一導電層；氧化物半導體層，在該第一絕緣層之上，而與該第一導電層的一部分重疊，且具有晶體區於表面部分；第二及第三導電層，係形成與該氧化物半導體層接觸；絕緣層，覆蓋該氧化物半導體層及該第二和第三導電層；以及第四導電層，在該絕緣層之上，而與該氧化物半導體層的一部分重疊。

【 英文 】

It is an object to provide a semiconductor device having a new productive semiconductor material and a new structure. The semiconductor device includes a first conductive layer over a substrate, a first insulating layer which covers the first conductive layer, an oxide semiconductor layer over the first insulating layer that overlaps with part of the first conductive layer and has a crystal region in a surface part, second and third conductive layers formed in contact with the oxide semiconductor layer, an insulating layer which covers the oxide semiconductor layer and the second and third conductive layers, and a fourth conductive layer over the insulating layer that overlaps with part of the oxide semiconductor layer.

第 104127323 號

民國 104 年 9 月 17 日修正

【代表圖】

【本案指定代表圖】：第(13E)圖。

【本代表圖之符號簡單說明】：

550：電晶體

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：
無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

半導體裝置和其製造方法

Semiconductor device and manufacturing method thereof

【技術領域】

本發明的技術領域有關半導體裝置和其製造方法。

【先前技術】

有著寬廣種類的金屬氧化物，且該等材料氧化物係使用於各式各樣的應用。例如，氧化銦係熟知的材料，且係使用做為液晶顯示器或其類似物中所需之透明電極的材料。

若干金屬氧化物具有半導體特徵。具有半導體特徵之金屬氧化物的實例包含氧化鎢、氧化錫、氧化銦、氧化鋅、及其類似物。其中各薄膜電晶體的通道形成區係使用此金屬氧化物而形成的薄膜電晶體係早已熟知（例如，請參閱專利文獻 1 至 4，非專利文獻 1，及其類似文獻）。

進一步地，不僅單一成分的氧化物，而且多重成分的氧化物均已熟知為金屬氧化物。例如，具有同系之 $\text{InGaO}_3(\text{ZnO})_m$ （ m ：自然數）係已知為包含 In、Ga、及 Zn 之多重成分的氧化物（例如，請參閱非專利文獻 2 至 4，及其類似文獻）。

再者，已確定的是，包含此 In-Ga-Zn 基之氧化物的氧化物半導體係可施加至薄膜電晶體的通道形成區（例如，請參閱專利文獻 5，非專利文獻 5 和 6，及其類似文獻）。

[參考文件]

[專利文獻]

[專利文獻 1] 日本公開專利申請案第 S60-198861 號

[專利文獻 2] 日本公開專利申請案第 H8-264794 號

[專利文獻 3] PCT 國際申請案第 H11-505377 號之日譯本

[專利文獻 4] 日本公開專利申請案第 2000-150900 號

[專利文獻 5] 日本公開專利申請案第 2004-103957 號

[非專利文獻]

[非專利文獻 1] M. W. Prins, K. O. Grosse-Holz, G. Muller, J. F. M. Cillessen, J. B. Giesbers, R. P. Weening, 及 R. M. Wolf, “強誘電性透明薄膜電晶體”, Appl. Phys. Lett., 1996 年 6 月 17 日, 第 68 冊, 第 3650 至 3652 頁

[非專利文獻 2] M. Nakamura, N. Kimizuka, 及 T. Mohri, “在 1350°C 之 In_2O_3 - Ga_2ZnO_4 -ZnO 系統中的相關係”, J. Solid State Chem., 1991 年, 第 93 冊, 第 298 至 315 頁

[非專利文獻 3] N. Kimizuka, M. Isobe, 及 M.

Nakamura, “在 In_2O_3 - ZnGa_2O_4 - ZnO 系統中之同系化合物 $\text{In}_2\text{O}_3(\text{ZnO})_m$ ($m=3, 4$, 及 5) , $\text{InGaO}_3(\text{ZnO})_3$, 及 $\text{Ga}_2\text{O}_3(\text{ZnO})_m$ ($m=7, 8, 9$, 及 16) 的合成及單晶資料” , J. Solid State Chem., 1995 年, 第 116 冊, 第 170 至 178 頁

[非專利文獻 4] M. Nakamura, N. Kimizuka, T. Mohri, 及 M. Isobe, “新同系化合物銦鐵鋅氧化物 ($\text{InFeO}_3(\text{ZnO})_m$) (m : 自然數) 及相關聯化合物的合成及單晶資料” , KOTAI BUTSURI (SOLID STATE PHYSICS) , 1993 年, 第 28 冊, 第 5 號, 第 317 至 327 頁

[非專利文獻 5] K. Nomura, H. Ohta, K. Ueda, T. Kamiya, M. Hirano 及 H. Hosono, “以單晶透明氧化物半導體所製造的薄膜電晶體” , SCIENCE, 2003 年, 第 300 冊, 第 1269 至 1272 頁

[非專利文獻 6] K. Nomura, H. Ohta, A. Takagi, T. Kamiya, M. Hirano, 及 H. Hosono, “使用非晶氧化物半導體之透明撓性薄膜電晶體的室溫製造” , NATURE, 2004 年, 第 432 號, 第 488 至 492 頁

【發明內容】

惟, 在實際情況中, 當使用該等氧化物半導體時, 並未獲得半導體裝置之足夠的特徵。

鑑於上述問題, 本發明之一實施例的目的在於提供具

有新穎性半導體材料和新穎性結構的半導體裝置。選擇性地，本發明之一實施例的目的在於提供具有新穎性半導體材料和新穎性結構的高功率半導體裝置。

本發明之一實施例係具有新穎性結構的半導體裝置。具有晶體區於表面部分中的氧化物半導體層係使用於半導體裝置之中。該半導體裝置係以二導電層來控制電流。

本發明之一實施例係具有新穎性結構的半導體裝置。崩潰電壓（例如，汲極崩潰電壓）係藉由具有晶體區於表面部分中的氧化物半導體層，而改善於半導體裝置中。

本發明之一實施例係半導體裝置的製造方法。

例如，本發明之一實施例係一種半導體裝置，該半導體裝置包含：第一導電層，在基板之上；第一絕緣層，其覆蓋該第一導電層；氧化物半導體層，在該第一絕緣層之上，且與該第一導電層的一部分重疊，並具有晶體區於表面部分之中；第二及第三導電層，係形成與該氧化物半導體層接觸；絕緣層，其覆蓋該氧化物半導體層和該第二及第三導電層；以及第四導電層，在該絕緣層之上，且與該氧化物半導體層的一部分重疊。

在上述半導體裝置之中，較佳地，除了在該氧化物半導體層之中的晶體區之外的區域係非晶性。進一步較佳地，在該氧化物半導體層之中的晶體區包含 $\text{In}_2\text{Ga}_2\text{ZnO}_7$ 的晶體。再者，該氧化物半導體層較佳地包含 In-Ga-Zn-O 基的氧化物半導體材料。

在上述半導體裝置之中，第二導電層、第三導電層、

及第四導電層可分別作用成爲源極電極及汲極電極的其中之一者，該源極電極及該汲極電極的其中另一者，以及閘極電極。此外，第一導電層較佳地具有控制氧化物半導體層中之電場的功能。進一步地，第二導電層或第三導電層係較佳地電性連接至該氧化物半導體層的上方表面或下方表面上之該氧化物半導體層。

本發明之一實施例係一種半導體裝置的製造方法，該方法包含以下步驟：形成第一導電層於基板之上；形成覆蓋該第一導電層的第一絕緣層；形成氧化物半導體層於該第一絕緣層之上；該氧化物半導體層係與該第一導電層的一部分重疊；藉由該氧化物半導體層的熱處理而形成晶體區於該氧化物半導體層的上方表面部分之中；形成與該氧化物半導體層接觸的第二及第三導電層；形成絕緣層，該絕緣層覆蓋該氧化物半導體層和該第二及第三導電層；以及形成與該氧化物半導體層的一部分重疊之第四導電層於該絕緣層之上。

在上述方法之中，較佳地，該晶體區係藉由使得該氧化物半導體層的溫度爲 500℃ 或更高的熱處理而形成。進一步地，該氧化物半導體層係藉由使用 In-Ga-Zn-O 基之靶極的濺鍍法而形成。

注意的是，在此說明書及其類似物之中，“在…之上”無需一定要意指物件係在另一物件之上。例如，當敘述“物件係在基板之上”時，該物件係在相對於基板表面的上方部分之中。也就是說，當使用“在…之上”的用語

時，在某些情況中，另一物件係設置於物件之間。

在依據本發明一實施例的半導體裝置中，係使用其中除了作用成為所謂閘極電極的導電層之外，導電層係形成於氧化物半導體層之下方的結構。

透過此結構，可阻隔外部的電場，使得可降低外部電場在半導體裝置上的不利效應。因此，可防止由於氧化物半導體層之基板側的電荷累積之寄生通道的產生，以及在臨限電壓中的變動。

進一步地，藉由使用具有晶體區於表面部分中的氧化物半導體層，可增進半導體裝置的操作特徵。

如上述，依據本發明之一實施例，半導體裝置的操作特徵係藉由氧化物半導體層之表面部分中的晶體區而增進，且更穩定的電路操作係藉由導電層的作用而實現。進一步地，因為氧化物半導體層的生產率高，所以可低成本地提供具有優異特徵之半導體裝置。

進一步地，依據本發明之一實施例，可提供用以製造半導體裝置的有利方法。

【圖式簡單說明】

在附圖之中：

第 1A 及 1B 圖係橫剖面視圖和平面視圖，描繪半導體裝置的結構；

第 2A 至 2E 圖係橫剖面視圖，描繪半導體裝置的製造方法；

第 3A 及 3B 圖係橫剖面視圖和平面視圖，描繪半導體裝置的結構；

第 4A 至 4E 圖係橫剖面視圖，描繪半導體裝置的製造方法；

第 5A 及 5B 圖係橫剖面視圖和平面視圖，描繪半導體裝置的結構；

第 6A 至 6D 圖係橫剖面視圖，描繪半導體裝置的製造方法；

第 7A 至 7C 圖係橫剖面視圖，描繪半導體裝置的製造方法；

第 8A 及 8B 圖係橫剖面視圖，描繪半導體裝置的製造方法；

第 9 圖描繪 DC-DC 轉換器之結構的實例；

第 10A 至 10C 圖描繪包含於 DC-DC 轉換器中的電路之輸出波形的實例；

第 11 圖描繪設置有反流器之太陽光伏系統的實例；

第 12A 至 12F 圖係橫剖面視圖，描繪半導體裝置的製造方法；

第 13A 至 13E 圖係橫剖面視圖，描繪半導體裝置的製造方法；

第 14A 至 14F 圖係橫剖面視圖，描繪半導體裝置的製造方法；

第 15A 至 15E 圖係橫剖面視圖，描繪半導體裝置的製造方法；

第 16A 至 16C 圖係橫剖面視圖，描繪半導體裝置的製造方法；

第 17A 及 17B 圖係橫剖面視圖，描繪半導體裝置的製造方法；

第 18A 至 18C 圖係橫剖面視圖，描繪半導體裝置的製造方法；以及

第 19A 及 19B 圖係橫剖面視圖，描繪半導體裝置的製造方法。

【實施方式】

在下文中，將參照圖式來詳細敘述實施例。注意的是，本發明並未受限於以下之實施例的說明。熟習於本項技藝之該等人士將立即理解的是，模式和細節可以以各式各樣的方式來改變，而不會背離此說明書及其類似物中所揭示之本發明的精神。不同實施例的結構可彼此相互適當地結合。注意的是，在下文所敘述之本發明的結構中，相同的部分或具有相似功能的部分係由相同的參考符號所指示，且其說明將不予以重複。

（實施例 1）

在此實施例中，將參照第 1A 及 1B 圖以及第 2A 至 2E 圖來敘述半導體裝置及其製造方法的實例。注意的是，在下文說明書中，係使用功率 MOS（MIS）FET 做為半導體裝置。

< 半導體裝置的輪廓 >

第 1A 及 1B 圖描繪半導體裝置之結構的實例。第 1A 圖對應於橫剖面視圖，以及第 1B 圖對應於平面視圖。進一步地，第 1A 圖對應於沿著第 1B 圖中之線 A-B 所取得的橫剖面。注意的是，在該平面視圖之中，某些組件係為簡明的緣故而予以省略。

第 1A 及 1B 圖中所描繪的半導體裝置包含：基板 100；導電層 102，作用成為源極電極及汲極電極的其中一者；氧化物半導體層 104；晶體區 106，在該氧化物半導體層 104 之中；導電層 108，作用成為該源極電極及該汲極電極的其中另一者；絕緣層 110，作用成為閘極絕緣層；導電層 112，係電性連接至導電層 108；導電層 114，係電性連接至導電層 102；導電層 116，作用成為閘極電極；和其類似物。

此處，氧化物半導體層 104 包含氧化物半導體材料做為半導體，而該氧化物半導體材料的能隙係相當大。當使用能隙大的氧化物半導體材料於半導體裝置時，可改善該半導體裝置的崩潰電壓（例如，汲極崩潰電壓）。

晶體區 106 對應於氧化物半導體層 104 的表面部分（上方層），且係其中使氧化物半導體層 104 結晶化於該處之區域。透過該晶體區 106 的設置，可進一步降低半導體裝置的崩潰電壓（例如，汲極崩潰電壓）。注意的是，在氧化物半導體層 104 之中除了晶體區 106 外的區域較佳

地爲非晶性；惟，該等區域亦可包含晶粒於非晶區域中，或可爲微晶。

在平面視圖中，作用成爲閘極電極的導電層 116 係設置圍繞著作用成爲源極電極及汲極電極之其中另一者的導電層 108，以及電性連接至該導電層 108 的導電層 112；且作用成爲該源極電極及該汲極電極之其中一者的導電層 102，以及電性連接至該導電層 102 的導電層 114 係設置在導電層 116 之周圍（請參閱第 1B 圖）。

換言之，作用成爲源極電極及汲極電極之其中一者的導電層 102 並未與作用成爲該源極電極及該汲極電極之其中另一者的導電層 108 重疊。在此，當敘述“A 並未與 B 重疊”時，在平面視圖中，A 和 B 並不具有其中 A 占有與 B 相同區域的區域。相同的陳述亦可適用於此說明書中的其他部分。

進一步地，作用成爲閘極電極的導電層 116 係設置於具有其中導電層 102 與導電層 108 並未互相重疊於該處之區域的區域中。也就是說，至少一部分的導電層 116 並未與導電層 102 及導電層 108 重疊。對照地，其他部分的導電層 116 則可與導電層 102 及導電層 108 重疊。

注意的是，在第 1A 及 1B 圖之中，導電層 108 及導電層 112 係設置在中心，且導電層 116、導電層 102、及導電層 114 係設置在導電層 108 及導電層 112 之周圍；然而，該半導體裝置的佈局並未受限於此。在不損害該半導體裝置之功能的範圍之內，可適當地改變該等組件的配

置。

電性連接至導電層 108 的導電層 112 作用為端子，用以電性連接該導電層 108 至外部導線或其類似物；然而，只要導電層 108 可直接連接至外部導線或其類似物，則無需一定要設置該導電層 112。相同的陳述亦可適用於導電層 114。注意的是，在第 1A 及 1B 圖之中，並未描繪出電性連接至導電層 112 的外部導線或其類似物。

在下文中，將參照第 1A 及 1B 圖來敘述此實施例中之半導體裝置的結構之細節。

< 基板 >

絕緣基板、半導體基板、金屬基板、或其類似物被使用做為基板 100。此外，亦可使用其中表面係以絕緣材料所覆蓋之基板。注意的是，較佳地，基板 100 應具有足夠高的熱阻，以便耐受氧化物半導體層的加熱。

可使用玻璃基板、石英基板、或其類似物做為該絕緣基板。此外，亦可使用包含諸如聚醯乙胺、聚醯胺、聚乙烯酚、苯并環丁烯樹脂、丙烯酸樹脂、或環氧樹脂之有機材料的絕緣基板。在其中使用包含有機材料之絕緣基板於該處的情況中，必須選擇能在處理中耐受最高溫度之絕緣基板。

半導體基板的典型實例係矽基板（矽晶圓）。雖然有複數個等級的矽基板，但只要具有某一位準之平坦度，則可使用並非昂貴的矽基板。例如，可使用具有大約 6N

(99.9999%) 至 7N (99.99999%) 之純度的矽基板。

金屬基板的典型實例係鋁基板和銅基板。在其中使用此金屬基板的情況中，爲了要確保絕緣性質，可將絕緣層形成於表面之上。因爲金屬基板具有高的熱傳導性，所以金屬基板係較佳地使用做爲諸如具有高熱量值的功率 MOSFET 之高功率半導體裝置的基板。

< 氧化物半導體層 >

做爲氧化物半導體層 104 之半導體材料的實例，具有由 $\text{InMO}_3(\text{ZnO})_m$ ($m > 0$) 所表示之半導體材料。在此，M 表示選擇自鎵 (Ga)、鐵 (Fe)、鎳 (Ni)、錳 (Mn)、鈷 (Co)、或其類似物之一或更多個金屬元素。例如，其中選擇 Ga 做爲 M 之情況不僅包含其中僅使用 Ga 的情況，而且包含其中使用 Ga 和除了 Ga 外之諸如 Ni 或 Fe 之上述金屬元素的情況。進一步地，在氧化物半導體之中，於某些情況中，除了被包含成爲 M 的金屬元素之外，亦可包含諸如 Fe 或 Ni 之過渡金屬元素或該過渡金屬元素的氧化物做爲雜質元素。在此說明書及其類似物之中，於氧化物半導體中，至少包含鎵做爲 M 之氧化物半導體係稱爲 In-Ga-Zn-O 基的氧化物半導體。

該 In-Ga-Zn-O 基的氧化物半導體材料具有當電場不存在時之足夠高的電阻，可具有足夠低之截止狀態的電流，以及具有大的能隙（寬帶能隙）；因此，其可有利地使用於諸如功率 MOSFET 之高功率半導體裝置。

注意的是，做為氧化物半導體層 104 之半導體材料的其他實例，例如，具有 In-Sn-Zn-O 基的氧化物半導體材料、In-Al-Zn-O 基的氧化物半導體材料、Sn-Ga-Zn-O 基的氧化物半導體材料、Al-Ga-Zn-O 基的氧化物半導體材料、Sn-Al-Zn-O 基的氧化物半導體材料、In-Zn-O 基的氧化物半導體材料、Sn-Zn-O 基的氧化物半導體材料、Al-Zn-O 基的氧化物半導體材料、In-O 基的氧化物半導體材料、Sn-O 基的氧化物半導體材料、Zn-O 基的氧化物半導體材料、及其類似物。

氧化物半導體層 104（晶體區 106 除外）較佳地具有非晶結構；惟，氧化物半導體層 104 可具有包含晶粒的非晶結構、微晶結構、或其類似結構。進一步地，該氧化物半導體層 104 的厚度可根據諸如所欲之崩潰電壓的特徵，而被適當地設定。具體而言，該氧化物半導體層 104 的厚度約可為 100 奈米（nm）至 10 微米（ μm ）。

晶體區 106 較佳地具有其中配置各具有 20 奈米或更小尺寸之微晶體（可簡稱為晶粒）的結構。例如，在其中氧化物半導體層 104 係使用 In-Gz-Zn-O 基的氧化物半導體材料而形成的情況中，晶體區 106 為其中 $\text{In}_2\text{Ga}_2\text{ZnO}_7$ 之微晶體係以預定方向而配置的區域。尤其，在其中該等微晶體係以此方式配置，使得 $\text{In}_2\text{Ga}_2\text{ZnO}_7$ 的 c 軸垂直於基板之平面（或氧化物半導體層之表面）的情況中，可大大地改善半導體裝置的崩潰電壓，而成為較佳的。此係由於 $\text{In}_2\text{Ga}_2\text{ZnO}_7$ 之電介質常數各向異性的結果。當與 c 軸

方向中之崩潰電壓相較時，在 b 軸方向（或 a 軸方向）中的崩潰電壓亦可被改善。注意的是，該微晶體的尺寸僅係實例，且本發明不應被解讀成為受限於上述之範圍。

注意的是，在半導體裝置中，晶體區 106 並非必要的組件。在其中足夠高的崩潰電壓可透過氧化物半導體材料之使用而予以確保的情況中，無需一定要設置該晶體區 106。

< 絕緣層 >

作用為閘極絕緣層之絕緣層 110 的絕緣材料可選擇自氧化矽、氮化矽、氮氧化矽、氧化氮化矽、氧化鋁、氧化鋇、或其類似物。選擇性地，可使用該等材料的複合材料。該絕緣層 110 可具有包含使用任何上述之絕緣材料所形成的層之單層結構或層列結構。注意的是，概括地，MOSFET 表示包含金屬、氧化物、及半導體的場效應電晶體；然而，使用於本發明之半導體裝置中的絕緣層並未受限於氧化物。

注意的是，在此說明書及其類似物之中，氮氧化物意指包含氧（原子）比包含氮（原子）更多的物質。例如，氮氧化矽係包含濃度範圍分別自 50 至 70 原子百分比、0.5 至 15 原子百分比、25 至 35 原子百分比、及 0.1 至 10 原子百分比的氧、氮、矽、及氫之物質。進一步地，氧化氮化物意指包含氮（原子）比包含氧（原子）更多的物質。例如，氧化氮化矽包含濃度範圍分別自 5 至 30 原子

百分比、20 至 55 原子百分比、25 至 35 原子百分比、及 10 至 25 原子百分比的氧、氮、矽、及氫。注意的是，上述濃度係當測量係使用拉塞福（Rutherford）反向散射光譜測量法（RBS）或氫前向散射光譜測量法（HFS）而執行時的濃度。再者，組分元素之總百分比不超過 100 原子百分比。

● < 導電層 >

例如，導電層 102 作用為汲極電極；導電層 108 作用為源極電極；以及導電層 116 作用為閘極電極。雖然導電層 112 及導電層 114 作用為用以實現電性連接至外部導線或其類似物的端子，但導電層 112 及導電層 114 並非必要組件。

● 該等導電層的導電材料各可選擇自：鋁、銅、鉬、鈦、鉻、鉭、鎢、鈹、或鈦之金屬材料；包含任何該等金屬材料做為主要成分的合金材料；包含任何該等金屬材料的氮化物；或其類似物。進一步地，可使用諸如氧化銦、氧化銦和氧化錫的合金、氧化銦和氧化鋅的合金、氧化鋅、氧化鋅鋁、氮氧化鋅鋁、或氧化鋅鎵之透光氧化物導電材料。導電層可具有包含使用任何上述之導電材料所形成的層之單層結構或層列結構。

作用成為源極電極的導電層 108 係形成於氧化物半導體層 104 之上，且與該氧化物半導體層 104 的上方表面接觸。作用成為汲極電極的導電層 102 係形成於氧化物半導

體層 104 之下，且與該氧化物半導體層 104 的下方表面接觸。此外，作用成為閘極電極的導電層 116 係設置於絕緣層 110 之上，且產生電場於氧化物半導體層 104 之中。

注意的是，源極與汲極之間的區別僅係針對便利性而做成，且包含於半導體裝置中之各個組件的功能不應被解讀為受限於上述之名稱。此係因為源極及汲極的功能係依據半導體裝置的操作而彼此相互切換。

將簡明地敘述此實施例中之半導體裝置的操作如下。

< 半導體裝置的操作 >

在具有電子做為載子之 n 型半導體裝置的情況中，於正常操作中，負偏壓係施加至作用成為源極電極的導電層 108，以及正偏壓係施加至作用成為汲極電極的導電層 102。

具有足夠厚度的氧化物半導體層 104 係設置於作用成為源極電極的導電層 108 與作用成為汲極電極的導電層 102 之間。此外，該氧化物半導體層 104 係使用當沒有電場時具有寬帶能隙及足夠高的電阻之氧化物半導體材料而形成。因此，在施加負偏壓至導電層 108 及施加正偏壓至導電層 102 的情況中，當未施加偏壓至作用成為閘極電極的導電層 116 或施加負偏壓至導電層 116 時，僅很小量的電流會流過。

當施加正偏壓至作用成為閘極電極的導電層 116 時，在氧化物半導體層 104 與在和導電層 116 重疊之區域中的

絕緣層 110 之間的介面周圍會感應出負電荷（電子），以致使通道形成。因此，電流流動於作用成爲源極電極的導電層 108 與作用成爲汲極電極的導電層 102 之間。

因爲使用氧化物半導體做爲本發明之一實施例的半導體材料，所以可改善半導體裝置的崩潰電壓（例如，汲極崩潰電壓）。此係由於氧化物半導體之能隙比一般氧化物材料之能隙更大的緣故。

此外，透過其中微晶體係以預定方向所配置之晶體區 106 的設置，可進一步改善半導體裝置的崩潰電壓。例如，在其中氧化物半導體層 104 係使用 In-Ga-Zn-O 基的氧化物半導體材料而形成的情況中，微晶體係以此方式而配置，使得 $\text{In}_2\text{Ga}_2\text{ZnO}_7$ 的 c 軸垂直於基板的平面（或氧化物半導體層的表面）。其中電流流動於半導體裝置之中的方向爲 $\text{In}_2\text{Ga}_2\text{ZnO}_7$ 的 b 軸方向（或 a 軸方向），以致可改善半導體裝置的崩潰電壓。注意的是， $\text{In}_2\text{Ga}_2\text{ZnO}_7$ 的晶體係形成以便具有平行於 a 軸或 b 軸之層的層列結構。也就是說， $\text{In}_2\text{Ga}_2\text{ZnO}_7$ 的 c 軸表示垂直於 $\text{In}_2\text{Ga}_2\text{ZnO}_7$ 的晶體中所包含之層的方向。

< 半導體裝置的製造步驟 >

將參照第 2A 至 2E 圖來敘述第 1A 及 1B 圖中所描繪之半導體裝置的製造步驟。

首先，形成導電層 102 於基板 100 之上（請參閱第 2A 圖）。< 基板 > 的段落可被引用於基板 100 的細節。

導電層 102 係以此方式而形成，亦即，使得在＜導電層＞的段落中所描繪之包含導電材料的導電層係藉由諸如濺鍍法或真空蒸鍍法之方法而沈積於基板 100 之上；且然後，不必要的部分則藉由使用由光微影術所形成之阻體罩幕的蝕刻來予以去除之方式而形成。該蝕刻可為濕蝕刻或乾蝕刻。注意的是，爲了要透過形成在導電層 102 上之各組件來改善作用範圍，較佳地，該蝕刻係以此方式而執行，亦即，使導電層 102 的側表面與導電層 102 的底部表面間之角度爲銳角的方式而執行。

在其中導電層 102 具有使用諸如鋁或銅之低阻導電材料所形成的層，及使用諸如鋁、鈦、鉻、鉭、鎢、釷、或釷之高熔點導電材料所形成的層之層列結構的情況中，可實現高的導電性和高的熱阻，此係較佳的。例如，可使用鋁和鉬的雙層結構、銅和鉬的雙層結構、銅和氮化鈦的雙層結構、銅和氮化鉭的雙層結構、或其類似物。進一步地，可使用氮化鈦和鉬的雙層結構。再者，可使用三層的結構，其中鋁、鋁和矽的合金、鋁和鈦的合金、鋁和釷的合金、或其類似物係插入於鎢、氮化鎢、氮化鈦、鈦、或其類似物的層之間。

其次，形成包含晶體區 106 的氧化物半導體層 104，以便覆蓋導電層 102（請參閱第 2B 圖）。注意的是，可形成無晶體區 106 的氧化物半導體層 104。

氧化物半導體層 104 係使用在＜氧化物半導體層＞的段落中之任何氧化物半導體材料而形成。該氧化物半導體

層 104 可藉由在稀有氣體氛圍、氧氛圍、或其中混合稀有氣體和氧之混合氣體氛圍中之濺鍍法或其類似方法而沈積，該稀有氣體包含例如氬。在該濺鍍法之中，透過包含 2 至 10 重量百分比的 SiO_2 之靶極的使用， SiO_x ($x > 0$) 會包含在氧化物半導體層 104 之中，使得可抑制氧化物半導體層 104 的結晶化。在獲得具有非晶結構之氧化物半導體層 104 中，此方法係有效的。

例如，可使用包含 In、Ga、及 Zn 之氧化物半導體沈積靶極（例如，具有 In : Ga : Zn=1 : 1 : 0.5[重量百分比]、In : Ga : Zn=1 : 1 : 1[重量百分比]、或 In : Ga : Zn=1 : 1 : 2[重量百分比]的靶極）；基板與靶極之間的距離係 100 毫米（mm）；壓力係 0.6 帕（Pa）；DC 電源係 0.5 千瓦（kW）；以及氛圍係氧氛圍（氧流動率比係 100 %）。因此，可獲得 In-Ga-Zn-O 基的非晶氧化物半導體層做為氧化物半導體層 104。注意的是，在其中使用脈波 DC 電源做為電源的情況中，可降低沈積中之粉狀物質（亦稱為粒子或灰塵），且可使膜分佈均勻，此係較佳的。

如在〈氧化物半導體層〉的段落中所描述地，可根據諸如所欲的崩潰電壓之特徵而適當地設定氧化物半導體層 104 的厚度。例如，該氧化物半導體層 104 的厚度可為大約 100 奈米至 10 微米。

晶體區 106 係透過氧化物半導體層 104 之形成後所執行的熱處理而形成。注意的是，包含於氧化物半導體層

104 之中的 H_2 、H、OH、或其類似物係透過熱處理而予以排除，以致可將該熱處理稱為脫水處理或脫氫處理。

做為熱處理，可使用其中利用高溫惰性氣體（例如，氮或稀有氣體）的 RTA（快速熱退火）處理。在此，較佳地，該熱處理的溫度係 500°C 或更高。雖然並未特別限制該熱處理溫度的上限於某一溫度，但必須將該上限設定於基板 100 的熱阻之內。此外，用於熱處理的時間較佳地為 1 至 10 分鐘。例如，RTA 處理係較佳地執行於 650°C ，大約 3 至 6 分鐘。透過該 RTA 處理，可以以短時間來執行熱處理；因而，可降低基板 100 上之熱量的不利效應。換言之，當與其中熱處理係執行於長的時間之情況相較時，可提高熱處理溫度的上限。注意的是，該熱處理的時序並未受限於上述之時序，且該熱處理可執行於不同的步驟之前或之後。進一步地，熱處理的數目並未受限於一次，且該熱處理可執行超過一次。

在該熱處理中，較佳地，氫（包含水）或其類似物並不包含於處理氛圍之中。例如，所引入至熱處理設備內之惰性氣體的純度係 6N（99.9999%，亦即，雜質濃度係 1ppm 或更小）或更高，較佳地，係 7N（99.99999%，亦即，雜質濃度係 0.1ppm 或更小）或更高。

透過該熱處理，可使氧化物半導體層 104 中的表面部分結晶化，以致形成其中配置微晶的晶體區 106。該氧化物半導體層 104 的其他區域具有：非晶結構；其中非晶結構及微晶結構係彼此互相混合於該處的結構；或微晶結

構。注意的是，晶體區 106 係氧化物半導體層 104 的一部分，且氧化物半導體層 104 包含晶體區 106。在此，較佳地，晶體區 106 的厚度係 20 奈米或更小。此係因為當晶體區變厚時，半導體裝置的性質僅根據晶體區 106 的緣故。

注意的是，在熱處理之後，防止氫（包含水）進入氧化物半導體層 104 係重要的。為了要防止氫（包含水）的進入，至少在熱處理及稍後的冷卻處理中，使基板不暴露至空氣係必要的。例如，此可在當執行熱處理及稍後的冷卻處理於相同氛圍之中時實現。不用多說地，冷卻處理的氛圍可與熱處理氛圍不同。在此情況中，例如，冷卻處理的氛圍可為氧氣體、 N_2O 氣體、或超乾燥空氣（具有 -40°C 或更低，較佳地， -60°C 或更低的露點）之氛圍。

接著，將導電層 108 形成於氧化物半導體層 104 上之並未與導電層 102 重疊的區域中（請參閱第 2C 圖）。

導電層 108 可以以與導電層 102 之方式相似的方式而形成。換言之，導電層 108 係以此方式而形成，亦即，使得導電層係藉由諸如濺鍍法或真空蒸鍍法之方法而沈積；且然後，不必要的部分則藉由使用阻體罩幕的蝕刻而予以去除之方式所形成。該蝕刻可為濕蝕刻或乾蝕刻。在其中晶體區 106 係形成於氧化物半導體層 104 的表面部分之中時，使晶體區 106 不會由於該蝕刻而被去除係必要的。

例如，在其中使用諸如鈦之導電材料於導電層 108 的情況中，較佳地，係使用其中利用過氧化氫溶液或加熱的

氫氟酸做為蝕刻劑的濕蝕刻。當蝕刻係以此方式而在以下情況之下執行，亦即，導電層 108 的導電材料與氧化物半導體材料之間的蝕刻選擇性足夠高時，可保留表面部分之中的晶體區 106。

接著，形成絕緣層 110 以便覆蓋氧化物半導體層 104 和導電層 108（請參閱第 2D 圖）。

例如，絕緣層 110 可使用在〈絕緣層〉的段落中所描述的絕緣材料而形成。做為沈積方法，可使用 CVD（包含電漿增強型 CVD）法、濺鍍法、或其類似方法。注意的是，絕緣層 110 的厚度可根據半導體裝置的性質而適當地設定；惟，較佳地，該絕緣層 110 的厚度係 10 奈米至 1 微米。

然後，藉由選擇性地去除絕緣層 110 或其類似物而形成到達導電層 102 及導電層 108 的開口；且然後，形成電性連接至導電層 108 的導電層 112，電性連接至導電層 102 的導電層 114，以及導電層 116（請參閱第 2E 圖）。

絕緣層 110 或其類似物的去除可藉由使用阻體罩幕的蝕刻法而執行。該蝕刻可為濕蝕刻或乾蝕刻。

導電層 112、114、及 116 可以以與其他導電層之該等方式相似的方式而形成。換言之，導電層 112、114、及 116 係以此方式而形成，亦即，使得導電層係藉由諸如濺鍍法或真空蒸鍍法之方法而沈積；且然後，不必要的部分則藉由使用阻體罩幕的蝕刻而予以去除之方式所形成。該蝕刻可為濕蝕刻或乾蝕刻。

如上述地，可製造出所謂功率 MOSFET 的半導體裝置。如在此實施例中所敘述地，當使用氧化物半導體材料於半導體層時，可改善半導體裝置的崩潰電壓。特別地，當使用具有晶體區之氧化物半導體層時，可進一步改善半導體裝置的崩潰電壓。此外，因為氧化物半導體層係使用諸如濺鍍法之生產方法而沈積，所以可增加半導體裝置的生產率，且可降低製造成本。

在此實施例中所敘述的結構、方法、或其類似者可以與任何其他實施例適當地結合。

（實施例 2）

在此實施例中，將參照第 3A 及 3B 圖以及第 4A 至 4E 圖來敘述半導體裝置及其製造方法的不同實例。注意的是，在此實施例中所敘述的半導體裝置與在上述實施例中的半導體裝置具有許多共同處。因此，將省略共同部分的敘述，且將主要地說明差異。

< 半導體裝置的輪廓 >

第 3A 及 3B 圖描繪半導體裝置之結構的不同實例。第 3A 圖對應於橫剖面視圖，以及第 3B 圖對應於平面視圖。進一步地，第 3A 圖對應於沿著第 3B 圖中之線 A-B 所取得的橫剖面。

在第 3A 及 3B 圖中所描繪之半導體裝置的組件係與第 1A 及 1B 圖中所描繪之半導體裝置的該等組件相似。

換言之，在第 3A 及 3B 圖中所描繪的半導體裝置包含：基板 100；導電層 102，作用成為源極電極及汲極電極的其中一者；氧化物半導體層 104；晶體區 106，在該氧化物半導體層 104 之中；導電層 108，作用成為該源極電極及該汲極電極的其中另一者；絕緣層 110，作用成為閘極絕緣層；導電層 112，係電性連接至導電層 108；導電層 114，係電性連接至導電層 102；導電層 116，作用成為閘極電極；和其類似物。

第 3A 及 3B 圖中所描繪的半導體裝置係與第 1A 及 1B 圖中所描繪的半導體裝置不同，其中氧化物半導體層 104 係圖案化。即使在其中使用第 3A 及 3B 圖中之結構的情況中，第 3A 及 3B 圖中所描繪的半導體裝置係以與第 1A 及 1B 圖中所描繪的半導體裝置之方式相似的方式而操作，且可獲得與第 1A 及 1B 圖中所描繪的半導體裝置相似的有利功效。

< 半導體裝置的製造步驟 >

基本上，該半導體裝置的製造步驟係與第 2A 至 2E 圖中之該等製造步驟相似。將參照第 4A 至 4E 圖來簡單地敘述該半導體裝置的製造步驟於下文。

首先，形成導電層 102 於基板 100 之上（請參閱第 4A 圖）。針對細節而言，可參考上述之實施例。

其次，形成包含晶體區 106 的氧化物半導體層 104，以便覆蓋導電層 102（請參閱第 4B 圖）。該氧化物半導

體層 104 的形成方法係與上述實施例中的形成方法相似；然而，在此實施例中之氧化物半導體層 104 係與上述實施例中之氧化物半導體層 104 不同，其中其係形成以便覆蓋部分的導電層 102。

例如，在此實施例中之氧化物半導體層 104 可以以此方式而獲得，亦即，氧化物半導體層（包含晶體區）係藉由上述實施例中所描繪的方法而沈積，且然後，使該氧化物半導體層 104 圖案化。圖案化可藉由使用阻體罩幕之蝕刻法而執行。該蝕刻可為濕蝕刻或乾蝕刻；然而，較佳的是，執行該蝕刻，以致使晶體區保留。

接著，將導電層 108 形成於氧化物半導體層 104 上之並未與導電層 102 重疊的區域中（請參閱第 4C 圖）。針對細節而言，可參考上述之實施例。

其次，形成絕緣層 110 以便覆蓋氧化物半導體層 104 和導電層 108（請參閱第 4D 圖）。針對該絕緣層 110 的細節，可參考上述之實施例。

接著，藉由選擇性地去除絕緣層 110 或其類似物而形成到達導電層 102 及導電層 108 的開口；且然後，形成電性連接至導電層 108 的導電層 112，電性連接至導電層 102 的導電層 114，以及導電層 116（請參閱第 4E 圖）。針對細節而言，可參考上述之實施例。

如上述地，可製造出所謂功率 MOSFET 的半導體裝置。在此實施例中所敘述的該等結構、方法、及其類似者可與任何其他的實施例適當地結合。

（實施例 3）

在此實施例中，將參照第 5A 及 5B 圖以及第 6A 至 6D 圖來敘述半導體裝置及其製造方法的不同實例。注意的是，在此實施例中所述的半導體裝置與在上述實施例中的半導體裝置具有許多共同處。因此，將省略共同部分的敘述，且將主要地說明差異。

< 半導體裝置的輪廓 >

第 5A 及 5B 圖描繪半導體裝置之結構的不同實例。第 5A 圖對應於橫剖面視圖，以及第 5B 圖對應於平面視圖。進一步地，第 5A 圖對應於沿著第 5B 圖中之線 A-B 所取得的橫剖面。

在第 5A 及 5B 圖中所描繪之半導體裝置對應於其中在上述實施例中所描述之半導體裝置中的導電層 102 係以導電層 109 而置換之半導體裝置。換言之，在第 5A 及 5B 圖中所描繪的半導體裝置包含：基板 100；導電層 109，作用成為源極電極及汲極電極的其中一者；氧化物半導體層 104；晶體區 106，在氧化物半導體層 104 之中；導電層 108，作用成為該源極電極及該汲極電極的其中另一者；絕緣層 110，作用成為閘極絕緣層；導電層 112，係電性連接至導電層 108；導電層 114，係電性連接至導電層 109；導電層 116，作用成為閘極電極；和其類似物。

導電層 109 係使用與導電層 108 相同的層而形成。藉

由以導電層 109 來置換導電層 102，則所有的導電層均係設置於氧化物半導體層 104 之上。因而，可增進氧化物半導體層 104 之表面的平坦度。

透過上述結構，不像上述實施例中所描述之半導體裝置似地，載子將僅流至氧化物半導體層 104 的表面部分（亦即，晶體區 106）。因此，晶體區 106 的有利功效會變成更大。

< 半導體裝置的製造步驟 >

該半導體裝置的製造步驟係與第 2A 至 2E 圖及第 4A 至 4E 圖中之該等製造步驟相似，除了導電層 102 並未被形成以及導電層 109 係與導電層 108 同時形成之外。將參照第 6A 至 6D 圖來簡單地敘述該半導體裝置的製造步驟於下文。

首先，形成氧化物半導體層 104 於基板 100 之上（請參閱第 6A 圖）。針對氧化物半導體層 104 之形成及其類似形成的細節而言，可參考上述之實施例。

其次，形成導電層 108 及導電層 109 於氧化物半導體層 104 之上（請參閱第 6B 圖）。導電層 109 可以以與導電層 108 之方式相似的方式而形成。應注意的是，導電層 108 及導電層 109 係彼此互相分離。針對導電層 108 之形成及其類似形成的細節而言，可參考上述之實施例。

接著，絕緣層 110 係形成以便覆蓋氧化物半導體層 104、導電層 108、及導電層 109（請參閱第 6C 圖）。針

對絕緣層 110 的細節，可參考上述之實施例。

接著，到達導電層 108 及導電層 109 的開口可藉由選擇性地去除絕緣層 110 或其類似物而形成；且然後，形成電性連接至導電層 108 的導電層 112，電性連接至導電層 109 的導電層 114，以及導電層 116（請參閱第 6D 圖）。針對細節而言，可參考上述之實施例。

如上述地，可製造出所謂功率 MOSFET 的半導體裝置。在此實施例中所描述的該等結構、方法、及其類似者可與任何其他的實施例適當地結合。

（實施例 4）

在此實施例中，用以製造所謂功率 MOSFET 和薄膜電晶體於相同的基板上及相似的步驟中之方法的實例將參照第 7A 至 7C 以及第 8A 及 8B 圖來予以敘述。注意的是，將敘述其中將第 1A 及 1B 圖中所描繪的半導體裝置形成爲功率 MOSFET 的實例於下文。

在此實施例中所描繪之半導體裝置的製造步驟對應於藉由添加薄膜電晶體的製造步驟至第 2A 至 2E 圖中之步驟而獲得的步驟。也就是說，基本的製造步驟係與第 2A 至 2E 圖中所描繪之該等步驟相似。注意的是，功率 MOSFET 及薄膜電晶體通常具有不同的所需性質。較佳地，功率 MOSFET 及薄膜電晶體係根據所需的性質而予以適當地設定。雖然該功率 MOSFET 及該薄膜電晶體係以第 7A 至 7C 圖以及第 8A 及 8B 圖中之約略相同的比率

而描繪，但此比率係使用以促成瞭解，且並非界定實際尺寸的關係。

首先，形成導電層 102 於基板 100 之上（請參閱第 7A 圖）。針對細節而言，可參考上述之實施例。

其次，形成包含晶體區 106 之氧化物半導體層 104，以便覆蓋導電層 102；且形成包含晶體區 206 之其係薄膜電晶體的組件之氧化物半導體層 204（請參閱第 7B 圖）。該等氧化物半導體層 104 及 204 各可以以此方式而獲得，亦即，氧化物半導體層（包含晶體區）係藉由例如上述實施例中所描繪的方法而沈積，且然後，使該氧化物半導體層圖案化的方式。圖案化可藉由使用阻體罩幕之蝕刻法而執行。該蝕刻可為濕蝕刻或乾蝕刻；然而，較佳的是，執行該蝕刻，以致使晶體區保留於氧化物半導體層之中。

接著，將導電層 108 形成於氧化物半導體層 104 上之並未與導電層 102 重疊的區域中，且將導電層 208 及 209 形成於氧化物半導體層 204 之上（請參閱第 7C 圖）。在此，導電層 208 作用成為薄膜電晶體之源極電極及汲極電極的其中一者，且導電層 209 作用成為該薄膜電晶體之該源極電極及該汲極電極的其中另一者。該等導電層 208 及 209 的製造步驟係與導電層 108 的該等製造步驟相似。針對導電層 108 之製造步驟的細節，可參考上述之實施例。

其次，形成絕緣層 110 以便覆蓋氧化物半導體層 104、導電層 108、氧化物半導體層 204、導電層 208、及

導電層 209（請參閱第 8A 圖）。該絕緣層 110 亦作用成爲薄膜電晶體的閘極絕緣層。針對絕緣層 110 之製造步驟的細節，可參考上述之實施例。

接著，到達導電層 102、導電層 108、導電層 208、及導電層 209 的開口可藉由選擇性地去除絕緣層 110 及其類似物而形成；且然後，形成電性連接至導電層 108 的導電層 112，電性連接至導電層 102 的導電層 114、導電層 116、電性連接至導電層 208 的導電層 212、電性連接至導電層 209 的導電層 214、以及導電層 216（請參閱第 8B 圖）。該等導電層 212、214、及 216 的製造步驟係與導電層 112、114、及 116 之該等製造步驟相似。針對細節而言，可參考上述之實施例。

以此方式，可將功率 MOSFET 及薄膜電晶體形成於相同的基板上及相似的步驟中。

透過此實施例中所描繪之方法及其類似方法，可將功率 MOSFET 及薄膜電晶體形成於相同的基板上及相似的步驟中。因此，各式各樣的積體電路以及電源電路可形成於相同的基板之上。

注意的是，在此實施例中，功率 MOSFET 的氧化物半導體層 104 及薄膜電晶體的氧化物半導體層 204 係形成於相同的步驟之中；然而，在某些情況中，氧化物半導體層之所需厚度係不同於功率 MOSFET 與薄膜電晶體之間。因此，氧化物半導體層 104 及氧化物半導體層 204 可形成於不同的步驟之中。具體而言，氧化物半導體層 104

及氧化物半導體層 204 可如下地被形成。氧化物半導體層的製造步驟係分為二階段：氧化物半導體層 104 及氧化物半導體層 204 的其中一者係製造於第一階段之中，以及氧化物半導體層 104 及氧化物半導體層 204 的其中另一者係製造於第二階段之中。選擇性地，可選擇性地使厚的氧化物半導體層藉由蝕刻法或其類似方法而變薄，使得可製造出氧化物半導體層 104 及氧化物半導體層 204。

相同的陳述亦可適用於絕緣層 110。功率 MOSFET 及薄膜電晶體的絕緣層 110 係分別地形成，以便具有不同的厚度。具體而言，絕緣層 110 係如下地形成。該等絕緣層的製造步驟係分為二階段：形成於氧化物半導體層 104 之上的絕緣層及形成於氧化物半導體層 204 之上的絕緣層的其中一者係製造於第一階段之中，以及形成於氧化物半導體層 104 之上的絕緣層及形成於氧化物半導體層 204 之上的絕緣層的其中另一者係製造於第二階段之中。選擇性地，可選擇性地使厚的絕緣層藉由蝕刻法或其類似方法而變薄，使得可製造出形成於氧化物半導體層 104 之上的絕緣層及形成於氧化物半導體層 204 之上的絕緣層。

在此實施例中所敘述的該等結構、方法、及其類似者可與任何其他的實施例適當地結合。

（實施例 5）

在此實施例中，將參照第 9 圖及第 10A 至 10C 圖來敘述包含本發明之半導體裝置的電路實例。注意的是，下

文將敘述 DC-DC 轉換器，其係電源電路（例如，電源轉換電路）的實例。

DC-DC 轉換器係用以轉換 DC 電壓成為不同的 DC 電壓之電路。該 DC-DC 轉換器的典型轉換方法係線性方法和開關方法。因為開關型 DC-DC 轉換器具有高轉換效率，所以當欲達成電子裝置的功率節省時，該 DC-DC 轉換器係較佳的。在此，將敘述開關型 DC-DC 轉換器，特別地，將敘述斬波器 DC-DC 轉換器。

第 9 圖中所描繪的 DC-DC 轉換器包含電源 300、參考電壓產生電路 302、參考電流產生電路 304、誤差放大器 306、PWM 緩衝器 308、三角波產生電路 310、線圈 312、功率 MOSFET 314、二極體 316、電容器 318、電阻器 320、電阻器 322、及其類似物。注意的是，此處係使用 n 通道功率 MOSFET 做為功率 MOSFET 314。

參考電壓產生電路 302 產生各式各樣的參考電壓（ V_{ref} ）。此外，參考電流產生電路 304 藉由使用參考電壓產生電路 302 中所產生參考電壓（ V_{ref} ）而產生參考電流（ I_{ref} ）或偏動電流。

誤差放大器 306 整合參考電壓產生電路 302 中所產生的參考電壓（ V_{ref} ）與回授電壓（ V_{FB} ）之間的差異，且輸出整合的值至 PWM 緩衝器 308。三角波產生電路 310 自參考電壓（ V_{ref} ）及參考電流（ I_{ref} ）來產生三角波，且輸出該三角波至 PWM 緩衝器 308。

PWM 緩衝器 308 比較來自誤差放大器 306 的輸出及

來自三角波產生電路 310 的三角波，且輸出脈波信號至功率 MOSFET314。

在其中來自 PWM 緩衝器 308 的脈波信號具有高的電位之情況中，該 n 通道功率 MOSFET314 會開啓，且二極體 316 之輸入側的電位變成接地電位（低電位）。因此，在其中脈波信號具有高的電位之期間的週期中，輸出電壓（ V_{OUT} ）係逐漸地減低。

對照地，在其中來自 PWM 緩衝器 308 的脈波信號具有低的電位之情況中，該 n 通道功率 MOSFET314 會關閉，且二極體 316 之輸入側的電壓上升。因此，在其中脈波信號具有低的電位之期間的週期中，輸出電壓（ V_{OUT} ）係逐漸地增加。

由於來自 PWM 緩衝器 308 的脈波信號所造成之輸出電壓（ V_{OUT} ）的改變係非常小。因此，透過該 DC-DC 轉換器，可使輸出電壓的位準實質地保持恆常。

注意的是，在該 DC-DC 轉換器中，線圈 312 係設置用以降低由於功率 MOSFET314 的開關所導致之電流的改變。進一步地，電容器 318 係設置用以抑制輸出電壓（ V_{OUT} ）的急劇變動。再者，電阻器 320 及 322 係設置用以自輸出電壓（ V_{OUT} ）來產生回授電壓（ V_{FB} ）。

第 10A 至 10C 圖描繪包含於 DC-DC 轉換器中之電路的輸出波形之實例。

第 10A 圖描繪輸出自三角波產生電路 310 的三角波 350。第 10B 圖描繪來自誤差放大器 306 的輸出波形

352。

第 10C 圖描繪產生於 PWM 緩衝器 308 之中的脈波信號 354。當三角波 350 及輸出波形 352 輸入至 PWM 緩衝器 308 時，該 PWM 緩衝器 308 彼此互相地比較該等波，且產生脈波信號 354。然後，輸出脈波信號 354 至功率 MOSFET 314，且決定輸出電壓 (V_{OUT}) 的位準。

如上述地，可將本發明之功率 MOSFET 施加至 DC-DC 轉換器。本發明的功率 MOSFET 具有高的崩潰電壓，且包含該功率 MOSFET 之 DC-DC 轉換器的可靠度可予以增進。進一步地，本發明之功率 MOSFET 的製造成本被抑制，以致可抑制包含該功率 MOSFET 之 DC-DC 轉換器的製造成本。藉由以此方式而使用本發明的半導體裝置於電子裝置之中，可獲得諸如可靠度之增進和製造成本之降低的有利功效。

注意的是，在此實施例中所描繪之 DC-DC 轉換器僅係包含本發明之半導體裝置的電源電路實例。不用多說地，本發明之半導體裝置可使用於不同的電路中。在此實施例中所敘述之該等結構、方法、及其類似者可與任何其他的實施例適當地結合。

(實施例 6)

在此實施例中，將參照第 11 圖來敘述設置有使用本發明之半導體裝置所形成的反流器之太陽光伏系統的實例。注意的是，在此將敘述家用太陽光伏系統之結構的實

例。

第 11 圖中所描繪之家用太陽光伏系統係其中用以供應電力的方法會根據光伏電力產生的情形而改變的系統。例如，當執行光伏電力產生時（例如，在晴朗天空的情況中），藉由光伏電力產生所生成的電力係在家消耗，且過剩的電力被供應至來自電力公司的配電線 414。對照地，當藉由光伏電力產生所生成的電力數量不足時（例如，在夜晚或雨天的情況中），電力係自配電線 414 供應且消耗於家裡。

在第 11 圖中所描繪的家用太陽光伏系統包含：太陽能電池板 400，用以轉換太陽光成為電力（DC 電力）；反流器 404，用以轉換 DC 電力成為 AC 電力；及其類似物。來自反流器 404 所輸出之 AC 電力係使用做為用以操作各式各樣之電氣設備 410 的電力。

過剩的電力係透過配電線 414 而供應到家的外面。也就是說，可透過該系統之使用而販售電力。DC 開關 402 係設置用以選擇太陽能 400 與反流器 404 是否彼此相互連接或斷接。AC 開關 408 係設置用以選擇連接至配電線 414 的變壓器 412 與配電板 406 是否彼此相互連接或斷接。

藉由施加本發明之半導體裝置至該反流器，可實現具有高可靠度之非昂貴的太陽光伏系統。

在此實施例中所敘述的該等結構、方法、及其類似者可與任何其他的實施例適當地結合。

(實施例 7)

在此實施例中，將參照第 12A 至 12F 圖及第 13A 至 13E 圖來敘述成為半導體裝置之電晶體（特別地，薄膜電晶體）及其製造方法的實例。注意的是，下文所敘述之半導體裝置係具有新穎結構的半導體裝置。具有晶體區於表面部分中的氧化物半導體層係使用於該半導體裝置之中。該半導體裝置係以二導電層來控制電流。

首先，導電層 502 係沈積於基板 500 之上（請參閱第 12A 圖），且阻體罩幕 504 係選擇性地形成於導電層 502 之上。然後，導電層 502 係使用該阻體罩幕 504 而選擇性地蝕刻，以致使導電層 506 形成（請參閱第 12B 圖）。在去除阻體罩幕 504 之後，形成絕緣層 508，以便覆蓋導電層 506（請參閱第 12C 圖）。在此，導電層 506 具有控制氧化物半導體層中之電場的功能。進一步地，該導電層 506 具有阻擋會不利地影響到電晶體的操作之外部電場的功能。針對該等組件的材料、製造方法、及其類似者，可參考上述之實施例（例如，實施例 1 至 3）。

注意的是，雖然上文係敘述其中導電層 506 係藉由選擇性地蝕刻導電層 502 而形成的實例，但該導電層 506 可形成於基板的整個上方表面之上。選擇性地，導電層 506 可形成於氧化物半導體層的整個下方表面之下。

其次，氧化物半導體層 510 係沈積於絕緣層 508 之上（請參閱第 12D 圖），且阻體罩幕 512 係選擇性地形成於

氧化物半導體層 510 之上。然後，氧化物半導體層 510 係使用該阻體罩幕 512 而選擇性地蝕刻，以致使氧化物半導體層 514 形成（請參閱第 12E 圖）。注意的是，在形成該氧化物半導體層 514 之後，可去除該阻體罩幕 512。針對氧化物半導體層的細節，可參考上述之實施例。進一步地，針對其他組件的細節，亦可參考上述之實施例。氧化物半導體層 510 的厚度可根據所欲的性質而予以適當地設定。在其中使用氧化物半導體層 510 於薄膜電晶體的情況中，例如，氧化物半導體層 510 的厚度係較佳地為大約 20 奈米至 2 微米。

接著，沈積導電層 516，以便覆蓋氧化物半導體層 514（請參閱第 12F 圖），且選擇性地形成阻體罩幕 518 和阻體罩幕 520 於該導電層 516 之上。然後，該導電層 516 係使用該等阻體罩幕而選擇性地蝕刻，以致使作用成為源極電極及汲極電極的其中一者之導電層 522，以及作用成為該源極電極及該汲極電極的其中另一者之導電層 524 形成（請參閱第 13A 圖）。注意的是，在形成導電層 522 及導電層 524 之後，可將阻體罩幕 518 及阻體罩幕 520 去除。針對上述該等組件的細節，可參考上述之實施例。

接著，作用成為閘極絕緣層的絕緣層 526 係形成以便覆蓋氧化物半導體層 514、導電層 522、及導電層 524（請參閱第 13B 圖）。然後，導電層 528 係沈積於絕緣層 526 之上（請參閱第 13C 圖），且阻體罩幕 530 係選擇性

地形成於該導電層 528 之上。之後，導電層 528 係使用該阻體罩幕 530 而選擇性地蝕刻，以致使作用成為閘極電極之導電層 532 形成（請參閱第 13D 圖）。在形成導電層 532 之後，可將阻體罩幕 530 去除。針對上述該等組件的細節，可參考上述之實施例。

在此方式中，係提供電晶體 550，且該電晶體 550 包含：導電層 506，形成於基板 500 之上；絕緣層 508，覆蓋導電層 506；氧化物半導體層 514，形成於絕緣層 508 之上，而與部分的導電層 506 重疊，且具有晶體區於表面部分之中；導電層 522 及 524，形成與氧化物半導體層 514 接觸；絕緣層 526，覆蓋氧化物半導體層 514 及導電層 522 和 524；以及導電層 532，形成於絕緣層 526 之上，而與部分之氧化物半導體層 514 重疊（請參閱第 13E 圖）。注意的是，電晶體 550 可謂為新穎的半導體裝置，因為係使用具有晶體區於表面部分之中的氧化物半導體層，且係透過二導電層來控制電流的緣故。

如此實施例中所敘述地，當半導體裝置係使用上述實施例中所描述之氧化物半導體層而製造時，可防止雜質（例如，氫（包含水））進入氧化物半導體層。因此，可增進半導體裝置的可靠度。

此外，當半導體裝置係使用上述實施例中所描述之氧化物半導體層而製造時，可以以有利的電性特徵來提供半導體裝置。

進一步地，藉由使用其中形成除了作用成為所謂閘極

電極的導電層之外的導電層於氧化物半導體層之下的結構，可阻擋外部的電場，使得可降低外部電場在半導體裝置之上的不利效應。因此，可防止由於在氧化物半導體層的基板側之電荷累積所導致之寄生通道的產生，以及臨限電壓的變動。

在此實施例中所敘述之該等結構、方法、及其類似者可以與其他實施例中所描述的任何結構、方法、及其類似者適當地結合。

（實施例 8）

在此實施例中，將參照第 14A 至 14F 圖及第 15A 至 15E 圖來敘述成為半導體裝置之電晶體及其製造方法的實例。

首先，導電層 602 係沈積於基板 600 之上（請參閱第 14A 圖），且阻體罩幕 604 係選擇性地形成於導電層 602 之上。然後，導電層 602 係使用該阻體罩幕 604 而選擇性地蝕刻，以致使導電層 606 形成（請參閱第 14B 圖）。在去除阻體罩幕 604 之後，形成絕緣層 608，以便覆蓋導電層 606（請參閱第 14C 圖）。在此，導電層 606 具有控制氧化物半導體層中之電場的功能。進一步地，導電層 606 具有阻擋會不利地影響到電晶體的操作之外部電場的功能。針對該等組件的材料、製造方法、及其類似者，可參考上述之實施例（例如，實施例 1 至 3）。

注意的是，雖然上文係敘述其中導電層 606 係藉由選

擇性地蝕刻導電層 602 而形成的實例，但該導電層 606 可形成於基板的整個上方表面之上。選擇性地，導電層 606 可形成於氧化物半導體層的整個下方表面之下。

其次，導電層 610 係沈積於絕緣層 608 之上（請參閱第 14D 圖），且阻體罩幕 612 及阻體罩幕 614 係選擇性地形成於該導電層 610 之上。然後，導電層 610 係使用該等阻體罩幕而選擇性地蝕刻，以致使作用成為源極電極及汲極電極的其中一者之導電層 616，以及作用成為該源極電極及該汲極電極的其中另一者之導電層 618 形成（請參閱第 14E 圖）。注意的是，在形成導電層 616 及導電層 618 之後，可將阻體罩幕 612 及 614 去除。針對上述該等組件的細節，可參考上述之實施例。

接著，沈積氧化物半導體層 620，以便覆蓋導電層 616 及導電層 618（請參閱第 14F 圖），且選擇性地形成阻體罩幕 622 於該氧化物半導體層 620 之上。然後，該氧化物半導體層 620 係使用該阻體罩幕 622 而選擇性地蝕刻，以致使氧化物半導體層 624 形成（請參閱第 15A 圖）。注意的是，在形成氧化物半導體層 624 之後，可將阻體罩幕 622 去除。針對該氧化物半導體層的細節，可參考上述之實施例。針對其他組件的細節，可參考上述之實施例。氧化物半導體層 620 的厚度可根據所欲的性質而予以適當地設定。在其中使用氧化物半導體層 620 於薄膜電晶體的情況中，例如，氧化物半導體層 620 的厚度係較佳地為大約 20 奈米至 2 微米。

接著，作用成爲閘極絕緣層的絕緣層 626 係形成以便覆蓋導電層 616、導電層 618、及氧化物半導體層 624（請參閱第 15B 圖）。然後，導電層 628 係沈積於絕緣層 626 之上（請參閱第 15C 圖），且阻體罩幕 630 係選擇性地形成於該導電層 628 之上。之後，導電層 628 係使用該阻體罩幕 630 而選擇性地蝕刻，以致使作用成爲閘極電極之導電層 632 形成（請參閱第 15D 圖）。在形成導電層 632 之後，可將阻體罩幕 630 去除。針對上述該等組件的細節，可參考上述之實施例。

在此方式中，係提供電晶體 650，且該電晶體 650 包含：導電層 606，形成於基板 600 之上；絕緣層 608、覆蓋導電層 606；氧化物半導體層 624，形成於絕緣層 608 之上，而與部分的導電層 606 重疊，且具有晶體區於表面部分之中；導電層 616 及 618，形成與氧化物半導體層 624 接觸；絕緣層 626、覆蓋氧化物半導體層 624 及導電層 616 和 618；以及導電層 632，形成於絕緣層 626 之上，而與部分之氧化物半導體層 624 重疊（請參閱第 15E 圖）。注意的是，電晶體 650 可謂爲新穎的半導體裝置，因爲係使用具有晶體區於表面部分之中的氧化物半導體層，且係透過二導電層來控制電流的緣故。

如此實施例中所敘述地，當半導體裝置係使用上述實施例中所描述之氧化物半導體層而製造時，可防止雜質（例如，氫（包含水））進入氧化物半導體層。因此，可增進半導體裝置的可靠度。

此外，當半導體裝置係使用上述實施例中所描述之氧化物半導體層而製造時，可以以有利的電性特徵來提供半導體裝置。

進一步地，藉由使用其中形成除了作用成為所謂閘極電極的導電層之外的導電層於氧化物半導體層之下的結構，可阻擋外部的電場，使得可降低外部電場在半導體裝置之上的不利效應。因此，可防止由於在氧化物半導體層的基板側之電荷累積所導致之寄生通道的產生，以及臨限電壓的變動。

在此實施例中所敘述之該等結構、方法、及其類似者可以與其他實施例中所描述的任何結構、方法、及其類似者適當地結合。

（實施例 9）

在此實施例中，用以製造所謂功率 MOSFET 和薄膜電晶體於相同的基板上及相似的步驟中之方法的實例將參照第 16A 至 16C 圖以及第 17A 及 17B 圖來予以敘述。注意的是，在此實施例中所敘述的半導體裝置之製造步驟與在上述實施例中所敘述之該等步驟具有許多共同處，以致共同部分的說明可予以省略。

注意的是，在此實施例中之半導體裝置的製造步驟係與上述實施例中之半導體裝置的製造步驟不同，其中用以控制氧化物半導體層中之電場的導電層係形成於該氧化物半導體層的下面。

首先，形成導電層 102 於基板 100 之上，且形成其係薄膜電晶體之組件的導電層 202。然後，形成覆蓋導電層 202 的絕緣層 203（請參閱第 16A 圖）。針對細節，可參考上述之實施例（例如，實施例 4）。注意的是，導電層 202 係以與導電層 102 之該等步驟相似的步驟而形成，且具有控制氧化物半導體層中之電場的功能。較佳的是，導電層 102 並未以絕緣層 203 來予以覆蓋。例如，絕緣層 203 可以以此方式而形成，亦即，絕緣層係形成於基板 100 之上，且被加以圖案化。

其次，形成包含晶體區 106 的氧化物半導體層 104 以便覆蓋導電層 102，且形成包含晶體區 206 的氧化物半導體層 204 於絕緣層 203 之上（請參閱第 16B 圖）。然後，導電層 108 係形成於氧化物半導體層 104 上之並未與導電層 102 重疊的區域中，且導電層 208 及 209 係形成於該氧化物半導體層 204 之上（請參閱第 16C 圖）。針對細節，可參考上述之實施例。

以下步驟係與上述實施例（例如，實施例 4）之中的該等步驟相似。換言之，絕緣層 110 係形成以便覆蓋氧化物半導體層 104、導電層 108、氧化物半導體層 204、導電層 208、及導電層 209（請參閱第 17A 圖）；到達導電層 102、108、202、208、及 209 的開口係藉由選擇性地去除絕緣層 110 或其類似物而形成；然後，形成電性連接至導電層 108 的導電層 112，電性連接至導電層 102 的導電層 114、導電層 116，電性連接至導電層 202 的導電層

（未描繪），電性連接至導電層 208 的導電層 212，電性連接至導電層 209 的導電層 214、導電層 216、及其類似物（請參閱第 17B 圖）。注意的是，可將導電層 202 及導電層 216 彼此互相電性連接；然而，爲了要控制電場，無需一定要將導電層 202 及導電層 216 彼此互相電性連接。例如，做爲導電層 202 的電位，可使用任何的浮動電位、固定電位、以及與導電層 216 之電位不同地變動的電位。

以此方式，可將功率 MOSFET 及薄膜電晶體形成於相同的基板上及相似的步驟中。

進一步地，藉由使用其中形成除了作用成爲所謂閘極電極的導電層之外的導電層於氧化物半導體層之下面的結構，可阻擋外部的電場，使得可降低外部電場在半導體裝置之上的不利效應。因此，可防止由於在氧化物半導體層的基板側之電荷累積所導致之寄生通道的產生，以及臨限電壓的變動。

在此實施例中所敘述之該等結構、方法、及其類似者可以與任何其他的實施例適當地結合。

（實施例 10）

在此實施例中，用以製造所謂功率 MOSFET 和薄膜電晶體於相同的基板上及相似的步驟中之方法的不同實例將參照第 18A 至 18C 圖以及第 19A 及 19B 圖來予以敘述。注意的是，在此實施例中所敘述的半導體裝置之製造步驟與在上述實施例中所敘述之該等步驟具有許多共同

處，以致共同部分的說明可予以省略。

注意的是，在此實施例中之半導體裝置的製造步驟係與上述實施例中之半導體裝置的製造步驟不同，其中用以控制氧化物半導體層中之電場的導電層係形成於功率 MOSFET 之氧化物半導體層的下面。

首先，形成導電層 102 及導電層 103 於基板 100 之上，且形成其係薄膜電晶體之組件的導電層 202。然後，形成覆蓋導電層 103 及 202 的絕緣層 203（請參閱第 18A 圖）。針對細節，可參考上述之實施例（例如，實施例 4）。注意的是，導電層 103 及 202 各係以與導電層 102 之該等步驟相似的步驟而形成，且具有控制氧化物半導體層中之電場的功能。較佳的是，導電層 102 並未以絕緣層 203 來予以覆蓋。例如，絕緣層 203 可以以此方式而形成，亦即，絕緣層係形成於基板 100 之上，且被加以圖案化。

其次，形成包含晶體區 106 的氧化物半導體層 104 以便覆蓋導電層 102 及絕緣層 203，且形成包含晶體區 206 的氧化物半導體層 204 於絕緣層 203 之上（請參閱第 18B 圖）。然後，導電層 108 係形成於氧化物半導體層 104 上之並未與導電層 102 重疊的區域中，且導電層 208 及 209 係形成於氧化物半導體層 204 之上（請參閱第 18C 圖）。針對細節，可參考上述之實施例（例如，實施例 4）。

以下步驟係與上述實施例（例如，實施例 4 或 9）之中的該等步驟相似。換言之，絕緣層 110 係形成以便覆蓋

氧化物半導體層 104、導電層 108、氧化物半導體層 204、導電層 208、及導電層 209（請參閱第 19A 圖）；到達導電層 102、103、108、202、208、及 209 的開口係藉由選擇性地去除絕緣層 110 或其類似物而形成；然後，形成電性連接至導電層 108 的導電層 112，電性連接至導電層 102 的導電層 114，電性連接至導電層 103 的導電層（未描繪），導電層 116，電性連接至導電層 202 的導電層（未描繪），電性連接至導電層 208 的導電層 212，電性連接至導電層 209 的導電層 214、導電層 216、及其類似物（請參閱第 19B 圖）。注意的是，可將導電層 103 及 116 或導電層 202 及 216 彼此互相電性連接；然而，爲了要控制電場，無需一定要將導電層 103 及 116 或導電層 202 及 216 彼此互相電性連接。例如，做爲導電層 103 的電位或導電層 202 的電位，可使用任何的浮動電位、固定電位、以及與導電層 116 之電位或導電層 216 之電位不同地變動的電位。

以此方式，可將功率 MOSFET 及薄膜電晶體形成於相同的基板上及相似的步驟中。

進一步地，藉由使用其中形成除了作用成爲所謂閘極電極的導電層之外的導電層於氧化物半導體層之下面的結構，可阻擋外部的電場，使得可降低外部電場在半導體裝置之上的不利效應。因此，可防止由於在氧化物半導體層的基板側之電荷累積所導致之寄生通道的產生，以及臨限電壓的變動。

在此實施例中所敘述之該等結構、方法、及其類似者可與任何其他的實施例適當地結合。

此申請案係根據 2009 年 10 月 9 日在日本專利局所申請之日本專利申請案序號 2009-235604，該申請案的全部內容係結合於本文以供參考之用。

【符號說明】

● 100, 500, 600：基板

102, 103, 108, 109, 112, 114, 116, 202, 208, 209, 212, 214, 216, 502, 506, 516, 522, 524, 528, 532,

602, 606, 610, 616, 618, 628, 632：導電層

104, 204, 510, 514, 620, 624：氧化物半導體層

106, 206：晶體區

110, 203, 508, 526, 608, 626：絕緣層

300：電源

● 302：參考電壓產生電路

304：參考電流產生電路

306：誤差放大器

308：PWM 緩衝器

310：三角波產生電路

312：線圈

314：功率 MOSFET

316：二極體

318：電容器

320 , 322 : 電阻器

350 : 三角波

352 : 輸出波形

354 : 脈波信號

400 : 太陽能電池板

402 : DC 開關

404 : 反流器

406 : 配電板

408 : AC 開關

410 : 電氣設備

412 : 變壓器

414 : 配電線

504 , 512 , 518 , 520 , 530 , 604 , 612 , 614 , 622 , 630 :

阻體罩幕

550 , 650 : 電晶體

申請專利範圍

1. 一種半導體裝置，包含：

電晶體，包含：

在第一絕緣層之上且與其接觸之氧化物半導體層，包含通道形成區；

第二絕緣層，在該氧化物半導體層之上；以及

第一導電層，在該第二絕緣層之上且與該通道形成區重疊，

其中該氧化物半導體層包含第一區及第二區，

其中該第一區比該第二區更接近該第二絕緣層，

其中該第一區包含晶體，並且該晶體的 c 軸實質上垂直於該第二絕緣層，

其中包括在該第一區中所有金屬元素係包括在該第二區中，以及包括在該第二區中所有金屬元素係包括在該第一區中，以及

其中該氧化物半導體層包含銦、鎵及鋅。

2. 一種半導體裝置，包含：

電晶體，包含：

在第一絕緣層之上且與其接觸之氧化物半導體層，包含通道形成區；

第二絕緣層，在該氧化物半導體層之上；以及

第一導電層，在該第二絕緣層之上且與該通道形成區重疊，

其中該氧化物半導體層包含第一區及第二區，

其中該第一區包含晶體，並且該晶體的 c 軸實質上垂直於該第二絕緣層，

其中包括在該第一區中所有金屬元素係包括在該第二區中，以及包括在該第二區中所有金屬元素係包括在該第一區中，以及

其中該氧化物半導體層包含銦、鎵及鋅。

3. 如申請專利範圍第 1 或 2 項之半導體裝置，其中除了包含在該氧化物半導體層之中的該晶體之區域外的區域包括非晶結構。

4. 如申請專利範圍第 1 或 2 項之半導體裝置，其中在該氧化物半導體層之中的該第二區包含 $\text{In}_2\text{Ga}_2\text{ZnO}_7$ 的晶體。

5. 如申請專利範圍第 1 或 2 項之半導體裝置，其中在該氧化物半導體層之中的該第一區包含 $\text{In}_2\text{Ga}_2\text{ZnO}_7$ 的晶體。

6. 如申請專利範圍第 1 或 2 項之半導體裝置，其中該氧化物半導體層包含 In-Ga-Zn-O 基的氧化物半導體材料。

7. 如申請專利範圍第 1 或 2 項之半導體裝置，其中該氧化物半導體層的上方表面具有晶體區。

8. 如申請專利範圍第 1 或 2 項之半導體裝置，其中該第二區域包括非晶結構。

9. 如申請專利範圍第 1 或 2 項之半導體裝置，其中該晶體具有 20 nm 或更小的尺寸。

10. 如申請專利範圍第 1 或 2 項之半導體裝置，
其中該電晶體包含在該第二絕緣層之下的第二導電層，以及

其中該氧化物半導體層設置在該第二絕緣層之下。

11. 如申請專利範圍第 1 或 2 項之半導體裝置，其中該電晶體包含第二導電層以及與該氧化物半導體層接觸的第三導電層。

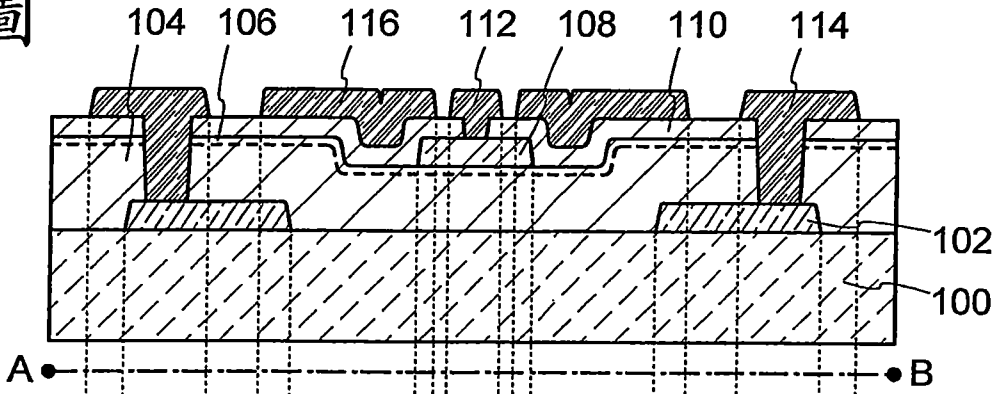
12. 如申請專利範圍第 11 項之半導體裝置，其中該第二絕緣層設置在該第二導電層以及該第三導電層之上。

13. 如申請專利範圍第 11 項之半導體裝置，其中該第二導電層及該第三導電層兩者與該氧化物半導體層之底部表面接觸。

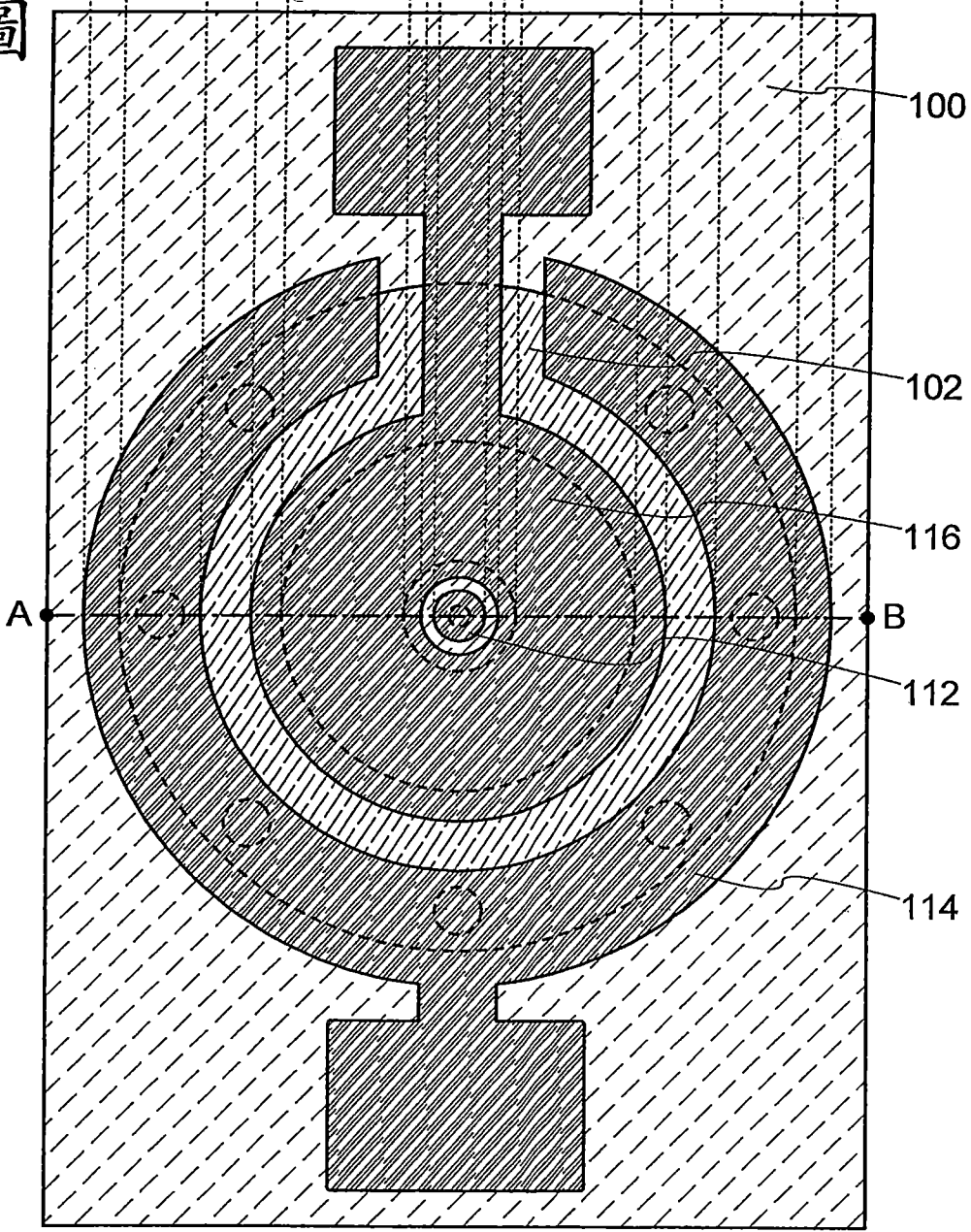
14. 如申請專利範圍第 11 項之半導體裝置，其中該第二導電層及該第三導電層兩者與該氧化物半導體層之上方表面接觸。

圖式

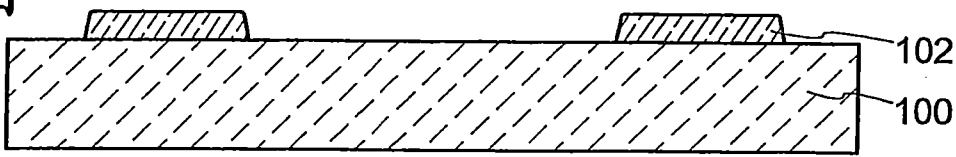
第1A圖



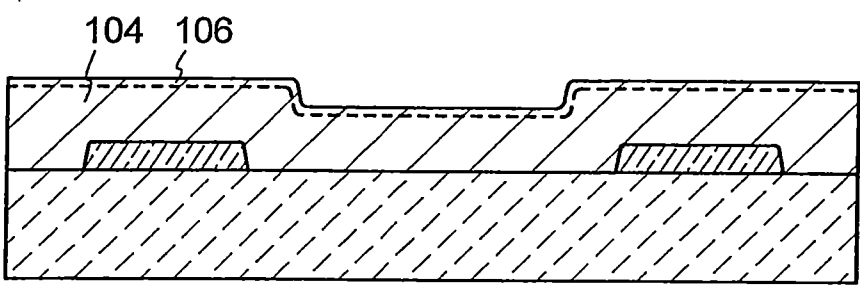
第1B圖



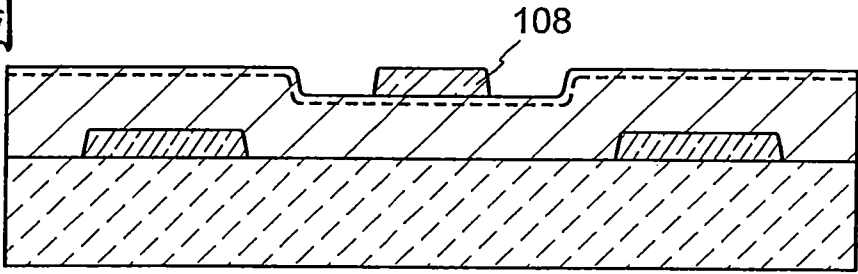
第2A圖



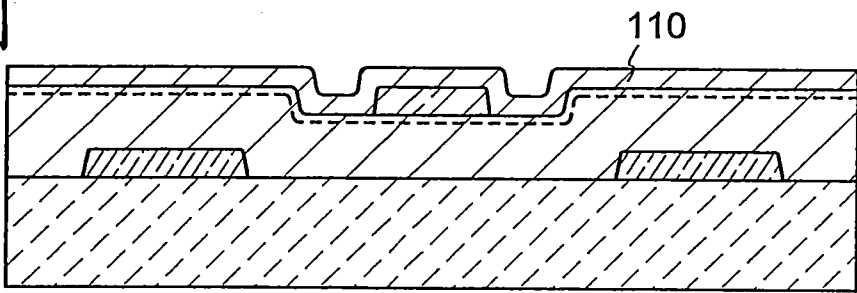
第2B圖



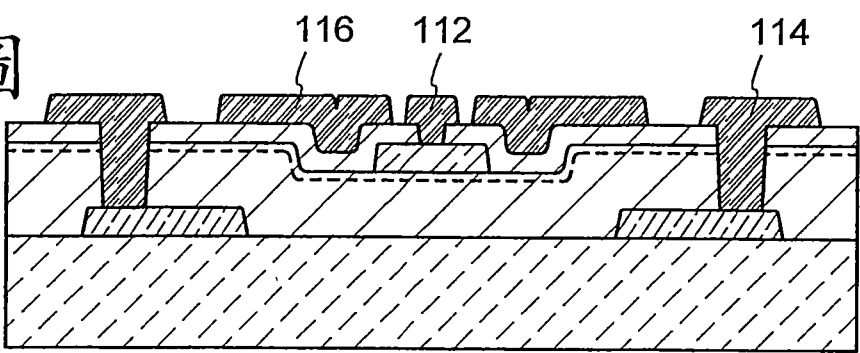
第2C圖



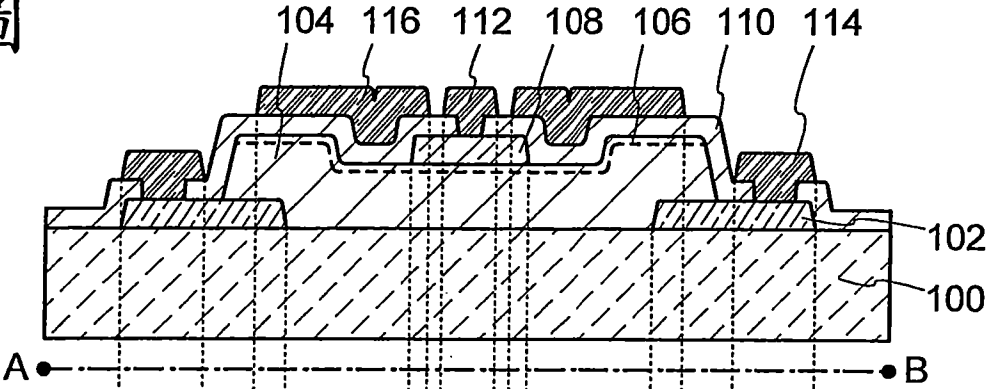
第2D圖



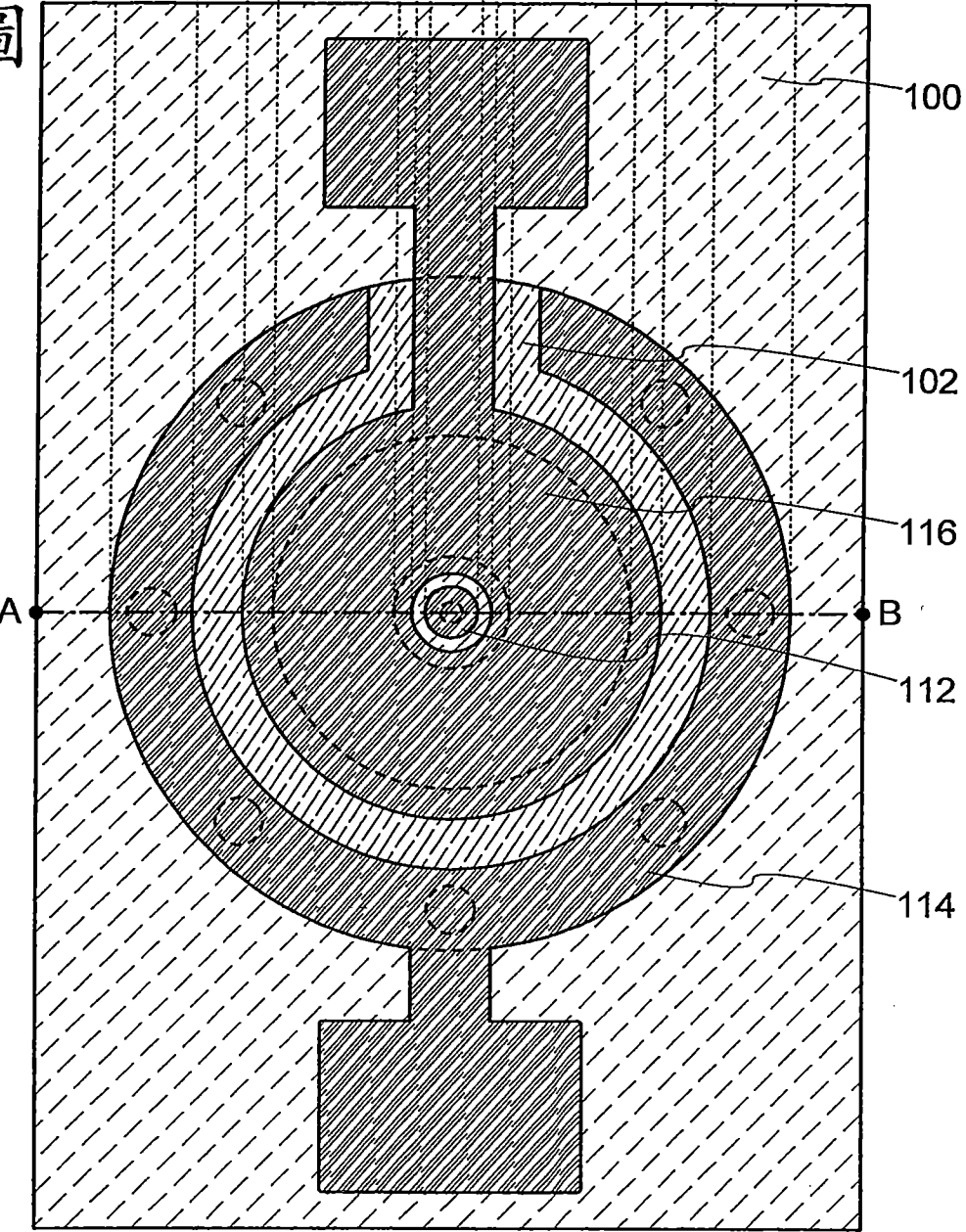
第2E圖



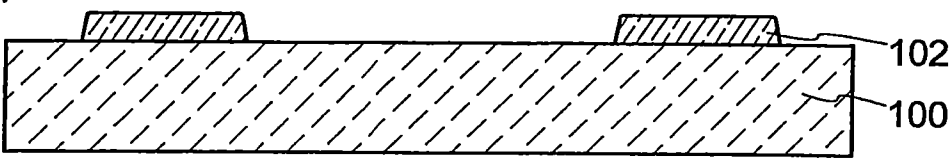
第3A圖



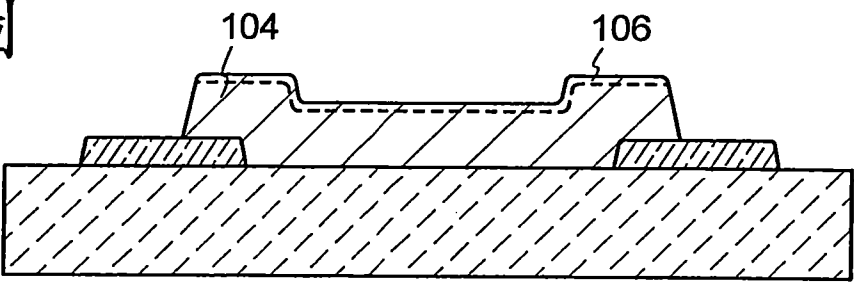
第3B圖



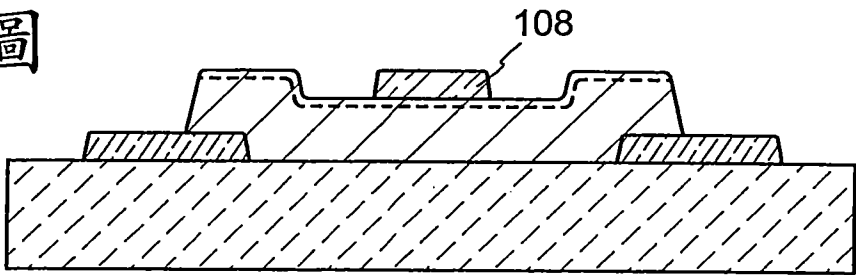
第4A圖



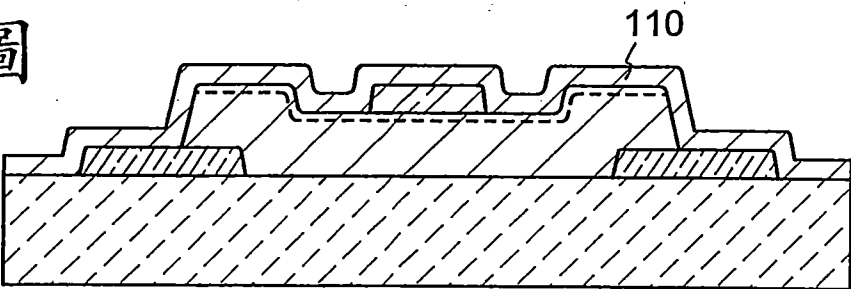
第4B圖



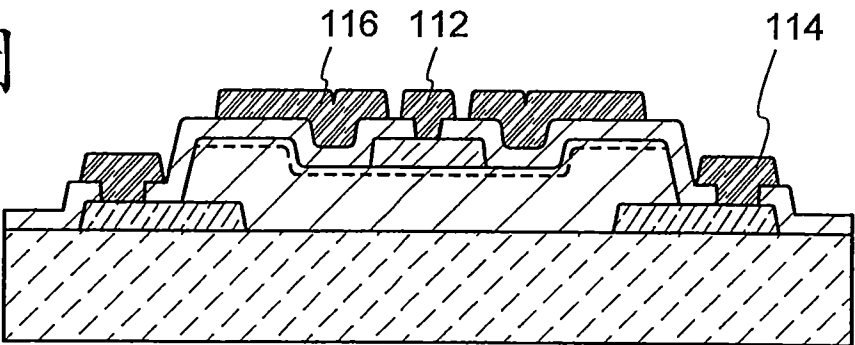
第4C圖



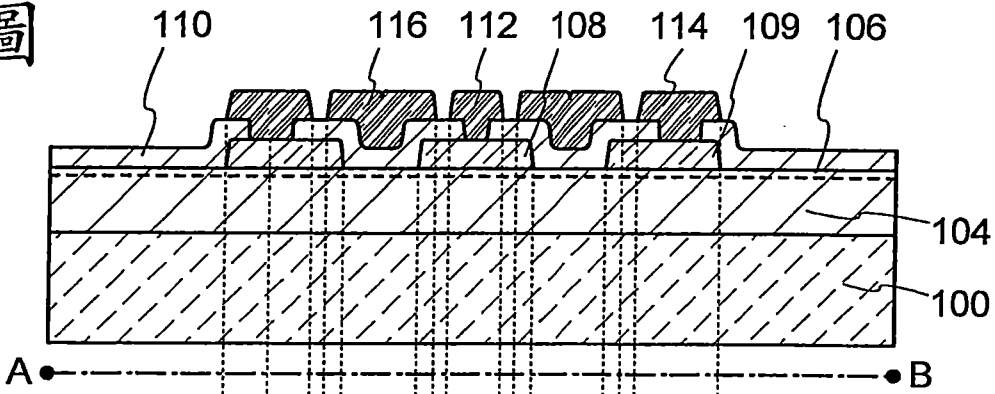
第4D圖



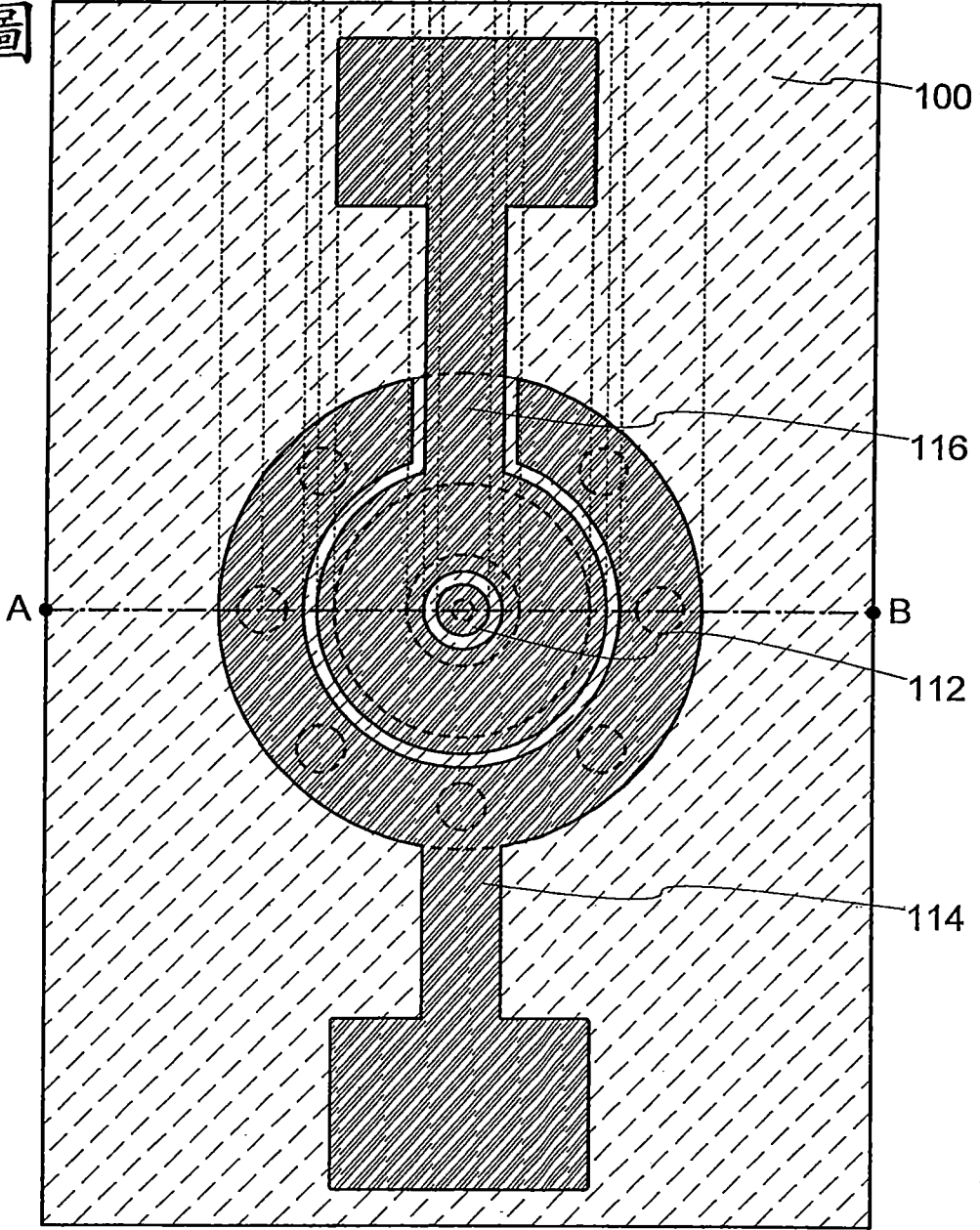
第4E圖



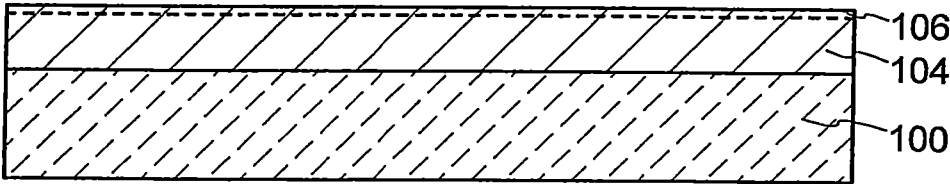
第5A圖



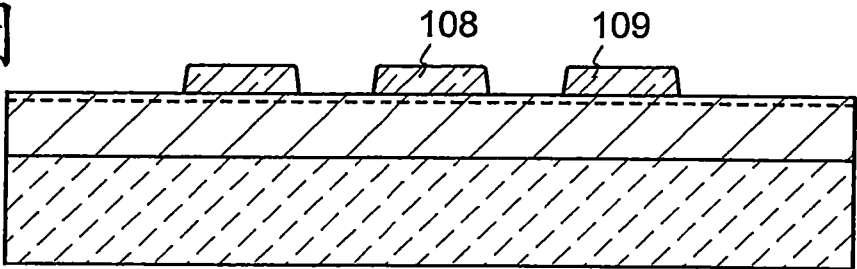
第5B圖



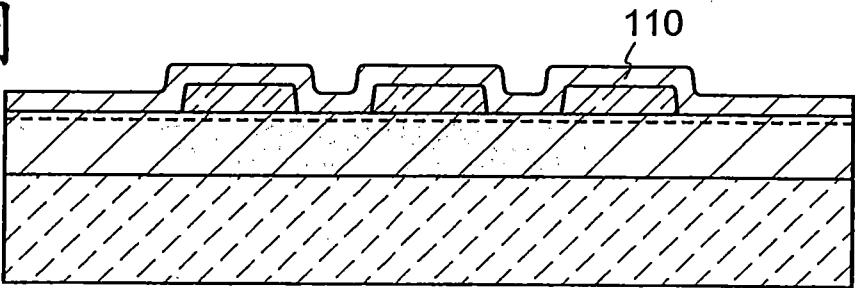
第6A圖



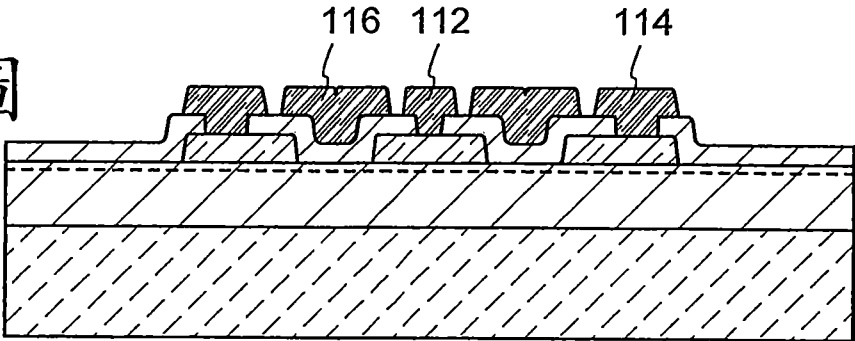
第6B圖



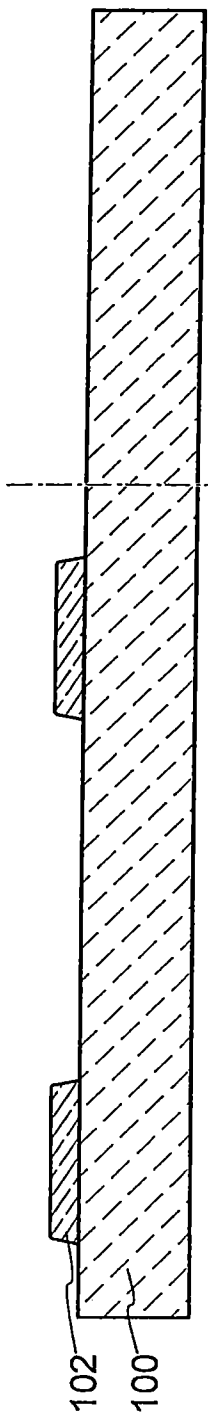
第6C圖



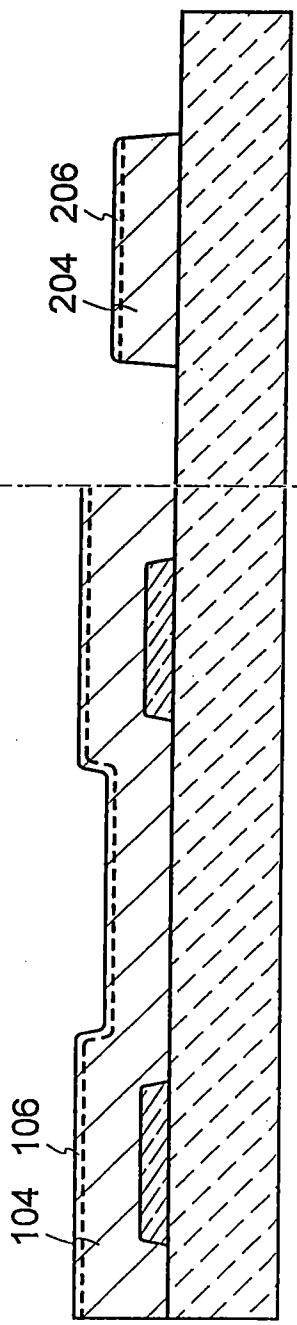
第6D圖



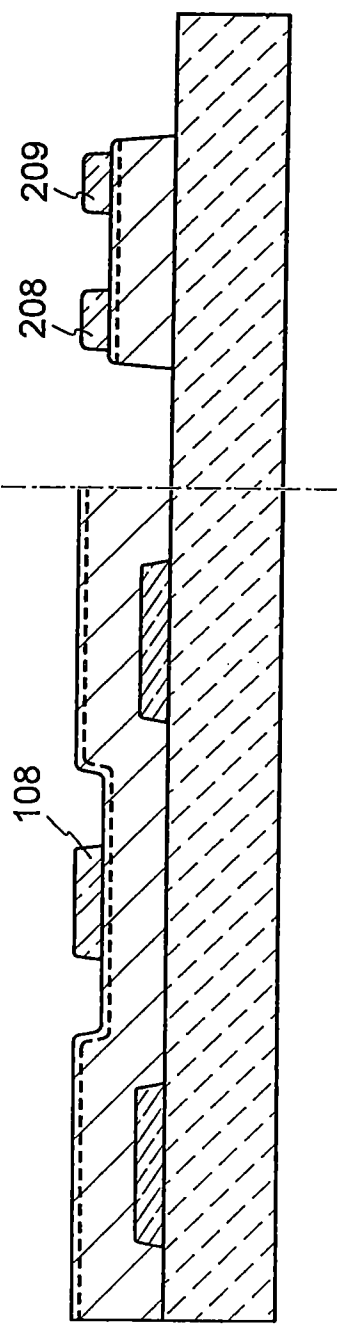
第7A圖



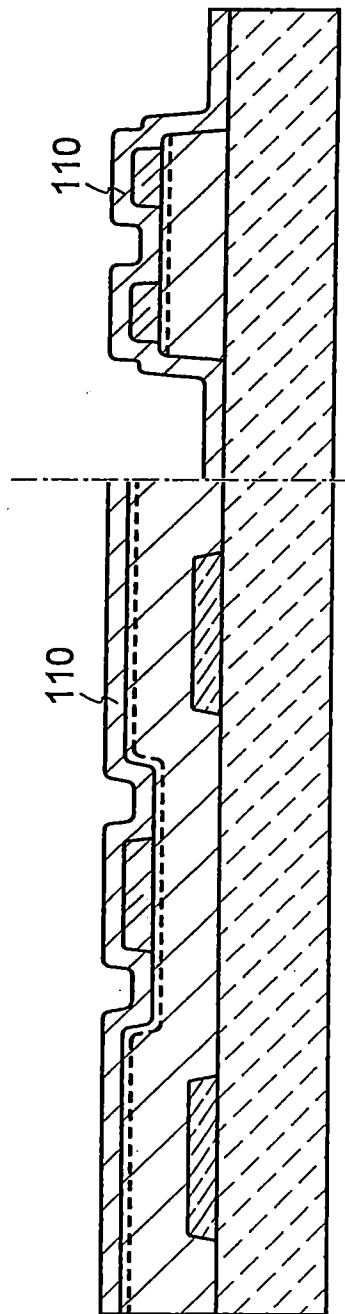
第7B圖



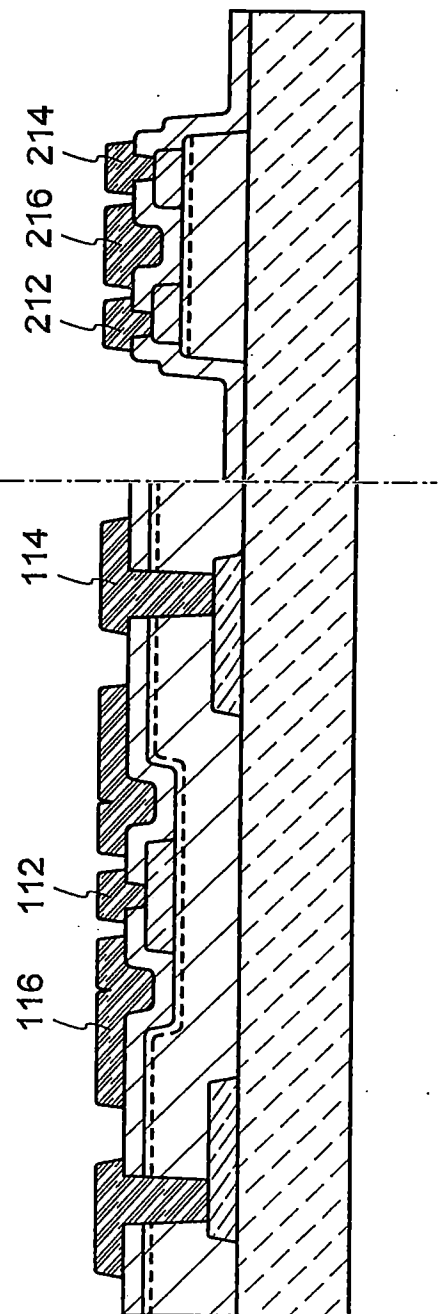
第7C圖



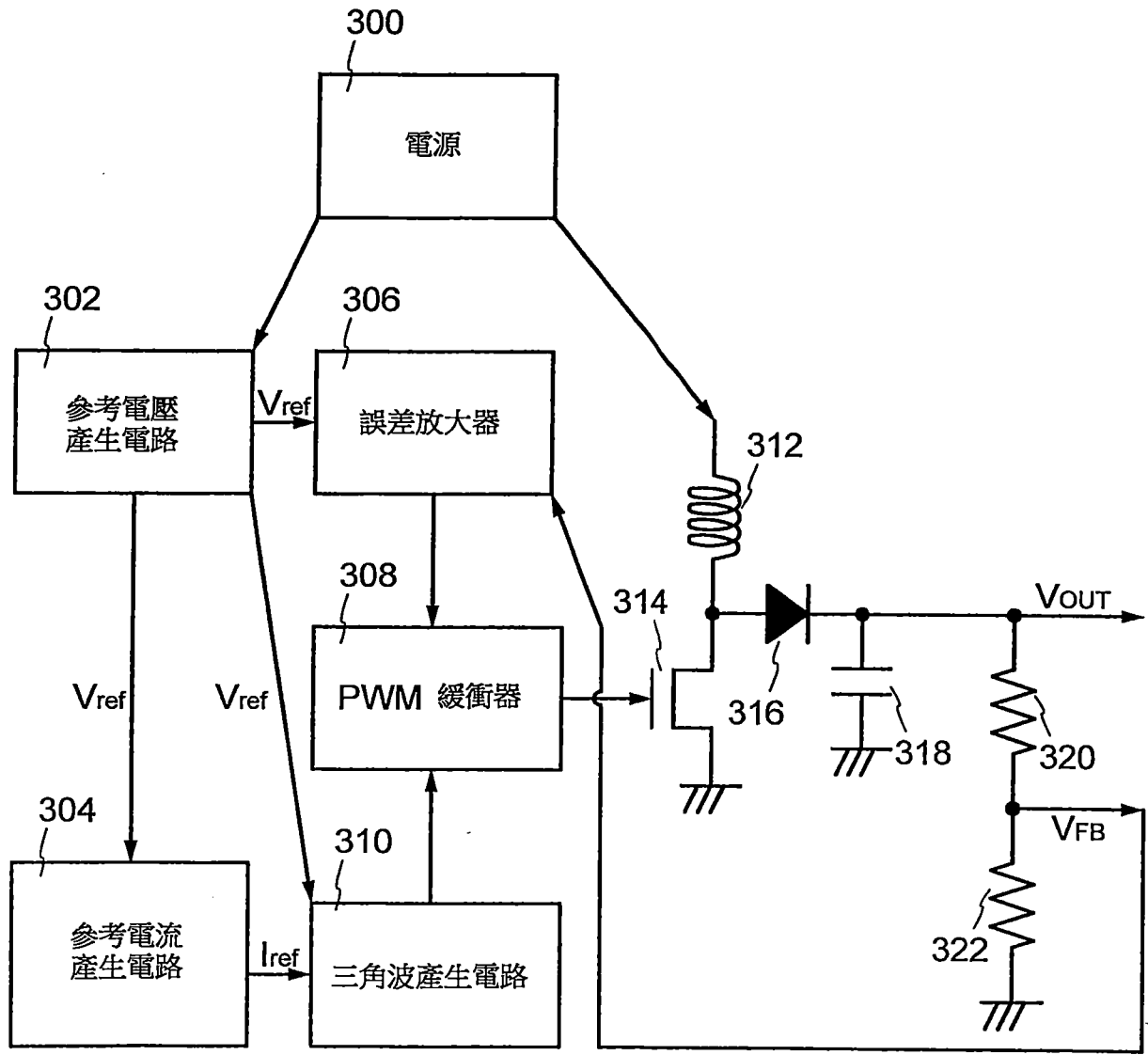
第8A圖



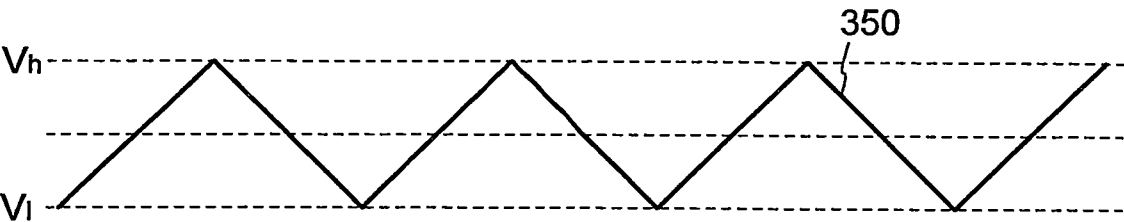
第8B圖



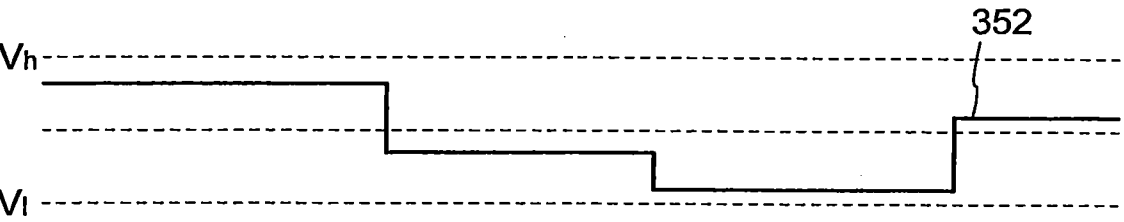
第9圖



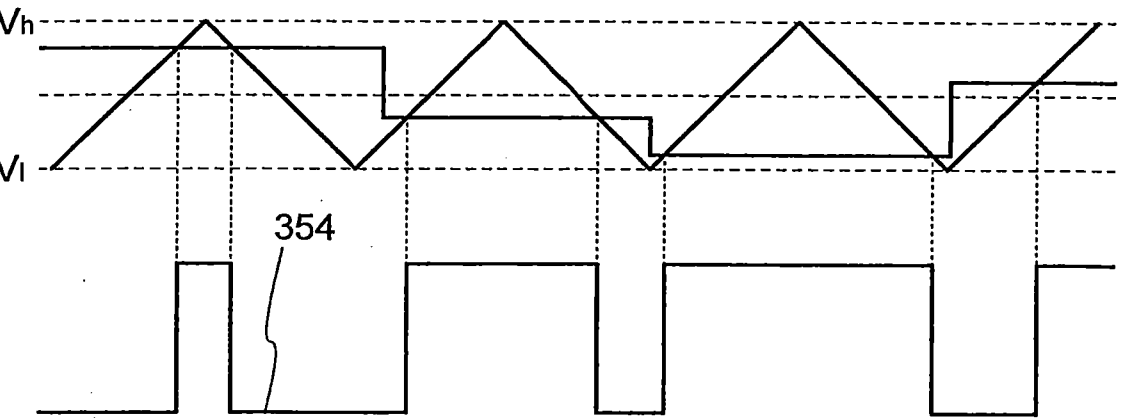
第10A圖



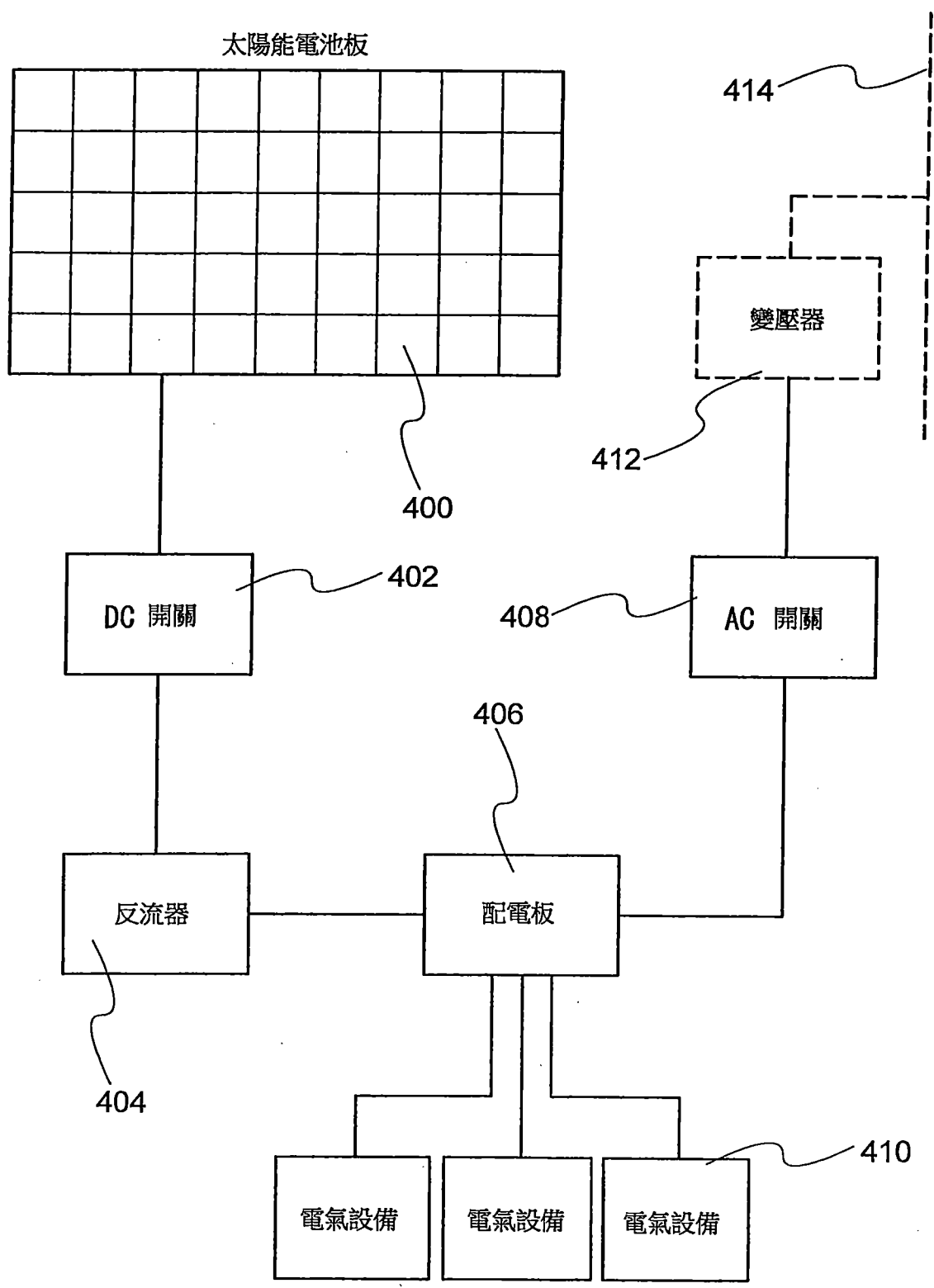
第10B圖



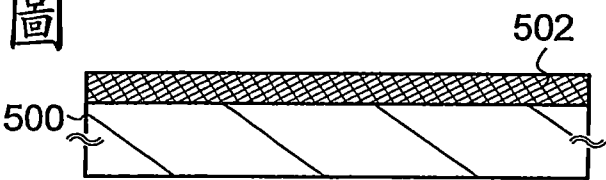
第10C圖



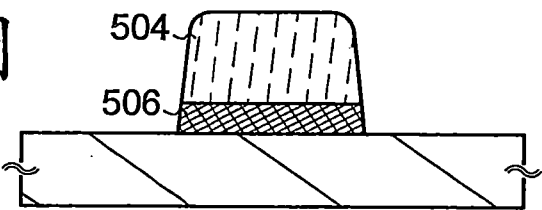
第11圖



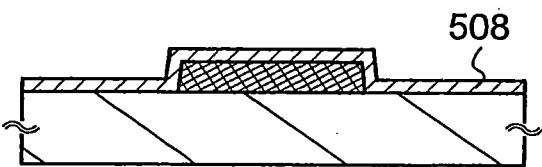
第12A圖



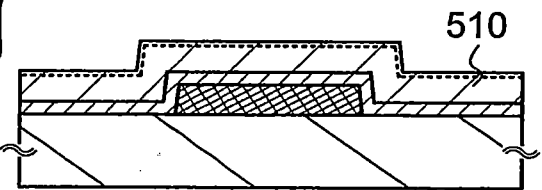
第12B圖



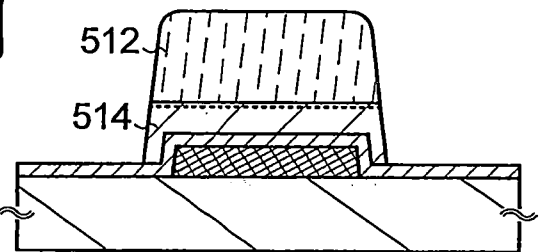
第12C圖



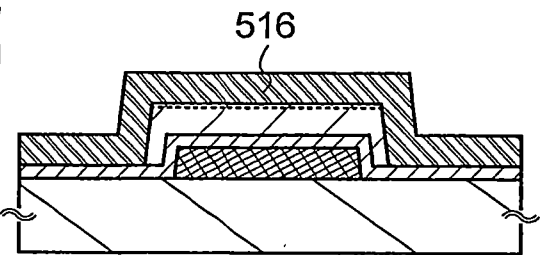
第12D圖



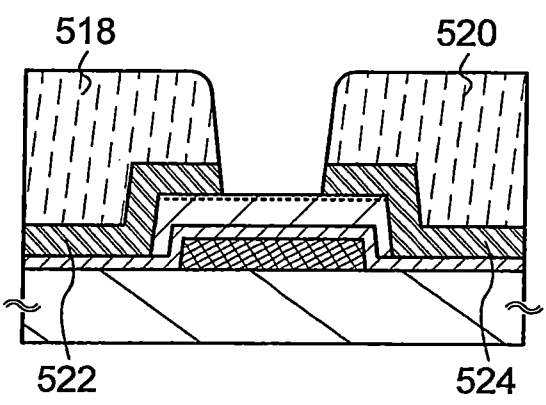
第12E圖



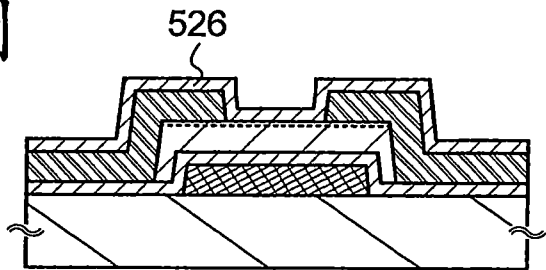
第12F圖



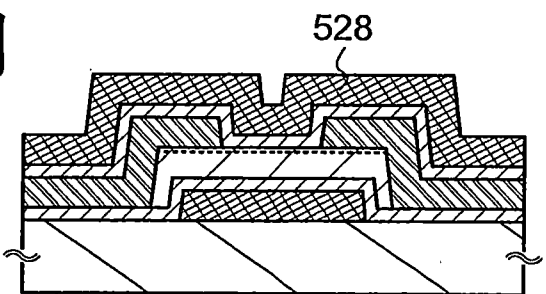
第13A圖



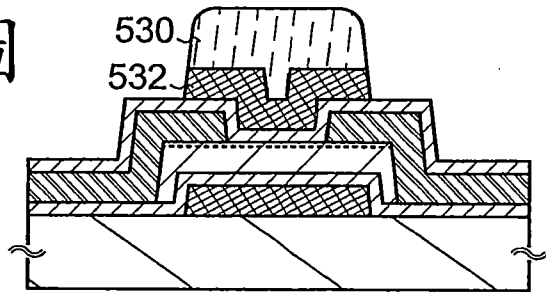
第13B圖



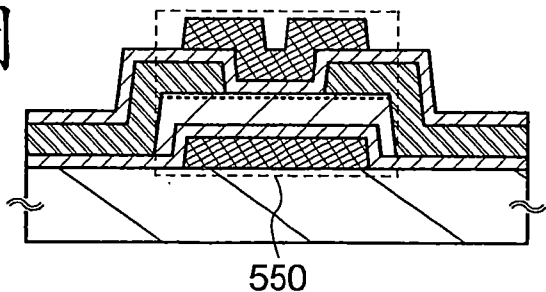
第13C圖



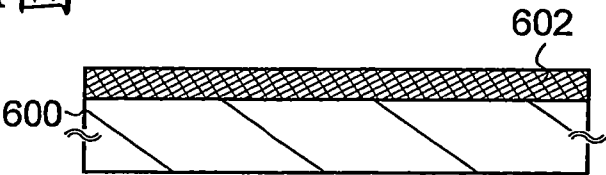
第13D圖



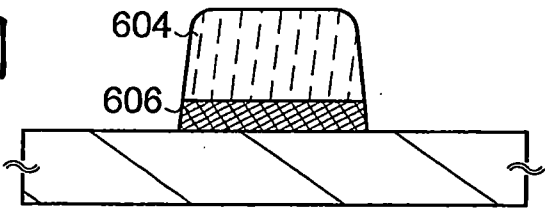
第13E圖



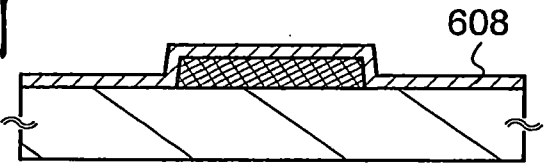
第14A圖



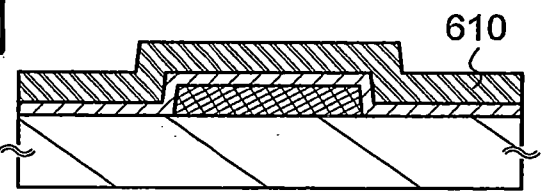
第14B圖



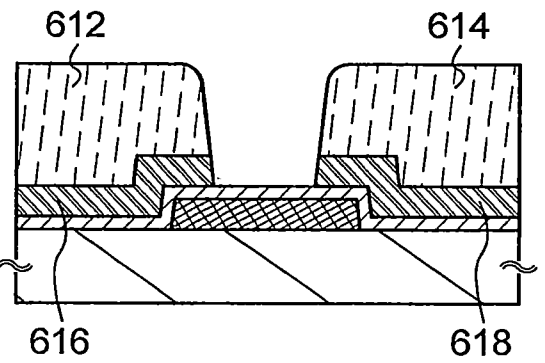
第14C圖



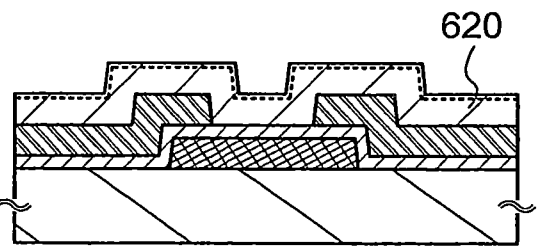
第14D圖



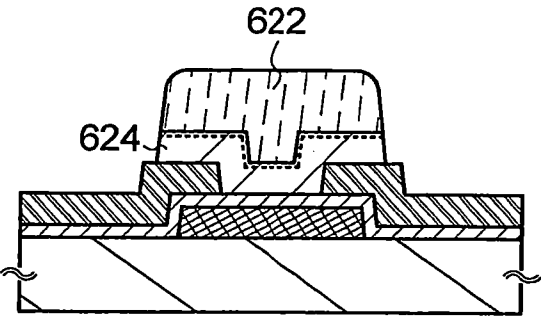
第14E圖



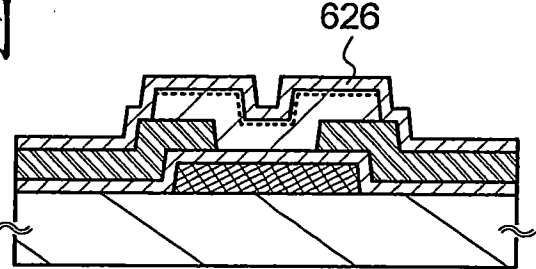
第14F圖



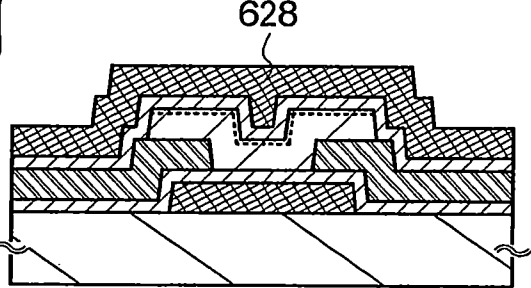
第15A圖



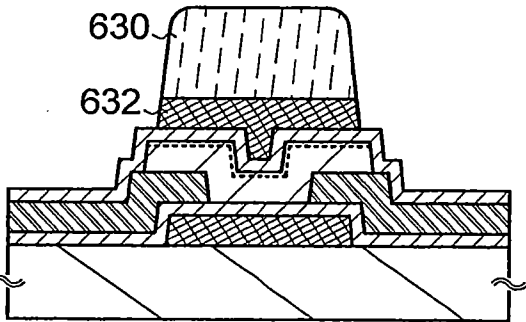
第15B圖



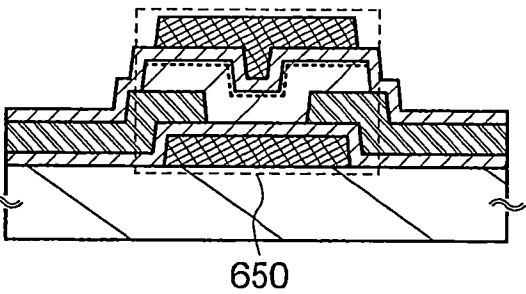
第15C圖



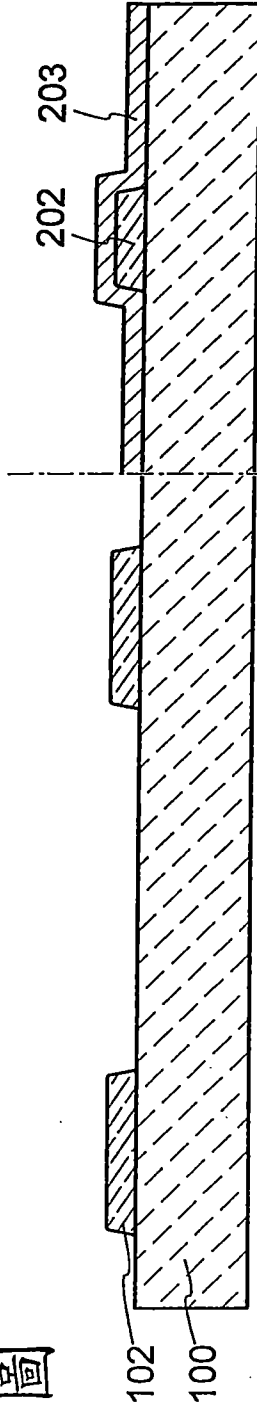
第15D圖



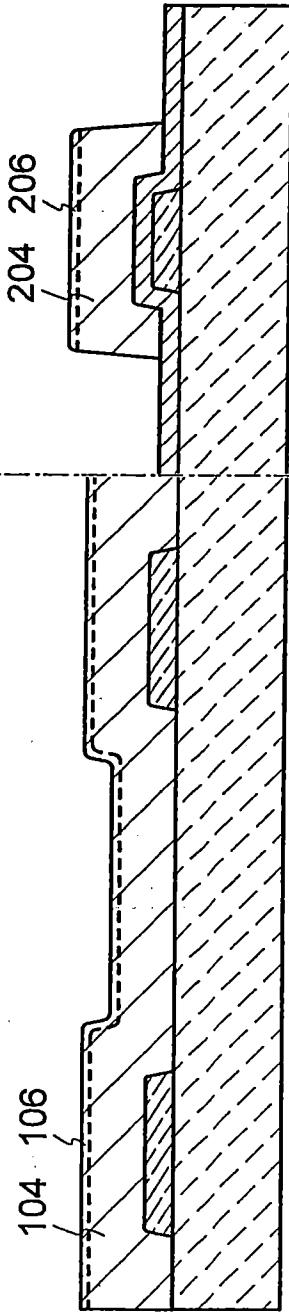
第15E圖



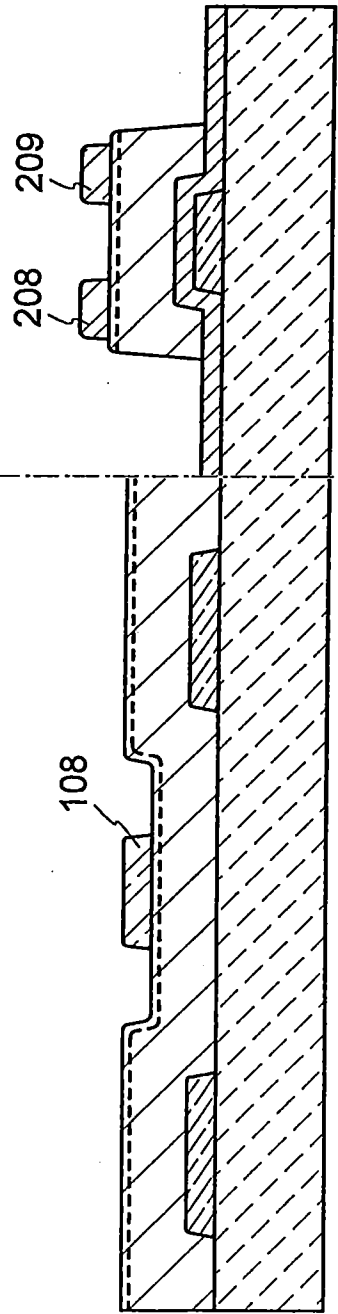
第16A圖



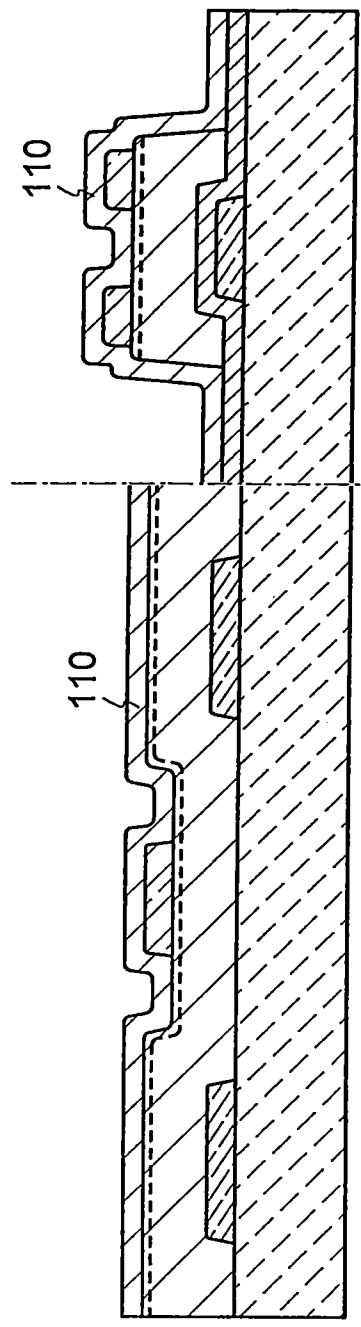
第16B圖



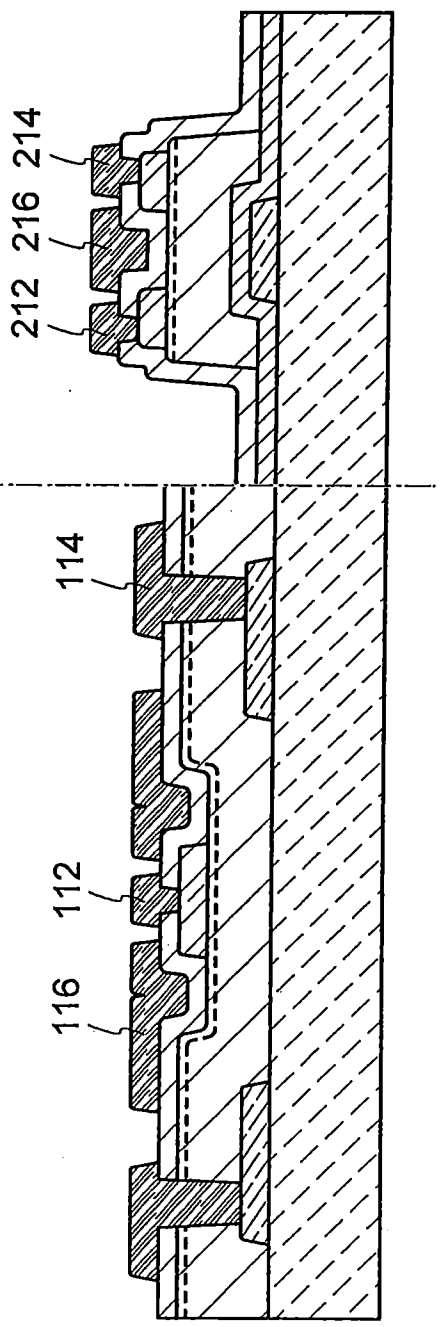
第16C圖



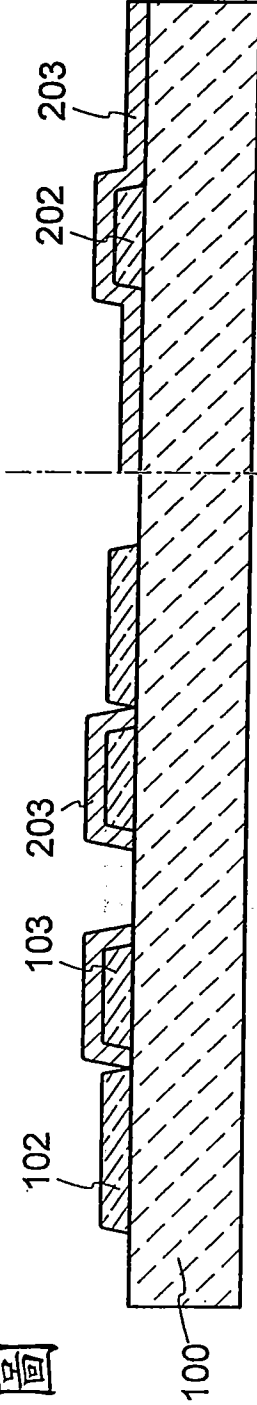
第17A圖



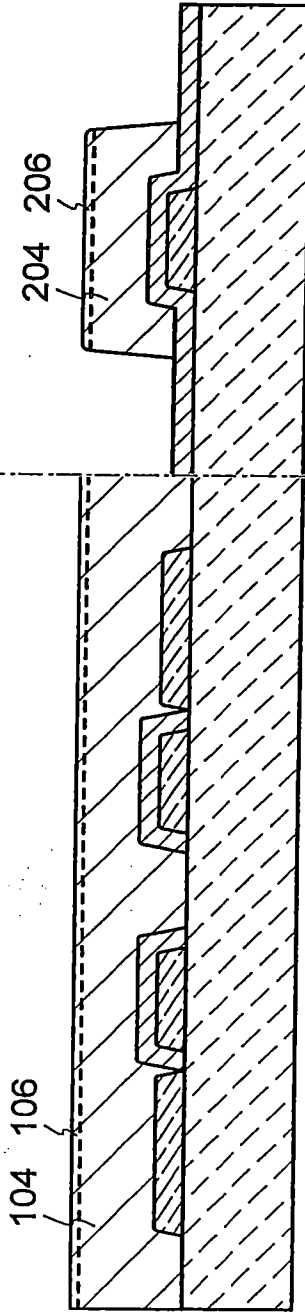
第17B圖



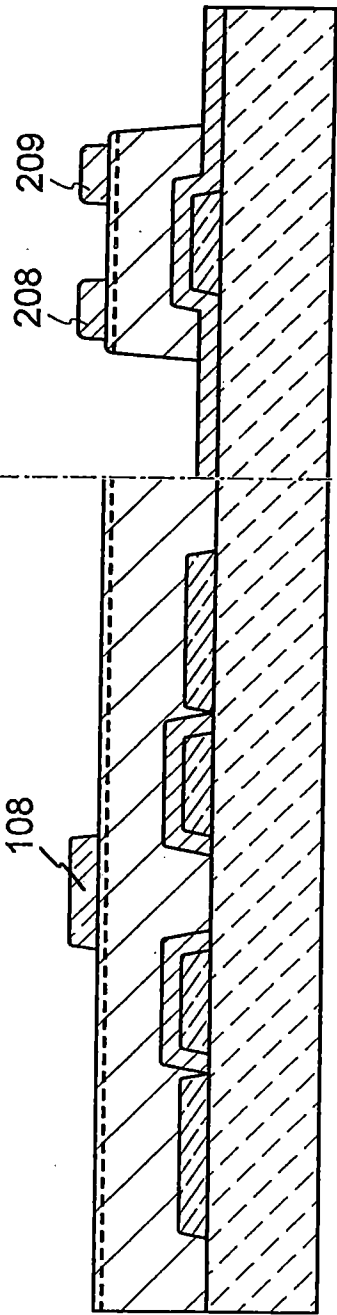
第18A圖



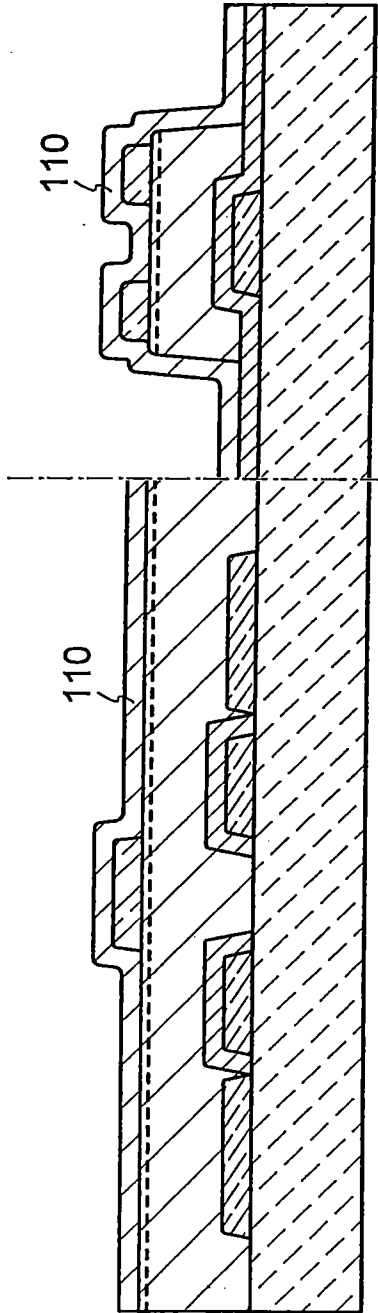
第18B圖



第18C圖



第19A圖



第19B圖

