

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012 年 12 月 13 日(13.12.2012)



(10) 国際公開番号

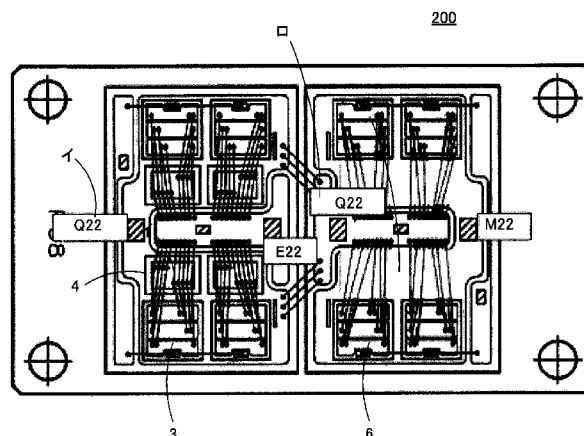
WO 2012/169521 A1

- (51) 国際特許分類:
H02M 7/483 (2007.01) H01L 25/18 (2006.01)
H01L 25/07 (2006.01) H02M 7/48 (2007.01)
- (21) 国際出願番号: PCT/JP2012/064544
- (22) 国際出願日: 2012 年 6 月 6 日(06.06.2012)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2011-129923 2011 年 6 月 10 日(10.06.2011) JP
- (71) 出願人 (米国を除く全ての指定国について): 富士電機株式会社(FUJI ELECTRIC CO., LTD.) [JP/JP]; 〒2109530 神奈川県川崎市川崎区田辺新田 1 番 1 号 Kanagawa (JP).
- (72) 発明者: および
- (75) 発明者/出願人 (米国についてのみ): 小川 省吾 (OGAWA, Shogo) [JP/JP]; 〒2109530 神奈川県川崎市川崎区田辺新田 1 番 1 号 富士電機株式会社内 Kanagawa (JP).
- (74) 代理人: 服部 毅巖(HATTORI, Kiyoshi); 〒1920082 東京都八王子市東町 9 番 8 号 八王子東町センタービル 服部特許事務所 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第 21 条(3))

(54) Title: SEMICONDUCTOR MODULE, UPPER AND LOWER ARM KIT AND THREE-LEVEL INVERTER

(54) 発明の名称: 半導体モジュール、上下アームキットおよび 3 レベルインバータ

[図4]



(57) Abstract: A semiconductor module, an upper and lower arm kit, and a three-level inverter can be provided at low cost and having a broad current rating and voltage rating by employing an existing package without requiring the development of a new package. Using an existing package, a first semiconductor module (100) on the upper arm side and a second semiconductor module (200) on the lower arm side are formed, and an upper and lower arm kit (300) is constructed using these semiconductor modules (100, 200). In addition, a three-level inverter (500) is constructed using this upper and lower arm kit (300). Since these can be formed using the existing package (56), it is possible to provide the semiconductor modules (100, 200), upper and lower arm kit (300) and three-level inverter (500) at low cost and having a broad current rating and voltage rating.

(57) 要約:

[続葉有]

WO 2012/169521 A1



新規のパッケージを開発することなく、既存のパッケージを用いることで、低コストで広い電流定格および電圧定格の半導体モジュール、上下アームキットおよび3レベルインバータを提供することができる。既存のパッケージを用いて、上アーム側の第1半導体モジュール(100)と下アーム側の第2半導体モジュール(200)を形成し、これらの半導体モジュール(100)、(200)を用いて上下アームキット(300)を構成する。さらにこの上下アームキット(300)を用いて3レベルインバータ(500)を構成する。これらを既存のパッケージ(56)を用いて形成できるので、低コスト化で広い電流定格および電圧定格の半導体モジュール(100)、(200)、上下アームキット(300)および3レベルインバータ(500)を提供することができる。

明 細 書

発明の名称：

半導体モジュール、上下アームキットおよび3レベルインバータ

技術分野

[0001] この発明は、半導体モジュール、この半導体モジュールで構成される上下アームキットおよびこの上下アームキットで構成される3レベルインバータに関する。

背景技術

[0002] 図13は、従来の技術を用いた直流から交流に変換する3レベルインバータの回路図である。

図13において、図中の符号の51、52が直列に接続された直流電源で、正極電位をP、負極電位をN、中性点電位をMとしている。直流電源51、52を交流電源システムより構成する場合は、図示していないダイオード整流器と大容量の電解コンデンサなどを用いて構成することが可能である。

[0003] 正極電位Pと負極電位Nとの間には、ダイオードを逆並列接続した絶縁ゲートバイポーラトランジスタ（以下IGBTという）の直列接続回路が3相分接続されている。即ち、U相用の直列接続回路60はダイオードD1を逆並列接続したIGBT（T1）からなる上アームとダイオードD2を逆並列接続したIGBT（T2）からなる下アームとの直列接続回路で、V相用の直列接続回路61はダイオードD3を逆並列接続したIGBT（T3）からなる上アームとダイオードD4を逆並列接続したIGBT（T4）からなる下アームとの直列接続回路で、W相用の直列接続回路62はダイオードD5を逆並列接続したIGBT（T5）からなる上アームとダイオードD6を逆並列接続したIGBT（T6）からなる下アームとの直列接続回路で、それぞれ構成されている。

[0004] 各相の直列接続回路の上アームと下アームの直列接続点と直流中性点電位Mとの間には、ダイオードを逆並列接続したIGBTを逆直列接続した交流

スイッチが接続されている。即ち、U相用の直列接続回路60の直列接続点と直流電源の中性点Mとの間には、ダイオード82を逆並列接続したIGBT81からなるIGBTモジュール63のエミッタとダイオード84を逆並列接続したIGBT83からなるIGBTモジュール64のエミッタとが接続された構成の交流スイッチが、V相用の直列接続回路61の直列接続点と直流電源の中性点Mとの間には、ダイオード86を逆並列接続したIGBT85からなるIGBTモジュール65のエミッタとダイオード88を逆並列接続したIGBT87からなるIGBTモジュール66のエミッタとが接続された構成の交流スイッチが、W相用の直列接続回路62の直列接続点と直流電源の中性点Mとの間には、ダイオード90を逆並列接続したIGBT89からなるIGBTモジュール67のエミッタとダイオード92を逆並列接続したIGBT91からなるIGBTモジュール68のエミッタとが接続された構成の交流スイッチが、それぞれ接続されている。また、各直列接続回路60、61、62の直列接続点は交流出力となり、各々フィルタ用リアクトル71、72、73を介して負荷74に接続される。

[0005] 本回路構成とすることで、各直列接続回路60、61、62の直列接続点は、正極電位P、負極電位N、および中性点電位Mを出力することが可能となるため、3レベルのインバータ出力となる。図14に出力電圧（ V_{out} ）波形例を示す。2レベルタイプのインバータに対して、3つの電圧レベルを持った低次の高調波成分の少ない交流電圧が出力されることが特徴であり、フィルタ用リアクトル（出力フィルタ）71～73の小型化が可能となる。

[0006] つぎに、特許文献1に記載されている従来の3レベルインバータについて図15を用いて説明する。

図15は、3レベルインバータの交流スイッチを含んだ上下アーム1相分の構成図であり、（a）は回路図、（b）は半導体モジュールの斜視図である。

[0007] 図15（b）に示す半導体モジュール40は、図15（a）に示すように

2個の逆阻止 IGBT 54, 55 を逆並列にした交流スイッチ 53 と 2 個の IGBT (T1, T2) が収納されている。

[0008] 図 16 は、半導体モジュールの模式的な断面図である。この半導体モジュール 40 は、パワー半導体チップ 43 (図 15 の符号で示す T1, T2, D1, D2, 54, 55) を放熱用金属ベース 41 上の絶縁基板 42 上に実装し、外部へ導出するための金属端子 44 をパッケージ 45 の上面に露出し、パッケージ 45 の内部は樹脂 46 が充填されている。

[0009] この半導体モジュール 40 は、電圧形の 3 レベルインバータに適用される。この半導体モジュール 40 は、直列接続回路 60 の正極端子 (P 端子) にコレクタ端子 C1 が接続されるダイオード D1 を逆並列接続した第 1 の IGBT (T1) と、この第 1 の IGBT (T1) のエミッタにコレクタが接続され直列接続回路 60 の負極端子 (N 端子) にエミッタ端子 E2 が接続されるダイオード D2 が逆並列接続した第 2 の IGBT (T2) からなる。

[0010] また、第 1 の IGBT (T1) のエミッタにコレクタが接続する第 1 の逆阻止型 IGBT 54 と、第 1 の逆阻止 IGBT 54 に逆並列接続される第 2 の逆阻止 IGBT 55 で構成される交流スイッチ 53 からなる。

[0011] 前記のダイオード D1 が逆並列した第 1 の IGBT (T1) と第 2 の IGBT (T2) で直列接続回路 60 が構成され、直列接続回路 60 の正極端子 (P 端子) が第 1 の IGBT のコレクタ端子 C1 と接続し、負極端子 (N 端子) が第 2 の IGBT (T2) のエミッタ端子 E2 と接続する。

[0012] 前記の第 1 の逆阻止 IGBT 54 と第 2 の逆阻止 IGBT 55 で交流スイッチ 53 が構成される。

また、この交流スイッチ 53 は第 1 の IGBT (T1) のエミッタと第 2 の IGBT (T2) のコレクタとの接続点 E1 C2 と直列接続回路 60 の正極端子 (P 端子) と負極端子 (N 端子) との間の中間電位にある中間電位端子 (M 端子) との間に接続される。第 1 の IGBT (T1)、第 2 の IGBT (T2)、第 1 の逆阻止 IGBT 54 および第 2 の逆阻止 IGBT 55 は一つのパッケージ 45 内に収納される。

- [0013] このように、一つの上下アームを一つのパッケージ４５に収納し、これらのパッケージ４５を３個用いて３レベルインバータを構成すると、外部配線が単純化される。さらに、３レベルインバータの配線インダクタンスの低減が図れると同時に、装置全体の小型化が図れる。
- [0014] ここで、逆阻止ＩＧＢＴとは、順方向耐圧（順耐圧）と同等の逆方向耐圧（逆耐圧）を有するＩＧＢＴのことであり、順耐圧と逆耐圧が同等であるところから対称型ＩＧＢＴと称することもある。
- [0015] また、逆耐圧を有さないＩＧＢＴとは、逆耐圧が順耐圧より大幅に低い非対称型ＩＧＢＴと称せられるＩＧＢＴを指し、逆耐圧が印加されない例えばインバータ回路などにフリーホイーリングダイオードを逆並列接続して多用される。通常、単にＩＧＢＴというところの逆耐圧を有さないＩＧＢＴのことを指す。
- [0016] また、特許文献２～４には、いわゆる１個組の半導体モジュールにおいて、エミッタ端子、コレクタ端子の導出位置を入れ替えた２種類のモジュールを用意し、この２種類のモジュールを並べて配置し、隣接する一方のモジュールのエミッタ端子と他方のモジュールのコレクタ端子を接続することでインバータの一つの上下アームを構成することが開示されている。

先行技術文献

特許文献

- [0017] 特許文献１：特開２００８－１９３７７９号公報
特許文献２：特開平３－１０８７４９号公報
特許文献３：特開平３－６５０６５号公報
特許文献４：特開平９－９６４４号公報

発明の概要

発明が解決しようとする課題

- [0018] しかし、前記の図１５で示す半導体モジュールを用いて３レベルインバータを製作する場合、３レベルインバータの容量によってモジュール内に格納

する IGBT や逆阻止 IGBT などの半導体素子に変更される。すなわち、容量を大きくするためには、半導体素子のチップサイズが変更されたり、IGBT や逆阻止 IGBT などを並列接続したりする。このように、多種の容量の 3 レベルインバータを揃える場合、格納する IGBT や逆阻止 IGBT などの半導体素子に応じて専用の半導体モジュールのパッケージ 45 を新規に開発する必要がある。そのため、数十 A から数千 A の広い電流領域に対応するためには、幾つかのパッケージを新規に用意する必要がある。また、数百 V から千数百 V の広い耐圧領域に対応するためには、幾つかのパッケージを新規に用意する必要がある。

[0019] また、前記の第 1、第 2 の IGBT (T1, T2) と第 1、第 2 の逆阻止 IGBT 54, 55 を別々のパッケージ 56a, 57 (図 17、図 19 参照) で 3 レベルインバータを構成する場合もある。

[0020] 図 17 は、インバータの上下アーム 1 相分の構成図であり、同図 (a) は回路図、(b) は半導体モジュールの要部平面図である。ここで示す例では 3 主端子 (E1C2, E2, C1) はパッケージ 56a の上面に一例に配置されている。

[0021] 図 18 は、図 17 の半導体モジュールの内部構造図である。イとロの E1C2 はパッケージ 56a 内で接続しており、パッケージ 56a 上に配置されるのはイの E1C2 である。

[0022] 図 19 は、逆阻止 IGBT が逆並列接続された交流スイッチの構成図であり、同図 (a) は回路図、同図 (b) は交流スイッチのパッケージの平面図である。

図 15 に示す 3 レベルインバータを図 17 および図 18 で示す第 1、第 2 の IGBT (T1, T2) の上下アーム (直列接続回路 60) となる半導体モジュール 47 と図 19 で示す第 1、第 2 の逆阻止 IGBT 54, 55 を用いた交流スイッチ 53 を組み合わせて構成する。この場合は、図 17 で示す半導体モジュール 47 のパッケージは既存のパッケージ 56a であり、上アームの素子と下アームの素子を収納した通常よく用いられている 2 個組パッ

ケースである。この既存のパッケージ 56 a 上には 3 個の主端子 (E 1 C 2, C 1, E 2) が配置される。

[0023] しかし、図 19 (b) に示す交流スイッチ 53 のパッケージ 57 は、図 17 および図 18 に示す半導体モジュール 47 と内部配線の回路構成が異なり 2 主端子 (K 端子、L 端子) であるため、図 17 (b) のパッケージ 56 a は使用できない。

[0024] そのため、第 1、第 2 の逆阻止 IGBT 54, 55 を収納するパッケージ 57 は電流定格および電圧定格に合わせて新規に開発する必要がある。

3 レベルインバータを製作するとき、図 15 の半導体モジュール 40 (新規の 45 パッケージ) を用いる場合や図 17 の半導体モジュール 47 (既存のパッケージ 56 a) と図 19 の交流スイッチ 53 (新規のパッケージ 57) を組み合わせて用いる場合にはいずれにしても新規のパッケージを開発する必要がある。

[0025] また、特許文献 2 ~ 4 では、外部端子の位置が同じである既存のパッケージを用いて、内部に配置される半導体素子を変更することで、パッケージの形状が同一で 2 種類のモジュールを形成し、この 2 種類のモジュールを用いて 3 レベルインバータの一つの上下アームを構成することについては記載されていない。

[0026] この発明の目的は、前記の課題を解決して、新規のパッケージを開発することなく、既存のパッケージを用いることで、低コストで広い電流定格および電圧定格の半導体モジュール、上下アームキットおよび 3 レベルインバータを提供することができる。

課題を解決するための手段

[0027] 上記目的を達成するために、以下に示すような、半導体モジュールが提供される。半導体モジュールは、フリーホイーリングダイオードを逆並列接続した逆耐圧を有さない第 1 のスイッチング素子と、前記第 1 のスイッチング素子と直列接続する逆耐圧を有する第 1 の逆阻止スイッチング素子と、前記第 1 のスイッチング素子と前記第 1 の逆阻止スイッチング素子を収納した第

1のパッケージと、前記第1のパッケージの上面に配置され前記第1のスイッチング素子の高電位側と接続する高電位側端子（C 1 1）と、前記第1のパッケージの上面に配置される前記第1の逆阻止スイッチング素子の低電位側と接続する第1の中間電位補助端子（M 1 1）と、前記第1のパッケージの上面に配置され前記第1のスイッチング素子と前記第1の逆阻止スイッチング素子とに接続する第1の接続端子（Q 1 1）と、を有する。

[0028] また、上記半導体モジュールは、次のようにして提供される。前記第1のスイッチング素子は、逆耐圧を有さない絶縁ゲートバイポーラトランジスタであり、前記第1の逆阻止スイッチング素子は、逆耐圧を有する逆阻止絶縁ゲートバイポーラトランジスタであり、前記高電位側がコレクタであり、前記低電位側がエミッタである。

[0029] また、上記目的を達成するために、以下に示すような、半導体モジュールが提供される。逆耐圧を有する第2の逆阻止スイッチング素子と、前記第2の逆阻止スイッチング素子と直列接続しフリーホイーリングダイオードを逆並列接続した逆耐圧を有さない第2のスイッチング素子と、前記第2の逆阻止スイッチング素子と前記第2のスイッチング素子を収納した第2のパッケージと、前記第2のパッケージの上面に配置され前記第2の逆阻止スイッチング素子の高電位側と接続する第2の中間電位補助端子（M 2 2）と、前記第2のパッケージの上面に配置され前記第2のスイッチング素子の低電位側と接続する低電位側端子（E 2 2）と、前記第2のパッケージの上面に配置され前記第2の逆阻止スイッチング素子と前記第2のスイッチング素子とに接続する第2の接続端子（Q 2 2）と、を有する。

[0030] また、上記半導体モジュールは、次のようにして提供される。前記第2のスイッチング素子は、逆耐圧を有さない絶縁ゲートバイポーラトランジスタであり、前記第2の逆阻止スイッチング素子は、逆耐圧を有する逆阻止絶縁ゲートバイポーラトランジスタであり、前記高電位側がコレクタであり、前記低電位側がエミッタである。

[0031] また、上記目的を達成するために、以下に示すような、上下アームキット

が提供される。上下アームキットは、3レベルインバータの上アーム側となる第1の半導体モジュールと、前記3レベルインバータの下アーム側となる第2の半導体モジュールの一对の組からなり、前記第1の半導体モジュールは、フリーホイーリングダイオードを逆並列接続した逆耐圧を有さない第1のスイッチング素子と、前記第1のスイッチング素子と直列接続する逆耐圧を有する第1の逆阻止スイッチング素子と、前記第1のスイッチング素子と前記第1の逆阻止スイッチング素子を収納した第1のパッケージと、前記第1のパッケージの上面に配置され前記第1のスイッチング素子の高電位側と接続する高電位側端子（C 1 1）と、前記第1のパッケージの上面に配置される前記第1の逆阻止スイッチング素子の低電位側と接続する第1の中間電位補助端子（M 1 1）と、前記第1のパッケージの上面に配置され前記第1のスイッチング素子と前記第1の逆阻止スイッチング素子とに接続する第1の接続端子（Q 1 1）と、を有し、前記第2の半導体モジュールは、逆耐圧を有する第2の逆阻止スイッチング素子と、前記第2の逆阻止スイッチング素子と直列接続しフリーホイーリングダイオードを逆並列接続した逆耐圧を有さない第2のスイッチング素子と、前記第2の逆阻止スイッチング素子と前記第2のスイッチング素子を収納した第2のパッケージと、前記第2のパッケージの上面に配置され前記第2の逆阻止スイッチング素子の高電位側と接続する第2の中間電位補助端子（M 2 2）と、前記第2のパッケージの上面に配置され前記第2のスイッチング素子の低電位側と接続する低電位側端子（E 2 2）と、前記第2のパッケージの上面に配置され前記第2の逆阻止スイッチング素子と前記第2のスイッチング素子とに接続する第2の接続端子（Q 2 2）と、を有する。

[0032] また、上記上下アームキットを3個並列配置する3レベルインバータが提供される。3レベルインバータは、前記第1の半導体モジュールの前記高電位側端子（C 1 1 端子）同士を第3の接続導体で接続し、前記第2の半導体モジュールの低電位側端子（E 2 2 端子）同士を第4の接続導体で接続し、各前記第1の半導体モジュールの中間電位補助端子（M 1 1）と各前記第2

の半導体モジュールの中間電位補助端子（M 2 2）同士を第 5 の接続導体で接続し、前記第 3 の接続導体と前記第 5 の接続導体に第 1 の直流電源の正極と負極をそれぞれ接続し、前記第 5 の接続導体と前記第 4 の接続導体に第 2 の直流電源の正極と負極をそれぞれ接続し、各前記第 1 の半導体モジュールの第 1 の接続端子（Q 1 1）と各前記第 2 の半導体モジュールの第 2 の接続端子（Q 2 2）を各々第 6 の接続導体で接続し、該 3 個の第 6 の接続導体を出力端子である U 端子、V 端子、W 端子とする。

[0033] また、上記目的を達成するために、以下に示すような、上下アームキットが提供される。上下アームキットは、第 1 の半導体モジュールと、第 2 の半導体モジュールと、を含み、前記第 1 の半導体モジュールは、フリーホイーリングダイオードを逆並列接続した逆耐圧を有さない第 1 のスイッチング素子と、前記第 1 のスイッチング素子と直列接続する逆耐圧を有する第 1 の逆阻止スイッチング素子と、前記第 1 のスイッチング素子と前記第 1 の逆阻止スイッチング素子を収納した第 1 のパッケージと、前記第 1 のパッケージの上面に配置され前記第 1 のスイッチング素子の高電位側と接続する高電位側端子（C 1 1）と、前記第 1 のパッケージの上面に配置される前記第 1 の逆阻止スイッチング素子の低電位側と接続する第 1 の中間電位補助端子（M 1 1）と、前記第 1 のパッケージの上面に配置され前記第 1 のスイッチング素子と前記第 1 の逆阻止スイッチング素子とに接続する第 1 の接続端子（Q 1 1）と、を有し、前記第 2 の半導体モジュールは、逆耐圧を有する第 2 の逆阻止スイッチング素子と、前記第 2 の逆阻止スイッチング素子と直列接続しフリーホイーリングダイオードを逆並列接続した逆耐圧を有さない第 2 のスイッチング素子と、前記第 2 の逆阻止スイッチング素子と前記第 2 のスイッチング素子を収納した第 2 のパッケージと、前記第 2 のパッケージの上面に配置され前記第 2 の逆阻止スイッチング素子の高電位側と接続する第 2 の中間電位補助端子（M 2 2）と、前記第 2 のパッケージの上面に配置され前記第 2 のスイッチング素子の低電位側と接続する低電位側端子（E 2 2）と、前記第 2 のパッケージの上面に配置され前記第 2 の逆阻止スイッチング素子

と前記第2のスイッチング素子とに接続する第2の接続端子（Q22）と、を有し、前記第1の接続端子（Q11端子）と、前記第2の接続端子（Q22端子）と、を第1の接続導体で接続し、前記第1の半導体モジュールの中間電位補助端子（M11端子）と前記第2の半導体モジュールの中間電位補助端子（M22端子）と、を第2の接続導体で接続する。

[0034] また、上記上下アームキットを3個並列配置する3レベルインバータが提供される。3レベルインバータは、前記3個の第1の接続導体に3レベルインバータの出力端子であるU端子、V端子、W端子をそれぞれ接続し、前記第2の接続導体同士を接続して中間電位端子（M端子）とし、前記第1半導体モジュールの高電位側端子同士と第1の直流電源の正極を第3の接続導体（P端子）を介して接続し、該第1の直流電源の負極を前記中間電位端子（M端子）に接続し、前記第2半導体モジュールの低電位側端子同士と第2の直流電源の負極を第4の接続導体（N端子）を介して接続し、該第2の直流電源の正極を前記中間電位端子（M端子）に接続する。

発明の効果

[0035] この発明によれば、既存のパッケージ（3主端子）を用いて、半導体モジュール、上下アームキットおよび3レベルインバータが構成できるため、新規にパッケージを開発することなく、設計効率の向上、パッケージ部材の共通化が実現できて低コスト化を図ることができる。

[0036] また、各種の既存のパッケージを用いて回路構成ができるため、広い電流定格および電圧定格の半導体モジュール、上下アームキットおよび3レベルインバータを提供することができる。

[0037] 本発明の上記および他の目的、特徴および利点は本発明の例として好ましい実施の形態を表す添付の図面と関連した以下の説明により明らかになるであろう。

図面の簡単な説明

[0038] [図1]この発明の第1実施例の半導体モジュールの構成図であり、（a）は要部回路図、（b）は要部平面図である。

[図2]図1の半導体モジュールの内部構造図である。

[図3]この発明の第2実施例の半導体モジュールの構成図であり、(a)は要部回路図、(b)は要部平面図である。

[図4]図3の半導体モジュールの内部構造図である。

[図5]この発明の第3実施例の上下アームキットの要部回路図である。

[図6]この発明の第3実施例の上下アームキットの要部平面図である。

[図7]この発明の第4実施例の上下アームキットの要部回路図である。

[図8]この発明の第4実施例の上下アームキットの要部平面図である。

[図9]この発明の第5実施例の3レベルインバータの要部回路図である。

[図10]この発明の第5実施例の3レベルインバータの構成図の要部平面図である。

[図11]この発明の第6実施例の3レベルインバータの要部回路図である。

[図12]この発明の第6実施例の3レベルインバータの構成図の要部平面図である。

[図13]従来の技術を用いた直流から交流に変換する3レベルインバータの回路図である。

[図14]3レベルインバータの出力電圧(V_{out})波形例の図である。

[図15]3レベルインバータの交流スイッチを含んだ上下アーム1相分の構成図であり、(a)は回路図、(b)は半導体モジュールの斜視図である。

[図16]半導体モジュールの模式的な断面図である。

[図17]インバータの上下アーム1相分の構成図であり、(a)は回路図、(b)は半導体モジュールの要部平面図である。

[図18]図17の半導体モジュールの内部構造図である。

[図19]逆阻止IGBTが逆並列接続された交流スイッチの構成図であり、同図(a)は回路図、同図(b)は交流スイッチのパッケージの平面図である。

発明を実施するための形態

[0039] 実施の形態を以下の実施例で説明する。

＜実施例１＞

図１は、この発明の第１実施例の半導体モジュールの構成図であり、同図（ａ）は要部回路図、同図（ｂ）は要部平面図である。図２は、図１の半導体モジュールの内部構造図である。図２では、逆耐圧を有する第１の逆阻止ＩＧＢＴ５が４個並列接続され、逆耐圧を有さない第１のＩＧＢＴ１（通常用いられているＩＧＢＴ）が４個並列接続され、ＦＷＤ（フリーホイーリングダイオード）２が４個で各第１のＩＧＢＴ１に逆並列された配置された例を挙げた。これは、図１８のＦＷＤ（Ｄ２）を除去した場合の配置と同じである。また、イとロのＱ１１はパッケージ５６内で接続しており、パッケージ５６上に配置されるのはイのＱ１１であり、図１７のＥ１Ｃ２に相当する端子である。

[0040] また、この第１半導体モジュール１００の特徴は、３レベルインバータの直列接続回路の上アームのＦＷＤ２が逆並列された逆耐圧を有さない第１のＩＧＢＴ１と交流スイッチの一方の逆耐圧を有する第１の逆阻止ＩＧＢＴ５を既存のパッケージ５６ａと同一のパッケージ５６に収納している点である。

[0041] 図１において、第１半導体モジュール１００は、ＦＷＤ２を逆並列接続した第１のＩＧＢＴ１と第１の逆阻止ＩＧＢＴ５を直列接続した構成であり、第１のＩＧＢＴ１のエミッタと第１の逆阻止ＩＧＢＴ５のコレクタが接続点９ａで接続する。

[0042] パッケージ５６上には、第１のＩＧＢＴ１のコレクタと接続する高電位側端子７（Ｃ１１）、第１の逆阻止ＩＧＢＴ５のエミッタと接続する第１の中間電位補助端子１１（Ｍ１１）、第１のＩＧＢＴ１のエミッタと第１の逆阻止ＩＧＢＴ５のコレクタの接続点９ａに接続する第１の接続端子９（Ｑ１１）が配置される。

[0043] また、パッケージ５６上には、第１のＩＧＢＴ１および第１の逆阻止ＩＧＢＴ５のそれぞれのゲート端子Ｇ１，Ｇ２と補助エミッタ端子Ｅ１，Ｅ２とが配置される。前記のＱ１１は図１７のＥ１Ｃ２に相当する端子である。

[0044] 前記のFWD 2を逆並列接続した第1のIGBT 1は、3レベルインバータ500（図9、図10参照）の上アームを構成する素子であり、第1の逆阻止IGBT 5は交流スイッチ15（図9参照）の一部を構成する素子である。

[0045] 図1（b）に示すパッケージ56は各端子配置も含めて、既存の半導体モジュール47のパッケージ56a（図17（b）参照）と同じである。

このように、図1の半導体モジュール100で用いられるパッケージ56は、図17（b）に示す従来の半導体モジュール47の既存のパッケージ56aと共用できるため、3レベルインバータ500用として新規のパッケージを開発する必要がなく、第1半導体モジュール100の開発期間の短縮と、低コスト化ができる。

[0046] また、新規のパッケージを開発せずに容易に広い電流定格および電圧定格の第1半導体モジュール100を提供することができる。

<実施例2>

図3は、この発明の第2実施例の半導体モジュールの構成図であり、同図（a）は要部回路図、同図（b）は要部平面図である。図4は、図3の半導体モジュールの内部構造図である。図4は、逆耐圧を有する第2の逆阻止IGBT 6が4個並列接続され、逆耐圧を有さない第2のIGBT 3（通常用いられているIGBT）が4個並列接続され、FWD 4が4個で各通常の第2のIGBT 3に逆並列された配置された例を挙げた。これは、図18のFWD（D1）を除去した場合の配置と同じである。また、イと口のQ22はパッケージ56内で接続しており、パッケージ56上に配置されるのはイのQ22であり、図17のE1C2に相当する端子である。

[0047] また、この第2半導体モジュール200の特徴は、3レベルインバータの直列接続回路の下アームのFWD 4が逆並列された逆耐圧を有さない第2のIGBT 3と交流スイッチの他方の逆耐圧を有する第2の逆阻止IGBT 6を既存のパッケージ56aと同一のパッケージ56に収納している点である。

- [0048] 図3において、第2半導体モジュール200は、FWD4を逆並列接続した第2のIGBT3と第2の逆阻止IGBT6を直列接続した構成であり、第2のIGBT3のコレクタと第2の逆阻止IGBT6のエミッタが接続する。
- [0049] 第2のIGBT3のエミッタと接続する低電位側端子8（E22）、第2の逆阻止IGBT6のコレクタと接続する第2の中間電位補助端子12（M22）、第2のIGBT3のコレクタと第2の逆阻止IGBT6のエミッタの接続点10aに接続する第2の接続端子10（Q22）と、第2のIGBT3および第2の逆阻止IGBT6のそれぞれのゲート端子G2と補助エミッタ端子E2とが、第2半導体モジュール200のパッケージ56上に配置される。
- [0050] また、パッケージ56上には、第2のIGBT3および第2の逆阻止IGBT6のそれぞれのゲート端子G3、G4と補助エミッタ端子E3、E4とが配置される。前記のQ22は図17のE1C2に相当する端子である。
- [0051] 前記のFWD4を逆並列接続した第2のIGBT3は、3レベルインバータ500の下アームを構成する素子であり、第2の逆阻止IGBT6は交流スイッチ15（図9参照）の一部を構成する素子である。
- [0052] 図3（b）に示すパッケージ56は各端子配置も含めて、従来のIGBTチップが2個直列接続して収納される既存の半導体モジュール47のパッケージ56a（図17参照）と同じである。
- [0053] このように、図3（b）の半導体モジュール200で用いられるパッケージ56は、図17（b）に示す従来の半導体モジュール47の既存のパッケージ56aと共用できるため、3レベルインバータ500用として新規のパッケージを開発する必要がなく、第2半導体モジュール200の開発期間の短縮と、低コスト化ができる。
- [0054] また、新規のパッケージを開発せずに容易に広い電流定格および電圧定格の第2半導体モジュール200を提供することができる。

尚、図中のG3、E3は第2の逆阻止IGBT6のゲート端子、エミッタ

補助端子であり、G 4，E 4 は第 2 の I G B T 3 のゲート端子、エミッタ補助端子である。

＜実施例 3＞

図 5 および図 6 は、この発明の第 3 実施例の上下アームキットであり、図 5 は要部回路図、図 6 は要部平面図である。

[0055] この上下アームキット 300 は、図 9 および図 10 に示す 3 レベルインバータ 500 の上アーム側となる前記第 1 半導体モジュール 100 と下アーム側となる第 2 半導体モジュール 200 の一対組からなる。

[0056] 上下アームが接続されていない図 5 および図 6 の上下アームキット 300 を用いて 3 レベルインバータ 500 の一つの上下アームを構成する仕方を説明する。

前記第 1 半導体モジュール 100 の第 1 の接続端子 9 (Q 1 1) と第 2 半導体モジュール 200 の第 2 の接続端子 10 (Q 2 2) を点線で示す第 1 の接続導体 13 で接続して 3 レベルインバータ 500 (図 9、図 10 参照) の出力端子の例えば U 端子とする。

[0057] 前記第 1 半導体モジュール 100 の第 1 の中間電位補助端子 11 (M 1 1) と第 2 半導体モジュール 200 の第 2 の中間電位補助端子 12 (M 2 2) を点線で示す第 2 の接続導体 14 で接続して 3 レベルインバータ 500 の中間電位端子の M 端子とする。

[0058] 前記の第 1 半導体モジュール 100 の高電位側端子 7 (C 1 1) は 3 レベルインバータ 500 の図示しない P 端子に接続し、第 2 半導体モジュール 200 の低電位側端子 8 (E 2 2) は 3 レベルインバータ 500 の図示しない N 端子に接続する。

[0059] このように、既存のパッケージ 56 a と同一のパッケージ 56 を用いてこの上下アームキット 300 を構成するので上下アームキット 300 の低コスト化ができる。また、容易に広い電流定格および電圧定格の上下アームキット 300 を提供できる。

[0060] また、前記の上下アームキット 300 は、互いに接続していない第 1 半導

体モジュール１００と第２半導体モジュール２００で構成されている。

<実施例４>

図７および図８は、この発明の第４実施例の上下アームキットであり、図７は要部回路図、図８は要部平面図である。

[0061] 図７および図８の上下アームキット４００と図５および図６の上下アームキット３００との違いは、上アーム側の第１半導体モジュール１００のＱ１１，Ｍ１１と下アーム側の第２半導体モジュール２００のＱ２２，Ｍ２２を第３の接続導体１６、第４の接続導体１７で接続し、上下アームの半導体モジュール１００，２００を一体化した点である。

[0062] この場合上下アームが一体化されているので使い勝手がよい。また、第３実施例と同様の効果が得られる。

<実施例５>

図９および図１０は、この発明の第５実施例の３レベルインバータの構成図であり、図９は要部回路図、図１０は要部平面図である。図１０では図９に示す第１、第２の直流電源２３，２４は図示されていない。

[0063] ３個の上下アームキット３００（図５および図６）のそれぞれのＱ１１，Ｑ２２を第１の接続導体１３で接続して出力端子であるＵ端子、Ｖ端子、Ｗ端子とする。

また、３個の上下アームキット３００のそれぞれのＭ１１，Ｍ２２を第２の接続導体１４で接続して、中間電位端子であるＭ端子とする。この部分は図９に示す３レベルインバータ５００の交流スイッチ１５を構成する。

[0064] また、第１の半導体モジュール１００の高電位側端子７（Ｃ１１）同士を第５の接続導体２１で接続して３レベルインバータ５００のＰ端子とする。

また、第２の半導体モジュール２００の低電位側端子８（Ｅ２２）同士を第６の接続導体２２で接続して３レベルインバータ５００のＮ端子とする。

[0065] 第１の直流電源２３の正極と負極を３レベルインバータ５００のＰ端子とＭ端子にそれぞれ接続し、第２の直流電源２４の正極と負極を３レベルインバータ５００のＭ端子とＮ端子にそれぞれ接続することで、３レベルインバ

ータ５００が構成される。尚、図示しないが中間電位端子であるＭ端子を２箇所設けることで第１、第２の直流電源２３、２４と接続する配線インダクタンスを低減できる場合もある。

[0066] このように上アーム側を構成する第１半導体モジュール１００と下アーム側を構成する第２半導体モジュール２００の一对からなる前記の上下アームキット３００を３個用いて３レベルインバータ５００を製作するため、３レベルインバータ５００の低コスト化ができる。また、容易に広い電流定格および電圧定格の３レベルインバータ５００を製作できる。

<実施例６>

図１１および図１２は、この発明の第６実施例の３レベルインバータの構成図であり、図１１は要部回路図、図１２は要部平面図である。図１２では図１０に示す第１、第２の直流電源２３、２４は図示されていない。

[0067] この３レベルインバータ６００と図９および図１０の３レベルインバータ５００との違いは、上下アームキット３００の代わりに上下アームキット４００を用いた点である。上下アームキット４００では第１半導体モジュール１００と第２半導体モジュール２００は第３、第４の接続導体１６、１７で接続されているので、その第３、第４の接続導体１６、１７に第７の接続導体２５、第８の接続導体２６を接続点１８、１９でそれぞれ接続して、Ｍ端子、Ｕ端子、Ｖ端子、Ｗ端子とする。

[0068] 第１の直流電源２３の正極と負極を３レベルインバータ６００のＰ端子とＭ端子にそれぞれ接続し、第２の直流電源２４の正極と負極を３レベルインバータ６００のＭ端子とＮ端子にそれぞれ接続することで、３レベルインバータ６００が構成される。尚、図示しないが中間電位端子であるＭ端子を２箇所設けることで第１、第２の直流電源２３、２４と接続する配線インダクタンスを低減できる場合もある。

[0069] この３レベルインバータ６００の場合も前記の３レベルインバータ５００と同様の効果が得られる。

尚、前記の第１実施例から第６実施例は半導体素子としてＩＧＢＴを例と

して挙げたが、パワーMOSFETを用いても構わない。しかし、FWDが内蔵されたパワーMOSFETの場合には、FWDを外付けする必要はない。また、パワーMOSFETは逆耐圧がないため、逆阻止IGBTに相当する部位に用いるパワーMOSFETには直列にダイオードを接続する必要がある。

[0070] 上記については単に本発明の原理を示すものである。

さらに、多数の変形、変更が当業者にとって可能であり、本発明は上記に示し、説明した正確な構成および応用例に限定されるものではなく、対応するすべての変形例および均等物は、添付の請求項およびその均等物による本発明の範囲とみなされる。

符号の説明

- [0071]
- 1 第1のIGBT
 - 2, 4 FWD
 - 3 第2のIGBT
 - 5 第1の逆阻止IGBT
 - 6 第2の逆阻止IGBT
 - 7 高電位側端子 (C11)
 - 8 低電位側端子 (E22)
 - 9 第1の接続端子 (Q11)
 - 9a, 10a, 18, 19 接続点
 - 10 第2の接続端子 (Q22)
 - 11 第1の中間電位補助端子 (M11)
 - 12 第2の中間電位補助端子 (M22)
 - 13 第1の接続導体 (出力端子: U端子、V端子、N端子)
 - 14 第2の接続導体 (中間電位端子: M端子)
 - 15 交流スイッチ
 - 16 第3の接続導体
 - 17 第4の接続導体

- 2 1 第5の接続導体（P端子）
- 2 2 第6の接続導体（N端子）
- 2 3 第1の直流電源
- 2 4 第2の直流電源
- 2 5 第7の接続導体（中間電位端子：M端子）
- 2 6 第8の接続導体（出力端子：U端子、V端子、W端子）
- 5 6 パッケージ（既存のパッケージ5 6 aと同じ）
- 1 0 0 第1半導体モジュール
- 2 0 0 第2半導体モジュール
- 3 0 0, 4 0 0 上下アームキット
- 5 0 0, 6 0 0 3レベルインバータ

請求の範囲

- [請求項1] フリーホイーリングダイオードを逆並列接続した逆耐圧を有さない第1のスイッチング素子と、
- 前記第1のスイッチング素子と直列接続する逆耐圧を有する第1の逆阻止スイッチング素子と、
- 前記第1のスイッチング素子と前記第1の逆阻止スイッチング素子を収納した第1のパッケージと、
- 前記第1のパッケージの上面に配置され前記第1のスイッチング素子の高電位側と接続する高電位側端子（C 1 1）と、
- 前記第1のパッケージの上面に配置される前記第1の逆阻止スイッチング素子の低電位側と接続する第1の中間電位補助端子（M 1 1）と、
- 前記第1のパッケージの上面に配置され前記第1のスイッチング素子と前記第1の逆阻止スイッチング素子とに接続する第1の接続端子（Q 1 1）と、
- を有することを特徴とする半導体モジュール。
- [請求項2] 逆耐圧を有する第2の逆阻止スイッチング素子と、
- 前記第2の逆阻止スイッチング素子と直列接続しフリーホイーリングダイオードを逆並列接続した逆耐圧を有さない第2のスイッチング素子と、
- 前記第2の逆阻止スイッチング素子と前記第2のスイッチング素子を収納した第2のパッケージと、
- 前記第2のパッケージの上面に配置され前記第2の逆阻止スイッチング素子の高電位側と接続する第2の中間電位補助端子（M 2 2）と、
- 、
- 前記第2のパッケージの上面に配置され前記第2のスイッチング素子の低電位側と接続する低電位側端子（E 2 2）と、
- 前記第2のパッケージの上面に配置され前記第2の逆阻止スイッチ

ング素子と前記第2のスイッチング素子とに接続する第2の接続端子（Q22）と、

を有することを特徴とする半導体モジュール。

[請求項3] 前記第1のスイッチング素子は、逆耐圧を有さない絶縁ゲートバイポーラトランジスタであり、

前記第1の逆阻止スイッチング素子は、逆耐圧を有する逆阻止絶縁ゲートバイポーラトランジスタであり、前記高電位側がコレクタであり、前記低電位側がエミッタであることを特徴とする請求の範囲第1項に記載の半導体モジュール。

[請求項4] 前記第2のスイッチング素子は、逆耐圧を有さない絶縁ゲートバイポーラトランジスタであり、

前記第2の逆阻止スイッチング素子は、逆耐圧を有する逆阻止絶縁ゲートバイポーラトランジスタであり、前記高電位側がコレクタであり、前記低電位側がエミッタであることを特徴とする請求の範囲第2項に記載の半導体モジュール。

[請求項5] 3レベルインバータの上アーム側となる第1の半導体モジュールと、前記3レベルインバータの下アーム側となる第2の半導体モジュールの一对の組からなる上下アームキットであって、

前記第1の半導体モジュールは、

フリーホイーリングダイオードを逆並列接続した逆耐圧を有さない第1のスイッチング素子と、

前記第1のスイッチング素子と直列接続する逆耐圧を有する第1の逆阻止スイッチング素子と、

前記第1のスイッチング素子と前記第1の逆阻止スイッチング素子を収納した第1のパッケージと、

前記第1のパッケージの上面に配置され前記第1のスイッチング素子の高電位側と接続する高電位側端子（C11）と、

前記第1のパッケージの上面に配置される前記第1の逆阻止スイッ

チング素子の低電位側と接続する第 1 の中間電位補助端子 (M 1 1) と、

前記第 1 のパッケージの上面に配置され前記第 1 のスイッチング素子と前記第 1 の逆阻止スイッチング素子とに接続する第 1 の接続端子 (Q 1 1) と、

を有し、

前記第 2 の半導体モジュールは、

逆耐圧を有する第 2 の逆阻止スイッチング素子と、

前記第 2 の逆阻止スイッチング素子と直列接続しフリーホイーリングダイオードを逆並列接続した逆耐圧を有さない第 2 のスイッチング素子と、

前記第 2 の逆阻止スイッチング素子と前記第 2 のスイッチング素子を収納した第 2 のパッケージと、

前記第 2 のパッケージの上面に配置され前記第 2 の逆阻止スイッチング素子の高電位側と接続する第 2 の中間電位補助端子 (M 2 2) と、

前記第 2 のパッケージの上面に配置され前記第 2 のスイッチング素子の低電位側と接続する低電位側端子 (E 2 2) と、

前記第 2 のパッケージの上面に配置され前記第 2 の逆阻止スイッチング素子と前記第 2 のスイッチング素子とに接続する第 2 の接続端子 (Q 2 2) と、

を有する、

ことを特徴とする上下アームキット。

[請求項6]

第 1 の半導体モジュールと、第 2 の半導体モジュールと、を含む上下アームキットであって、

前記第 1 の半導体モジュールは、

フリーホイーリングダイオードを逆並列接続した逆耐圧を有さない第 1 のスイッチング素子と、

前記第 1 のスイッチング素子と直列接続する逆耐圧を有する第 1 の逆阻止スイッチング素子と、

前記第 1 のスイッチング素子と前記第 1 の逆阻止スイッチング素子を収納した第 1 のパッケージと、

前記第 1 のパッケージの上面に配置され前記第 1 のスイッチング素子の高電位側と接続する高電位側端子（C 1 1）と、

前記第 1 のパッケージの上面に配置される前記第 1 の逆阻止スイッチング素子の低電位側と接続する第 1 の中間電位補助端子（M 1 1）と、

前記第 1 のパッケージの上面に配置され前記第 1 のスイッチング素子と前記第 1 の逆阻止スイッチング素子とに接続する第 1 の接続端子（Q 1 1）と、

を有し、

前記第 2 の半導体モジュールは、

逆耐圧を有する第 2 の逆阻止スイッチング素子と、

前記第 2 の逆阻止スイッチング素子と直列接続しフリーホイーリングダイオードを逆並列接続した逆耐圧を有さない第 2 のスイッチング素子と、

前記第 2 の逆阻止スイッチング素子と前記第 2 のスイッチング素子を収納した第 2 のパッケージと、

前記第 2 のパッケージの上面に配置され前記第 2 の逆阻止スイッチング素子の高電位側と接続する第 2 の中間電位補助端子（M 2 2）と、

前記第 2 のパッケージの上面に配置され前記第 2 のスイッチング素子の低電位側と接続する低電位側端子（E 2 2）と、

前記第 2 のパッケージの上面に配置され前記第 2 の逆阻止スイッチング素子と前記第 2 のスイッチング素子とに接続する第 2 の接続端子（Q 2 2）と、

を有し、

前記第1の接続端子（Q11端子）と、前記第2の接続端子（Q22端子）と、を第1の接続導体で接続し、前記第1の半導体モジュールの中間電位補助端子（M11端子）と前記第2の半導体モジュールの中間電位補助端子（M22端子）と、を第2の接続導体で接続する、

ことを特徴とする上下アームキット。

[請求項7]

請求の範囲第5項に記載の上下アームキットを3個並列配置し、

前記第1の半導体モジュールの前記高電位側端子（C11端子）同士を第3の接続導体で接続し、前記第2の半導体モジュールの低電位側端子（E22端子）同士を第4の接続導体で接続し、各前記第1の半導体モジュールの中間電位補助端子（M11）と各前記第2の半導体モジュールの中間電位補助端子（M22）同士を第5の接続導体で接続し、前記第3の接続導体と前記第5の接続導体に第1の直流電源の正極と負極をそれぞれ接続し、前記第5の接続導体と前記第4の接続導体に第2の直流電源の正極と負極をそれぞれ接続し、各前記第1の半導体モジュールの第1の接続端子（Q11）と各前記第2の半導体モジュールの第2の接続端子（Q22）を各々第6の接続導体で接続し、該3個の第6の接続導体を出力端子であるU端子、V端子、W端子とする、

ことを特徴とする3レベルインバータ。

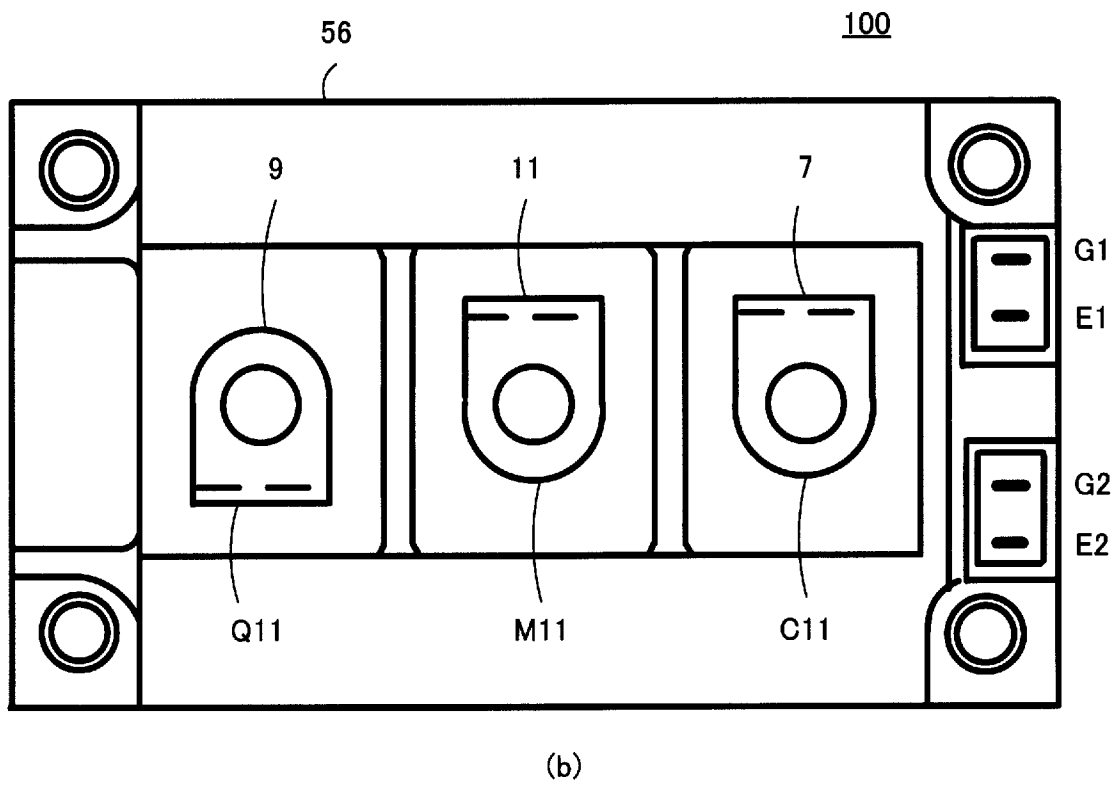
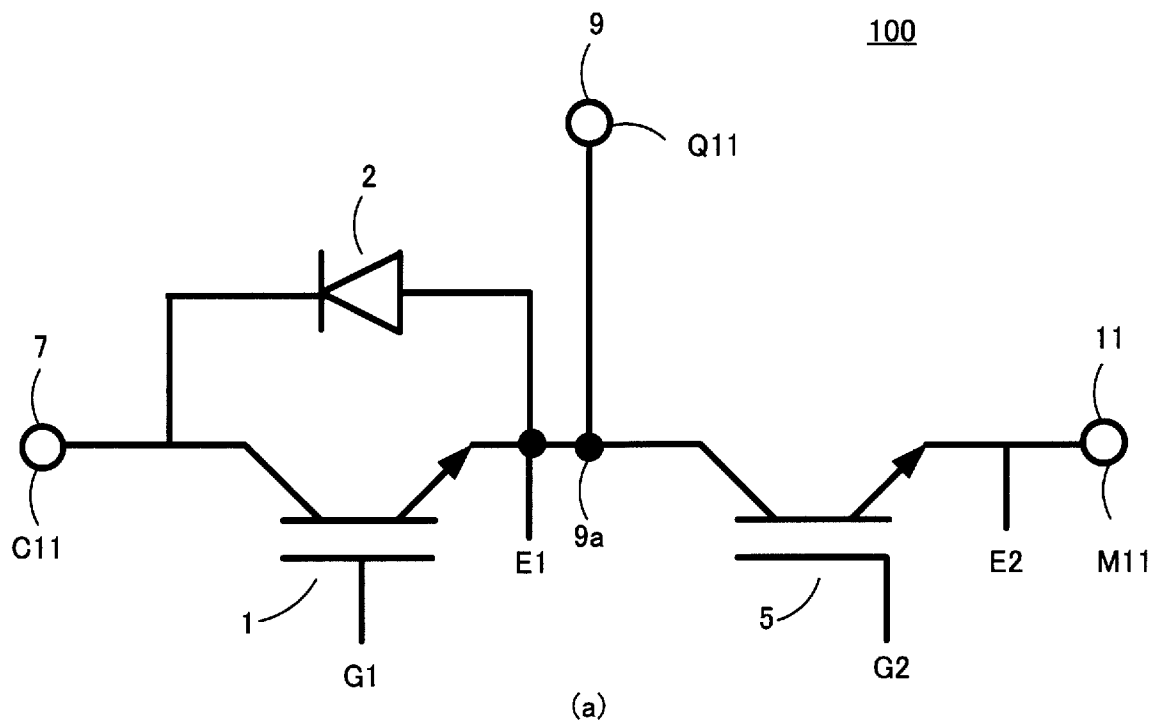
[請求項8]

請求の範囲第6項に記載の上下アームキットを3個並列配置し、

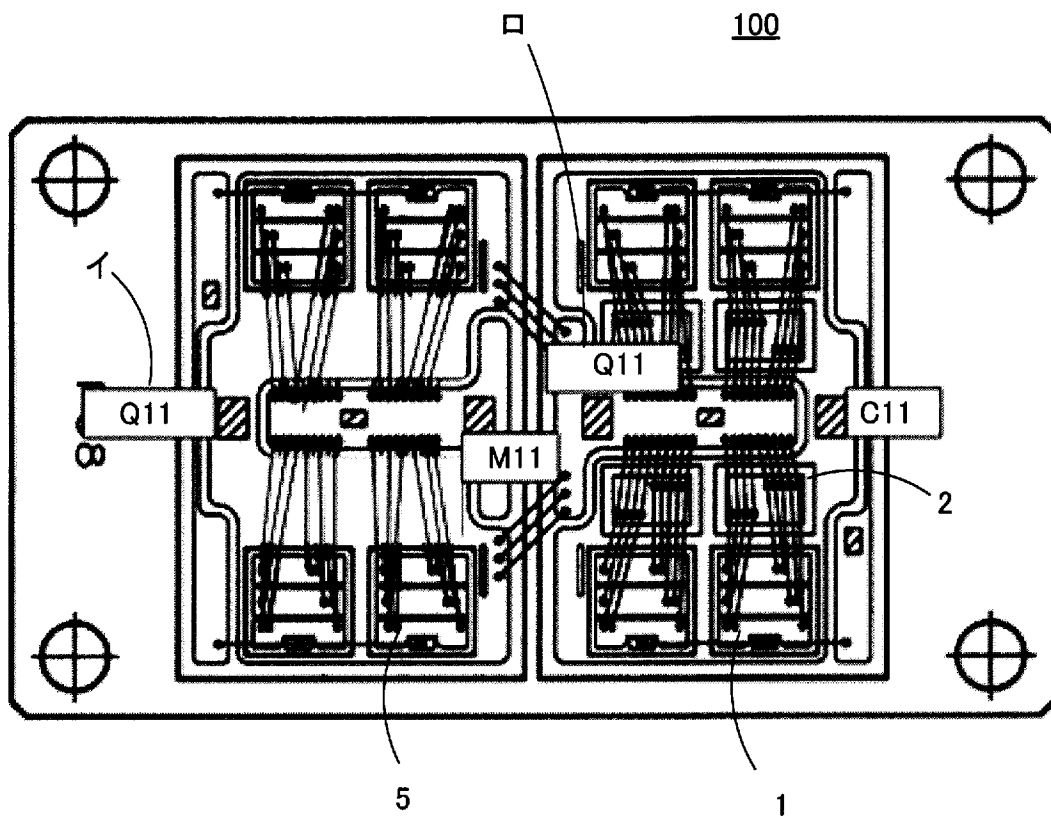
前記3個の第1の接続導体に3レベルインバータの出力端子であるU端子、V端子、W端子をそれぞれ接続し、前記第2の接続導体同士を接続して中間電位端子（M端子）とし、前記第1半導体モジュールの高電位側端子同士と第1の直流電源の正極を第3の接続導体（P端子）を介して接続し、該第1の直流電源の負極を前記中間電位端子（M端子）に接続し、前記第2半導体モジュールの低電位側端子同士と

第2の直流電源の負極を第4の接続導体（N端子）を介して接続し、
該第2の直流電源の正極を前記中間電位端子（M端子）に接続する、
ことを特徴とする3レベルインバータ。

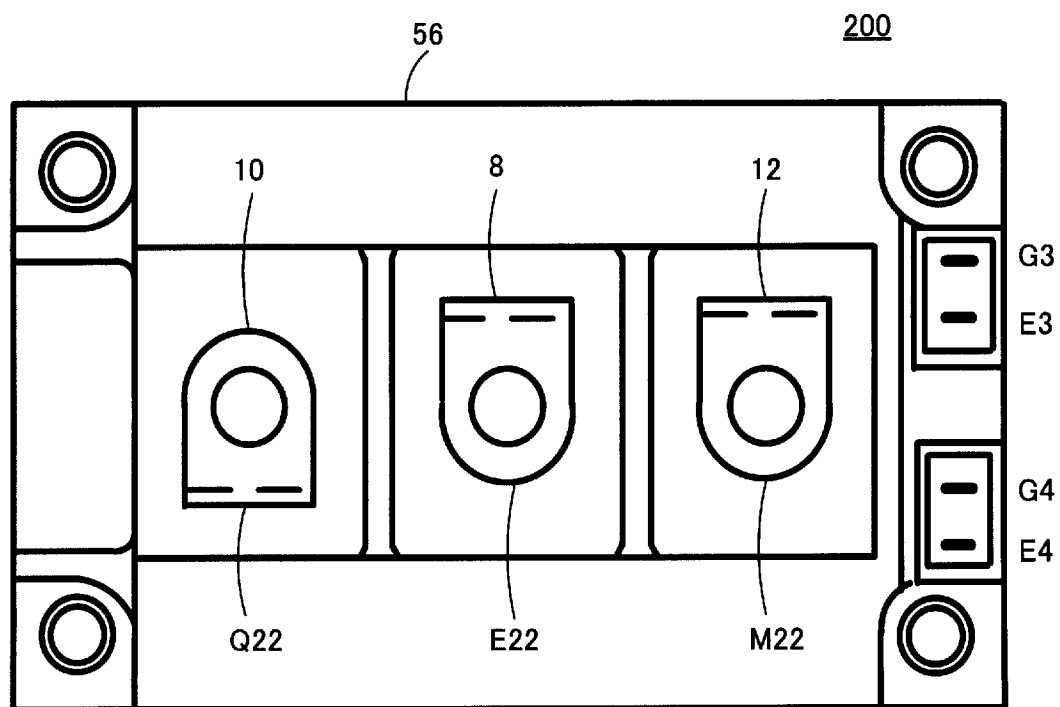
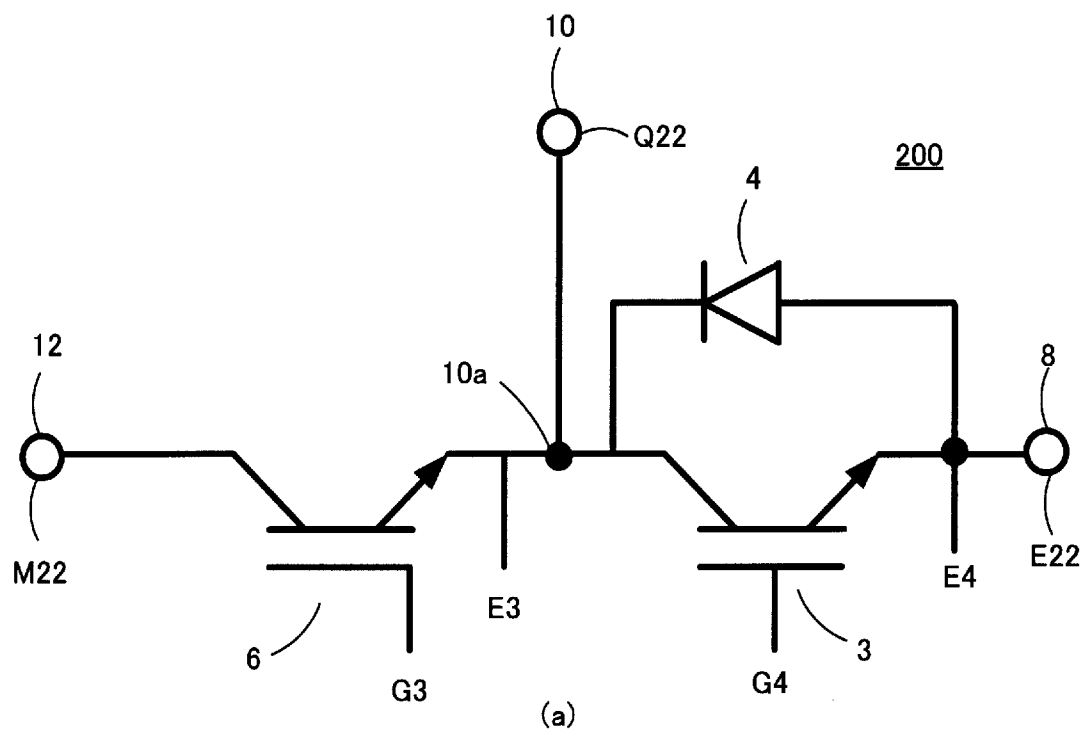
[図1]



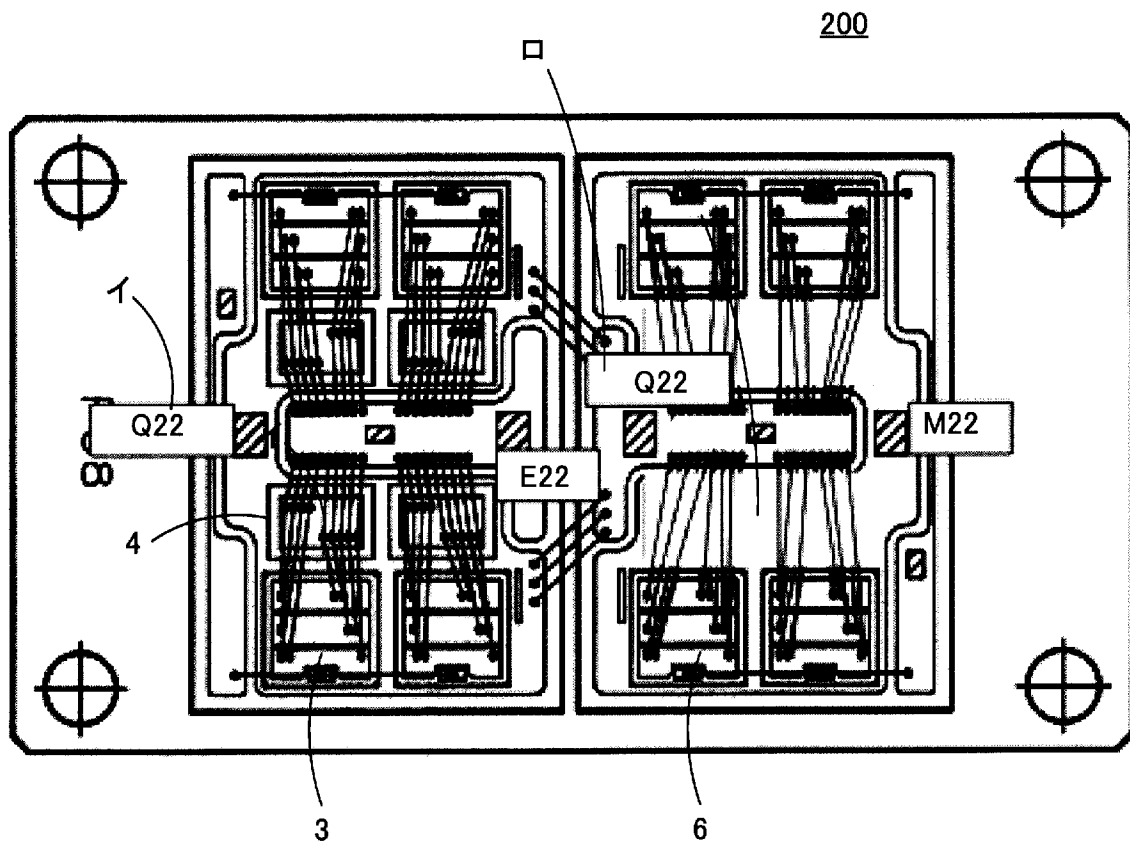
[図2]



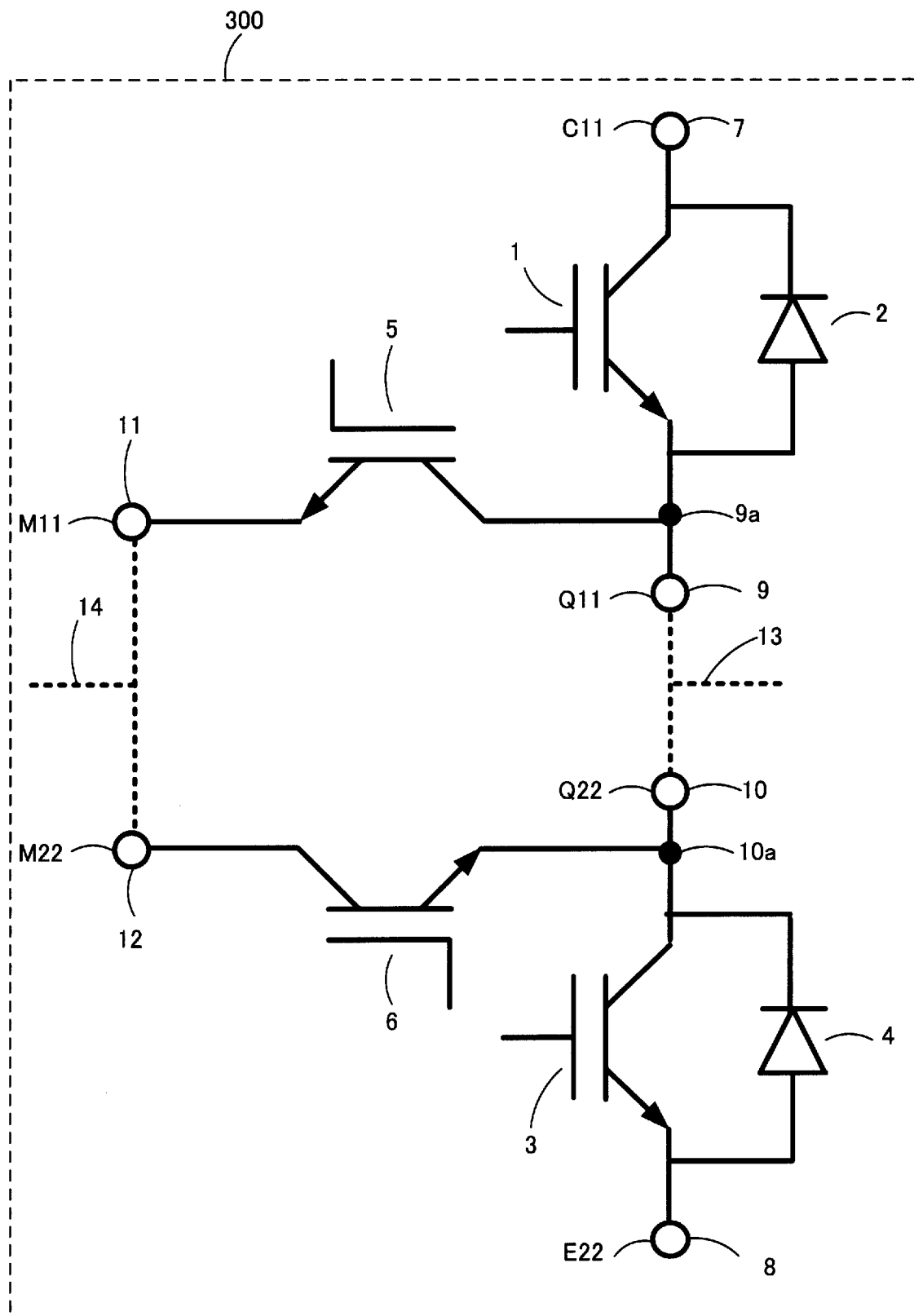
[図3]



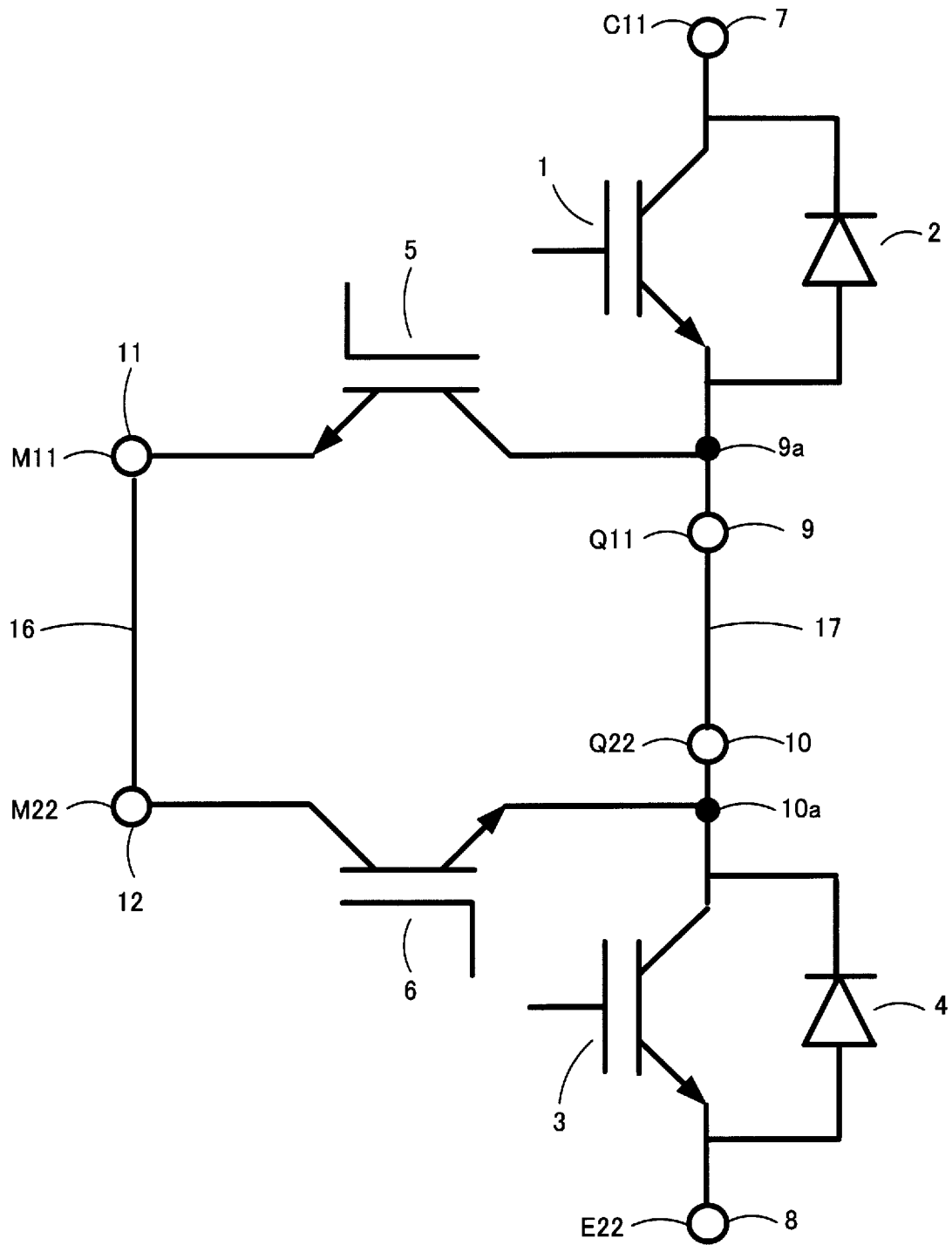
[図4]



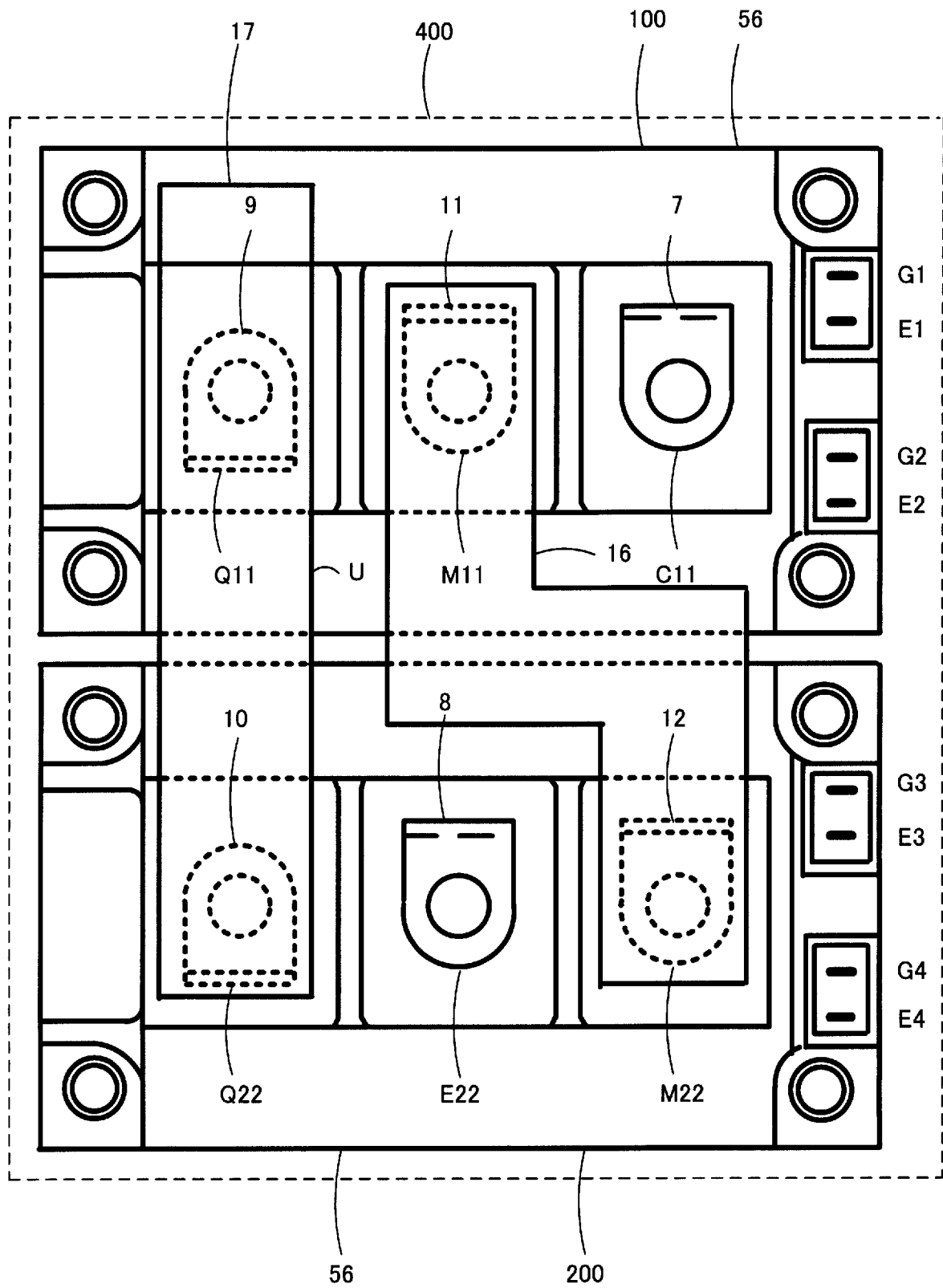
[図5]



[図7]

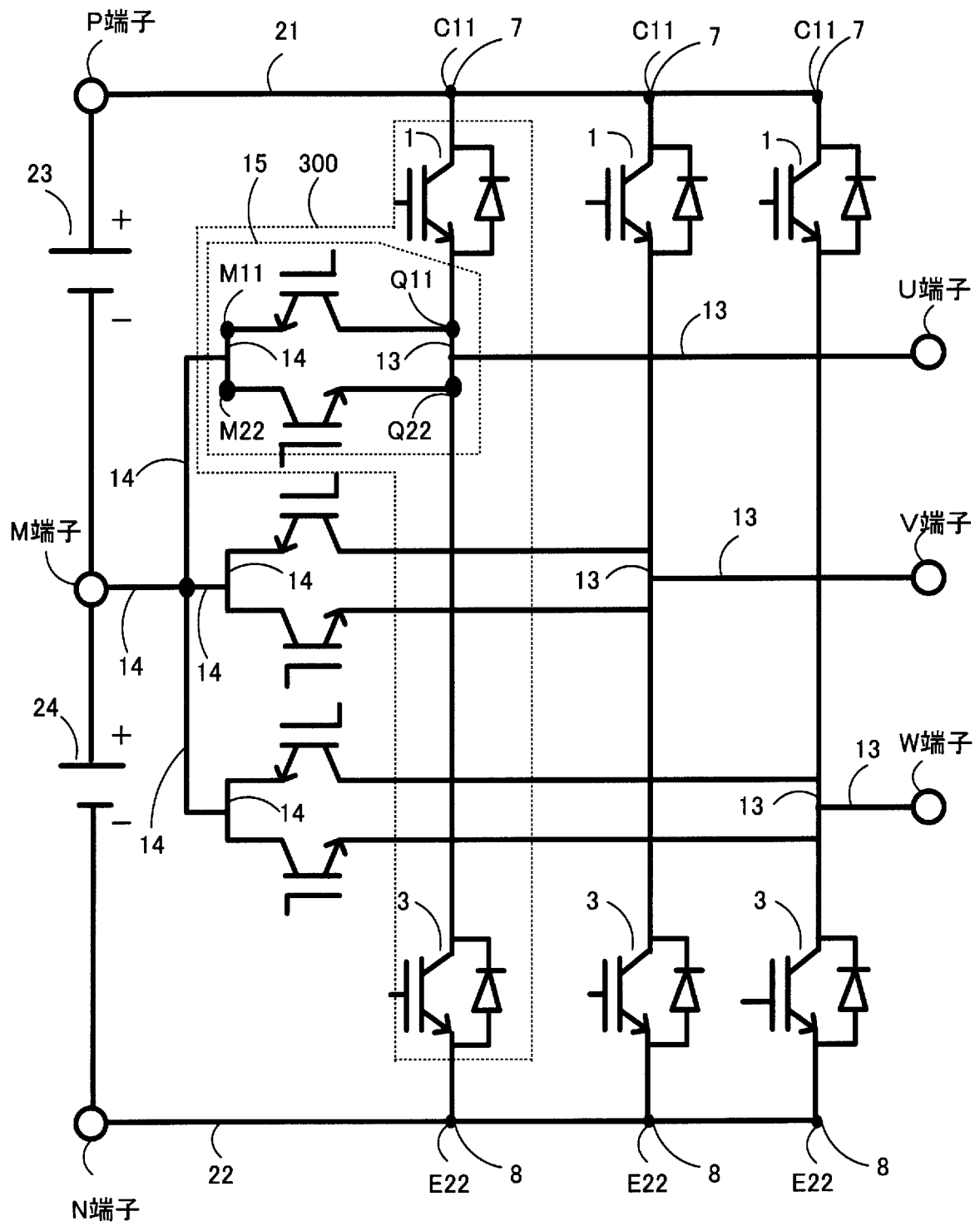
400

[図8]

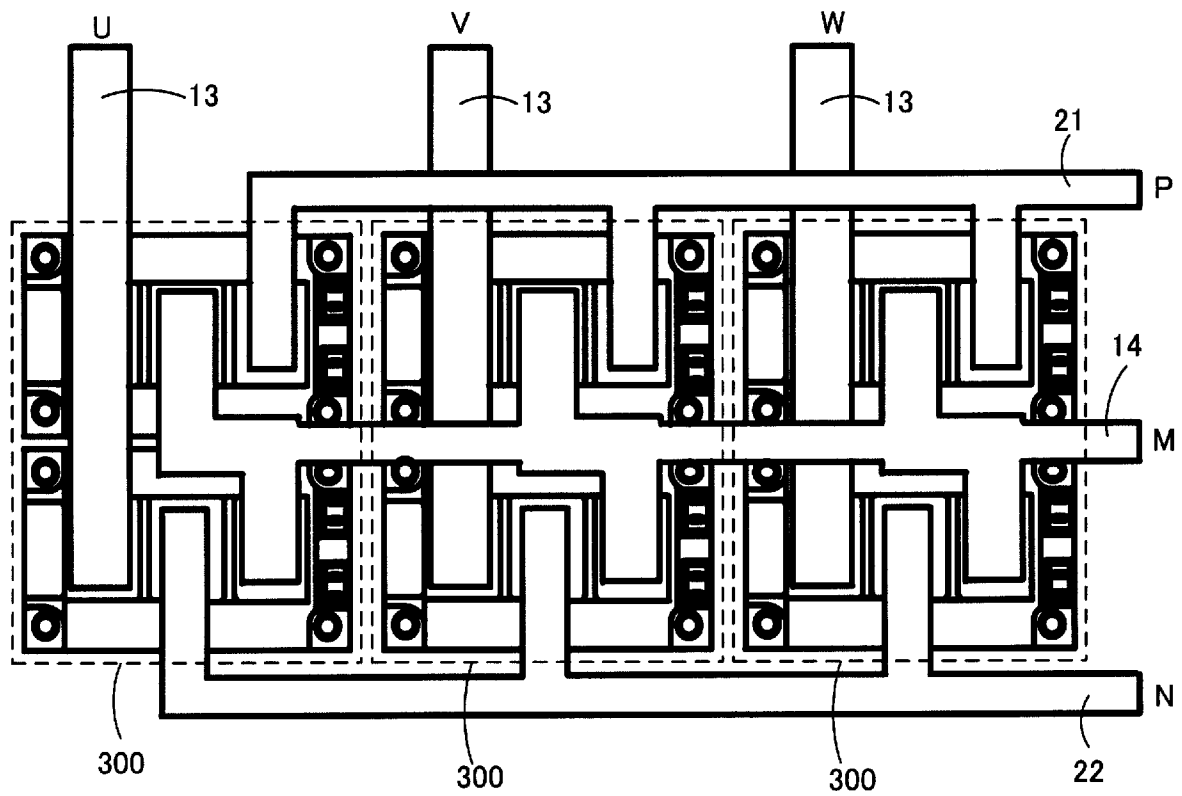


[图9]

500

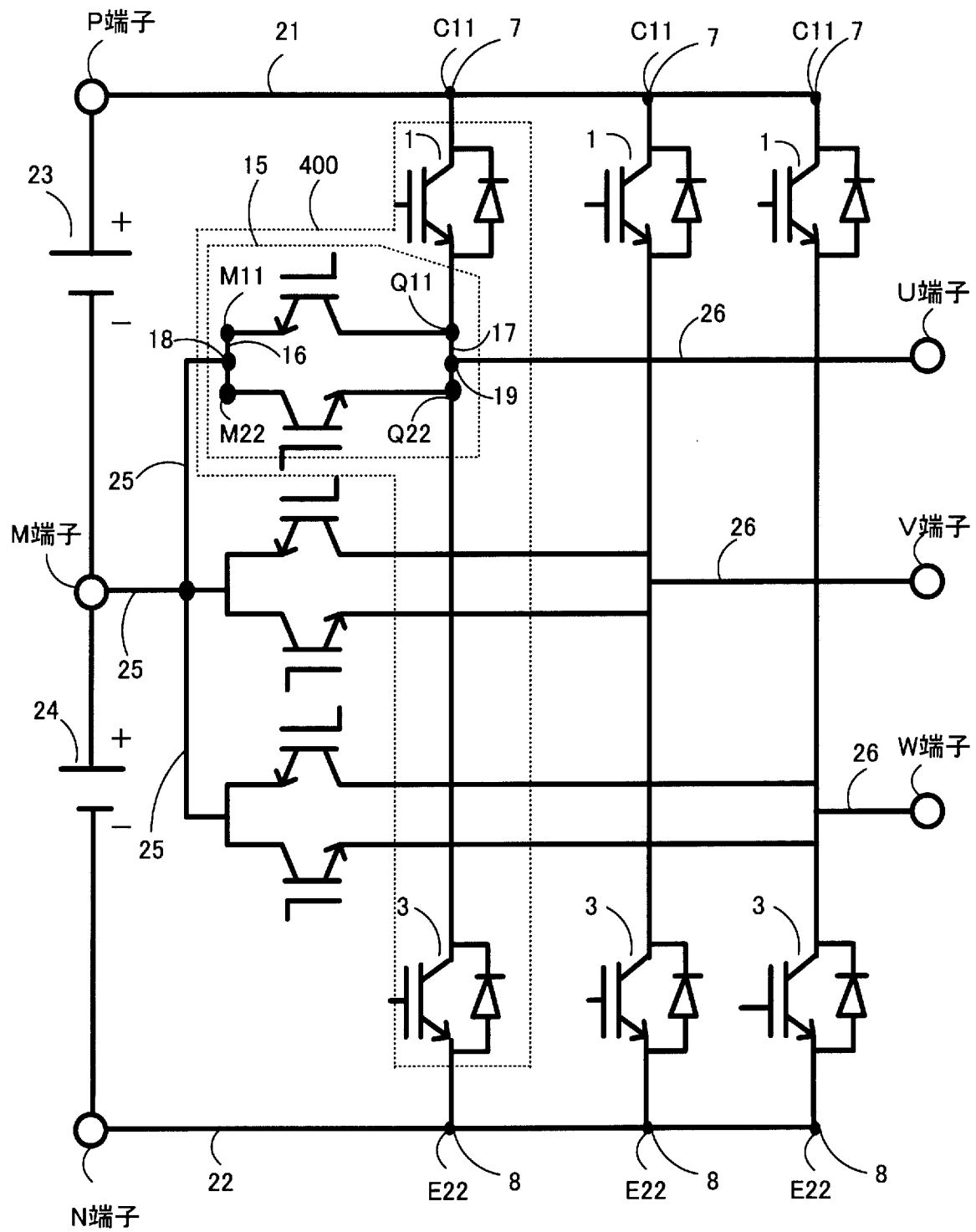


[図10]

500

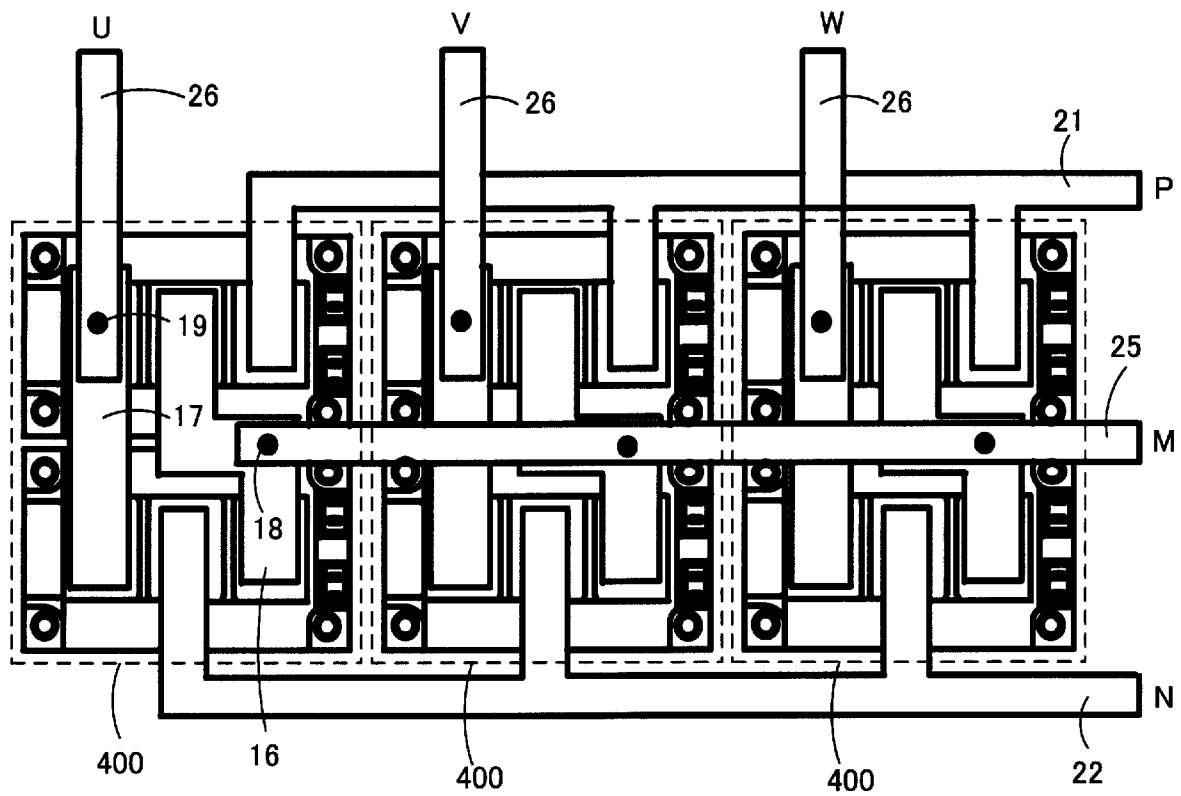
[図11]

600

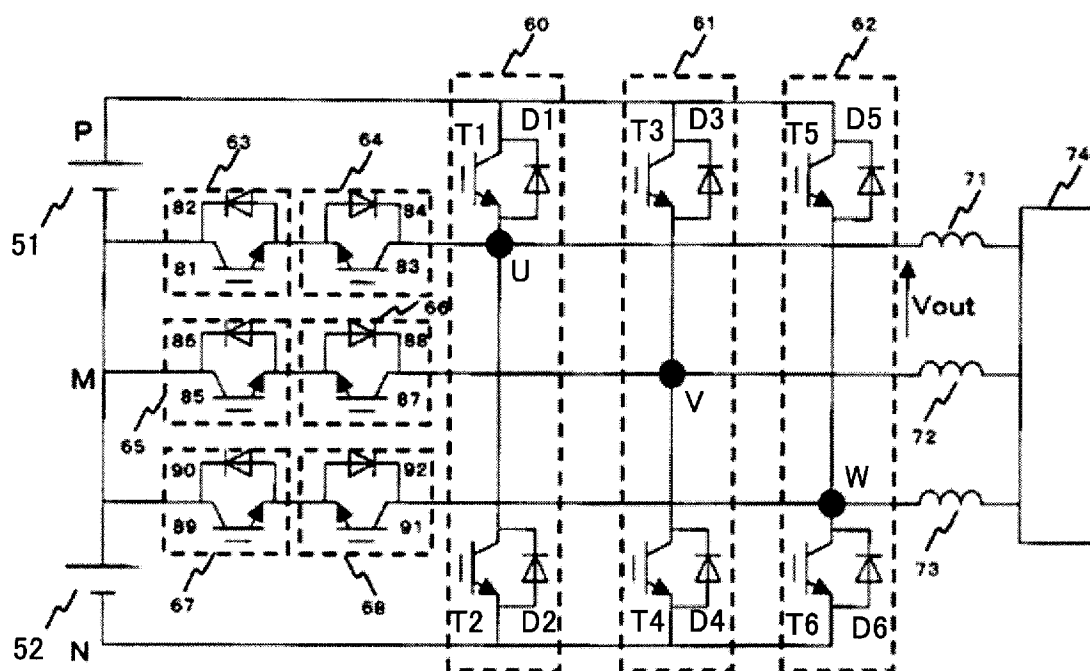


[図12]

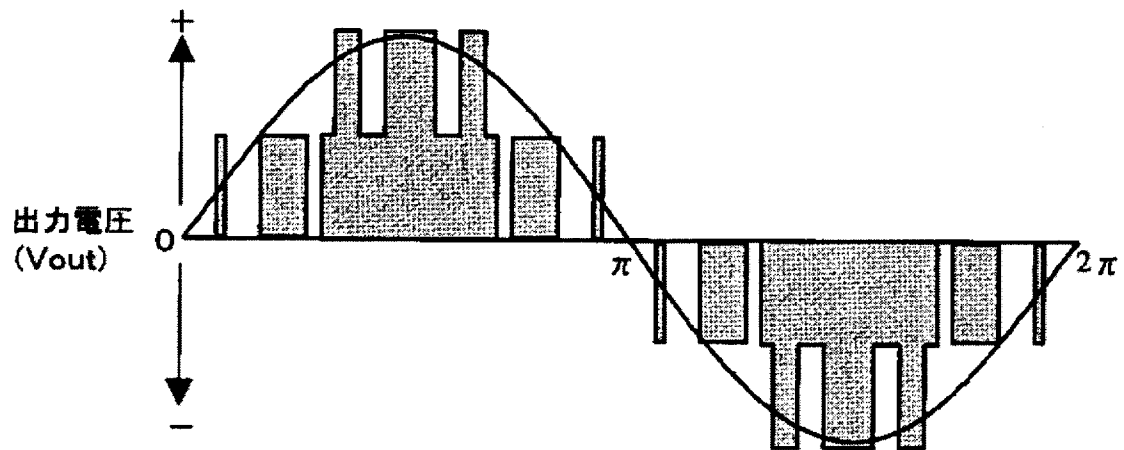
600



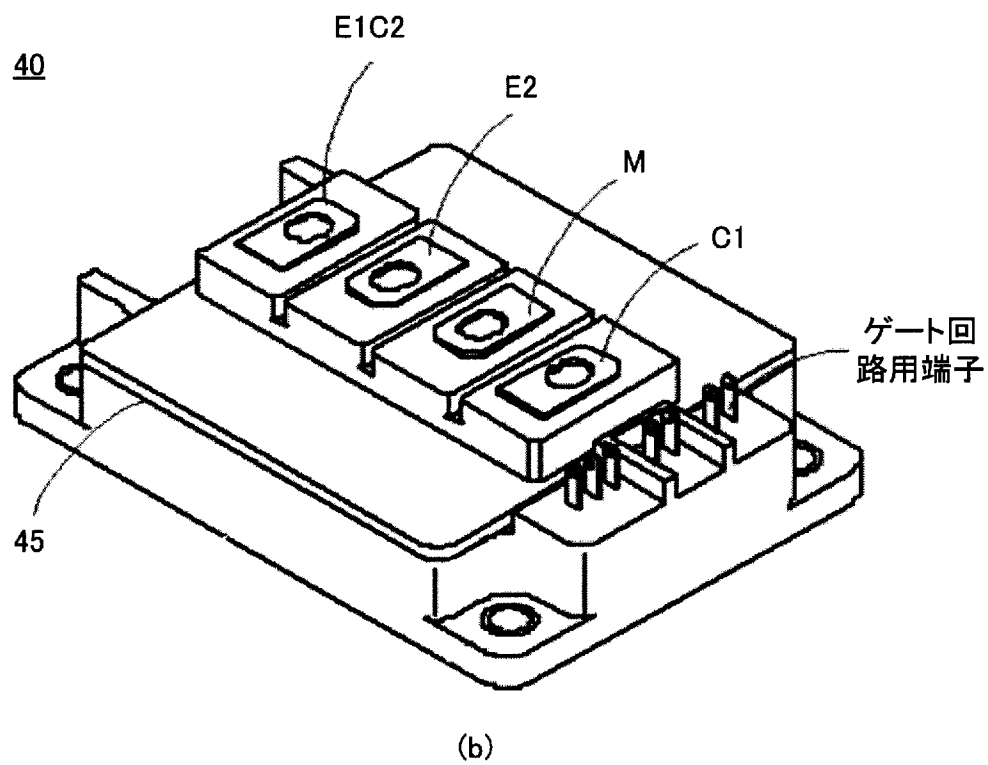
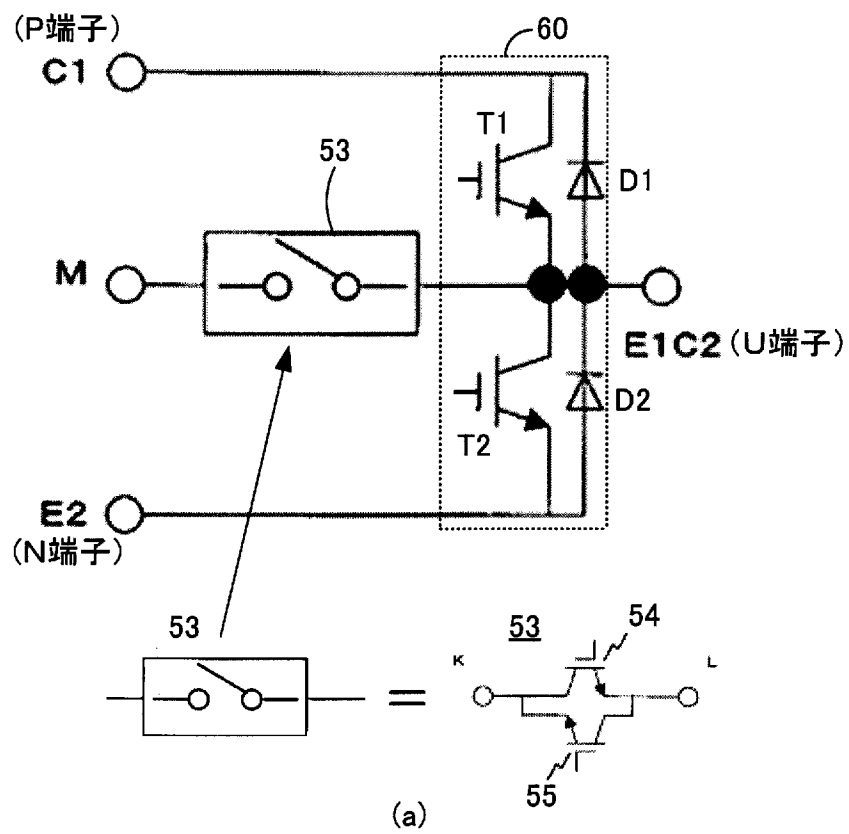
[図13]



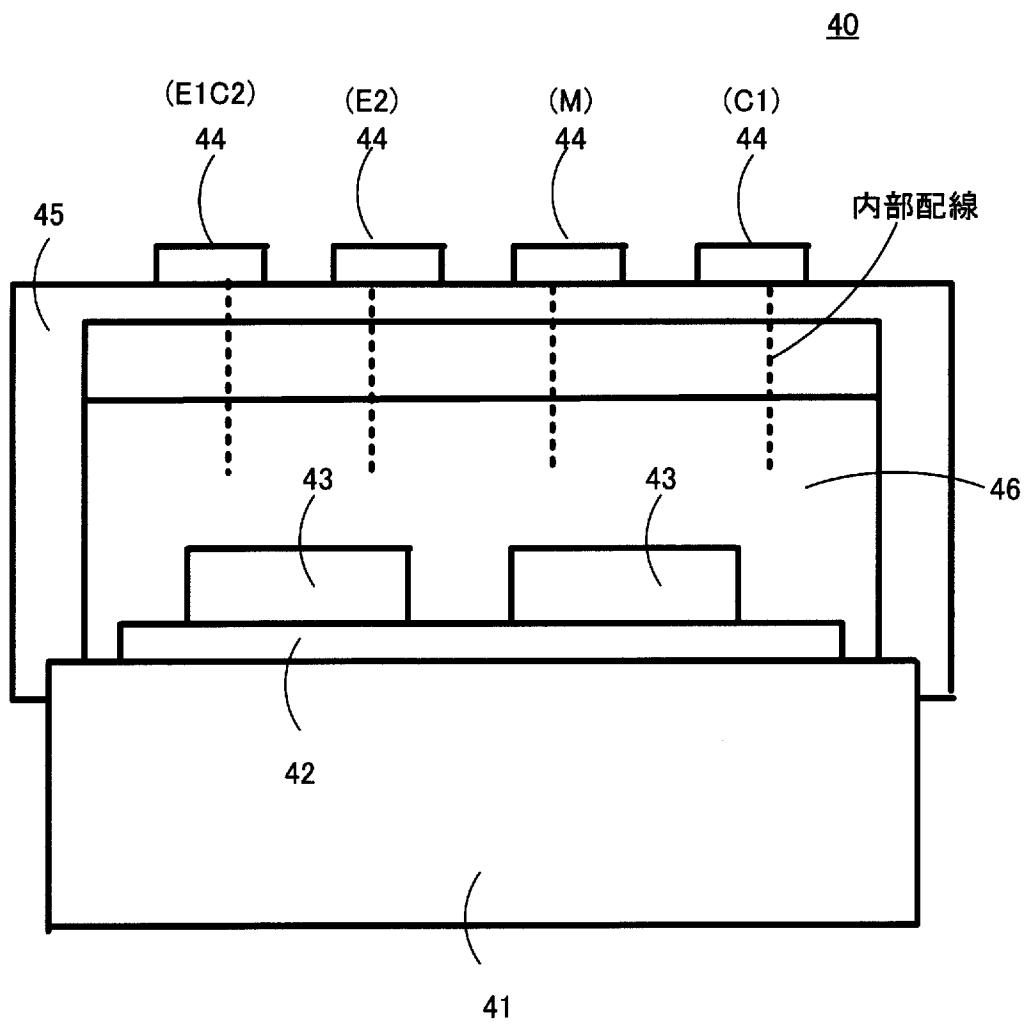
[図14]



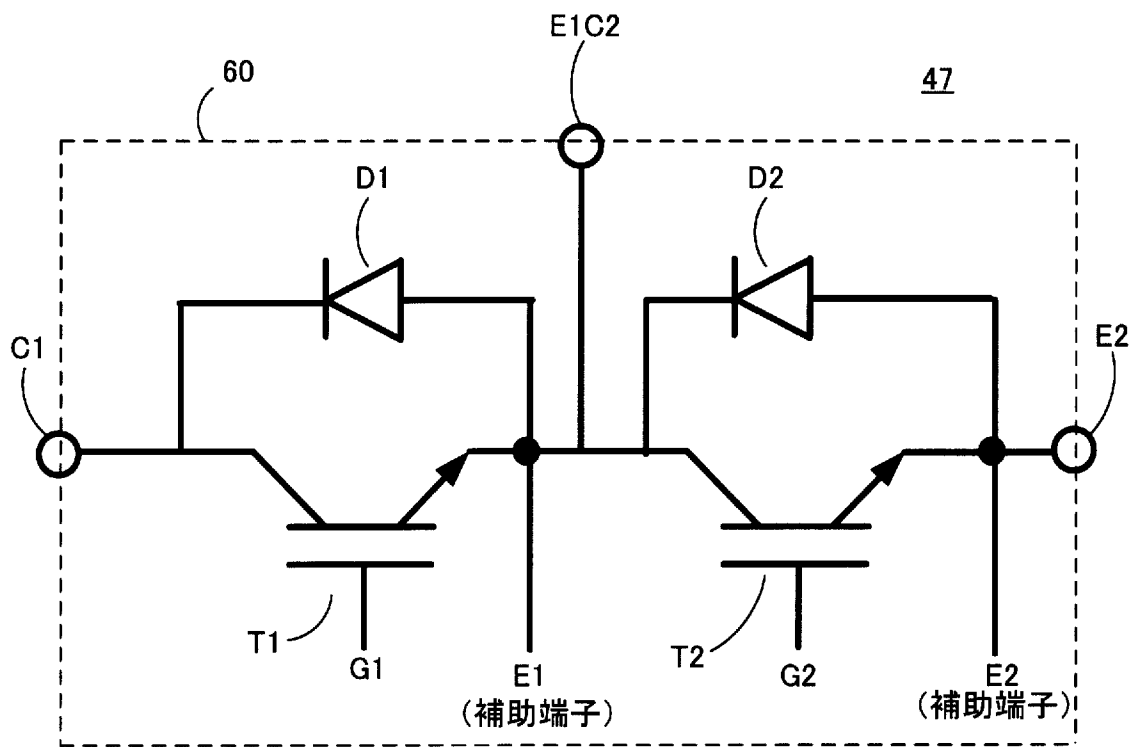
[図15]



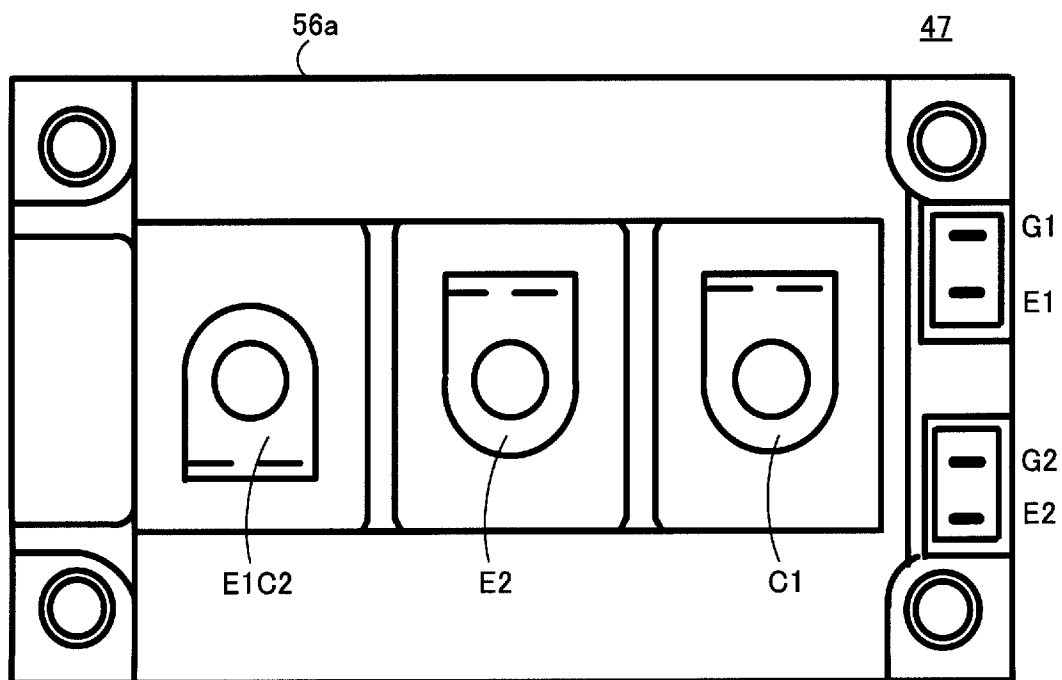
[図16]



[図17]

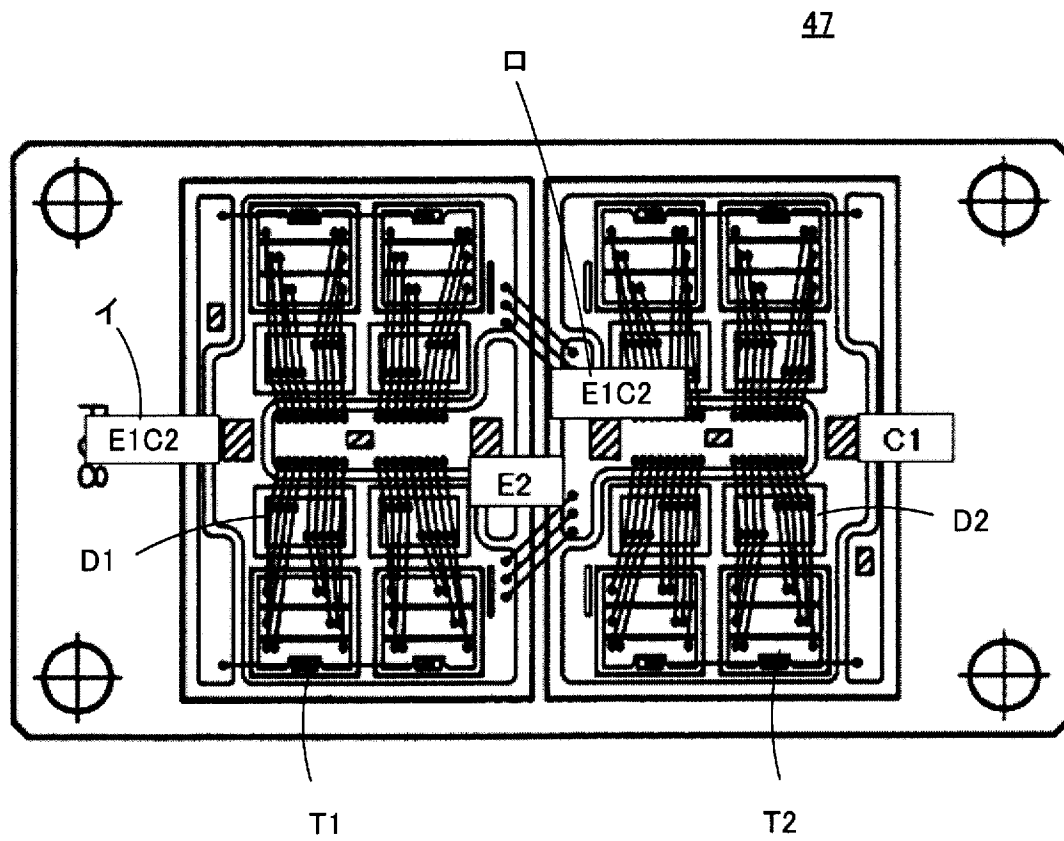


(a)

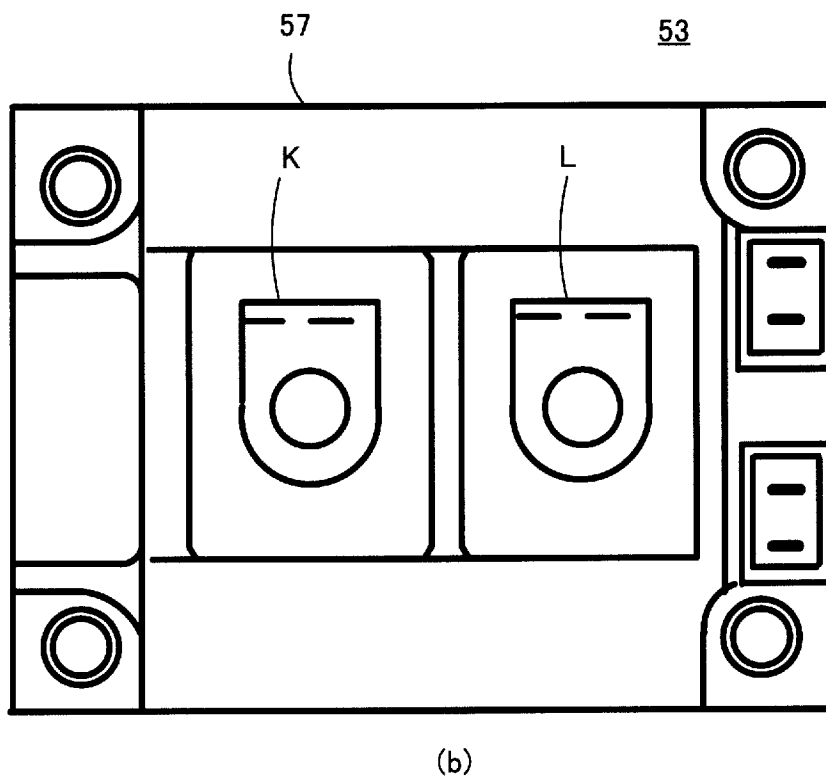
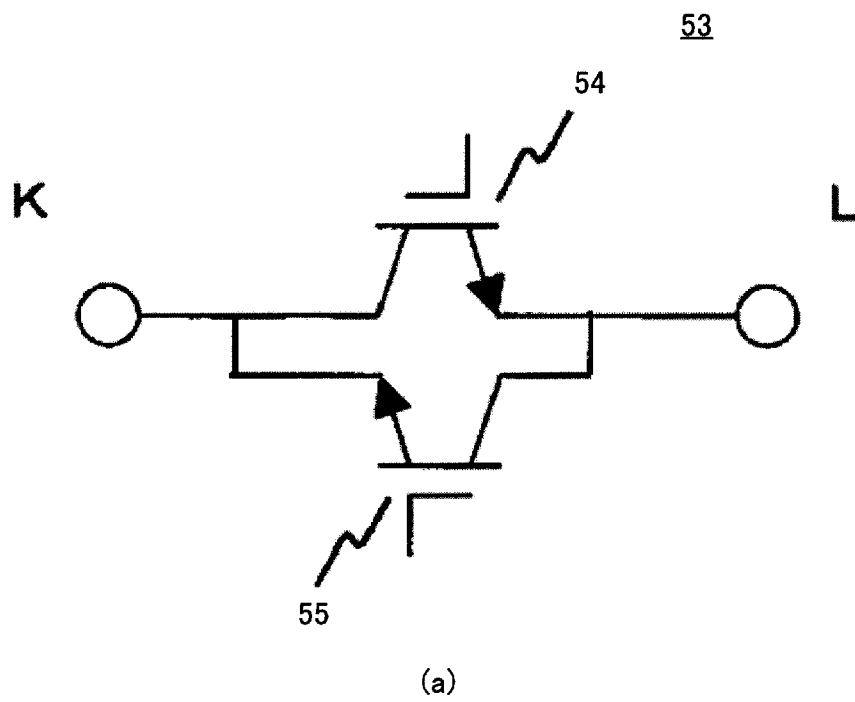


(b)

[図18]



[図19]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/064544

A. CLASSIFICATION OF SUBJECT MATTER

H02M7/483(2007.01)i, H01L25/07(2006.01)i, H01L25/18(2006.01)i, H02M7/48(2007.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H02M7/483, H01L25/07, H01L25/18, H02M7/48

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2012
Kokai Jitsuyo Shinan Koho	1971-2012	Toroku Jitsuyo Shinan Koho	1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2002-247862 A (Hitachi, Ltd.), 30 August 2002 (30.08.2002), paragraphs [0006] to [0008]; fig. 1 (Family: none)	1-8
A	JP 2008-193779 A (Fuji Electric Systems Co., Ltd.), 21 August 2008 (21.08.2008), paragraphs [0013], [0018]; fig. 1, 5 & US 2010/0039843 A1	1-8
A	JP 2011-30350 A (Fuji Electric Systems Co., Ltd.), 10 February 2011 (10.02.2011), paragraphs [0002] to [0006]; fig. 9 to 11 (Family: none)	1-8

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
03 September, 2012 (03.09.12)

Date of mailing of the international search report
11 September, 2012 (11.09.12)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/064544

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 10-14260 A (Toshiba Corp.), 16 January 1998 (16.01.1998), paragraph [0049]; fig. 17, 1 to 2 & US 5953222 A & DE 19725825 A1	1-8
A	JP 2010-288415 A (Fuji Electric Systems Co., Ltd.), 24 December 2010 (24.12.2010), paragraphs [0002] to [0006]; fig. 3, 5 to 6 (Family: none)	1-8
A	JP 2010-16947 A (Fuji Electric Device Technology Co., Ltd.), 21 January 2010 (21.01.2010), paragraphs [0003] to [0007]; fig. 7 to 10 (Family: none)	1-8

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H02M7/483(2007.01)i, H01L25/07(2006.01)i, H01L25/18(2006.01)i, H02M7/48(2007.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H02M7/483, H01L25/07, H01L25/18, H02M7/48

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 2 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 2 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 2 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2002-247862 A (株式会社日立製作所) 2002.08.30, 段落【0006】 — 【0008】, 図1 (ファミリーなし)	1-8
A	JP 2008-193779 A (富士電機システムズ株式会社) 2008.08.21, 段 落【0013】, 【0018】, 図1, 5 & US 2010/0039843 A1	1-8
A	JP 2011-30350 A (富士電機システムズ株式会社) 2011.02.10, 段落 【0002】— 【0006】, 図9-11 (ファミリーなし)	1-8

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

0 3 . 0 9 . 2 0 1 2

国際調査報告の発送日

1 1 . 0 9 . 2 0 1 2

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

安池 一貴

3 V

9 1 5 0

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 3 5 8

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 10-14260 A (株式会社東芝) 1998.01.16, 段落【0049】, 図17, 1-2 & US 5953222 A & DE 19725825 A1	1-8
A	JP 2010-288415 A (富士電機システムズ株式会社) 2010.12.24, 段 落【0002】-【0006】, 図3, 5-6 (ファミリーなし)	1-8
A	JP 2010-16947 A (富士電機デバイステクノロジー株式会社) 2010.01.21, 段落【0003】-【0007】, 図7-10 (ファミリーなし)	1-8