

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012 年 10 月 4 日(04.10.2012)



(10) 国際公開番号
WO 2012/133519 A1

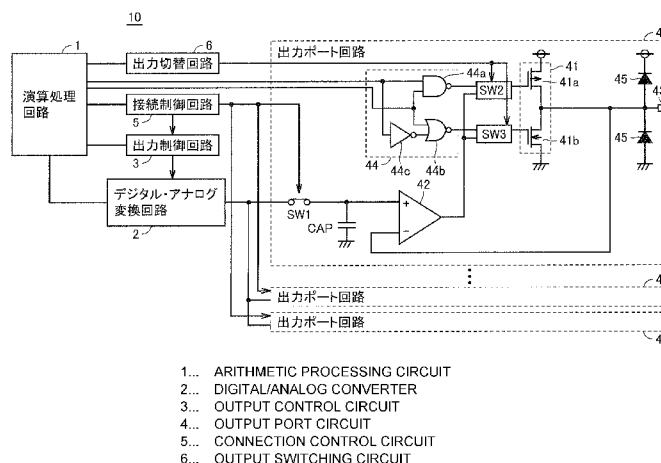
- (51) 国際特許分類:
H03M 1/66 (2006.01) *H01L 27/04* (2006.01)
H01L 21/822 (2006.01)
- (21) 国際出願番号: PCT/JP2012/058110
- (22) 国際出願日: 2012 年 3 月 28 日(28.03.2012)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2011-069785 2011 年 3 月 28 日(28.03.2011) JP
- (71) 出願人 (米国を除く全ての指定国について): ルネサスエレクトロニクス株式会社 (RENESAS ELECTRONICS CORPORATION) [JP/JP]; 〒2118668 神奈川県川崎市中原区下沼部 1 7 5 3 番地 Kanagawa (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 清水 信男 (SHIMIZU, Nobuo) [JP/JP]; 〒6640005 兵庫県伊丹市瑞原 4 丁目 1 番地 株式会社ルネサスデザイン内 Hyogo (JP). 滝川 浩 (TAKIKAWA, Yutaka) [JP/JP]; 〒6640005 兵庫県伊丹市瑞原 4 丁目 1 番地 株式会社ルネサスデザイン内 Hyogo (JP).
- (74) 代理人: 特許業務法人深見特許事務所 (Fukami Patent Office, p.c.); 〒5300005 大阪府大阪市北区中之島二丁目 2 番 7 号 中之島セントラルタワー Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ユーロパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) Title: SEMICONDUCTOR PROCESSING DEVICE AND SEMICONDUCTOR PROCESSING METHOD

(54) 発明の名称: 半導体処理装置および半導体処理システム

【図1】



(57) Abstract: The present invention is a semiconductor processing device (10) comprising: an arithmetic processing circuit (1), a digital/analog converter (2), an output control circuit (3), at least one output port circuit (4), a connection control element (5), and an output switching circuit (6). The output port circuit (4) comprises an output buffer (41), a first switching element (SW1), and second switching elements (SW2, SW3). The output port circuit (4) controls the ON resistance of a P-channel MOS transistor (41a) and an N-channel MOS transistor (41b) on the basis of a signal amplified in an output amplifier (42) when the second switching elements (SW2, SW3) are connected to the output amplifier (42) side, and outputs an analog signal from the output buffer (41).

(57) 要約:

[続葉有]

WO 2012/133519 A1



添付公開書類:

— 国際調査報告 (条約第 21 条(3))

本発明は、演算処理回路 (1) と、デジタル・アナログ変換回路 (2) と、出力制御回路 (3) と、少なくとも一つの出力ポート回路 (4) と、接続制御回路 (5) と、出力切替回路 (6) とを備える半導体処理装置 (10) である。出力ポート回路 (4) は、出力バッファ (41) と、第 1 スイッチ素子 (SW1) と、第 2 スイッチ素子 (SW2, SW3) とを備え、出力ポート回路 (4) は、第 2 スイッチ素子 (SW2, SW3) を出力アンプ (42) 側に接続した場合、出力アンプ (42) で増幅した信号に基づいて P チャネル MOS トランジスタ (41a) および N チャネル MOS トランジスタ (41b) のオン抵抗を制御して、出力バッファ (41) からアナログ信号を出力する。

明 細 書

発明の名称：半導体処理装置および半導体処理システム

技術分野

[0001] 本発明は、半導体処理装置および半導体処理システムに関し、特にデジタル・アナログ変換回路を備えている半導体処理装置および半導体処理システムに関する。

背景技術

[0002] 近年、マイクロコントローラ、SoC (System on a Chip) 等の半導体処理装置では、デジタル信号を出力するだけでなく、アナログ信号も出力することが要求されている。半導体処理装置においてアナログ信号を出力する場合、半導体処理装置は、デジタル・アナログ変換回路と、アナログ信号を出力するための出力ポート回路とを備えている必要があった。たとえば、特開2010-45553号公報（特許文献1）に開示してある半導体処理装置は、マイクロプロセッサから出力したデジタル信号をアナログ信号に変換するデジタル・アナログ変換回路と、複数の出力ポート回路と、デジタル・アナログ変換回路と複数の出力ポート回路との接続を切替えるマルチプレクサとを備えている。

[0003] また、特許文献1に開示してある半導体処理装置は、出力ポート回路から出力するアナログ信号の電圧が適切な範囲内にあるか否かを判断するため、リファレンス回路と、出力ポート回路から出力したアナログ信号の電圧とリファレンス回路から出力したアナログ信号の電圧とを比較するコンパレータとを備えている。

先行技術文献

特許文献

[0004] 特許文献1：特開2010-45553号公報

発明の概要

発明が解決しようとする課題

[0005] しかしながら、特許文献 1 に開示してある半導体処理装置は、デジタル信号を出力する出力ポート回路と、アナログ信号を出力する出力ポート回路とをそれぞれ独立して設けているため、出力ポート回路の数が多くなるという問題があった。特に、半導体処理装置を小型にするには出力ポート回路の数を減らす必要があり、デジタル信号を出力する出力ポート回路からアナログ信号を出力して、デジタル信号を出力する出力ポート回路と、アナログ信号を出力する出力ポート回路とを共通にすることが望まれている。

[0006] また、一つのデジタル・アナログ変換回路から複数の出力ポート回路に対してアナログ信号を出力する場合、それぞれの出力ポート回路に接続する回路（たとえば、メモリ回路、センサ回路等）のインピーダンスと、デジタル・アナログ変換回路のインピーダンスとをすべて整合させることは困難である。そのため、従来の半導体処理装置は、一つのデジタル・アナログ変換回路に対して一つの出力ポート回路を備える構成に限定されていたという問題があった。

[0007] さらに、従来の半導体処理装置は、複数の出力ポート回路から異なる電圧のアナログ信号を出力する場合、異なる電圧の数だけデジタル・アナログ変換回路を備える構成に限定され、小型にできないという問題があった。

[0008] それゆえに、本発明は、上記問題点を解決するためになされたものであり、デジタル信号を出力する出力ポート回路からアナログ信号を出力して、デジタル信号を出力する出力ポート回路と、アナログ信号を出力する出力ポート回路とを共通にすることができる半導体処理装置および半導体処理システムを提供することを目的とする。また、本発明は、一つのデジタル・アナログ変換回路に対して複数の出力ポート回路を備えて、それぞれの出力ポート回路から異なる電圧のアナログ信号を出力することができる半導体処理装置および半導体処理システムを提供することを目的とする。

課題を解決するための手段

[0009] 上記課題を解決するために、本発明は、基準電圧を生成するデジタル・アナログ変換回路と、出力ポート回路毎に基準電圧保持回路と出力されたアナ

ログ電圧を基準電圧と比較する比較回路を有し、出力されたアナログ電圧が基準電圧と一致するように出力ポート回路を制御する。

発明の効果

[0010] かかる構成により、基準電圧を生成するデジタル・アナログ変換回路は共通化することが可能となる。

[0011] より具体的には、本発明に係る半導体処理装置によれば、デジタル信号を出力する出力バッファのトランジスタ回路のオン抵抗を制御して、出力バッファからアナログ信号を出力するので、デジタル信号を出力する出力ポート回路からアナログ信号を出力することができる。そのため、半導体処理装置は、デジタル信号を出力する出力ポート回路と、アナログ信号を出力する出力ポート回路とを共通にすることができ、出力ポート回路の数を減らして小型にすることができる。また、本発明に係る半導体処理装置によれば、デジタル・アナログ変換回路から出力したアナログ信号を、出力バッファを用いて出力ポート回路から出力するので、出力ポート回路に接続する回路のインピーダンスと、デジタル・アナログ変換回路のインピーダンスとを整合させる必要がなく、一つのデジタル・アナログ変換回路に対して複数の出力ポート回路を備える構成にすることができる。

[0012] さらに、本発明に係る半導体処理装置によれば、出力ポート回路ごとに出力バッファのトランジスタ回路のオン抵抗を制御してアナログ信号を出力するので、それぞれの出力ポート回路の出力バッファから異なる電圧のアナログ信号を出力することができる。また、本発明に係る半導体処理システムによれば、複数の出力ポート回路のそれぞれの出力バッファから異なる電圧のアナログ信号を出力することができる半導体処理装置を備えるので、複数のデジタル・アナログ変換回路、電圧変換回路等を備えることなく、異なる電圧のアナログ信号で駆動する回路を半導体処理装置に接続することができ、半導体処理システムを小型にすることができる。

図面の簡単な説明

[0013] [図1]本発明の実施の形態1に係る半導体処理装置の構成を示す概略図である

。

[図2]本発明の実施の形態 1 に係る半導体処理装置の動作を説明するためのフローチャートである。

[図3]本発明の実施の形態 2 に係る半導体処理装置の構成を示す概略図である

。

[図4]本発明の実施の形態 3 に係る半導体処理装置の接続制御回路の構成を示す概略図である。

[図5]本発明の実施の形態 3 に係る半導体処理装置の動作を説明するためのフローチャートである。

[図6]本発明の実施の形態 4 に係る半導体処理システムの構成を示す概略図である。

[図7]本発明の実施の形態 5 に係る半導体処理装置の構成を示す概略図である

。

[図8]本発明の実施の形態 5 に係る半導体処理装置の動作を説明するためのフローチャートである。

[図9]本発明の実施の形態 6 に係る半導体処理装置の構成を示す概略図である

。

[図10]本発明の実施の形態 6 に係る半導体処理装置の動作を説明するためのフローチャートである。

[図11]本発明の実施の形態 7 に係る半導体処理装置の構成を示す概略図である。

[図12]本発明の実施の形態 7 に係る半導体処理装置の動作を説明するためのフローチャートである。

[図13]本発明の実施の形態 7 に係る半導体処理装置の処理 A の動作を説明するためのフローチャートである。

[図14]本発明の実施の形態 8 に係る半導体処理装置の構成を示す概略図である。

[図15]本発明の実施の形態 8 に係る半導体処理装置の動作を説明するための

フローチャートである。

[図16]本発明の実施の形態9に係る半導体処理装置の構成を示す概略図である。

[図17]本発明の実施の形態9に係る半導体処理装置の動作を説明するためのフローチャートである。

[図18]本発明の実施の形態9に係る半導体処理装置の処理Cの動作を説明するためのフローチャートである。

発明を実施するための形態

[0014] 以下、本発明に係る実施の形態について図面を参照して説明する。

(実施の形態1)

図1は、本発明の実施の形態1に係る半導体処理装置の構成を示す概略図である。図1に示す半導体処理装置10は、演算処理回路1、デジタル・アナログ変換回路2、出力制御回路3、複数の出力ポート回路4、接続制御回路5、および出力切替回路6を備えている。なお、一つのデジタル・アナログ変換回路2に対して複数の出力ポート回路4を接続した構成に限定されるものではなく、一つのデジタル・アナログ変換回路2に対して一つの出力ポート回路4を接続した構成であってもよい。

[0015] 演算処理回路1は、CPU、MPU等であって、入力信号に基づいて所望の演算処理を行い、デジタル・アナログ変換回路2、出力制御回路3等の回路に対して制御信号等のデジタル信号を出力する。デジタル・アナログ変換回路2は、演算処理回路1から出力したデジタル信号をアナログ信号に変換する。出力制御回路3は、デジタル・アナログ変換回路2で変換したアナログ信号の出力を制御する。たとえば、出力制御回路3は、デジタル・アナログ変換回路2から出力したいアナログ信号の電圧を予め設定し、デジタル・アナログ変換回路2で変換したアナログ信号を出力するようにデジタル・アナログ変換回路2に指示する。

[0016] 出力ポート回路4は、演算処理回路1から出力したデジタル信号、またはデジタル・アナログ変換回路2から出力したアナログ信号を外部へ出力する

。具体的に、出力ポート回路4は、出力バッファ41、出力アンプ42、第1スイッチ素子SW1、および第2スイッチ素子SW2、SW3を備えている。なお、図1では、一つの出力ポート回路4の構成について詳細に図示してあるが、他の出力ポート回路4の構成も同様であるため、詳細な図示を省略してある。

[0017] 出力バッファ41は、PチャネルMOSトランジスタ41aと、NチャネルMOSトランジスタ41bとを直列接続したCMOS回路である。PチャネルMOSトランジスタ41aは、一端が電源に、他端がNチャネルMOSトランジスタ41bにそれぞれ接続し、NチャネルMOSトランジスタ41bは、一端が接地され、他端がPチャネルMOSトランジスタ41aに接続してある。出力バッファ41は、デジタル信号を出力する出力ポート回路4に一般的に用いられるCMOS回路で構成してあるので、特別な回路を用いる必要がなく安価に製造することができる。

[0018] 出力バッファ41は、PチャネルMOSトランジスタ41aおよびNチャネルMOSトランジスタ41bのオン状態とオフ状態とを切替えることでデジタル信号を出力する。具体的に、出力バッファ41は、演算処理回路1から出力したデジタル信号を出力ポート43から直接出力するのではなく、演算処理回路1から出力したデジタル信号を論理回路44で制御信号に変換する。出力バッファ41は、変換した制御信号に基づき、PチャネルMOSトランジスタ41aおよびNチャネルMOSトランジスタ41bのオン状態とオフ状態とを切替えることでデジタル信号を出力する。

[0019] たとえば、電源電圧として2.8Vを供給し接地電圧として0Vを供給することで、PチャネルMOSトランジスタ41aがオン状態、NチャネルMOSトランジスタ41bがオフ状態の場合、出力バッファ41はHレベルのデジタル信号(2.8V−閾値電圧)を出力する。PチャネルMOSトランジスタ41aがオフ状態、NチャネルMOSトランジスタ41bがオン状態の場合、出力バッファ41はLレベルのデジタル信号(0V+閾値電圧)を出力する。論理回路44は、PチャネルMOSトランジスタ41aのゲート

端子に接続されたNAND回路44a、NチャネルMOSトランジスタ41bのゲート端子に接続されたNOR回路44b、およびNOR回路44bの一方の入力端子に接続されたNOT回路44cを備えている。なお、出力バッファ41は、CMOS回路である場合に限定されるものではなく、少なくとも1つのトランジスタを有し、該トランジスタのオン状態とオフ状態とを切替えることでデジタル信号を出力するトランジスタ回路であればいずれの回路でもよく、たとえば、NチャネルMOSトランジスタを有するオープン・ドレイン出力回路であってもよい。

[0020] 出力アンプ42は、デジタル・アナログ変換回路2から出力したアナログ信号を増幅する。第1スイッチ素子SW1は、デジタル・アナログ変換回路2と出力アンプ42との間に設け、接続制御回路5から出力した制御信号に基づき、デジタル・アナログ変換回路2と出力アンプ42との接続と、切断とを切替える。第2スイッチ素子SW2、SW3は、PチャネルMOSトランジスタ41aおよびNチャネルMOSトランジスタ41bのゲート端子に接続され、出力切替回路6から出力した切替信号に基づき、演算処理回路1側に接続するか、出力アンプ42側に接続するかを切替える。

[0021] 出力ポート回路4は、第1スイッチ素子SW1をオン状態にした場合、デジタル・アナログ変換回路2と出力アンプ42とが接続し、デジタル・アナログ変換回路2から出力したアナログ信号を出力アンプ42に入力する。さらに、出力ポート回路4は、第2スイッチ素子SW2、SW3が出力アンプ42側に接続してある場合（出力バッファ41と出力アンプ42とが接続してある場合）、出力アンプ42で増幅したアナログ信号を、PチャネルMOSトランジスタ41aおよびNチャネルMOSトランジスタ41bのゲート端子に入力する。そして、出力ポート回路4は、PチャネルMOSトランジスタ41aおよびNチャネルMOSトランジスタ41bのオン抵抗を制御する。PチャネルMOSトランジスタ41aおよびNチャネルMOSトランジスタ41bのオン抵抗を制御することで、出力ポート回路4は、それぞれのMOSトランジスタの閾値電圧を考慮して、電源電圧として供給されている

電圧（2.8 V）と接地電圧（0 V）との間の電圧範囲内のアナログ信号を出力バッファ 41 から出力することができる。なお、第2スイッチ素子 SW2, SW3 が演算処理回路 1 側に接続してある場合（出力バッファ 41 と論理回路 44 とが接続してある場合）、出力ポート回路 4 は、出力バッファ 41 からデジタル信号を出力することができる。

[0022] 出力ポート回路 4 は、出力バッファ 41 から出力したデジタル信号またはアナログ信号を、外部に出力する出力ポート 43 を備えている。出力ポート 43 に外部から信号が入力して出力ポート回路 4 を破壊するのを防止するために、出力バッファ 41 と出力ポート 43 との間に保護用ダイオード 45 を接続してある。

[0023] さらに、出力ポート回路 4 は、出力アンプ 42 をオペアンプで構成し、正側の入力端子にデジタル・アナログ変換回路 2 から出力したアナログ信号を、負側の入力端子に出力バッファ 41 から出力したアナログ信号をそれぞれ入力する。これにより、出力アンプ 42 は、出力バッファ 41 から出力したアナログ信号の電圧と、デジタル・アナログ変換回路 2 から出力したアナログ信号の電圧とを比較した結果に基づいて、アナログ信号の増幅率を変更して、出力バッファ 41 から出力したアナログ信号を、デジタル・アナログ変換回路 2 から出力したアナログ信号に一致するようにフィードバック制御を行なうことができる。

[0024] 特許文献 1 に開示してある半導体処理装置では、コンパレータで出力ポート回路から出力したアナログ信号の電圧とリファレンス回路から出力したアナログ信号の電圧とを比較してフィードバック制御を行なうので、出力ポート回路から出力するアナログ信号に生じるデジタル・アナログ変換回路の誤差と、リファレンス回路から出力するアナログ信号に生じるデジタル・アナログ変換回路の誤差とが重畳して精度の高いフィードバック制御を行なうことができないという問題があった。しかし、本発明の実施の形態 1 に係る半導体処理装置 10 では、リファレンス回路から出力するアナログ信号の代わりに、デジタル・アナログ変換回路 2 から出力したアナログ信号の電圧を用

いることができるので、リファレンス回路からアナログ信号を出力するためにデジタル・アナログ変換回路2でデジタル信号をアナログ信号に再度変換する必要がなく、リファレンス回路から出力するアナログ信号に生じるデジタル・アナログ変換回路2の誤差を小さくすることが可能となる。そのため、半導体処理装置10は、出力バッファ41から出力したアナログ信号を、デジタル・アナログ変換回路2から出力したアナログ信号に一致するように精度の高いフィードバック制御を行なうことができる。

[0025] また、出力ポート回路4は、第1スイッチ素子SW1でデジタル・アナログ変換回路2と出力アンプ42とを接続したときに、デジタル・アナログ変換回路2から出力したアナログ信号の電圧を保持する容量CAPを備える。出力ポート回路4は、容量CAPを備えているので、出力アンプ42が、出力バッファ41から出力したアナログ信号の電圧と、デジタル・アナログ変換回路2から出力したアナログ信号の電圧とを比較するとき、デジタル・アナログ変換回路2と出力バッファ41とを接続する必要がない。つまり、出力アンプ42は、出力バッファ41から出力したアナログ信号の電圧と、容量CAPに保持したデジタル・アナログ変換回路2から出力したアナログ信号の電圧とを比較することで、フィードバック制御を行なうことができる。そのため、半導体処理装置10は、1つの出力ポート回路4のフィードバック制御を終了する前に、デジタル・アナログ変換回路2と出力アンプ42とを切断して、次の出力ポート回路4からアナログ信号を出力することができる。また、出力アンプ42は、フィードバック制御を行なうとき、デジタル・アナログ変換回路2と出力アンプ42とを切断してあるので、デジタル・アナログ変換回路2から出力するアナログ信号の電圧変動の影響を受けることなく、フィードバック制御を行なうことができる。なお、容量CAPに保持したアナログ信号の電圧は、リーク電流その他の要因により変動を来すことから、所定の周期でデジタル・アナログ変換回路2の出力するアナログ信号電圧を保持し直せばよい。

[0026] 接続制御回路5は、デジタル・アナログ変換回路2と出力ポート回路4と

の接続を制御している。具体的に、接続制御回路 5 は、出力する制御信号に基づき、第 1 スイッチ素子 SW 1 のオン状態とオフ状態とを切替えて、デジタル・アナログ変換回路 2 と出力ポート回路 4 との接続を制御している。出力切替回路 6 は、出力ポート回路 4 から外部にデジタル信号を出力するか、アナログ信号を出力するかを切替えている。具体的には、出力切替回路 6 は、出力する切替信号に基づき、第 2 スイッチ素子 SW 2, SW 3 を演算処理回路 1 側に接続するか、出力アンプ 4 2 側に接続するかを切替えて、出力ポート回路 4 から外部にデジタル信号を出力するか、アナログ信号を出力するかを切替えている。

[0027] 次に、本発明の実施の形態 1 に係る半導体処理装置 10 の動作について説明する。図 2 は、本発明の実施の形態 1 に係る半導体処理装置 10 の動作を説明するためのフローチャートである。まず、出力制御回路 3 は、デジタル・アナログ変換回路 2 から出力したいアナログ信号の電圧を予め設定しておく。そして、接続制御回路 5 は、第 1 スイッチ素子 SW 1 をオン状態にする（ステップ S 2 0 1）。また、出力制御回路 3 は、デジタル・アナログ変換回路 2 で変換したアナログ信号を出力するようにデジタル・アナログ変換回路 2 に指示する。

[0028] 次に、出力切替回路 6 は、出力ポート回路 4 からアナログ信号を出力する指示が演算処理回路 1 からあったか否かを判断する（ステップ S 2 0 2）。出力切替回路 6 は、出力ポート回路 4 からアナログ信号を出力する指示が演算処理回路 1 からなかったと判断した場合（ステップ S 2 0 2 : NO）、出力切替回路 6 は、第 2 スイッチ素子 SW 2, SW 3 を演算処理回路 1 側に接続する（ステップ S 2 0 3）。半導体処理装置 10 は、第 2 スイッチ素子 SW 2, SW 3 を演算処理回路 1 側に接続することで、出力ポート回路 4 からデジタル信号を出力する。

[0029] 出力切替回路 6 は、出力ポート回路 4 からアナログ信号を出力する指示が演算処理回路 1 からあったと判断した場合（ステップ S 2 0 2 : YES）、出力切替回路 6 は、第 2 スイッチ素子 SW 2, SW 3 を出力アンプ 4 2 側に

接続する（ステップS204）。第2スイッチ素子SW2，SW3を出力アンプ42側に接続する（ステップS204）ことで、半導体処理装置10は、出力ポート回路4の出力バッファ41からアナログ信号を出力する（ステップS205）。

[0030] 次に、出力ポート回路4は、デジタル・アナログ変換回路2から出力するアナログ信号の電圧を容量CAPに保持したか否かを判断する（ステップS206）。出力ポート回路4が、デジタル・アナログ変換回路2から出力するアナログ信号の電圧を容量CAPに保持していないと判断した場合（ステップS206：NO）、出力ポート回路4は、ステップS206の処理を繰返す。

[0031] 出力ポート回路4が、デジタル・アナログ変換回路2から出力するアナログ信号の電圧を容量CAPに保持したと判断した場合（ステップS206：YES）、接続制御回路5は、第1スイッチ素子SW1をオフ状態にする（ステップS207）。また、出力制御回路3は、デジタル・アナログ変換回路2が変換したアナログ信号の出力を停止するようにデジタル・アナログ変換回路2に指示する。

[0032] 次に、出力アンプ42は、出力バッファ41から出力したアナログ信号の電圧と、容量CAPに保持したアナログ信号の電圧（デジタル・アナログ変換回路2から出力したアナログ信号の電圧）とを比較し、一致したか否かを判断する（ステップS208）。出力アンプ42は、出力バッファ41から出力したアナログ信号の電圧と、容量CAPに保持したアナログ信号の電圧とが一致していないと判断した場合（ステップS208：NO）、出力アンプ42は、出力バッファ41から出力したアナログ信号の電圧と、容量CAPに保持したアナログ信号の電圧との差分（比較した結果）に基づいて、アナログ信号の増幅率を変更する（ステップS209）。ステップS209後、出力アンプ42は、ステップS208の処理に戻り、アナログ信号の増幅率を変更した後の出力バッファ41から出力したアナログ信号の電圧と、容量CAPに保持したアナログ信号の電圧とを比較し、一致するか否かを再度

判断する。

[0033] 出力アンプ42は、出力バッファ41から出力したアナログ信号の電圧と、容量CAPに保持したアナログ信号の電圧とが一致したと判断した場合（ステップS208：YES）、出力アンプ42は、フィードバック制御を繰返す。かかるフィードバック制御を繰返すことで、半導体処理装置10は、所望の電圧のアナログ信号を出力ポート回路4から安定して出力する。なお、一つの出力ポート回路4からアナログ信号を出力する場合について説明したが、他の出力ポート回路4についても同様の処理を繰返すことで、複数の出力ポート回路4からアナログ信号を出力することができる。また、出力制御回路3が、出力ポート回路4ごとにデジタル・アナログ変換回路2から出力したいアナログ信号の電圧を予め設定しておくことで、出力ポート回路4ごとにPチャネルMOSトランジスタ41aおよびNチャネルMOSトランジスタ41bのオン抵抗を制御することができる。

[0034] 以上のように、本発明の実施の形態1に係る半導体処理装置10は、デジタル信号を出力する出力バッファ41のオン抵抗を制御して、出力バッファ41からアナログ信号を出力するので、デジタル信号を出力する出力ポート回路4からアナログ信号を出力することができる。そのため、半導体処理装置10は、デジタル信号を出力する出力ポート回路4と、アナログ信号を出力する出力ポート回路4とを共通にすることができ、出力ポート回路4の数を減らして小型にすることができる。また、半導体処理装置10は、デジタル・アナログ変換回路2から出力したアナログ信号を、出力バッファ41を用いて出力ポート回路4から出力するので、出力ポート回路4に接続する回路（たとえば、メモリ回路、センサ回路等）のインピーダンスと、デジタル・アナログ変換回路2のインピーダンスとを整合させる必要がなく、一つのデジタル・アナログ変換回路2に対して複数の出力ポート回路4を備える構成にすることができる。

[0035] また、半導体処理装置10は、出力ポート回路4ごとに出力バッファ41のPチャネルMOSトランジスタ41aおよびNチャネルMOSトランジスタ

タ 4 1 b のオン抵抗を制御してアナログ信号を出力するので、それぞれの出力ポート回路 4 の出力バッファ 4 1 から異なる電圧のアナログ信号を出力することができる。

[0036] (実施の形態 2)

図 3 は、本発明の実施の形態 2 に係る半導体処理装置の構成を示す概略図である。図 3 に示す半導体処理装置 1 1 は、演算処理回路 1、デジタル・アナログ変換回路 2、出力制御回路 3、複数の出力ポート回路 4、接続制御回路 5、および出力切替回路 6 を備えている。なお、半導体処理装置 1 1 は、出力ポート回路 4 の出力アンプ 4 2 と異なり、出力アンプ 4 8 を備えている以外、本発明の実施の形態 1 に係る半導体処理装置 1 0 と同じ構成である。そのため、同じ構成要素については、同じ符号を付して詳細な説明を省略する。

[0037] 図 1 に示す出力アンプ 4 2 は、第 2 スイッチ素子 SW 2、SW 3 のそれぞれに同じアナログ信号を出力する。つまり、出力アンプ 4 2 は、P チャネル MOS トランジスタ 4 1 a および N チャネル MOS トランジスタ 4 1 b のゲート端子に対して同じアナログ信号を出力するので、出力バッファ 4 1 は、同じアナログ信号に基づいて P チャネル MOS トランジスタ 4 1 a および N チャネル MOS トランジスタ 4 1 b のオン抵抗を制御する。

[0038] 一方、図 3 に示す出力アンプ 4 8 は、出力アンプ 4 2 と異なり、正レベルのアナログ信号と、反転レベルのアナログ信号とを出力することができ、第 2 スイッチ素子 SW 2 に正レベルのアナログ信号を、第 2 スイッチ素子 SW 3 に反転レベルのアナログ信号をそれぞれ出力する。つまり、出力アンプ 4 8 は、P チャネル MOS トランジスタ 4 1 a のゲート端子と、N チャネル MOS トランジスタ 4 1 b のゲート端子とに対して異なるアナログ信号を出力するので、出力バッファ 4 1 は、異なるアナログ信号に基づいて、P チャネル MOS トランジスタ 4 1 a のオン抵抗と、N チャネル MOS トランジスタ 4 1 b のオン抵抗とを個別に制御することができる。

[0039] なお、半導体処理装置 1 1 は、一つのデジタル・アナログ変換回路 2 に対

して複数の出力ポート回路 4 を接続した構成に限定されるものではなく、一つのデジタル・アナログ変換回路 2 に対して一つの出力ポート回路 4 を接続した構成であってもよい。また、半導体処理装置 11 は、出力アンプ 42 を備える出力ポート回路 4 と、出力アンプ 48 を備える出力ポート回路 4 とが混在する構成であってもよい。さらに、半導体処理装置 11 の動作は、実施の形態 1 に係る半導体処理装置 10 の動作と同じであるため、詳細な説明を省略する。

[0040] 以上のように、本発明の実施の形態 2 に係る半導体処理装置 11 は、出力アンプ 48 が、出力バッファ 41 の P チャンネル MOS トランジスタ 41a と、出力バッファ 41 の N チャンネル MOS トランジスタ 41b とに対して異なるアナログ信号を出力するので、異なるアナログ信号に基づいて、P チャンネル MOS トランジスタ 41a のオン抵抗と、N チャンネル MOS トランジスタ 41b のオン抵抗とを個別に制御することができ、出力バッファ 41 から出力するアナログ信号の電圧を高い精度で制御することができる。

[0041] 以後の実施の形態に係る半導体処理装置において、第 2 スイッチ素子 SW2, SW3 のそれぞれへの出力アンプ 42 または出力アンプ 48 からの制御信号は、実施の形態 1 に対応した図面に示す構成として説明するが、実施の形態 2 に対応した図面に示す構成も包含するものとする。

[0042] (実施の形態 3)

本発明の実施の形態 3 に係る半導体処理装置は、接続制御回路にカウンタを設け、接続制御回路が、カウンタに従って複数の出力ポート回路の第 1 スイッチ素子 SW1 を順次制御する。図 4 は、本発明の実施の形態 3 に係る半導体処理装置の接続制御回路 50 の構成を示す概略図である。図 4 では、接続制御回路 50 以外に、デジタル・アナログ変換回路 2、出力制御回路 3、出力ポート回路の第 1 スイッチ素子 SW1 を図示している。なお、図 4 に示していない実施の形態 3 に係る半導体処理装置の構成要素は、図 1 に示した実施の形態 1 に係る半導体処理装置 10 の構成要素と同じであるため、図示しせず同じ符号を用いて以下に説明する。

[0043] 図4に示す接続制御回路50は、カウンタ51、出力ポート回路4のポート番号を格納したレジスタ52を備えている。カウンタ51は、一定の間隔でレジスタ52に格納してある出力ポート回路4のポート番号を順次選択する。レジスタ52は、カウンタ51で選択した出力ポート回路4のポート番号に対応した制御信号を出力制御回路3、および出力ポート回路4の第1スイッチ素子SW1に出力する。出力制御回路3、および出力ポート回路4の第1スイッチ素子SW1は、それぞれ出力ポート回路4のポート番号に対応した処理情報を格納したレジスタ31、49を備えている。そのため、出力制御回路3、および出力ポート回路4の第1スイッチ素子SW1は、接続制御回路50（レジスタ52）から出力した制御信号に基づき、出力ポート回路4のポート番号に対応した処理情報を実行する。

[0044] たとえば、接続制御回路50から出力ポート回路4のポート番号P0に対応する制御信号を出力した場合、出力制御回路3、および出力ポート回路4の第1スイッチ素子SW1は、出力ポート回路4のポート番号P0に対応したレジスタ31、49に格納してある処理情報を実行する。出力制御回路3は、レジスタ31に格納してある処理情報を実行することで、デジタル・アナログ変換回路2から出力したいアナログ信号の電圧を予め設定し、デジタル・アナログ変換回路2で変換したアナログ信号を出力するようにデジタル・アナログ変換回路2に指示する。出力ポート回路4の第1スイッチ素子SW1は、レジスタ49に格納してある処理情報を実行することにより、オフ状態からオン状態になる。カウンタ51が一定の間隔でレジスタ52に格納した出力ポート回路のポート番号を順次選択することで、出力ポート回路4のポート番号P1からP3についても同様の処理を行なう。なお、出力ポート回路4のポート番号は、P0からP3までに限定されるものではない。

[0045] 次に、本発明の実施の形態3に係る半導体処理装置の動作について説明する。図5は、本発明の実施の形態3に係る半導体処理装置の動作を説明するためのフローチャートである。まず、カウンタ51は、レジスタ52に格納してある出力ポート回路4のポート番号の一つを選択する。出力制御回路3

は、カウンタ 5 1 で選択した出力ポート回路 4 のポート番号に対応したレジスタ 3 1 に格納してある処理情報を実行する。出力制御回路 3 は、レジスタ 3 1 に格納してある処理情報を実行し、デジタル・アナログ変換回路 2 から出力したいアナログ信号の電圧を予め設定しておく。接続制御回路 5 は、カウンタ 5 1 で選択した出力ポート回路 4 のポート番号に対応する第 1 スイッチ素子 SW 1 をオン状態にする（ステップ S 5 0 1）。また、出力制御回路 3 は、レジスタ 3 1 に格納してある処理情報を実行し、デジタル・アナログ変換回路 2 で変換したアナログ信号を出力するようにデジタル・アナログ変換回路 2 に指示する。

[0046] 次に、出力切替回路 6 は、出力ポート回路 4 からアナログ信号を出力する指示が演算処理回路 1 からあったか否かを判断する（ステップ S 5 0 2）。出力切替回路 6 が、出力ポート回路 4 からアナログ信号を出力する指示が演算処理回路 1 からなかったと判断した場合（ステップ S 5 0 2 : NO）、出力切替回路 6 は、第 2 スイッチ素子 SW 2, SW 3 を演算処理回路 1 側に接続する（ステップ S 5 0 3）。半導体処理装置は、第 2 スイッチ素子 SW 2, SW 3 を演算処理回路 1 側に接続することで、出力ポート回路 4 からデジタル信号を出力する。

[0047] 出力切替回路 6 が、出力ポート回路 4 からアナログ信号を出力する指示が演算処理回路 1 からあったと判断した場合（ステップ S 5 0 2 : YES）、出力切替回路 6 は、第 2 スイッチ素子 SW 2, SW 3 を出力アンプ 4 2 側に接続する（ステップ S 5 0 4）。半導体処理装置は、第 2 スイッチ素子 SW 2, SW 3 を出力アンプ 4 2 側に接続することで、出力ポート回路 4 からアナログ信号を出力する（ステップ S 5 0 5）。

[0048] 次に、出力ポート回路 4 は、デジタル・アナログ変換回路 2 から出力するアナログ信号の電圧を容量 CAP に保持したか否かを判断する（ステップ S 5 0 6）。出力ポート回路 4 が、デジタル・アナログ変換回路 2 から出力するアナログ信号の電圧を容量 CAP に保持していないと判断した場合（ステップ S 5 0 6 : NO）、出力ポート回路 4 は、ステップ S 5 0 6 の処理を繰

返す。

[0049] 出力ポート回路4が、デジタル・アナログ変換回路2から出力するアナログ信号の電圧を容量CAPに保持したと判断した場合（ステップS506：YES）、接続制御回路5は、カウンタ51で選択した出力ポート回路4のポート番号に対応する第1スイッチ素子SW1をオフ状態にする（ステップS507）。また、出力制御回路3は、レジスタ31に格納してある処理情報を実行し、デジタル・アナログ変換回路2で変換したアナログ信号の出力を停止するようにデジタル・アナログ変換回路2に指示する。

[0050] 次に、出力アンプ42は、出力バッファ41から出力したアナログ信号の電圧と、容量CAPに保持したアナログ信号の電圧（デジタル・アナログ変換回路2から出力したアナログ信号の電圧）とを比較し、一致したか否かを判断する（ステップS508）。出力アンプ42は、出力バッファ41から出力したアナログ信号の電圧と、容量CAPに保持したアナログ信号の電圧とが一致していないと判断した場合（ステップS508：NO）、出力アンプ42は、出力バッファ41から出力したアナログ信号の電圧と、容量CAPに保持したアナログ信号の電圧との差分（比較した結果）に基づいて、アナログ信号の増幅率を変更する（ステップS509）。ステップS509後、出力アンプ42は、ステップS206の処理に戻り、アナログ信号の増幅率を変更した後の出力バッファ41から出力したアナログ信号の電圧と、容量CAPに保持したアナログ信号の電圧とを比較し、一致するか否かを再度判断する。

[0051] 出力アンプ42は、出力バッファ41から出力したアナログ信号の電圧と、容量CAPに保持したアナログ信号の電圧とが一致したと判断した場合（ステップS508：YES）、カウンタ51は、選択した出力ポート回路4のポート番号が所定の番号を越えているか否かを判断する（ステップS510）。なお、出力アンプ42が、出力バッファ41から出力したアナログ信号の電圧と、容量CAPに保持したアナログ信号の電圧とが一致したと判断した場合、半導体処理装置10は、フィードバック制御を繰返し（ステップ

S 5 0 8)、所望の電圧のアナログ信号を出力ポート回路4から安定して出力する。

[0052] カウンタ51は、選択した出力ポート回路4のポート番号が所定の番号を越えていないと判断した場合(ステップS510:NO)、カウンタ51は、選択する出力ポート回路4のポート番号を一つ繰り上げる(ステップS511)。たとえば、カウンタ51は、選択する出力ポート回路4のポート番号をP0からP1に一つ繰り上げる。カウンタ51が、選択する出力ポート回路4のポート番号を一つ繰り上げた後、処理をステップS501に戻す。

[0053] カウンタ51は、選択した出力ポート回路4のポート番号が所定の番号を越えていると判断した場合(ステップS510:YES)、半導体処理装置は、処理を終了する。

[0054] 以上のように、本発明の実施の形態3に係る半導体処理装置は、接続制御回路5が、複数の出力ポート回路4のそれぞれに対応して設定された出力ポート回路4のポート番号を順次選択するカウンタ51を備えている。出力制御回路3は、カウンタ51で選択した出力ポート回路4のポート番号に対応してデジタル・アナログ変換回路2で変換するアナログ信号の電圧を予め設定し、接続制御回路5は、カウンタ51で選択した出力ポート回路4のポート番号に対応した出力ポート回路4の第1スイッチ素子SW1をオン状態にするので、演算処理回路1が複数の出力ポート回路4を順次切替える処理を行なう必要がなくなり、演算処理回路1で処理する負担を軽減することができる。また、出力ポート回路4が、デジタル・アナログ変換回路2から出力したアナログ信号の電圧を保持する容量CAPを備えている場合、半導体処理装置は、カウンタ51で出力ポート回路4のポート番号を順次選択して、容量CAPに保持するデジタル・アナログ変換回路2から出力したアナログ信号の電圧を順次供給することができる。そのため、半導体処理装置は、デジタル・アナログ変換回路2から出力したアナログ信号の電圧を容量CAPに安定して保持することができるので、出力バッファ41から出力するアナログ信号の電圧を高精度に制御することができる。

[0055] (実施の形態4)

図6は、本発明の実施の形態4に係る半導体処理システムの構成を示す概略図である。図6に示す半導体処理システム100は、半導体処理装置12、メモリ回路60、外部接続回路70、通信回路80、および演算回路90を備えている。

[0056] 半導体処理装置12は、実施の形態1ないし3に記載した半導体処理装置であって、出力ポート回路4からデジタル信号またはアナログ信号を出力することができる。また、半導体処理装置12は、接続するメモリ回路60、外部接続回路70、通信回路80、演算回路90に対して出力ポート回路4からアナログ信号を出力することで電圧を供給し、電源としても機能している。なお、半導体処理装置12は、外部電源から5.0Vの電圧が供給されている。

[0057] メモリ回路60は、たとえばDRAM等の記憶回路であり、電圧3.3Vで駆動する汎用IC61を2個備えている。汎用IC61は、駆動するためにVCC端子に、半導体処理装置12の出力ポート回路4から電圧3.3Vのアナログ信号を入力している。汎用IC61は、図示していないメモリ素子を駆動するため大電流を必要とするが、出力ポート回路4から出力するアナログ信号の電流はメモリ素子を駆動する大電流に比べて小さい。そのため、半導体処理システム100は、複数の出力ポート回路4をメモリ回路60に接続することで汎用IC61に必要な大電流を供給している。たとえば、一つの出力ポート回路4から出力することができるアナログ信号の電流が20mAで、汎用IC61を駆動するために必要な大電流が60mAである場合、三つの出力ポート回路4をメモリ回路60に接続することで汎用IC61に必要な大電流を供給している。なお、メモリ回路60と半導体処理装置12との間でデータを送受信するために、メモリ回路60と半導体処理装置12とが出力ポート回路4以外で接続してある。

[0058] 外部接続回路70は、たとえば外部記憶装置と接続するためのインターフェース回路であり、電圧1.8Vで駆動する汎用IC71を1個備えている。

。汎用ＩＣ７１は、駆動するためにＶＣＣ端子に、半導体処理装置１２の出力ポート回路４から電圧１．８Ｖのアナログ信号を入力している。

[0059] 通信回路８０は、たとえば外部機器とデータ通信を行なう通信ポートであり、接続した外部機器に電圧２．７Ｖを供給することができる回路である。通信回路８０は、外部機器に電圧２．７Ｖを供給するため、半導体処理装置１２の出力ポート回路４から電圧２．７Ｖのアナログ信号を入力している。さらに、通信回路８０は、半導体処理装置１２と外部機器とでデータ通信を行なうため、半導体処理装置１２のシリアル入出力ポート（ＳＩ／Ｏ）７と接続してある。

[0060] 演算回路９０は、たとえば半導体処理装置１２から出力したデジタル信号を演算処理する演算回路であり、第１ＩＣ９１および第２ＩＣ９２を有する演算部９３、第１ＩＣ９１の電源の立上がりを検出する第１電源検出回路９４、および第２ＩＣ９２の電源の立上がりを検出する第２電源検出回路９５を備えている。第１ＩＣ９１と第２ＩＣ９２とのそれぞれは、供給された電圧レベルに応じた電圧を動作イネーブル信号（ＥＮ信号）として出力する。演算回路９０は、まず出力ポート回路４Ｂから電圧１．５Ｖを入力し、出力ポート回路４Ａから電圧１．８Ｖのアナログ信号を第１ＩＣ９１に入力することで、第１ＩＣ９１を駆動する。第１ＩＣ９１が駆動すると、第１ＩＣ９１は、動作イネーブル信号（ＥＮ信号）を第１電源検出回路９４に出力する。第１電源検出回路９４は、出力ポート回路４Ｂから出力した電圧１．５Ｖのアナログ信号（基準電圧）と、第１ＩＣ９１のＥＮ信号の電圧とを比較し、基準電圧よりＥＮ信号の電圧が高い場合、第１ＩＣ９１の電源の立上がりを検出した第１検出信号を半導体処理装置１２に出力する。電源投入された直後のある期間において、スイッチ９６はオフ状態となっている。

[0061] 半導体処理装置１２は、第１検出信号に基づき出力ポート回路４Ｂをデジタル出力動作状態に変化させて、演算部９３のスイッチ９６をオン状態にするためのＨ電圧（たとえば２．２Ｖ）を出力して、スイッチ９６をオンさせる。スイッチ９６は、ヒステリシス特性を持つように構成し、オフ状態から

オン状態に変化する電圧を2.0Vに、オン状態からオフ状態に変化する電圧を1.0Vにそれぞれ構成する。その後、出力ポート回路4Bをアナログ出力動作状態に変化させて、第2電源検出回路95の基準電圧1.5Vを出力開始する。出力ポート回路4Aから電圧1.8Vのアナログ信号を第2IC92に入力することで、第2IC92を駆動する。第2IC92が駆動すると、第2IC92は、動作イネーブル信号(EN2信号)を第2電源検出回路95に出力する。第2電源検出回路95は、出力ポート回路4Bから出力した電圧1.5Vのアナログ信号(基準電圧)と、第1IC91のEN2信号の電圧とを比較し、基準電圧よりEN2信号の電圧が高い場合、第2IC92の電源の立上がりを検出した第2検出信号を半導体処理装置12に出力する。半導体処理装置12は、第2検出信号に基づき出力ポート回路4Bからデータ転送開始信号(スタート信号)、およびデジタル信号を順に第1IC91に出力する。

[0062] 半導体処理装置12は、実施の形態1ないし3で説明したように、出力ポート回路4ごとにPチャネルMOSトランジスタ41aおよびNチャネルMOSトランジスタ41bのオン抵抗を制御して、出力バッファ41からアナログ信号を出力するので、それぞれの出力ポート回路4の出力バッファ41から異なる電圧のアナログ信号を出力することができる。そのため、半導体処理装置12は、電圧3.3Vで駆動するメモリ回路60、電圧1.8Vで駆動する外部接続回路70、電圧2.7Vを供給する通信回路80、電圧1.8Vで駆動し、電圧0.8Vの基準電圧が必要な演算回路90を出力ポート回路4に接続することができる。

[0063] また、出力ポート回路4Bの動作として説明したように、アナログ信号出力時の電圧を1.5Vに設定し、デジタル信号出力時のH電圧を2.2Vとなるようにすることで、1.5Vを出力する期間と2.2Vを出力する期間の切替えにおいて、デジタル・アナログ変換回路2で出力ポート回路4Bに設定する基準電圧の再設定を行なうことを不要にできる。

[0064] 以上のように、本発明の実施の形態4に係る半導体処理システム100は

、複数の出力ポート回路４のそれぞれの出力バッファ４１から異なる電圧のアナログ信号を出力することができる半導体処理装置１２を備えているので、複数のデジタル・アナログ変換回路、電圧変換回路等を備えることなく、異なる電圧のアナログ信号で駆動する回路を半導体処理装置１２に接続することができ、さらにデジタル信号出力状態とアナログ信号出力状態とを切替えることで異なる電圧を出力することも容易になり、半導体処理システム１００を小型にすることができる。また、第１ＩＣ９１と第２ＩＣ９２とを同時に動作を開始させたとき、消費電力が増大してノイズ発生等の支障が生じる。ノイズ発生等の支障を回避するために、タイマを用いて第１ＩＣ９１と第２ＩＣ９２とを同時に動作を開始しないように構成した場合と比較して、半導体処理システム１００は、第１ＩＣ９１と第２ＩＣ９２との動作の開始に適宜の時間差をおくことが容易できる。

[0065] (実施の形態５)

図７は、本発明の実施の形態５に係る半導体処理装置の構成を示す概略図である。図７に示す半導体処理装置１３は、図１に示す半導体処理装置１０の構成に周辺機能回路８を追加した構成である。なお、半導体処理装置１３は、図１に示す半導体処理装置１０の構成と同じ構成について、同じ符号を付して、詳細な説明は省略する。ここで、周辺機能回路８には、タイマ回路やPWM (Pulse Width Modulation) 回路などが含まれている。

[0066] 出力ポート回路４は、演算処理回路１からのデジタル信号出力と、デジタル・アナログ変換回路２からのアナログ信号出力と、周辺機能回路８からのデジタル信号出力とを切替えることができる。出力ポート回路４は、演算処理回路１からのデジタル信号出力と、周辺機能回路８からのデジタル信号出力とを切替えるために、第４スイッチ素子SW４および第５スイッチ素子SW５を備えている。第４スイッチ素子SW４および第５スイッチ素子SW５は、演算処理回路１と論理回路４４との接続を、周辺機能回路８と論理回路４４との接続に切替えるためのスイッチング素子である。

[0067] 図８は、本発明の実施の形態５に係る半導体処理装置の動作を説明するた

めのフローチャートである。まず、演算処理回路 1 は、出力ポート回路 4 を使用してデジタル信号出力を行なう（ステップ S 8 0 1）。その後、演算処理回路 1 が出力ポート回路 4 の使用を終了して、演算処理回路 1 は、周辺機能回路 8 を起動するための起動信号を周辺機能回路 8 に出力する（ステップ S 8 0 2）。周辺機能回路 8 は、起動完了してデジタル信号出力を行なうために第 4 スイッチ素子 SW 4、および第 5 スイッチ素子 SW 5 を切替える（ステップ S 8 0 3）。具体的に、周辺機能回路 8 は、出力切替信号を第 4 スイッチ素子 SW 4、および第 5 スイッチ素子 SW 5 のそれぞれに出力し、演算処理回路 1 と論理回路 4 4 との接続を、周辺機能回路 8 と論理回路 4 4 との接続に切替える。なお、周辺機能回路 8 は、周辺機能出力有効信号を出力切替回路 6 に出力し、出力バッファ 4 1 と論理回路 4 4 とが接続するように第 2 スイッチ素子 SW 2、SW 3 を切替えておく必要がある。

[0068] 周辺機能回路 8 は、第 4 スイッチ素子 SW 4、および第 5 スイッチ素子 SW 5 を切替えた後、出力ポート回路 4 を使用してデジタル信号出力を行なう（ステップ S 8 0 4）。その後、周辺機能回路 8 が出力ポート回路 4 の使用を終了して、デジタル・アナログ変換回路 2 が出力ポート回路 4 を使用してアナログ信号出力を行なう場合、周辺機能回路 8 は、周辺機能出力有効信号を出力切替回路 6 に出力し、出力バッファ 4 1 とデジタル・アナログ変換回路 2 とが接続するように第 2 スイッチ素子 SW 2、SW 3 を切替える（ステップ S 8 0 5）。

[0069] 以上のように、本発明の実施の形態 5 に係る半導体処理装置 1 3 は、出力ポート回路 4 に第 4 スイッチ素子 SW 4、および第 5 スイッチ素子 SW 5 を備えることで、出力ポート回路 4 を使用して、演算処理回路 1 からのデジタル信号出力を行なうと共に、周辺機能回路 8 からのデジタル信号出力も行なうことができる。

[0070] （実施の形態 6）

図 6 に示した半導体処理装置 1 2 では、メモリ回路 6 0、外部接続回路 7 0、通信回路 8 0、および演算回路 9 0 に対して出力ポート回路 4 からアナ

ログ信号を出力することで所定の電圧を供給し、電源として機能している。電源として機能する半導体処理装置 12 には、大きく分けて基準電圧を供給する電源（基準電源）と、電流を供給する電源（電流源）とがある。具体的に、半導体処理装置 12 は、演算回路 90 の第 1 電源検出回路 94 および第 2 電源検出回路 95 に対して、出力ポート回路 4B から出力した電圧 1.5V のアナログ信号を基準電圧として出力している。一方、半導体処理装置 12 は、メモリ回路 60 や外部接続回路 70 などに対して、出力ポート回路 4B から出力した電圧 3.3V のアナログ信号を電源電圧として出力し、メモリ素子を駆動するため電流を供給している。

[0071] 本実施の形態 6 に係る半導体処理装置では、電流を供給する電源として機能する場合に、消費される電流を低減することができる構成について説明する。図 9 は、本発明の実施の形態 6 に係る半導体処理装置の構成を示す概略図である。

[0072] 図 9 に示す半導体処理装置 10a は、演算処理回路 1、デジタル・アナログ変換回路 2、出力制御回路 3、複数の出力ポート回路 4a、接続制御回路 5、および出力切替回路 6 を備えている。なお、半導体処理装置 10a は、出力ポート回路 4a の構成以外、本発明の実施の形態 1 に係る半導体処理装置 10 と同じ構成である。そのため、同じ構成要素については、同じ符号を付して詳細な説明を省略する。

[0073] 図 1 に示す出力ポート回路 4 は、P チャネル MOS トランジスタ 41a および N チャネル MOS トランジスタ 41b のゲート端子に接続する第 2 スイッチ素子 SW2、SW3 を有している。第 2 スイッチ素子 SW2、SW3 は、出力切替回路 6 から出力した切替信号に基づき、演算処理回路 1 側に接続するか、出力アンプ 42 側に接続するかを切替える。

[0074] 図 1 に示す出力ポート回路 4 は、第 2 スイッチ素子 SW2、SW3 が出力アンプ 42 側に接続してある場合（出力バッファ 41 と出力アンプ 42 とが接続してある場合）、出力アンプ 42 で増幅したアナログ信号を、P チャネル MOS トランジスタ 41a および N チャネル MOS トランジスタ 41b の

ゲート端子に入力する。そして、図1に示す出力ポート回路4は、PチャネルMOSトランジスタ41aおよびNチャネルMOSトランジスタ41bのオン抵抗を制御する。PチャネルMOSトランジスタ41aおよびNチャネルMOSトランジスタ41bのオン抵抗を制御することで、図1に示す出力ポート回路4は、それぞれのMOSトランジスタの閾値電圧を考慮して、電源電圧として供給されている電圧と接地電圧との間の電圧範囲内のアナログ信号を出力バッファ41から出力することができる。

[0075] 図1に示す出力ポート回路4に汎用ICを接続して、当該汎用ICを駆動するための電流を供給する電源として半導体処理装置10を機能させる。この場合、電源からPチャネルMOSトランジスタ41aを介して汎用ICに流れる電流I1以外に、電源からPチャネルMOSトランジスタ41aおよびNチャネルMOSトランジスタ41bを介して接地に流れる電流I2が常に必要となる。そのため、半導体処理装置10は、汎用ICを駆動するために電流I1+I2を流す必要があるため、消費される電流が増加するという問題があった。

[0076] そこで、本発明の実施の形態6に係る半導体処理装置10aでは、図1に示す出力ポート回路4に代えて出力ポート回路4aを備えることで、消費される電流を低減している。図9に示す出力ポート回路4aは、PチャネルMOSトランジスタ41aのゲート端子に接続する第2スイッチ素子SW2を有している。つまり、NチャネルMOSトランジスタ41bのゲート端子に、第2スイッチ素子SW3を接続しておらず、NチャネルMOSトランジスタ41bのゲート端子に論理回路44のNOR回路44bを直接接続してある。第2スイッチ素子SW2は、出力切替回路6から出力した切替信号に基づき、演算処理回路1側に接続するか、出力アンプ42側に接続するかを切替える。

[0077] 出力ポート回路4aは、第2スイッチ素子SW2が出力アンプ42側に接続してある場合（出力バッファ41と出力アンプ42とが接続してある場合）、出力アンプ42で増幅したアナログ信号を、PチャネルMOSトランジ

スタ 4 1 a のゲート端子に入力する。そして、出力ポート回路 4 a は、P チャンネル MOS トランジスタ 4 1 a のオン抵抗を制御する。

[0078] 出力ポート回路 4 a に汎用 IC 9 を接続してある場合、出力ポート回路 4 a は、P チャンネル MOS トランジスタ 4 1 a のオン抵抗を制御することで、出力バッファ 4 1 からアナログ信号を出力して、汎用 IC 9 に電流を供給することができる。なお、出力ポート回路 4 a から出力されるアナログ信号の電圧は、P チャンネル MOS トランジスタ 4 1 a のオン抵抗と汎用 IC 9 のオン抵抗とに基づいて電源電圧を分圧した値となる。また、N チャンネル MOS トランジスタ 4 1 b は、NOR 回路 4 4 b がオフ信号として論理 L を出力することによりオフ状態となる。プロセスのばらつき等により N チャンネル MOS トランジスタ 4 1 b に流れるオフリークチャネル電流を考慮するのであれば、NOR 回路 4 4 b が出力する論理 L は負電圧であっても良い。以下に示すの実施の形態に係る半導体処理装置においても同様である。

[0079] 出力ポート回路 4 a に汎用 IC 9 を接続して、当該汎用 IC 9 を駆動するための電流を供給する電源として半導体処理装置 1 0 a を機能させる場合、電源から P チャンネル MOS トランジスタ 4 1 a を介して汎用 IC 9 に流れる電流 I 1 のみ必要となる。つまり、N チャンネル MOS トランジスタ 4 1 b はオフ状態であるため、電源から P チャンネル MOS トランジスタ 4 1 a および N チャンネル MOS トランジスタ 4 1 b を介して接地に流れる電流 I 2 が不要となる。そのため、半導体処理装置 1 0 a は、電流 I 1 を流すだけで汎用 IC 9 を駆動することができるため、消費される電流を低減することができる。

[0080] 次に、本発明の実施の形態 6 に係る半導体処理装置 1 0 a の動作について説明する。図 1 0 は、本発明の実施の形態 6 に係る半導体処理装置 1 0 a の動作を説明するためのフローチャートであり、図 2 に示すフローチャートと同じステップには同じ符号を付して説明する。まず、出力制御回路 3 は、デジタル・アナログ変換回路 2 から出力したいアナログ信号の電圧を予め設定しておく。そして、接続制御回路 5 は、第 1 スイッチ素子 SW 1 をオン状態

にする（ステップS 2 0 1）。また、出力制御回路 3 は、デジタル・アナログ変換回路 2 で変換したアナログ信号を出力するようにデジタル・アナログ変換回路 2 に指示する。

[0081] 次に、出力切替回路 6 は、出力ポート回路 4 a からアナログ信号を出力する指示が演算処理回路 1 からあったか否かを判断する（ステップS 2 0 2）。出力切替回路 6 は、出力ポート回路 4 a からアナログ信号を出力する指示が演算処理回路 1 からなかったと判断した場合（ステップS 2 0 2 : N O）、出力切替回路 6 は、第 2 スイッチ素子 S W 2 を演算処理回路 1 側に接続する（ステップS 2 0 3 a）。半導体処理装置 1 0 a は、第 2 スイッチ素子 S W 2 を演算処理回路 1 側に接続することで、出力ポート回路 4 a からデジタル信号を出力する。

[0082] 出力切替回路 6 は、出力ポート回路 4 a からアナログ信号を出力する指示が演算処理回路 1 からあったと判断した場合（ステップS 2 0 2 : Y E S）、出力切替回路 6 は、第 2 スイッチ素子 S W 2 を出力アンプ 4 2 側に接続する（ステップS 2 0 4 a）。なお、出力切替回路 6 が、第 2 スイッチ素子 S W 2 を出力アンプ 4 2 側に接続するとき、論理回路 4 4 は、N チャネル M O S トランジスタ 4 1 b をオフ状態とする。第 2 スイッチ素子 S W 2 を出力アンプ 4 2 側に接続する（ステップS 2 0 4 a）ことで、半導体処理装置 1 0 a は、出力ポート回路 4 a の出力バッファ 4 1 からアナログ信号を出力する（ステップS 2 0 5）。このとき、半導体処理装置 1 0 a は、P チャネル M O S トランジスタ 4 1 a のオン抵抗と汎用 I C 9 のオン抵抗とに基づいて電源電圧を分圧した値のアナログ信号を出力ポート回路 4 a から出力する。

[0083] 次に、出力ポート回路 4 a は、デジタル・アナログ変換回路 2 から出力するアナログ信号の電圧を容量 C A P に保持したか否かを判断する（ステップS 2 0 6）。出力ポート回路 4 a が、デジタル・アナログ変換回路 2 から出力するアナログ信号の電圧を容量 C A P に保持していないと判断した場合（ステップS 2 0 6 : N O）、出力ポート回路 4 a は、ステップS 2 0 6 の処理を繰返す。

[0084] 出力ポート回路4 aが、デジタル・アナログ変換回路2から出力するアナログ信号の電圧を容量CAPに保持したと判断した場合（ステップS206：YES）、接続制御回路5は、第1スイッチ素子SW1をオフ状態にする（ステップS207）。また、出力制御回路3は、デジタル・アナログ変換回路2が変換したアナログ信号の出力を停止するようにデジタル・アナログ変換回路2に指示する。

[0085] 次に、出力アンプ42は、出力バッファ41から出力したアナログ信号の電圧と、容量CAPに保持したアナログ信号の電圧（デジタル・アナログ変換回路2から出力したアナログ信号の電圧）とを比較し、一致したか否かを判断する（ステップS208）。出力アンプ42は、出力バッファ41から出力したアナログ信号の電圧と、容量CAPに保持したアナログ信号の電圧とが一致していないと判断した場合（ステップS208：NO）、出力アンプ42は、出力バッファ41から出力したアナログ信号の電圧と、容量CAPに保持したアナログ信号の電圧との差分（比較した結果）に基づいて、アナログ信号の増幅率を変更する（ステップS209）。ステップS209後、出力アンプ42は、ステップS208の処理に戻り、アナログ信号の増幅率を変更した後の出力バッファ41から出力したアナログ信号の電圧と、容量CAPに保持したアナログ信号の電圧とを比較し、一致するか否かを再度判断する。

[0086] 出力アンプ42は、出力バッファ41から出力したアナログ信号の電圧と、容量CAPに保持したアナログ信号の電圧とが一致したと判断した場合（ステップS208：YES）、出力アンプ42は、フィードバック制御を繰り返す。かかるフィードバック制御を繰り返すことで、半導体処理装置10aは、所望の電圧のアナログ信号を電流源として出力ポート回路4aから安定して出力する。なお、一つの出力ポート回路4aからアナログ信号を出力する場合について説明したが、他の出力ポート回路4aについても同様の処理を繰り返すことで、複数の出力ポート回路4aからアナログ信号を出力することができる。また、出力制御回路3が、出力ポート回路4aごとにデジタル・

アナログ変換回路 2 から出力したいアナログ信号の電圧を予め設定しておくことで、出力ポート回路 4 a ごとに P チャネル MOS トランジスタ 4 1 a のオン抵抗を制御することができる。

[0087] 以上のように、本発明の実施の形態 6 に係る半導体処理装置 1 0 a は、第 2 スイッチ素子 SW 3 を設けずに、デジタル信号を出力する N チャネル MOS トランジスタ 4 1 b をオフ状態にした状態で、P チャネル MOS トランジスタ 4 1 a のオン抵抗を制御して、出力バッファ 4 1 からアナログ信号を出力する。そのため、半導体処理装置 1 0 a は、出力ポート回路 4 a からアナログ信号を出力するときに、出力バッファ 4 1 で消費される電流を低減することができる。

[0088] なお、半導体処理装置 1 0 a は、出力ポート回路 4 a ごとに P チャネル MOS トランジスタ 4 1 a のオン抵抗を制御して、出力バッファ 4 1 からアナログ信号を出力するので、それぞれの出力ポート回路 4 a の出力バッファ 4 1 から異なる電圧のアナログ信号を出力することができる。

[0089] また、半導体処理装置 1 0 a は、一つのデジタル・アナログ変換回路 2 に対して複数の出力ポート回路 4 a を接続した構成に限定されるものではなく、一つのデジタル・アナログ変換回路 2 に対して一つの出力ポート回路 4 a を接続した構成であってもよい。さらに、半導体処理装置 1 0 a は、出力アンプ 4 2 を備える出力ポート回路 4 a と、図 3 に示す出力アンプ 4 8 を備える出力ポート回路 4 a とが混在する構成であってもよい。

[0090] (実施の形態 7)

本実施の形態 7 に係る半導体処理装置では、電流を供給する電源として機能する場合に、消費される電流を低減することができる別の構成について説明する。図 1 1 は、本発明の実施の形態 7 に係る半導体処理装置の構成を示す概略図である。

[0091] 図 1 1 に示す半導体処理装置 1 0 b は、演算処理回路 1、デジタル・アナログ変換回路 2、出力制御回路 3、複数の出力ポート回路 4 b、接続制御回路 5、出力切替回路 6、および電源モードレジスタ 2 0 を備えている。なお

、半導体処理装置 10b は、出力ポート回路 4b および電源モードレジスタ 20 の構成以外、本発明の実施の形態 1 に係る半導体処理装置 10 と同じ構成である。そのため、同じ構成要素については、同じ符号を付して詳細な説明を省略する。

[0092] 本発明の実施の形態 7 に係る半導体処理装置 10b では、図 1 に示す出力ポート回路 4 に代えて出力ポート回路 4b を備え、電源モードレジスタ 20 をさらに備えていることで、消費される電流を低減している。図 11 に示す出力ポート回路 4b は、PチャネルMOSトランジスタ 41a およびNチャネルMOSトランジスタ 41b のゲート端子に接続する第2スイッチ素子 SW2、SW3 を有している。第2スイッチ素子 SW2 は、出力切替回路 6 から出力した切替信号に基づき、演算処理回路 1 側に接続するか、出力アンプ 42 側に接続するかを切替える。第2スイッチ素子 SW3 は、論理回路 A21 から出力した切替信号に基づき、演算処理回路 1 側に接続するか、出力アンプ 42 側に接続するかを切替える。

[0093] 電源モードレジスタ 20 は、出力ポート回路 4b に接続した汎用 IC 9 に電流を供給する電源モードに、出力ポート回路 4b を設定するための設定信号を、出力ポート回路 4b に出力する。電源モードレジスタ 20 から出力した設定信号は、出力ポート回路 4b の論理回路 A21 に入力される。論理回路 A21 は、出力切替回路 6 から出力した切替信号および電源モードレジスタ 20 から出力した設定信号に基づき、NチャネルMOSトランジスタ 41b のゲート端子に接続した第2スイッチ素子 SW3 を演算処理回路 1 側に接続する。さらに、論理回路 A21 は、NチャネルMOSトランジスタ 41b がオフ状態となるように、論理回路 44 の NOR 回路 44b からオフ信号を出力するように制御する。

[0094] 出力ポート回路 4b は、第2スイッチ素子 SW2 が出力アンプ 42 側に接続してある場合（出力バッファ 41 と出力アンプ 42 とが接続してある場合）、出力アンプ 42 で増幅したアナログ信号を、PチャネルMOSトランジスタ 41a のゲート端子に入力する。そして、出力ポート回路 4b は、Pチ

ャネルMOSトランジスタ41aのオン抵抗を制御する。

[0095] 出力ポート回路4bに汎用IC9を接続してある場合、出力ポート回路4bは、PチャネルMOSトランジスタ41aのオン抵抗を制御することで、出力バッファ41からアナログ信号を出力して、汎用IC9に電流を供給することができる。なお、出力ポート回路4bから出力されるアナログ信号の電圧は、PチャネルMOSトランジスタ41aのオン抵抗と汎用IC9のオン抵抗とに基づいて電源電圧を分圧した値となる。

[0096] 出力ポート回路4bに汎用IC9を接続して、当該汎用IC9を駆動するための電流を供給する電源として半導体処理装置10bを機能させる場合、電源からPチャネルMOSトランジスタ41aを介して汎用IC9に流れる電流I1のみ必要となる。つまり、NチャネルMOSトランジスタ41bはオフ状態であるため、電源からPチャネルMOSトランジスタ41aおよびNチャネルMOSトランジスタ41bを介して接地に流れる電流I2が不要である。そのため、半導体処理装置10bは、電流I1を流すだけで汎用IC9を駆動することができるため、消費される電流を低減することができる。

[0097] 次に、本発明の実施の形態7に係る半導体処理装置10bの動作について説明する。図12は、本発明の実施の形態7に係る半導体処理装置10bの動作を説明するためのフローチャートである。まず、出力制御回路3は、デジタル・アナログ変換回路2から出力したいアナログ信号の電圧を予め設定しておく。そして、接続制御回路5は、第1スイッチ素子SW1をオン状態にする（ステップS1201）。また、出力制御回路3は、デジタル・アナログ変換回路2で変換したアナログ信号を出力するようにデジタル・アナログ変換回路2に指示する。

[0098] 次に、出力切替回路6は、出力ポート回路4bからアナログ信号を出力する指示が演算処理回路1からあったか否かを判断する（ステップS1202）。出力切替回路6は、出力ポート回路4bからアナログ信号を出力する指示が演算処理回路1からなかったと判断した場合（ステップS1202：N

Ｏ）、出力切替回路６は、第２スイッチ素子ＳＷ２、ＳＷ３を演算処理回路１側に接続する（ステップＳ１２０３）。半導体処理装置１０ｂは、第２スイッチ素子ＳＷ２、ＳＷ３を演算処理回路１側に接続することで、出力ポート回路４ｂからデジタル信号を出力する。

[0099] 出力切替回路６が、出力ポート回路４ｂからアナログ信号を出力する指示が演算処理回路１からあったと判断した場合（ステップＳ１２０２：ＹＥＳ）、電源モードレジスタ２０は、出力ポート回路４ｂに接続する汎用ＩＣ９の電流源として使用するか否かを判断する（ステップＳ１２０４）。電源モードレジスタ２０が、出力ポート回路４ｂに接続する汎用ＩＣ９の電流源として使用しないと判断した場合（ステップＳ１２０４：ＮＯ）、出力切替回路６は、第２スイッチ素子ＳＷ２、ＳＷ３を出力アンプ４２側に接続する（ステップＳ１２０５）。つまり、電源モードレジスタ２０は、出力ポート回路４ｂに接続する汎用ＩＣ９に基準電圧を供給する電源として使用すると判断する。

[0100] 第２スイッチ素子ＳＷ２、ＳＷ３を出力アンプ４２側に接続する（ステップＳ１２０５）ことで、半導体処理装置１０ｂは、出力ポート回路４ｂの出力バッファ４１からアナログ信号を出力する（ステップＳ１２０６）。

[0101] 次に、出力ポート回路４ｂは、デジタル・アナログ変換回路２から出力するアナログ信号の電圧を容量ＣＡＰに保持したか否かを判断する（ステップＳ１２０７）。出力ポート回路４ｂが、デジタル・アナログ変換回路２から出力するアナログ信号の電圧を容量ＣＡＰに保持していないと判断した場合（ステップＳ１２０７：ＮＯ）、出力ポート回路４ｂは、ステップＳ１２０７の処理を繰り返す。

[0102] 出力ポート回路４ｂが、デジタル・アナログ変換回路２から出力するアナログ信号の電圧を容量ＣＡＰに保持したと判断した場合（ステップＳ１２０７：ＹＥＳ）、接続制御回路５は、第１スイッチ素子ＳＷ１をオフ状態にする（ステップＳ１２０８）。また、出力制御回路３は、デジタル・アナログ変換回路２が変換したアナログ信号の出力を停止するようにデジタル・アナ

ログ変換回路 2 に指示する。

[0103] 次に、出力アンプ 4 2 は、出力バッファ 4 1 から出力したアナログ信号の電圧と、容量 C A P に保持したアナログ信号の電圧（デジタル・アナログ変換回路 2 から出力したアナログ信号の電圧）とを比較し、一致したか否かを判断する（ステップ S 1 2 0 9）。出力アンプ 4 2 は、出力バッファ 4 1 から出力したアナログ信号の電圧と、容量 C A P に保持したアナログ信号の電圧とが一致していないと判断した場合（ステップ S 1 2 0 9 : N O）、出力アンプ 4 2 は、出力バッファ 4 1 から出力したアナログ信号の電圧と、容量 C A P に保持したアナログ信号の電圧との差分（比較した結果）に基づいて、アナログ信号の増幅率を変更する（ステップ S 1 2 1 0）。ステップ S 1 2 1 0 後、出力アンプ 4 2 は、ステップ S 1 2 0 9 の処理に戻り、アナログ信号の増幅率を変更した後の出力バッファ 4 1 から出力したアナログ信号の電圧と、容量 C A P に保持したアナログ信号の電圧とを比較し、一致するか否かを再度判断する。

[0104] 出力アンプ 4 2 は、出力バッファ 4 1 から出力したアナログ信号の電圧と、容量 C A P に保持したアナログ信号の電圧とが一致したと判断した場合（ステップ S 1 2 0 9 : Y E S）、出力アンプ 4 2 は、フィードバック制御を繰返す。かかるフィードバック制御を繰返すことで、半導体処理装置 1 0 b は、所望の電圧のアナログ信号を電流源として出力ポート回路 4 b から安定して出力する。

[0105] ステップ S 1 2 0 4 の処理に戻って、電源モードレジスタ 2 0 が、出力ポート回路 4 b に接続する汎用 I C 9 の電流源として使用すると判断した場合（ステップ S 1 2 0 4 : Y E S）、半導体処理装置 1 0 b は処理 A に進む。

[0106] 図 1 3 は、本発明の実施の形態 7 に係る半導体処理装置 1 0 b の処理 A の動作を説明するためのフローチャートである。まず、電源モードレジスタ 2 0 は、出力ポート回路 4 b に接続する汎用 I C 9 の電流源として使用すると判断した場合（ステップ S 1 2 0 4 : Y E S）、論理回路 A 2 1 に設定信号を出力する（ステップ S 1 3 0 1）。

- [0107] 次に、出力切替回路6は、第2スイッチ素子SW2を出力アンプ42側に接続する（ステップS1302）。
- [0108] 論理回路A21は、出力切替回路6から出力した切替信号および論理回路A21から出力した設定信号に基づき、NチャネルMOSトランジスタ41bのゲート端子に接続した第2スイッチ素子SW3を演算処理回路1側に接続し、NチャネルMOSトランジスタ41bをオフ状態にする（ステップS1303）。
- [0109] 半導体処理装置10bは、ステップS1303後に、処理をステップS1206に戻す（処理B）。つまり、半導体処理装置10bは、NチャネルMOSトランジスタ41bをオフ状態にした状態で、PチャネルMOSトランジスタ41aのオン抵抗を制御して、出力ポート回路4bの出力バッファ41からアナログ信号を出力する。
- [0110] なお、一つの出力ポート回路4bからアナログ信号を出力する場合について説明したが、他の出力ポート回路4bについても同様の処理を繰り返すことで、複数の出力ポート回路4bからアナログ信号を出力することができる。また、出力制御回路3が、出力ポート回路4bごとにデジタル・アナログ変換回路2から出力したいアナログ信号の電圧を予め設定しておくことで、出力ポート回路4bごとにPチャネルMOSトランジスタ41aのオン抵抗を制御することができる。
- [0111] 以上のように、本発明の実施の形態7に係る半導体処理装置10bは、第2スイッチ素子SW3を演算処理回路1側に接続して、デジタル信号を出力するNチャネルMOSトランジスタ41bをオフ状態にした状態で、PチャネルMOSトランジスタ41aのオン抵抗を制御して、出力バッファ41からアナログ信号を出力する。そのため、半導体処理装置10bは、出力ポート回路4bからアナログ信号を出力するときに、出力バッファ41で消費される電流を低減することができる。
- [0112] なお、半導体処理装置10bは、出力ポート回路4bごとにPチャネルMOSトランジスタ41aのオン抵抗を制御して、出力バッファ41からアナ

ログ信号を出力するので、それぞれの出力ポート回路 4 b の出力バッファ 4 1 から異なる電圧のアナログ信号を出力することができる。

[0113] また、半導体処理装置 10 b は、一つのデジタル・アナログ変換回路 2 に対して複数の出力ポート回路 4 b を接続した構成に限定されるものではなく、一つのデジタル・アナログ変換回路 2 に対して一つの出力ポート回路 4 b を接続した構成であってもよい。さらに、半導体処理装置 10 b は、出力アンプ 4 2 を備える出力ポート回路 4 b と、図 3 に示す出力アンプ 4 8 を備える出力ポート回路 4 b とが混在する構成であってもよい。

[0114] (実施の形態 8)

本実施の形態 8 に係る半導体処理装置では、電流を供給する汎用 IC (負荷) がスタンバイモード等の低消費電力状態に遷移した、または停止した等の場合に、安定した電圧値のアナログ信号を出力することができる構成について説明する。図 14 は、本発明の実施の形態 8 に係る半導体処理装置の構成を示す概略図である。

[0115] 図 14 に示す半導体処理装置 10 c は、演算処理回路 1、デジタル・アナログ変換回路 2、出力制御回路 3、複数の出力ポート回路 4 b、接続制御回路 5、出力切替回路 6、電源モードレジスタ 20、および汎用 IC 動作判定回路 22 を備えている。なお、半導体処理装置 10 c は、汎用 IC 動作判定回路 22 の構成以外、本発明の実施の形態 7 に係る半導体処理装置 10 b と同じ構成である。そのため、同じ構成要素については、同じ符号を付して詳細な説明を省略する。

[0116] 本発明の実施の形態 8 に係る半導体処理装置 10 c では、汎用 IC 動作判定回路 22 を設けることで、汎用 IC 9 の動作状態を判定している。具体的に、汎用 IC 9 が低消費電力状態に遷移した、または停止した等の場合に、状態の変化を示す何らかの信号 (停止信号) を汎用 IC 動作判定回路 22 に対して出力する。汎用 IC 動作判定回路 22 は、汎用 IC 9 から出力した停止信号に基づいて汎用 IC 9 が低消費電力状態に遷移した、または停止した等と判定し、電源モードレジスタ 20 に設定した電源モードをリセットする

リセット信号を、電源モードレジスタ20に出力する。

[0117] 電源モードレジスタ20は、出力ポート回路4bに接続した汎用IC9に電流を供給する電源モードに設定してある場合、設定信号を論理回路A21に出力する。論理回路A21は、出力切替回路6から出力した切替信号および電源モードレジスタ20から出力した設定信号に基づき、NチャネルMOSトランジスタ41bのゲート端子に接続した第2スイッチ素子SW3を演算処理回路1側に接続する。さらに、論理回路A21は、NチャネルMOSトランジスタ41bがオフ状態となるように、論理回路44のNOR回路44bからオフ信号を出力するように制御する。

[0118] 出力ポート回路4bは、第2スイッチ素子SW2が出力アンプ42側に接続してある場合（出力バッファ41と出力アンプ42とが接続してある場合）、出力アンプ42で増幅したアナログ信号を、PチャネルMOSトランジスタ41aのゲート端子に入力する。そして、出力ポート回路4bは、PチャネルMOSトランジスタ41aのオン抵抗を制御する。

[0119] 汎用IC9が動作している場合、出力ポート回路4bは、PチャネルMOSトランジスタ41aのオン抵抗を制御することで、出力バッファ41からアナログ信号を出力して、汎用IC9に電流を供給することができる。なお、出力ポート回路4bから出力されるアナログ信号の電圧は、PチャネルMOSトランジスタ41aのオン抵抗と汎用IC9のオン抵抗とに基づいて電源電圧を分圧した値となる。

[0120] しかし、汎用IC9が低消費電力状態に遷移した、または停止した等の場合、出力ポート回路4bから出力されるアナログ信号の電圧は、PチャネルMOSトランジスタ41aのオン抵抗と汎用IC9のオン抵抗とに基づいて電源電圧を分圧することができず、電圧値が増加することになる。

[0121] そこで、本発明の実施の形態8に係る半導体処理装置10cでは、汎用IC9が低消費電力状態に遷移した、または停止した等の場合、汎用IC動作判定回路22から出力したリセット信号に基づいて、電源モードレジスタ20に設定した電源モードをリセットする。電源モードレジスタ20は、電源

モードをリセットして、基準電圧を供給する電源モードに設定する設定信号を論理回路A 2 1に出力する。論理回路A 2 1は、出力切替回路6から出力した切替信号および電源モードレジスタ2 0から出力した設定信号に基づき、NチャネルMOSトランジスタ4 1 bのゲート端子に接続した第2スイッチ素子SW 3を出力アンプ4 2側に接続する。

[0122] 第2スイッチ素子SW 2, SW 3が出力アンプ4 2側に接続してある場合（出力バッファ4 1と出力アンプ4 2とが接続してある場合）、出力アンプ4 2で増幅したアナログ信号を、PチャネルMOSトランジスタ4 1 aおよびNチャネルMOSトランジスタ4 1 bのゲート端子に入力し、PチャネルMOSトランジスタ4 1 aおよびNチャネルMOSトランジスタ4 1 bのオン抵抗を制御する。

[0123] 汎用IC 9が低消費電力状態に遷移した、または停止した等の場合、出力ポート回路4 bは、PチャネルMOSトランジスタ4 1 aおよびNチャネルMOSトランジスタ4 1 bのオン抵抗を制御することで、出力バッファ4 1からアナログ信号を出力する。そのため、出力ポート回路4 bから出力されるアナログ信号の電圧は、それぞれのMOSトランジスタの閾値電圧を考慮した電圧値となるため、汎用IC 9が低消費電力状態に遷移した、または停止した等による電圧値の増加を抑えることができる。出力ポート回路4 bは、電源からPチャネルMOSトランジスタ4 1 aを介して汎用IC 9に電流I 1は流れないが、電源からPチャネルMOSトランジスタ4 1 aおよびNチャネルMOSトランジスタ4 1 bを介して接地に電流I 2が流れる。これにより、汎用IC 9が低消費電力モードとしてSRAMデータ保持に必要な程度の電圧供給を受けることが必要な場合に、かかる電圧供給を行なうことが可能となる。

[0124] 次に、本発明の実施の形態8に係る半導体処理装置1 0 cの動作について説明する。図1 5は、本発明の実施の形態8に係る半導体処理装置1 0 cの動作を説明するためのフローチャートである。まず、出力制御回路3は、デジタル・アナログ変換回路2から出力したいアナログ信号の電圧を予め設定

しておく。そして、接続制御回路 5 は、第 1 スイッチ素子 SW 1 をオン状態にする（ステップ S 1 5 0 1）。また、出力制御回路 3 は、デジタル・アナログ変換回路 2 で変換したアナログ信号を出力するようにデジタル・アナログ変換回路 2 に指示する。

[0125] 次に、出力切替回路 6 は、出力ポート回路 4 b からアナログ信号を出力する指示が演算処理回路 1 からあったか否かを判断する（ステップ S 1 5 0 2）。出力切替回路 6 は、出力ポート回路 4 b からアナログ信号を出力する指示が演算処理回路 1 からなかったと判断した場合（ステップ S 1 5 0 2 : N O）、出力切替回路 6 は、第 2 スイッチ素子 SW 2, SW 3 を演算処理回路 1 側に接続する（ステップ S 1 5 0 3）。半導体処理装置 1 0 c は、第 2 スイッチ素子 SW 2, SW 3 を演算処理回路 1 側に接続することで、出力ポート回路 4 b からデジタル信号を出力する。

[0126] 出力切替回路 6 が、出力ポート回路 4 b からアナログ信号を出力する指示が演算処理回路 1 からあったと判断した場合（ステップ S 1 5 0 2 : Y E S）、電源モードレジスタ 2 0 は、出力ポート回路 4 b に接続する汎用 I C 9 の電流源として使用するか否かを判断する（ステップ S 1 5 0 4）。電源モードレジスタ 2 0 は、出力ポート回路 4 b に接続する汎用 I C 9 の電流源として使用しないと判断した場合（ステップ S 1 5 0 4 : N O）、設定した電源モードをリセットする（ステップ S 1 5 0 5）。

[0127] 出力切替回路 6 は、第 2 スイッチ素子 SW 2, SW 3 を出力アンプ 4 2 側に接続する（ステップ S 1 5 0 6）。つまり、電源モードレジスタ 2 0 は、出力ポート回路 4 b に接続する汎用 I C 9 に基準電圧を供給する電源として使用すると判断する。

[0128] 第 2 スイッチ素子 SW 2, SW 3 を出力アンプ 4 2 側に接続する（ステップ S 1 5 0 6）ことで、半導体処理装置 1 0 c は、出力ポート回路 4 b の出力バッファ 4 1 からアナログ信号を出力する（ステップ S 1 5 0 7）。

[0129] 次に、出力ポート回路 4 b は、デジタル・アナログ変換回路 2 から出力するアナログ信号の電圧を容量 C A P に保持したか否かを判断する（ステップ

S 1 5 0 8)。出力ポート回路4 bが、デジタル・アナログ変換回路2から出力するアナログ信号の電圧を容量C A Pに保持していないと判断した場合（ステップS 1 5 0 8 : N O）、出力ポート回路4 bは、ステップS 1 5 0 8の処理を繰返す。

[0130] 出力ポート回路4 bが、デジタル・アナログ変換回路2から出力するアナログ信号の電圧を容量C A Pに保持したと判断した場合（ステップS 1 5 0 8 : Y E S）、接続制御回路5は、第1スイッチ素子S W 1をオフ状態にする（ステップS 1 5 0 9）。また、出力制御回路3は、デジタル・アナログ変換回路2が変換したアナログ信号の出力を停止するようにデジタル・アナログ変換回路2に指示する。

[0131] 次に、出力アンプ4 2は、出力バッファ4 1から出力したアナログ信号の電圧と、容量C A Pに保持したアナログ信号の電圧（デジタル・アナログ変換回路2から出力したアナログ信号の電圧）とを比較し、一致したか否かを判断する（ステップS 1 5 1 0）。出力アンプ4 2は、出力バッファ4 1から出力したアナログ信号の電圧と、容量C A Pに保持したアナログ信号の電圧とが一致していないと判断した場合（ステップS 1 5 1 0 : N O）、出力アンプ4 2は、出力バッファ4 1から出力したアナログ信号の電圧と、容量C A Pに保持したアナログ信号の電圧との差分（比較した結果）に基づいて、アナログ信号の増幅率を変更する（ステップS 1 5 1 1）。ステップS 1 5 1 1後、出力アンプ4 2は、ステップS 1 5 1 0の処理に戻り、アナログ信号の増幅率を変更した後の出力バッファ4 1から出力したアナログ信号の電圧と、容量C A Pに保持したアナログ信号の電圧とを比較し、一致するかどうかを再度判断する。

[0132] 出力アンプ4 2が、出力バッファ4 1から出力したアナログ信号の電圧と、容量C A Pに保持したアナログ信号の電圧とが一致したと判断した場合（ステップS 1 5 1 0 : Y E S）、半導体処理装置1 0 cは、フィードバック制御を繰返し（ステップS 1 5 1 0）、所望の電圧のアナログ信号を電流源として出力ポート回路4 bから安定して出力する。

- [0133] 汎用ＩＣ動作判定回路２２は、汎用ＩＣ９が動作しているか否かを判定する（ステップＳ１５１２）。汎用ＩＣ動作判定回路２２は、汎用ＩＣ９が動作していると判定した場合（ステップＳ１５１２：ＹＥＳ）、半導体処理装置１０ｃは、所望の電圧のアナログ信号を電流源として出力ポート回路４ｂから継続して出力する。
- [0134] 汎用ＩＣ動作判定回路２２は、汎用ＩＣ９が低消費電力状態に遷移した、または停止した等と判定した場合（ステップＳ１５１２：ＮＯ）、電源モードレジスタ２０に対してリセット信号を出力して、電源モードレジスタ２０に設定した電源モードをリセットする（ステップＳ１５０５）。その後、出力ポート回路４ｂは、基準電圧を供給する電源モードに設定され、第２スイッチ素子ＳＷ２，ＳＷ３を出力アンプ４２側に接続する。
- [0135] ステップＳ１５０４の処理に戻って、電源モードレジスタ２０が、出力ポート回路４ｂに接続する汎用ＩＣ９の電流源として使用すると判断した場合（ステップＳ１５０４：ＹＥＳ）、半導体処理装置１０ｃは処理Ａに進む。なお、処理Ａは、実施の形態７の図１３で説明した処理と同じであるため、詳細な説明を繰返さない。
- [0136] なお、一つの出力ポート回路４ｂについて、接続した負荷が低消費電力状態に遷移した、または停止した等の場合の処理を説明したが、他の出力ポート回路４ｂについても同様の処理を適用することができる。また、電源モードレジスタ２０が、出力ポート回路４ｂごとにリセット信号を出力するように設定しておくことで、出力ポート回路４ｂのそれぞれに接続した負荷の停止に対応することができる。
- [0137] 以上のように、本発明の実施の形態８に係る半導体処理装置１０ｃは、汎用ＩＣ９が停止した場合、電源モードレジスタ２０に設定した電源モードをリセットする。そのため、出力ポート回路４ｂから出力されるアナログ信号の電圧は、それぞれのＭＯＳトランジスタの閾値電圧を考慮した電圧値となり、汎用ＩＣ９が停止したことによる電圧値の増加を抑えることができる。
- [0138] なお、半導体処理装置１０ｃは、出力ポート回路４ｂごとにＰチャネルＭ

OSトランジスタ41aのオン抵抗を制御して、出力バッファ41からアナログ信号を出力するので、それぞれの出力ポート回路4bの出力バッファ41から異なる電圧のアナログ信号を出力することができる。

[0139] また、半導体処理装置10cは、一つのデジタル・アナログ変換回路2に対して複数の出力ポート回路4bを接続した構成に限定されるものではなく、一つのデジタル・アナログ変換回路2に対して一つの出力ポート回路4bを接続した構成であってもよい。さらに、半導体処理装置10cは、出力アンプ42を備える出力ポート回路4bと、図3に示す出力アンプ48を備える出力ポート回路4bとが混在する構成であってもよい。

[0140] (実施の形態9)

本実施の形態9に係る半導体処理装置では、電流を供給する汎用IC（負荷）が停止した場合に、汎用IC（負荷）に対して電源遮断モードを設定することができる構成について説明する。図16は、本発明の実施の形態9に係る半導体処理装置の構成を示す概略図である。

[0141] 図16に示す半導体処理装置10dは、演算処理回路1、デジタル・アナログ変換回路2、出力制御回路3、複数の出力ポート回路4d、接続制御回路5、出力切替回路6、電源モードレジスタ20、および汎用IC動作判定回路22を備えている。なお、半導体処理装置10dは、出力ポート回路4dの構成以外、本発明の実施の形態8に係る半導体処理装置10cと同じ構成である。そのため、同じ構成要素については、同じ符号を付して詳細な説明を省略する。

[0142] 本発明の実施の形態9に係る半導体処理装置10dでも、汎用IC動作判定回路22を設け、汎用IC9の動作状態を判定している。しかし、出力ポート回路4dは、第2スイッチ素子SW2が論理回路B23に、第2スイッチ素子SW3が論理回路A21にそれぞれ接続されている点が、図14に示す出力ポート回路4bと異なる。そのため、電源モードレジスタ20は、汎用IC動作判定回路22から出力したリセット信号に基づいて論理回路B23および論理回路A21に設定信号を出力する。論理回路B23および論理

回路 A 2 1 は、当該設定信号に基づいて第 2 スイッチ素子 SW 2, SW 3 を演算処理回路 1 側に接続するか、出力アンプ 4 2 側に接続するかを切替える。

[0143] 具体的に、電源モードレジスタ 2 0 が、出力ポート回路 4 d に接続した汎用 IC 9 に電流を供給する電源モードに設定してあり、汎用 IC 9 が動作している場合について説明する。論理回路 B 2 3 は、出力切替回路 6 から出力した切替信号および電源モードレジスタ 2 0 から出力した設定信号に基づき、PチャネルMOSトランジスタ 4 1 a のゲート端子に接続した第 2 スイッチ素子 SW 2 を出力アンプ 4 2 側に接続する。

[0144] 論理回路 A 2 1 は、出力切替回路 6 から出力した切替信号および電源モードレジスタ 2 0 から出力した設定信号に基づき、NチャネルMOSトランジスタ 4 1 b のゲート端子に接続した第 2 スイッチ素子 SW 3 を演算処理回路 1 側に接続する。さらに、論理回路 A 2 1 は、NチャネルMOSトランジスタ 4 1 b がオフ状態となるように、論理回路 4 4 の NOR 回路 4 4 b からオフ信号を出力するように制御する。

[0145] 出力ポート回路 4 d は、第 2 スイッチ素子 SW 2 が出力アンプ 4 2 側に接続してある場合（出力バッファ 4 1 と出力アンプ 4 2 とが接続してある場合）、出力アンプ 4 2 で増幅したアナログ信号を、PチャネルMOSトランジスタ 4 1 a のゲート端子に入力する。そして、出力ポート回路 4 d は、PチャネルMOSトランジスタ 4 1 a のオン抵抗を制御する。

[0146] 出力ポート回路 4 d は、PチャネルMOSトランジスタ 4 1 a のオン抵抗を制御することで、出力バッファ 4 1 からアナログ信号を出力して、汎用 IC 9 に電流を供給することができる。なお、出力ポート回路 4 d から出力されるアナログ信号の電圧は、PチャネルMOSトランジスタ 4 1 a のオン抵抗と汎用 IC 9 のオン抵抗とに基づいて電源電圧を分圧した値となる。

[0147] しかし、汎用 IC 9 が停止した場合、出力ポート回路 4 d から出力されるアナログ信号の電圧は、PチャネルMOSトランジスタ 4 1 a のオン抵抗と汎用 IC 9 のオン抵抗とに基づいて電源電圧を分圧することができず、電圧

値が増加することになる。

- [0148] そこで、本発明の実施の形態 9 に係る半導体処理装置 10 d では、汎用 IC 9 が停止した場合、汎用 IC 動作判定回路 22 から出力したリセット信号に基づいて、電源モードレジスタ 20 に設定した電源モードをリセットして、電源遮断モードに設定する設定信号を論理回路 B 23 および論理回路 A 21 に出力する。
- [0149] 論理回路 B 23 は、出力切替回路 6 から出力した切替信号および電源モードレジスタ 20 から出力した設定信号に基づき、PチャネルMOSトランジスタ 41 a のゲート端子に接続した第 2 スイッチ素子 SW2 を演算処理回路 1 側に接続する。さらに、論理回路 B 23 は、PチャネルMOSトランジスタ 41 a がオフ状態となるように、論理回路 44 の NAND 回路 44 a からオフ信号を出力するように制御する。
- [0150] 論理回路 A 21 は、出力切替回路 6 から出力した切替信号および電源モードレジスタ 20 から出力した設定信号に基づき、NチャネルMOSトランジスタ 41 b のゲート端子に接続した第 2 スイッチ素子 SW3 を演算処理回路 1 側に接続する。さらに、論理回路 A 21 は、NチャネルMOSトランジスタ 41 b がオン状態となるように、論理回路 44 の NOR 回路 44 b からオン信号を出力するように制御する。
- [0151] PチャネルMOSトランジスタ 41 a がオフ状態、NチャネルMOSトランジスタ 41 b がオン状態となることで、出力バッファ 41 から出力するアナログ信号の電圧値を 0 V とすることができ、汎用 IC 9 に対する電源遮断の状態を実現することができる。なお、出力ポート回路 4 d は、汎用 IC 9 から NチャネルMOSトランジスタ 41 b を介して接地電位に電流 I3 が流れる。
- [0152] 次に、本発明の実施の形態 9 に係る半導体処理装置 10 d の動作について説明する。図 17 は、本発明の実施の形態 9 に係る半導体処理装置 10 d の動作を説明するためのフローチャートである。まず、出力制御回路 3 は、デジタル・アナログ変換回路 2 から出力したいアナログ信号の電圧を予め設定

しておく。そして、接続制御回路 5 は、第 1 スイッチ素子 SW 1 をオン状態にする（ステップ S 1 7 0 1）。また、出力制御回路 3 は、デジタル・アナログ変換回路 2 で変換したアナログ信号を出力するようにデジタル・アナログ変換回路 2 に指示する。

[0153] 次に、出力切替回路 6 は、出力ポート回路 4 d からアナログ信号を出力する指示が演算処理回路 1 からあったか否かを判断する（ステップ S 1 7 0 2）。出力切替回路 6 は、出力ポート回路 4 d からアナログ信号を出力する指示が演算処理回路 1 からなかったと判断した場合（ステップ S 1 7 0 2 : N O）、出力切替回路 6 は、第 2 スイッチ素子 SW 2, SW 3 を演算処理回路 1 側に接続する（ステップ S 1 7 0 3）。半導体処理装置 1 0 d は、第 2 スイッチ素子 SW 2, SW 3 を演算処理回路 1 側に接続することで、出力ポート回路 4 b からデジタル信号を出力する。

[0154] 出力切替回路 6 が、出力ポート回路 4 d からアナログ信号を出力する指示が演算処理回路 1 からあったと判断した場合（ステップ S 1 7 0 2 : Y E S）、電源モードレジスタ 2 0 は、出力ポート回路 4 d に接続する汎用 I C 9 の電流源として使用するか否かを判断する（ステップ S 1 7 0 4）。電源モードレジスタ 2 0 は、出力ポート回路 4 d に接続する汎用 I C 9 の電流源として使用しないと判断した場合（ステップ S 1 7 0 4 : N O）、設定した電源モードをリセットする（ステップ S 1 7 0 5）。

[0155] 出力切替回路 6 は、第 2 スイッチ素子 SW 2, SW 3 を出力アンプ 4 2 側に接続する（ステップ S 1 7 0 6）。つまり、電源モードレジスタ 2 0 は、出力ポート回路 4 d に接続する汎用 I C 9 に基準電圧を供給する電源として使用すると判断する。

[0156] 第 2 スイッチ素子 SW 2, SW 3 を出力アンプ 4 2 側に接続する（ステップ S 1 7 0 6）ことで、半導体処理装置 1 0 d は、出力ポート回路 4 d の出力バッファ 4 1 からアナログ信号を出力する（ステップ S 1 7 0 7）。

[0157] 次に、出力ポート回路 4 d は、デジタル・アナログ変換回路 2 から出力するアナログ信号の電圧を容量 C A P に保持したか否かを判断する（ステップ

S 1 7 0 8)。出力ポート回路4 dが、デジタル・アナログ変換回路2から出力するアナログ信号の電圧を容量C A Pに保持していないと判断した場合（ステップS 1 7 0 8 : N O）、出力ポート回路4 dは、ステップS 1 7 0 8の処理を繰返す。

[0158] 出力ポート回路4 dが、デジタル・アナログ変換回路2から出力するアナログ信号の電圧を容量C A Pに保持したと判断した場合（ステップS 1 7 0 8 : Y E S）、接続制御回路5は、第1スイッチ素子S W 1をオフ状態にする（ステップS 1 7 0 9）。また、出力制御回路3は、デジタル・アナログ変換回路2が変換したアナログ信号の出力を停止するようにデジタル・アナログ変換回路2に指示する。

[0159] 次に、出力アンプ4 2は、出力バッファ4 1から出力したアナログ信号の電圧と、容量C A Pに保持したアナログ信号の電圧（デジタル・アナログ変換回路2から出力したアナログ信号の電圧）とを比較し、一致したか否かを判断する（ステップS 1 7 1 0）。出力アンプ4 2は、出力バッファ4 1から出力したアナログ信号の電圧と、容量C A Pに保持したアナログ信号の電圧とが一致していないと判断した場合（ステップS 1 7 1 0 : N O）、出力アンプ4 2は、出力バッファ4 1から出力したアナログ信号の電圧と、容量C A Pに保持したアナログ信号の電圧との差分（比較した結果）に基づいて、アナログ信号の増幅率を変更する（ステップS 1 7 1 1）。ステップS 1 7 1 1後、出力アンプ4 2は、ステップS 1 7 1 0の処理に戻り、アナログ信号の増幅率を変更した後の出力バッファ4 1から出力したアナログ信号の電圧と、容量C A Pに保持したアナログ信号の電圧とを比較し、一致するか否かを再度判断する。

[0160] 出力アンプ4 2が、出力バッファ4 1から出力したアナログ信号の電圧と、容量C A Pに保持したアナログ信号の電圧とが一致したと判断した場合（ステップS 1 7 1 0 : Y E S）、半導体処理装置1 0 dは、フィードバック制御を繰返し（ステップS 1 7 1 0）、所望の電圧のアナログ信号を電流源として出力ポート回路4 dから安定して出力する。

- [0161] 汎用ＩＣ動作判定回路２２は、汎用ＩＣ９が動作しているか否かを判定する（ステップＳ１７１２）。汎用ＩＣ動作判定回路２２は、汎用ＩＣ９が動作していると判定した場合（ステップＳ１７１２：ＹＥＳ）、半導体処理装置１０ｄは、所望の電圧のアナログ信号を電流源として出力ポート回路４ｄから継続して出力する。
- [0162] 汎用ＩＣ動作判定回路２２は、汎用ＩＣ９が動作していない（停止した）と判定した場合（ステップＳ１７１２：ＮＯ）、半導体処理装置１０ｄは処理Ｃに進む。
- [0163] 図１８は、本発明の実施の形態９に係る半導体処理装置１０ｄの処理Ｃの動作を説明するためのフローチャートである。まず、汎用ＩＣ動作判定回路２２において、汎用ＩＣ９が動作していない（停止した）と判定した場合（ステップＳ１７１２：ＮＯ）、電源モードレジスタ２０は、設定した電源モードをリセットする（ステップＳ１８０１）。
- [0164] 次に、論理回路Ｂ２３および論理回路Ａ２１は、出力切替回路６から出力した切替信号および電源モードレジスタ２０から出力した設定信号に基づき、第２スイッチ素子ＳＷ２、ＳＷ３を演算処理回路１側に接続する（ステップＳ１８０２）。
- [0165] さらに、論理回路Ｂ２３および論理回路Ａ２１は、論理回路４４を介して、ＰチャネルＭＯＳトランジスタ４１ａがオフ状態、ＮチャネルＭＯＳトランジスタ４１ｂがオン状態となるように制御する（ステップＳ１８０３）。
- [0166] ステップＳ１７０４の処理に戻って、電源モードレジスタ２０が、出力ポート回路４ｄに接続する汎用ＩＣ９の電流源として使用すると判断した場合（ステップＳ１７０４：ＹＥＳ）、半導体処理装置１０ｄは処理Ａに進む。なお、処理Ａは、実施の形態７の図１３で説明した処理と同じであるため、詳細な説明を繰返さない。
- [0167] なお、一つの出力ポート回路４ｄについて、接続した負荷が停止した場合の処理を説明したが、他の出力ポート回路４ｄについても同様の処理を適用することができる。また、電源モードレジスタ２０が、出力ポート回路４ｄ

ごとにリセット信号を出力するように設定しておくことで、出力ポート回路 4 d のそれぞれに接続した負荷の停止に対応することができる。

[0168] 以上のように、本発明の実施の形態 9 に係る半導体処理装置 10 d は、汎用 IC 9 が停止した場合、電源遮断モードに設定することができるので、出力ポート回路 4 d から汎用 IC 9 へのリーク電流をカットすることができ、装置全体で消費される電流を低減することができる。

[0169] なお、半導体処理装置 10 d は、一つのデジタル・アナログ変換回路 2 に対して複数の出力ポート回路 4 d を接続した構成に限定されるものではなく、一つのデジタル・アナログ変換回路 2 に対して一つの出力ポート回路 4 d を接続した構成であってもよい。さらに、半導体処理装置 10 d は、出力アンプ 4 2 を備える出力ポート回路 4 d と、図 3 に示す出力アンプ 4 8 を備える出力ポート回路 4 d とが混在する構成であってもよい。

[0170] 今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は、上記した説明ではなく、請求の範囲によって示され、請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

符号の説明

[0171] 1 演算処理回路、2 デジタル・アナログ変換回路、3 出力制御回路、4, 4 a, 4 b, 4 d 出力ポート回路、5, 5 0 接続制御回路、6 出力制御回路、7 シリアル入出力ポート、8 周辺機能回路、9 汎用 IC、10, 10 a, 10 b, 10 c, 10 d, 11, 12, 13 半導体処理装置、20 電源モードレジスタ、21 論理回路 A、22 汎用 IC 動作判定回路、23 論理回路 B、31, 49, 52 レジスタ、41 出力バッファ、42, 48 出力アンプ、43 出力ポート、44 論理回路、45 保護用ダイオード、51 カウンタ、60 メモリ回路、61, 71 汎用 IC、70 外部接続回路、80 通信回路、90 センサ回路、91 センサ素子、100

請求の範囲

[請求項1]

演算処理回路と、

前記演算処理回路から出力したデジタル信号をアナログ信号に変換するデジタル・アナログ変換回路と、

前記デジタル・アナログ変換回路で変換したアナログ信号の出力を制御する出力制御回路と、

前記演算処理回路から出力したデジタル信号、または前記デジタル・アナログ変換回路から出力したアナログ信号を外部へ出力する少なくとも一つの出力ポート回路と、

前記デジタル・アナログ変換回路と前記出力ポート回路との接続を制御する接続制御回路と、

前記出力ポート回路から外部にデジタル信号を出力するか、アナログ信号を出力するかを切替える出力切替回路と

を備え、

前記出力ポート回路は、

トランジスタ回路を有し、該トランジスタ回路のオン状態とオフ状態とを切替えることでデジタル信号を出力する出力バッファと、

前記デジタル・アナログ変換回路から出力したアナログ信号を増幅する出力アンプと、

前記デジタル・アナログ変換回路と前記出力アンプとの間に設け、前記接続制御回路から出力した制御信号に基づき、前記デジタル・アナログ変換回路と前記出力アンプとの接続と、切断とを切替える第1スイッチ素子と、

前記トランジスタ回路のゲート端子に接続され、前記出力切替回路から出力した切替信号に基づき、前記演算処理回路側に接続するか、前記出力アンプ側に接続するかを切替える第2スイッチ素子と

を備え、

前記出力ポート回路は、前記第2スイッチ素子を前記出力アンプ側

に接続した場合、前記出力アンプで増幅した信号に基づいて前記トランジスタ回路のオン抵抗を制御して、前記出力バッファからアナログ信号を出力する、半導体処理装置。

[請求項2] 前記出力アンプは、前記出力バッファから出力したアナログ信号の電圧と、前記デジタル・アナログ変換回路から出力したアナログ信号の電圧とを比較した結果に基づいて、アナログ信号の増幅率を変更する、請求項1に記載の半導体処理装置。

[請求項3] 前記出力ポート回路は、前記第1スイッチ素子で前記デジタル・アナログ変換回路と前記出力アンプとを接続したときに、前記デジタル・アナログ変換回路から出力したアナログ信号の電圧を保持する容量を備える、請求項1に記載の半導体処理装置。

[請求項4] 前記出力バッファの前記トランジスタ回路は、PチャネルMOSトランジスタと、NチャネルMOSトランジスタとを直列接続したCMOS回路で構成してある、請求項1に記載の半導体処理装置。

[請求項5] 前記出力アンプは、前記出力バッファの前記PチャネルMOSトランジスタと、前記出力バッファの前記NチャネルMOSトランジスタとに対して異なるアナログ信号を出力する、請求項4に記載の半導体処理装置。

[請求項6] 前記接続制御回路は、複数の前記出力ポート回路のそれぞれに対応して設定されたポート番号を順次選択するカウンタを備え、

前記出力制御回路は、前記カウンタで選択したポート番号に対応して前記デジタル・アナログ変換回路で変換するアナログ信号の電圧を予め設定し、

前記接続制御回路は、前記カウンタで選択したポート番号に対応した前記出力ポート回路の前記第1スイッチ素子をオン状態にする、請求項1に記載の半導体処理装置。

[請求項7] 請求項1に記載の半導体処理装置と、

前記半導体処理装置の前記出力ポート回路に接続し、前記出力ポー

ト回路から出力したアナログ信号で駆動する少なくとも一つの回路とを備える半導体処理システム。

[請求項8] 前記出力バッファの前記トランジスタ回路は、電源と接地との間に、PチャネルMOSトランジスタと、NチャネルMOSトランジスタとを直列接続したCMOS回路で構成しており、

前記PチャネルMOSトランジスタのゲート端子にのみ、前記第2スイッチ素子を接続して、

前記出力ポート回路から外部にアナログ信号を出力し、当該アナログ信号で前記出力ポート回路に接続した負荷に電流を供給する場合、

前記NチャネルMOSトランジスタをオフ状態にして、

前記PチャネルMOSトランジスタを前記出力アンプで増幅した信号に基づいてオン抵抗を制御する、請求項1に記載の半導体処理装置。

[請求項9] 前記出力バッファの前記トランジスタ回路は、電源と接地との間に、PチャネルMOSトランジスタと、NチャネルMOSトランジスタとを直列接続したCMOS回路で構成しており、

前記PチャネルMOSトランジスタおよび前記NチャネルMOSトランジスタのゲート端子に、前記第2スイッチ素子をそれぞれ接続して、

前記出力ポート回路から外部にアナログ信号を出力し、当該アナログ信号で前記出力ポート回路に接続した負荷に電流を供給する場合、

前記NチャネルMOSトランジスタをオフ状態にして、

前記PチャネルMOSトランジスタを前記出力アンプで増幅した信号に基づいてオン抵抗を制御する、請求項1に記載の半導体処理装置。

[請求項10] 前記出力ポート回路に接続した前記負荷に電流を供給する電源モードに、前記出力ポート回路を設定するための設定信号を、前記出力ポート回路に出力する電源モードレジスタをさらに備え、

前記出力ポート回路は、前記出力切替回路から出力した前記切替信号および前記電源モードレジスタから出力した前記設定信号に基づき、前記NチャネルMOSトランジスタのゲート端子に接続した前記第2スイッチ素子を前記演算処理回路側に接続して、前記NチャネルMOSトランジスタをオフ状態に制御する第1論理回路をさらに備える、請求項9に記載の半導体処理装置。

[請求項11] 前記負荷から出力した信号に基づき、前記負荷の動作を判定する負荷判定回路をさらに備え、

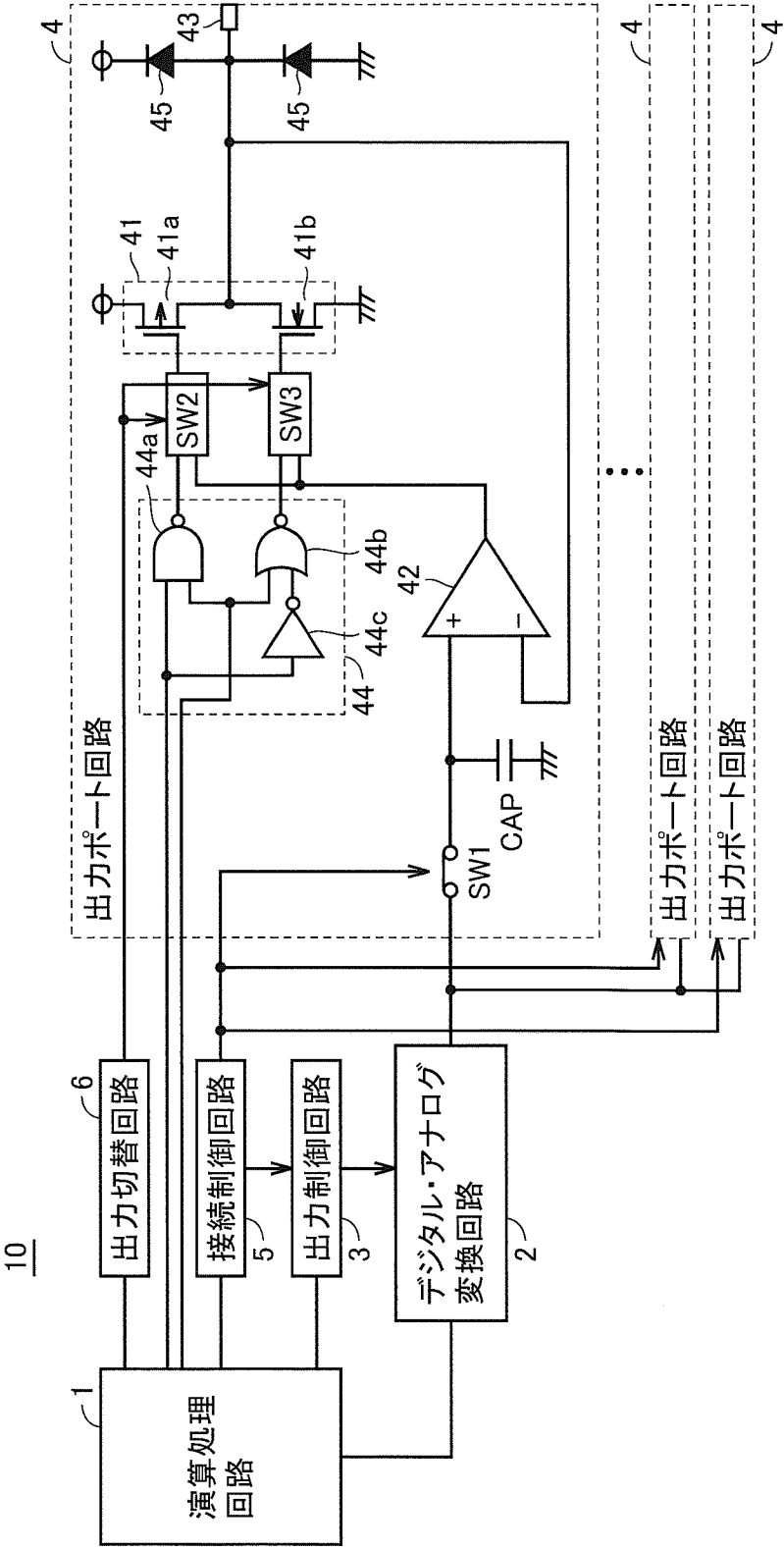
前記負荷判定回路は、前記負荷の動作が停止している判定した場合、前記電源モードレジスタに設定した電源モードをリセットするリセット信号を、前記電源モードレジスタに出力する、請求項10に記載の半導体処理装置。

[請求項12] 前記負荷から出力した信号に基づき、前記負荷の動作を判定する負荷判定回路をさらに備え、

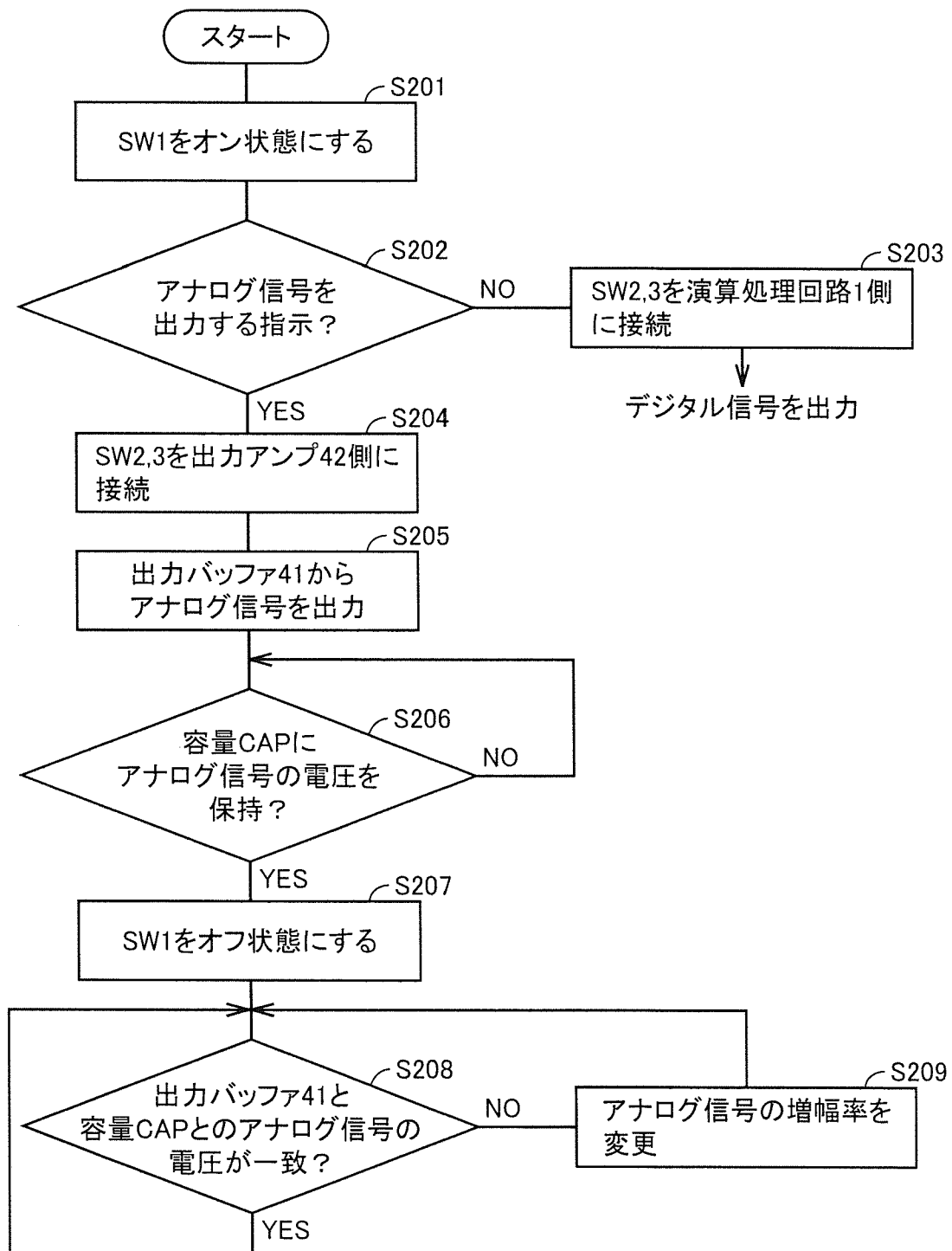
前記負荷判定回路は、前記負荷の動作が停止している判定した場合、リセット信号を前記電源モードレジスタに出力して、前記電源モードレジスタを電源遮断モードに設定し、

前記出力ポート回路は、前記出力切替回路から出力した前記切替信号および前記電源モードレジスタから出力した前記設定信号に基づき、前記PチャネルMOSトランジスタのゲート端子に接続した前記第2スイッチ素子を前記演算処理回路側に接続して、前記PチャネルMOSトランジスタをオフ状態にする第2論理回路をさらに備える、請求項10に記載の半導体処理装置。

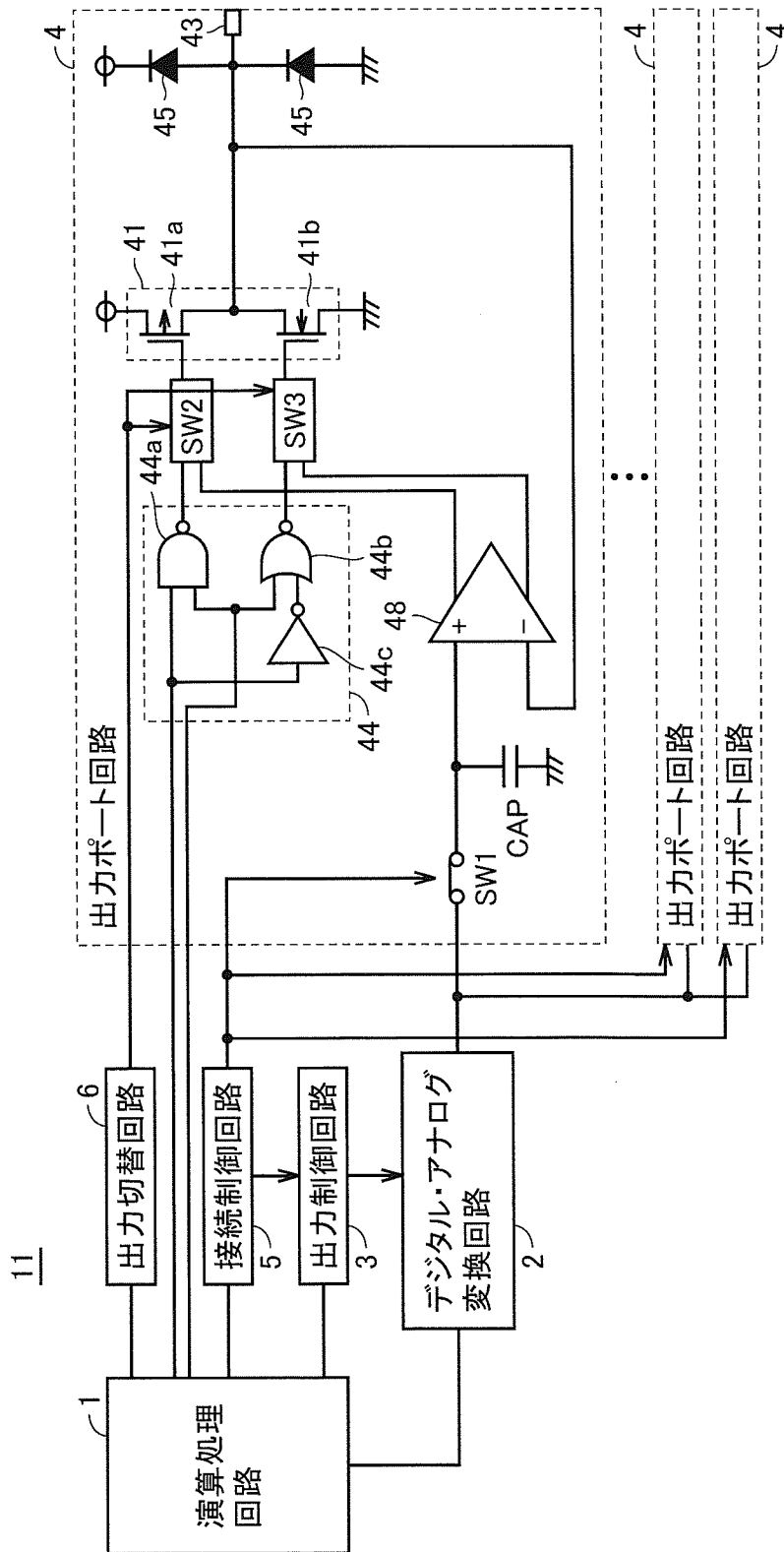
[図1]



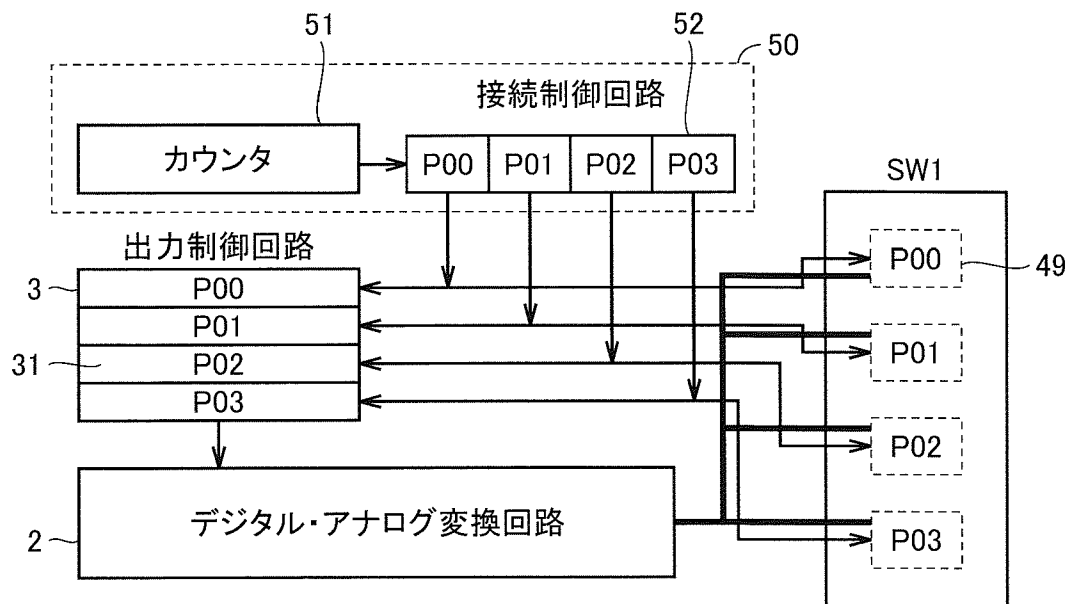
[図2]



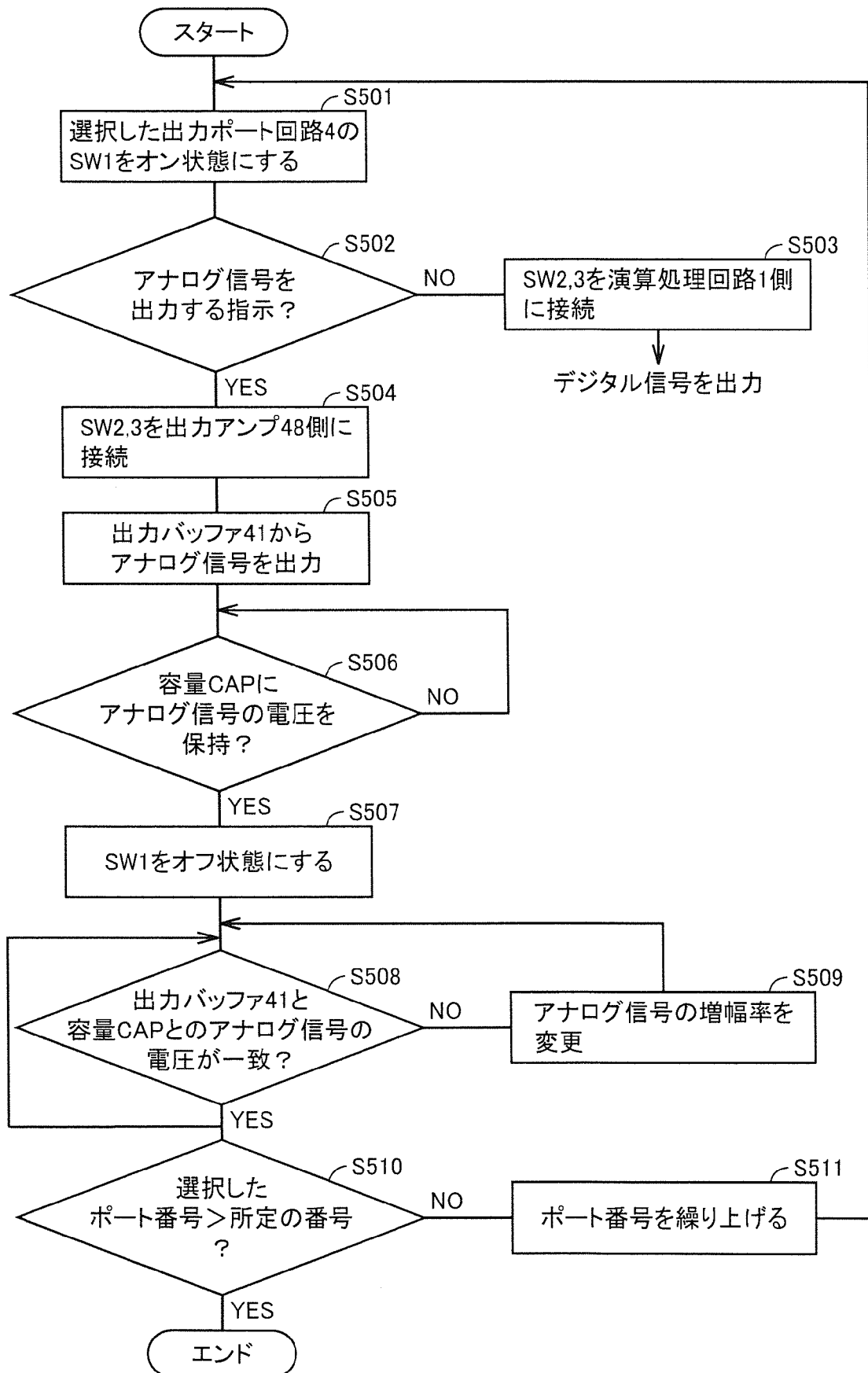
[図3]



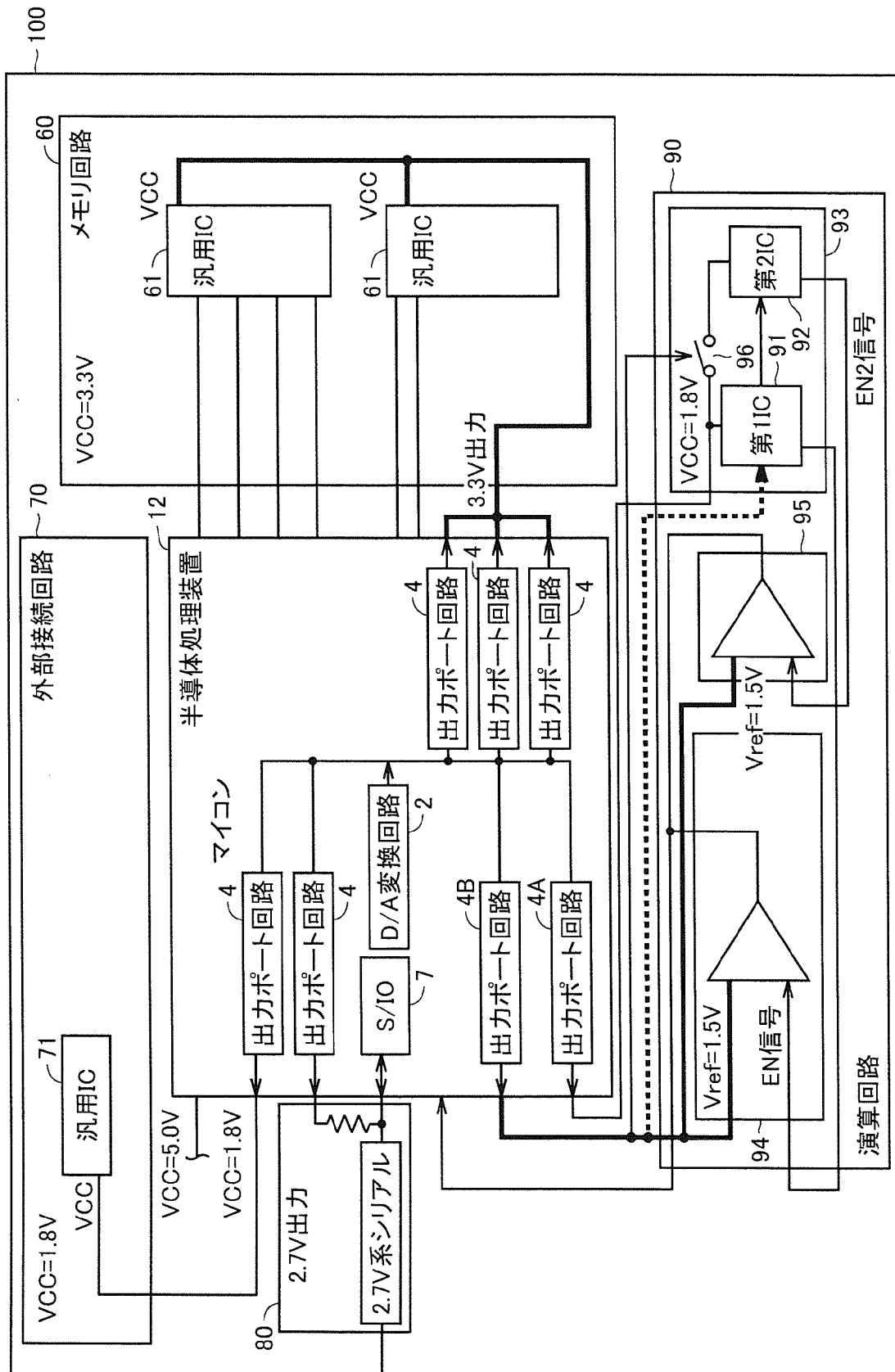
[図4]



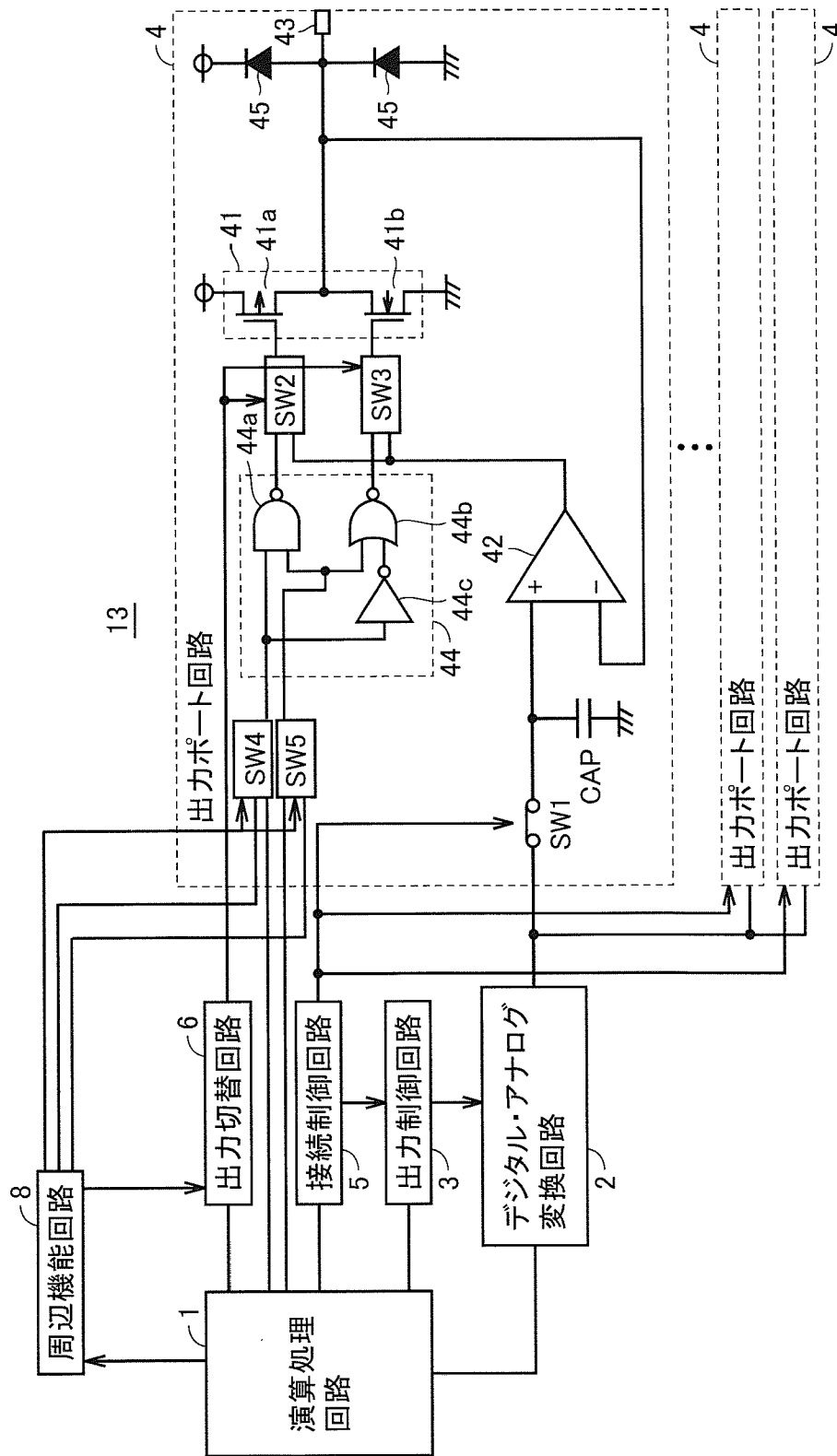
[図5]



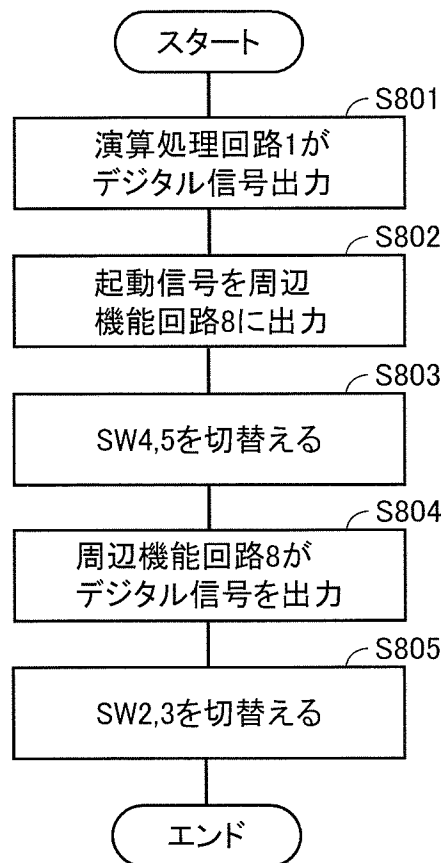
[図6]



[図7]



[図8]



10a

演算処理回路 1

デジタル・アナログ変換回路 2

出力制御回路 3

出力制御回路 5

出力切替回路 6

出力ポート回路 4a

出力ポート回路 4a

出力ポート回路 4a

SW1

CAP

SW2

41a

41b

44a

44b

44c

42

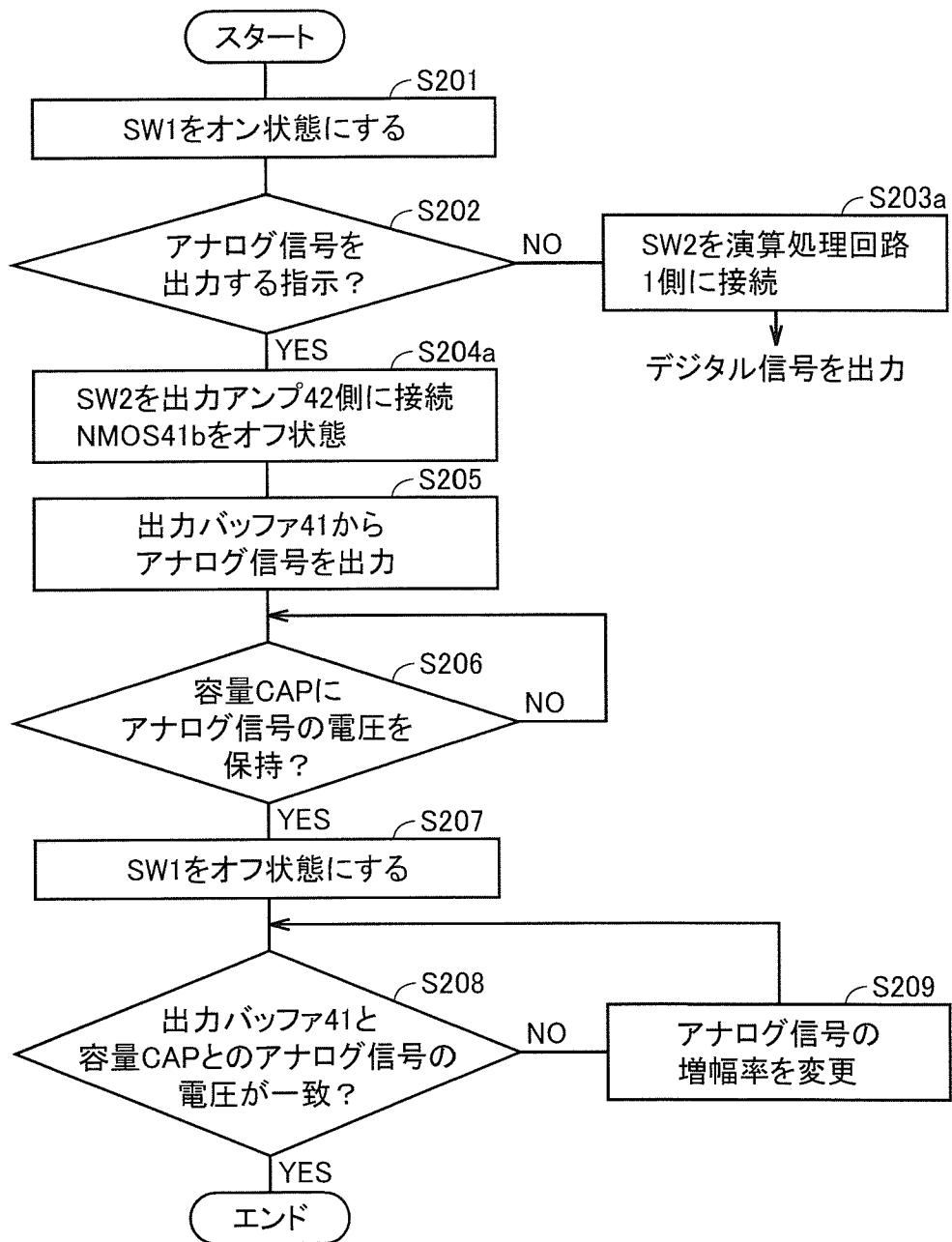
45

45

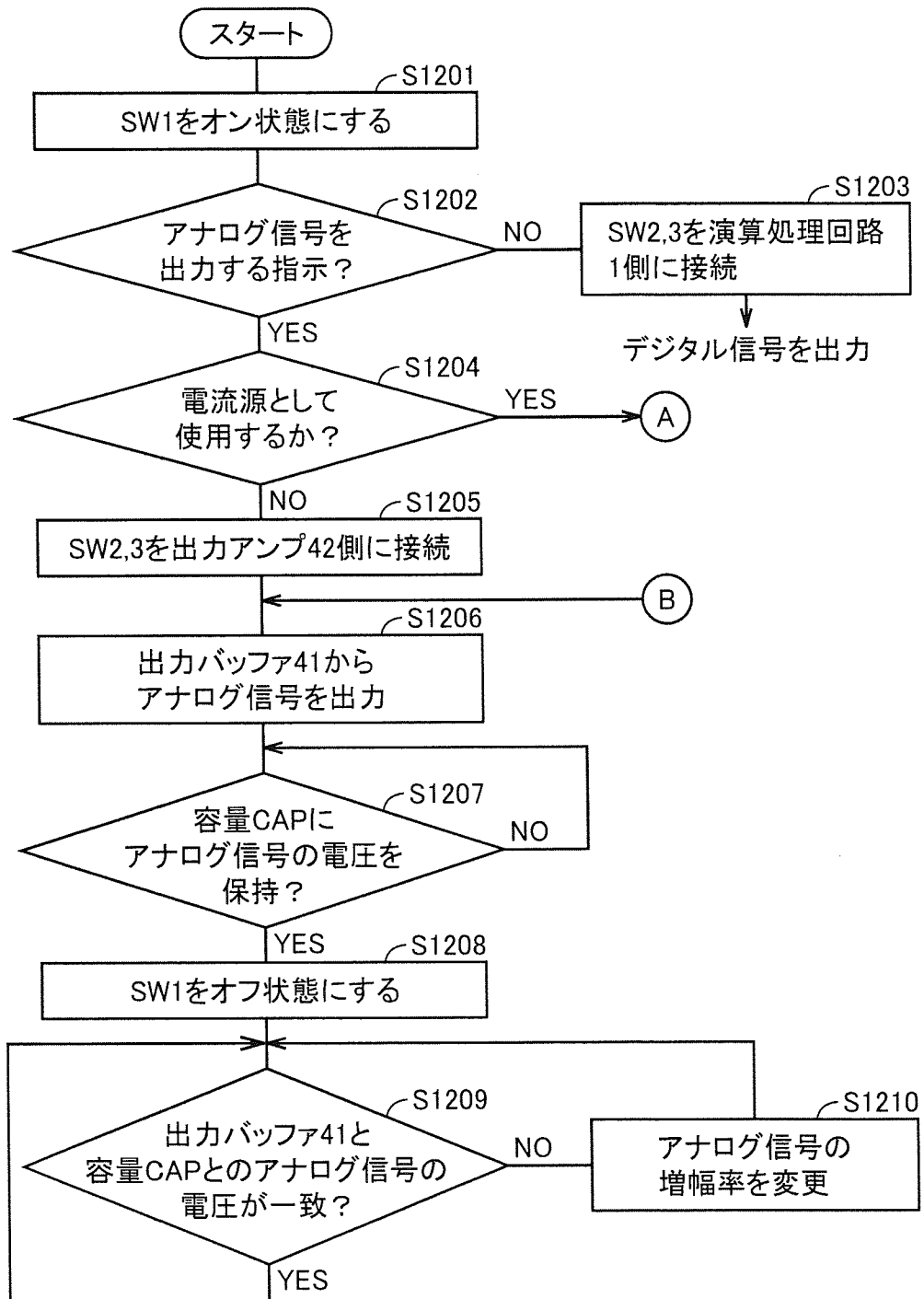
9

汎用IC

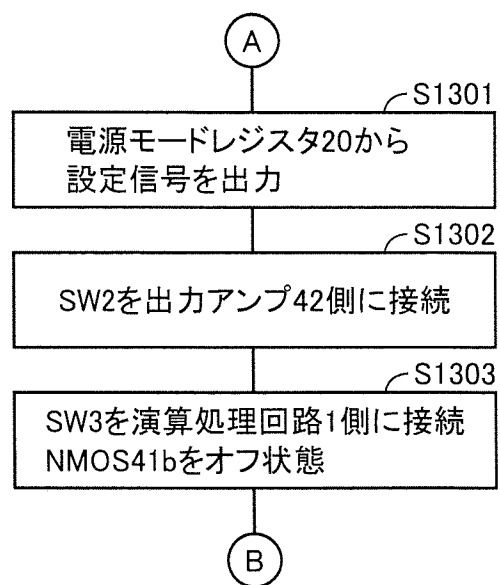
[図10]



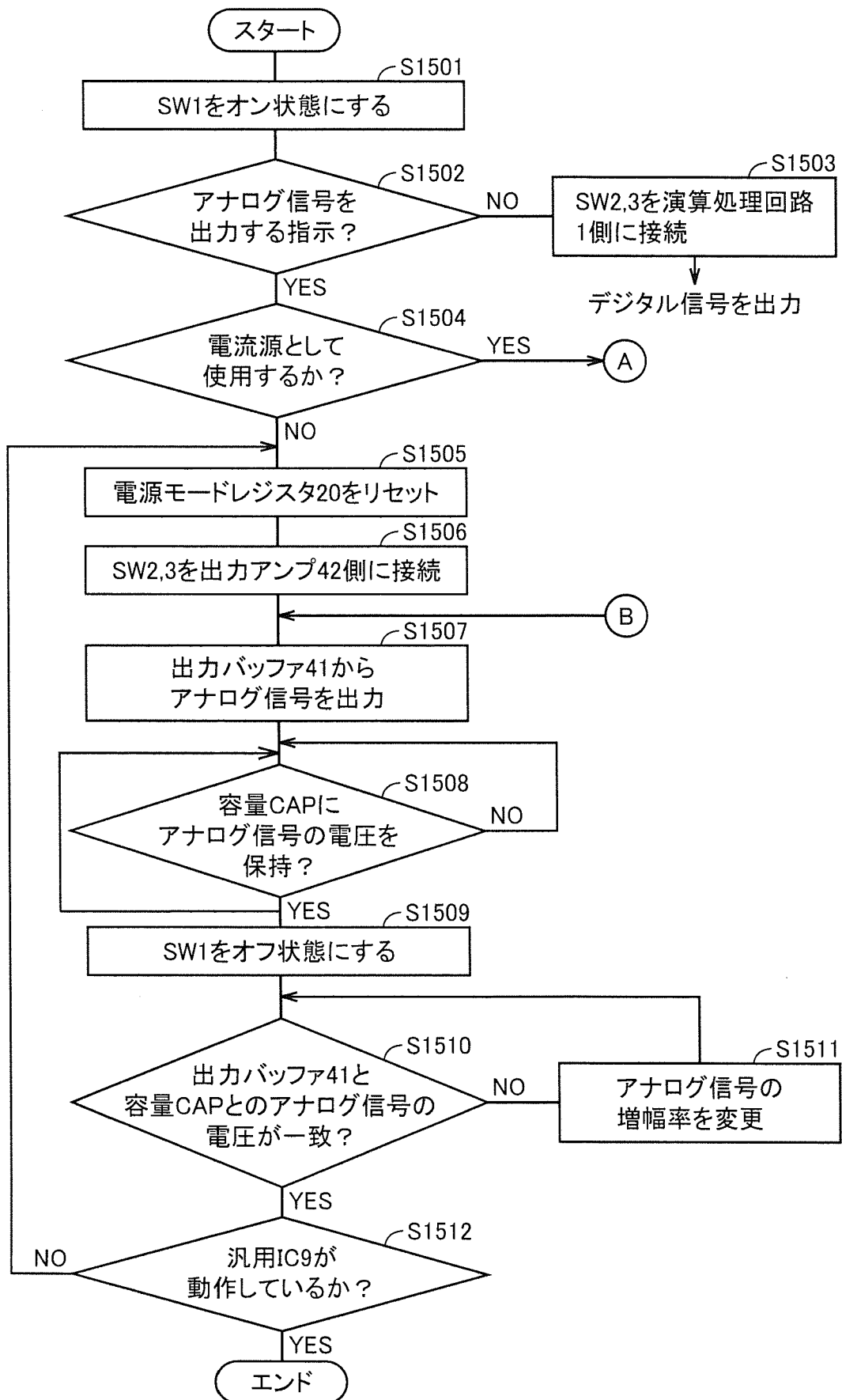
[図12]



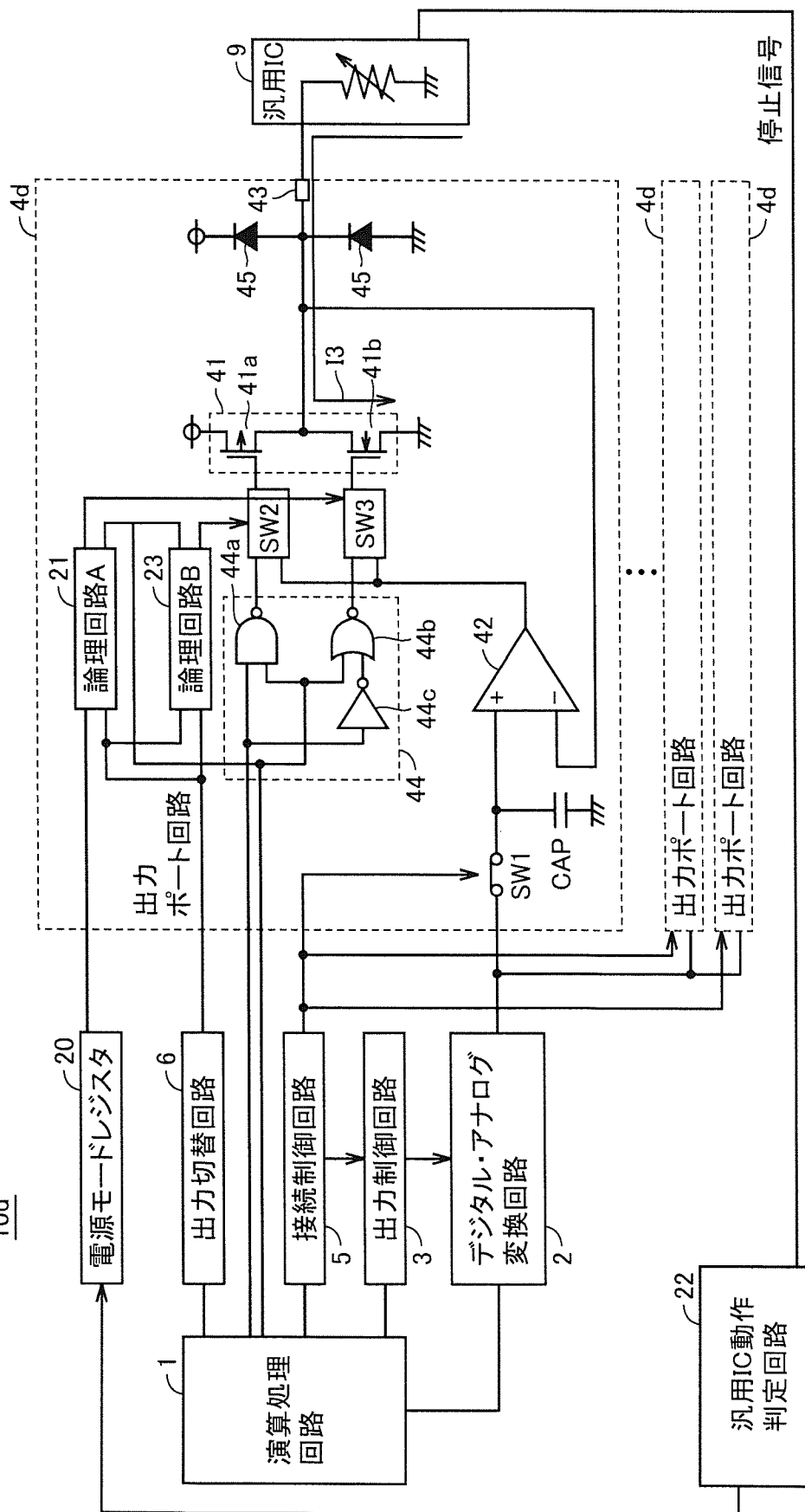
[図13]



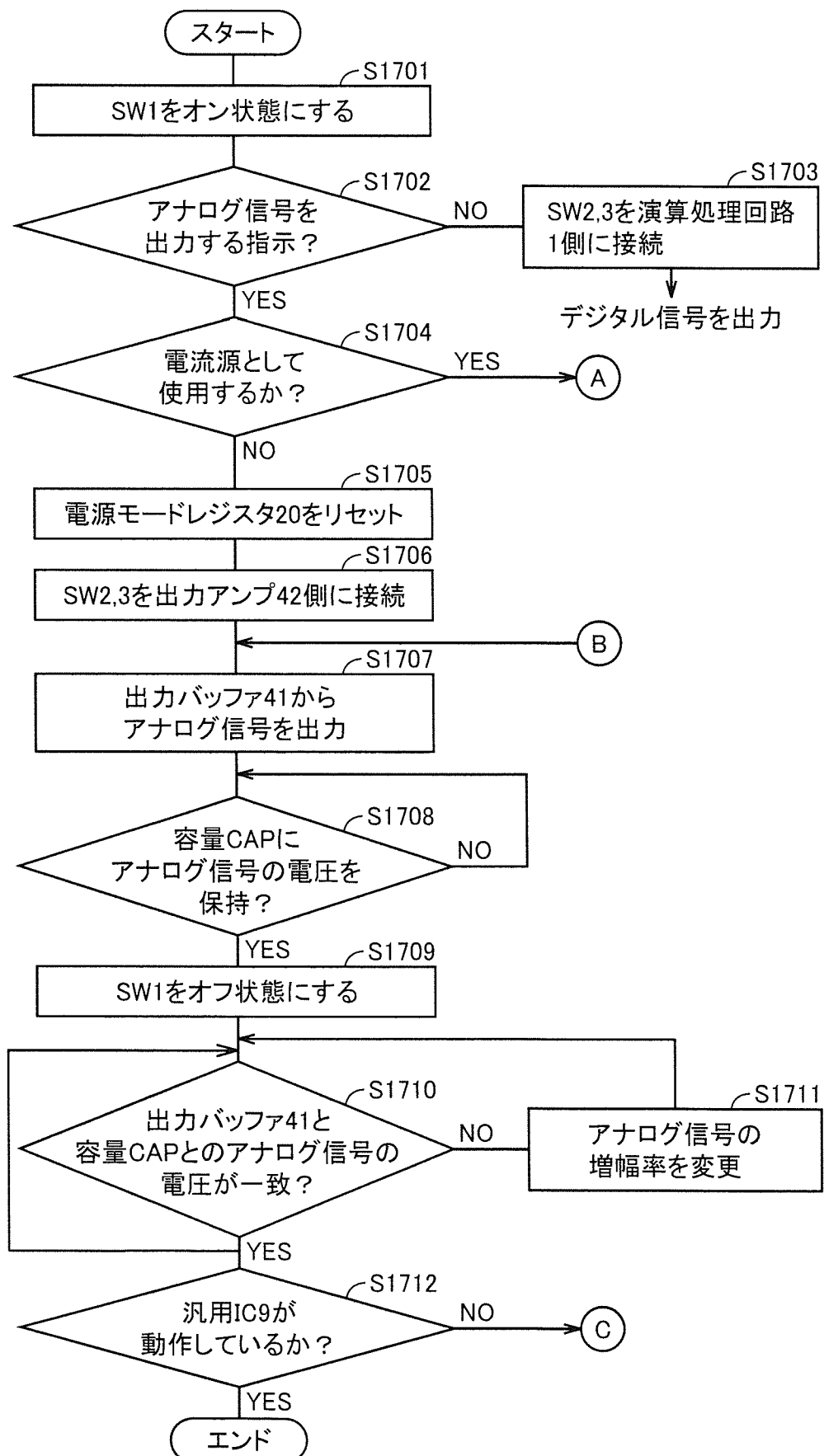
[図15]



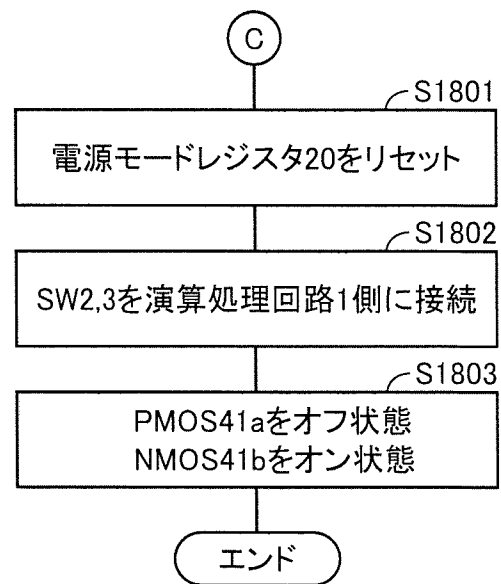
10d



[図17]



[図18]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/058110

A. CLASSIFICATION OF SUBJECT MATTER

H03M1/66(2006.01) i, H01L21/822(2006.01) i, H01L27/04(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03M1/66, H01L21/822, H01L27/04

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2012
Kokai Jitsuyo Shinan Koho	1971-2012	Toroku Jitsuyo Shinan Koho	1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2010-45553 A (Yokogawa Electric Corp.), 25 February 2010 (25.02.2010), paragraphs [0022] to [0043]; fig. 1, 2 (Family: none)	1-12
A	JP 10-79659 A (Fujitsu Ltd.), 24 March 1998 (24.03.1998), front page; fig. 1, 3 (Family: none)	1-12

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
26 April, 2012 (26.04.12)

Date of mailing of the international search report
15 May, 2012 (15.05.12)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H03M1/66(2006.01)i, H01L21/822(2006.01)i, H01L27/04(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H03M1/66, H01L21/822, H01L27/04

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 2 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 2 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 2 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2010-45553 A (横河電機株式会社) 2010.02.25, 段落 22-43, 第 1, 2 図 (ファミリーなし)	1-12
A	JP 10-79659 A (富士通株式会社) 1998.03.24, フロントページ, 第 1, 3 図 (ファミリーなし)	1-12

C 欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

2 6 . 0 4 . 2 0 1 2

国際調査報告の発送日

1 5 . 0 5 . 2 0 1 2

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)
郵便番号 1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官 (権限のある職員)

柳下 勝幸

5 X

9 5 6 1

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 9 6