(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2022-0030524
(43) 공개일자 2022년03월11일

(51) 국제특허분류(Int. Cl.)
H01L 27/1159 (2017.01) *H01L 27/11592* (2017.01)
H01L 29/51 (2006.01) *H01L 29/66* (2006.01)
H01L 29/78 (2006.01)
(52) CPC특허분류
H01L 27/1159 (2013.01)
H01L 27/11592 (2013.01)
(21) 출원번호 10-2020-0111998
(22) 출원일자 2020년09월03일
심사청구일자 2020년09월03일

(71) 출원인
한양대학교 산학협력단
서울특별시 성동구 왕십리로 222(행당동, 한양대학교내)
울산과학기술원
울산광역시 울주군 언양읍 유니스트길 50
(72) 발명자
송윤흡
서울특별시 성동구 왕십리로 222(행당동, 한양대학교내)
정홍식
울산광역시 울주군 언양읍 유니스트길 50 102동 401-1호
(74) 대리인
양성보

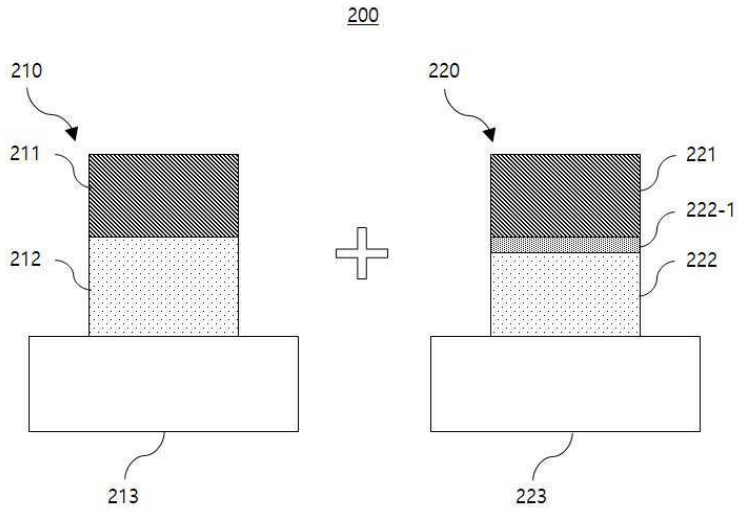
전체 청구항 수 : 총 12 항

(54) 발명의 명칭 **강유전체 기반의 임베디드 시스템**

(57) 요 약

강유전체 기반의 임베디드 시스템이 개시된다. 일 실시예에 따르면, 임베디드 시스템은, 적어도 하나의 메모리 소자; 및 적어도 하나의 로직 소자를 포함하고, 상기 적어도 하나의 메모리 소자 및 상기 적어도 하나의 로직 소자는, 단일 공정을 통해 동일한 강유전체 물질로 동시에 형성된 강유전체층들을 각각 포함하며, 상기 적어도 하나의 메모리 소자 또는 상기 적어도 하나의 로직 소자 중 어느 하나의 소자는, 상기 단일 공정에 이은 후속 공정을 통해 적어도 일부분의 물질 특성이 변화된 구성요소를 포함하는 것을 특징으로 한다.

대 표 도 - 도2



(52) CPC특허분류
H01L 29/516 (2013.01)
H01L 29/6684 (2013.01)
H01L 29/78391 (2015.01)

명 세 서

청구범위

청구항 1

강유전체 기반의 임베디드 시스템에 있어서,

적어도 하나의 메모리 소자; 및

적어도 하나의 로직 소자

를 포함하고,

상기 적어도 하나의 메모리 소자 및 상기 적어도 하나의 로직 소자는,

단일 공정을 통해 동일한 강유전체 물질로 동시에 형성된 강유전체층들을 각각 포함하며,

상기 적어도 하나의 메모리 소자 또는 상기 적어도 하나의 로직 소자 중 어느 하나의 소자는,

상기 단일 공정에 이은 후속 공정을 통해 적어도 일부분의 물질 특성이 변화된 구성요소를 포함하는 것을 특징으로 하는 임베디드 시스템.

청구항 2

제1항에 있어서,

상기 어느 하나의 소자에 포함되는 구성요소의 적어도 일부분의 물질 특성은,

상기 구성요소가 포함되는 소자 특성에 기초하여 히스테리시스(Hysteresis) 특성을 보이거나 보이지 않도록 변화된 것을 특징으로 하는 임베디드 시스템.

청구항 3

제1항에 있어서,

상기 적어도 일부분의 물질 특성이 변화된 구성요소는,

상기 강유전체층인 것을 특징으로 하는 임베디드 시스템.

청구항 4

강유전체 기반의 임베디드 시스템의 제조 방법에 있어서,

적어도 하나의 메모리 소자의 강유전체층 및 적어도 하나의 로직 소자의 강유전체층을 단일 공정을 통해 동일한 강유전체 물질로 동시에 형성하는 단계; 및

상기 적어도 하나의 메모리 소자 또는 상기 적어도 하나의 로직 소자 중 어느 하나의 소자에 포함되는 구성요소의 적어도 일부분의 물질 특성을 상기 단일 공정에 이은 후속 공정을 통해 변화시키는 단계

를 포함하는 임베디드 시스템의 제조 방법.

청구항 5

제4항에 있어서,

상기 어느 하나의 소자에 포함되는 구성요소의 적어도 일부분의 물질 특성을 상기 단일 공정에 이은 후속 공정을 통해 변화시키는 단계는,

상기 구성요소가 포함되는 소자 특성에 기초하여 히스테리시스(Hysteresis) 특성을 보이거나 보이지 않도록 상기 어느 하나의 소자에 포함되는 구성요소의 적어도 일부분의 물질 특성을 변화시키는 단계인 것을 특징으로 하는 임베디드 시스템.

청구항 6

강유전체 기반의 임베디드 시스템에 있어서,

적어도 하나의 메모리 소자; 및

적어도 하나의 로직 소자

를 포함하고,

상기 적어도 하나의 메모리 소자 및 상기 적어도 하나의 로직 소자는,

동일한 강유전체 물질로 형성된 강유전체층들을 각각 포함하며,

상기 적어도 하나의 메모리 소자는,

상기 임베디드 시스템 내에서 3차원 구조를 갖는 것을 특징으로 하는 임베디드 시스템.

청구항 7

강유전체 기반의 임베디드 시스템에 있어서,

적어도 하나의 메모리 소자; 및

적어도 하나의 로직 소자

를 포함하고,

상기 적어도 하나의 메모리 소자 및 상기 적어도 하나의 로직 소자는,

단일 공정을 통해 동일한 강유전체 물질로 동시에 형성된 강유전체층들을 각각 포함하며,

상기 강유전체층들의 하부에 배치되는 실리콘 산화물층들을 각각 더 포함하는 것을 특징으로 하는 임베디드 시스템.

청구항 8

제7항에 있어서,

상기 적어도 하나의 메모리 소자 및 상기 적어도 하나의 로직 소자에 각각 포함되는 상기 실리콘 산화물층들은,

단일 공정을 통해 동시에 형성되는 것을 특징으로 하는 임베디드 시스템.

청구항 9

강유전체 기반의 임베디드 시스템의 제조 방법에 있어서,

적어도 하나의 메모리 소자의 강유전체층 및 적어도 하나의 로직 소자의 강유전체층을 단일 공정을 통해 동일한 강유전체 물질로 동시에 형성하는 단계; 및

상기 적어도 하나의 메모리 소자의 강유전체층의 하부 및 상기 적어도 하나의 로직 소자의 강유전체층의 하부에 각각 상기 적어도 하나의 메모리 소자의 실리콘 산화물층 및 상기 적어도 하나의 로직 소자의 실리콘 산화물층을 형성하는 단계

를 포함하는 임베디드 시스템의 제조 방법.

청구항 10

제9항에 있어서,

상기 적어도 하나의 메모리 소자의 실리콘 산화물층 및 상기 적어도 하나의 로직 소자의 실리콘 산화물층을 형성하는 단계는,

상기 적어도 하나의 메모리 소자의 실리콘 산화물층 및 상기 적어도 하나의 로직 소자의 실리콘 산화물층을 단일 공정을 통해 동시에 형성하는 단계인 것을 특징으로 하는 임베디드 시스템의 제조 방법.

청구항 11

강유전체 기반의 임베디드 시스템에 있어서,

적어도 하나의 메모리 소자; 및

적어도 하나의 로직 소자

를 포함하고,

상기 적어도 하나의 메모리 소자 및 상기 적어도 하나의 로직 소자는,

혼합 강유전체층들을 각각 포함하며,

상기 적어도 하나의 메모리 소자에 혼합 강유전체층과 상기 적어도 하나의 로직 소자에 포함되는 혼합 강유전체층은,

서로 다른 농도비를 갖는 것을 특징으로 하는 임베디드 시스템.

청구항 12

강유전체 기반의 임베디드 시스템에 있어서,

적어도 하나의 메모리 소자; 및

적어도 하나의 로직 소자

를 포함하고,

상기 적어도 하나의 메모리 소자 및 상기 적어도 하나의 로직 소자는,

혼합 강유전체층들을 각각 포함하며,

상기 적어도 하나의 메모리 소자에 혼합 강유전체층과 상기 적어도 하나의 로직 소자에 포함되는 혼합 강유전체층은,

서로 다른 두께를 갖는 것을 특징으로 하는 임베디드 시스템.

발명의 설명

기 술 분 야

[0001] 아래의 실시예들은 메모리 소자(Memory element)와 로직 소자(Logic element)를 포함하는 임베디드 시스템(Embedded system)에 관한 것으로, 보다 상세하게는, 강유전체(Ferroelectric) 기반의 임베디드 시스템에 대한 기술이다.

배 경 기 술

[0002] SoC(System on Chip)과 같은 애플리케이션의 경우, MOSFET 또는 MOS 등의 로직 소자(Logic element) 및 비휘발성 메모리 소자를 단일 칩, 기판 상에 집적한 임베디드 시스템으로 구현되는 것이 바람직하다.

[0003] 이와 같은 임베디드 시스템에서 로직 소자 및 메모리 소자는, 각각이 지향하는 특성이 상이함에 따라 도 1a 내지 1b와 같이 서로 다른 구조로 형성되기 때문에, 서로 다른 제조 공정이 적용되어 제조 Cost가 비싼 단점이 발생된다.

[0004] 이에, 제조 Cost가 비싼 단점을 개선하기 위한 구조가 적용된 임베디드 시스템이 제안될 필요가 있다.

발명의 내용

해결하려는 과제

[0006] 일 실시예들은 제조 Cost가 비싼 단점을 개선하고자, 단일 공정을 통해 동시에 형성된 강유전체층들을 각각 포

함하는 적어도 하나의 메모리 소자 및 적어도 하나의 로직 소자로 구성되는 임베디드 시스템을 제안한다.

[0007] 이 때, 일 실시예들은 적어도 하나의 메모리 소자가 지향하는 소자 특성 또는 적어도 하나의 로직 소자가 지향하는 소자 특성에 기초하여, 적어도 하나의 메모리 소자 및 적어도 하나의 로직 소자 중 어느 하나의 소자에 포함되는 구성요소의 적어도 일부분의 물질 특성을 변화시킨 임베디드 시스템을 제안한다.

[0008] 또한, 일 실시예들은 적어도 하나의 로직 소자를 포함하는 가운데, 3차원 구조로 구현된 적어도 하나의 메모리 소자를 포함하는 임베디드 시스템을 제안한다.

[0009] 또한, 일 실시예들은 강유전체층들의 하부에 각기 배치되는 실리콘 산화물층들을 각각 더 포함하는 임베디드 시스템을 제안한다.

과제의 해결 수단

[0010] 일 실시예에 따르면, 강유전체 기반의 임베디드 시스템은, 적어도 하나의 메모리 소자; 및 적어도 하나의 로직 소자를 포함하고, 상기 적어도 하나의 메모리 소자 및 상기 적어도 하나의 로직 소자는, 단일 공정을 통해 동일한 강유전체 물질로 동시에 형성된 강유전체층들을 각각 포함하며, 상기 적어도 하나의 메모리 소자 또는 상기 적어도 하나의 로직 소자 중 어느 하나의 소자는, 상기 단일 공정에 이은 후속 공정을 통해 적어도 일부분의 물질 특성이 변화된 구성요소를 포함하는 것을 특징으로 한다.

[0011] 일측에 따르면, 상기 어느 하나의 소자에 포함되는 구성요소의 적어도 일부분의 물질 특성은, 상기 구성요소가 포함되는 소자 특성에 기초하여 히스테리시스(Hysteresis) 특성을 보이거나 보이지 않도록 변화된 것을 특징으로 할 수 있다.

[0012] 다른 일측에 따르면, 상기 적어도 일부분의 물질 특성이 변화된 구성요소는, 상기 강유전체층인 것을 특징으로 할 수 있다.

[0013] 일 실시예에 따르면, 강유전체 기반의 임베디드 시스템의 제조 방법은, 적어도 하나의 메모리 소자의 강유전체층 및 적어도 하나의 로직 소자의 강유전체층을 단일 공정을 통해 동일한 강유전체 물질로 동시에 형성하는 단계; 및 상기 적어도 하나의 메모리 소자 또는 상기 적어도 하나의 로직 소자 중 어느 하나의 소자에 포함되는 구성요소의 적어도 일부분의 물질 특성을 상기 단일 공정에 이은 후속 공정을 통해 변화시키는 단계를 포함한다.

[0014] 일측에 따르면, 상기 어느 하나의 소자에 포함되는 구성요소의 적어도 일부분의 물질 특성을 상기 단일 공정에 이은 후속 공정을 통해 변화시키는 단계는, 상기 구성요소가 포함되는 소자 특성에 기초하여 히스테리시스(Hysteresis) 특성을 보이거나 보이지 않도록 상기 어느 하나의 소자에 포함되는 구성요소의 적어도 일부분의 물질 특성을 변화시키는 단계인 것을 특징으로 할 수 있다.

[0015] 다른 일 실시예에 따르면, 강유전체 기반의 임베디드 시스템은, 적어도 하나의 메모리 소자; 및 적어도 하나의 로직 소자를 포함하고, 상기 적어도 하나의 메모리 소자 및 상기 적어도 하나의 로직 소자는, 동일한 강유전체 물질로 형성된 강유전체층들을 각각 포함하며, 상기 적어도 하나의 메모리 소자는, 상기 임베디드 시스템 내에서 3차원 구조를 갖는 것을 특징으로 한다.

[0016] 또 다른 일 실시예에 따르면, 강유전체 기반의 임베디드 시스템은, 적어도 하나의 메모리 소자; 및 적어도 하나의 로직 소자를 포함하고, 상기 적어도 하나의 메모리 소자 및 상기 적어도 하나의 로직 소자는, 단일 공정을 통해 동일한 강유전체 물질로 동시에 형성된 강유전체층들을 각각 포함하며, 상기 강유전체층들의 하부에 배치되는 실리콘 산화물층들을 각각 더 포함하는 것을 특징으로 한다.

[0017] 일측에 따르면, 상기 적어도 하나의 메모리 소자 및 상기 적어도 하나의 로직 소자에 각각 포함되는 상기 실리콘 산화물층들은, 단일 공정을 통해 동시에 형성되는 것을 특징으로 할 수 있다.

[0018] 또 다른 일 실시예에 따르면, 강유전체 기반의 임베디드 시스템의 제조 방법은, 적어도 하나의 메모리 소자의 강유전체층 및 적어도 하나의 로직 소자의 강유전체층을 단일 공정을 통해 동일한 강유전체 물질로 동시에 형성하는 단계; 및 상기 적어도 하나의 메모리 소자의 강유전체층의 하부 및 상기 적어도 하나의 로직 소자의 강유전체층의 하부에 각각 상기 적어도 하나의 메모리 소자의 실리콘 산화물층 및 상기 적어도 하나의 로직 소자의 실리콘 산화물층을 형성하는 단계를 포함한다.

[0019] 일측에 따르면, 상기 적어도 하나의 메모리 소자의 실리콘 산화물층 및 상기 적어도 하나의 로직 소자의 실리콘 산화물층을 형성하는 단계는, 상기 적어도 하나의 메모리 소자의 실리콘 산화물층 및 상기 적어도 하나의 로직

소자의 실리콘 산화물층을 단일 공정을 통해 동시에 형성하는 단계인 것을 특징으로 할 수 있다.

[0020] 일 실시예에 따르면, 강유전체 기반의 임베디드 시스템은, 적어도 하나의 메모리 소자; 및 적어도 하나의 로직 소자를 포함하고, 상기 적어도 하나의 메모리 소자 및 상기 적어도 하나의 로직 소자는, 혼합 강유전체층들을 각각 포함하며, 상기 적어도 하나의 메모리 소자에 혼합 강유전체층과 상기 적어도 하나의 로직 소자에 포함되는 혼합 강유전체층은, 서로 다른 농도비를 갖는 것을 특징으로 한다.

[0021] 일 실시예에 따르면, 강유전체 기반의 임베디드 시스템은, 적어도 하나의 메모리 소자; 및 적어도 하나의 로직 소자를 포함하고, 상기 적어도 하나의 메모리 소자 및 상기 적어도 하나의 로직 소자는, 혼합 강유전체층들을 각각 포함하며, 상기 적어도 하나의 메모리 소자에 혼합 강유전체층과 상기 적어도 하나의 로직 소자에 포함되는 혼합 강유전체층은, 서로 다른 두께를 갖는 것을 특징으로 한다.

발명의 효과

[0022] 일 실시예들은 제조 Cost가 비싼 단점을 개선하고자, 단일 공정을 통해 동시에 형성된 강유전체층들을 각각 포함하는 적어도 하나의 메모리 소자 및 적어도 하나의 로직 소자로 구성되는 임베디드 시스템을 제안할 수 있다.

[0023] 이 때, 일 실시예들은 적어도 하나의 메모리 소자가 지향하는 소자 특성 또는 적어도 하나의 로직 소자가 지향하는 소자 특성에 기초하여, 적어도 하나의 메모리 소자 및 적어도 하나의 로직 소자 중 어느 하나의 소자에 포함되는 구성요소의 적어도 일부분의 물질 특성을 변화시킨 임베디드 시스템을 제안할 수 있다.

[0024] 또한, 일 실시예들은 적어도 하나의 로직 소자를 포함하는 가운데, 3차원 구조로 구현된 적어도 하나의 메모리 소자를 포함하는 임베디드 시스템을 제안할 수 있다.

[0025] 또한, 일 실시예들은 강유전체층들의 하부에 각기 배치되는 실리콘 산화물층들을 각각 더 포함하는 임베디드 시스템을 제안할 수 있다.

도면의 간단한 설명

[0026] 도 1a 내지 1b는 기존의 임베디드 시스템을 나타낸 도면이다.

도 2는 일 실시예에 따른 임베디드 시스템을 나타낸 도면이다.

도 3은 일 실시예에 따른 임베디드 시스템의 제조 방법을 나타낸 플로우 차트이다.

도 4는 다른 일 실시예에 따른 임베디드 시스템을 나타낸 도면이다.

도 5는 또 다른 일 실시예에 따른 임베디드 시스템을 나타낸 도면이다.

도 6은 또 다른 일 실시예에 따른 임베디드 시스템의 제조 방법을 나타낸 플로우 차트이다.

발명을 실시하기 위한 구체적인 내용

[0027] 이하, 실시예들을 첨부된 도면을 참조하여 상세하게 설명한다. 그러나 본 발명이 실시예들에 의해 제한되거나 한정되는 것은 아니다. 또한, 각 도면에 제시된 동일한 참조 부호는 동일한 부재를 나타낸다.

[0028] 또한, 본 명세서에서 사용되는 용어(terminology)들은 본 발명의 바람직한 실시예를 적절히 표현하기 위해 사용된 용어들로서, 이는 사용자, 운용자의 의도 또는 본 발명이 속하는 분야의 관례 등에 따라 달라질 수 있다. 따라서, 본 용어들에 대한 정의는 본 명세서 전반에 걸친 내용을 토대로 내려져야 할 것이다.

[0030] 도 2는 일 실시예에 따른 임베디드 시스템을 나타낸 도면이다.

[0031] 도 2를 참조하면, 일 실시예에 따른 임베디드 시스템(200)은 적어도 하나의 메모리 소자(210) 및 적어도 하나의 로직 소자(220)를 포함한다.

[0032] 이하, 적어도 하나의 메모리 소자(210)는 데이터의 저장, 판독, 소거의 동작을 수행하는 기능을 구현한 트랜지스터와 그 구조체를 의미하며, 적어도 하나의 로직 소자(220)는 논리 연산을 수행하는 기능을 구현한 트랜지스터와 그 회로를 의미한다.

[0033] 적어도 하나의 메모리 소자(210)는, 게이트 금속층(211), 강유전체층(212) 및 채널층(213)을 포함한 채 높은 신

뢰성의 소자 특성을 지향하도록 구성될 수 있다. 일례로, 적어도 하나의 메모리 소자(210)는 히스테리시스(Hysteresis) 특성을 보임으로써 높은 신뢰성의 소자 특성을 갖게 될 수 있다.

[0034] 적어도 하나의 로직 소자(220)는, 게이트 금속층(221), 강유전체층(222) 및 채널층(223)을 포함한 채 고속의 소자 특성을 지향하도록 구성될 수 있다. 일례로, 적어도 하나의 로직 소자(220)는 히스테리시스(Hysteresis) 특성을 보이지 않음으로써, 고속의 소자 특성을 갖게 될 수 있다.

[0035] 특히, 적어도 하나의 메모리 소자(210)의 강유전체층(212) 및 적어도 하나의 로직 소자(220)의 강유전체층(222)은, 단일 공정을 통해 동일한 강유전체 물질로 동시에 형성되는 것을 특징으로 한다.

[0036] 이처럼 적어도 하나의 메모리 소자(210) 및 적어도 하나의 로직 소자(220) 각각의 적어도 일부 구성요소(강유전체층(212, 222))가 단일 공정을 통해 동시에 형성됨으로써, 일 실시예에 따른 임베디드 시스템(200)은 제조 Cost를 절감하는 효과를 도모할 수 있다.

[0037] 이 때, 적어도 하나의 메모리 소자(210) 및 적어도 하나의 로직 소자(220)는 각각이 지향하는 서로 상이한 소자 특성을 만족시켜야 하므로, 적어도 하나의 메모리 소자(210) 또는 적어도 하나의 로직 소자(220) 중 어느 하나의 소자는 적어도 일부분의 물질 특성이 변화된 구성요소를 포함할 수 있다.

[0038] 보다 상세하게, 적어도 하나의 메모리 소자(210) 또는 적어도 하나의 로직 소자(220) 중 어느 하나의 소자는, 각각이 지향하는 서로 상이한 소자 특성에 기초하여 히스테리시스 특성을 보이거나 보이지 않도록 적어도 일부분의 물질 특성이 변화된 구성요소(강유전체층(212, 222))를 포함할 수 있다. 다시 말해, 적어도 하나의 메모리 소자(210) 또는 적어도 하나의 로직 소자(220) 중 어느 하나의 소자에 포함되는 구성요소의 적어도 일부분의 물질 특성은, 구성요소가 포함되는 소자 특성에 기초하여 히스테리시스 특성을 보이거나 보이지 않도록 변화될 수 있다.

[0039] 예를 들어, 적어도 하나의 로직 소자(220)의 강유전체층(222)의 적어도 일부분(222-1)의 물질 특성이 변화되어 물질 특성 제어 박막(222-1)이 형성됨으로써, 적어도 하나의 로직 소자(220)는 물질 특성 제어 박막(222-1)을 통해 HfOx 스트레스 영향 억제로 히스테리시스 특성을 보이지 않아 고속의 소자 특성을 갖게 될 수 있다. 반면에, 적어도 하나의 메모리 소자(210)는, 적어도 하나의 로직 소자(220)와 달리 물질 특성 제어 박막(222-1)을 포함하지 않기 때문에(적어도 하나의 메모리 소자(210)의 강유전체층(212)에서 물질 특성의 변화가 없기 때문에), 급속 냉각에 따른 HfOx 스트레스 영향으로 히스테리시스 특성을 보여 높은 신뢰성의 소자 특성을 갖게 될 수 있다. 그러나 이에 제한되거나 한정되지 않고 적어도 하나의 로직 소자(220)의 강유전체층(222)의 적어도 일부분(222-1)의 물질 특성이 변화되는 대신에, 적어도 하나의 메모리 소자(210)의 강유전체층(212)의 적어도 일부분의 물질 특성이 변화될 수도 있다.

[0040] 여기서, 적어도 하나의 메모리 소자(210) 또는 적어도 하나의 로직 소자(220) 중 어느 하나의 소자가 포함하는 구성요소의 적어도 일부분의 물질 특성이 변화되는 것은, 전술된 강유전체층들(212, 222)을 형성하는 단일 공정에 이은 후속 공정을 통해 이루어질 수 있다.

[0041] 즉, 일 실시예에 따른 임베디드 시스템(200)에서 적어도 하나의 메모리 소자(210) 또는 적어도 하나의 로직 소자(220) 중 어느 하나의 소자는, 강유전체층들(212, 222)을 동시에 형성하는 단일 공정에 이은 후속 공정을 통해 적어도 일부분의 물질 특성이 변화된 구성요소를 포함하는 것을 특징으로 한다.

[0042] 이와 같이 임베디드 시스템(200)은, 적어도 하나의 메모리 소자(210) 및 적어도 하나의 로직 소자(220) 각각의 적어도 일부 구성요소(강유전체층(212, 222))를 단일 공정을 통해 동시에 형성하는 가운데, 적어도 하나의 메모리 소자(210) 또는 적어도 하나의 로직 소자(220) 중 어느 하나의 소자가 포함하는 구성요소의 적어도 일부분의 물질 특성을 변화시킴으로써, 적어도 하나의 메모리 소자(210) 및 적어도 하나의 로직 소자(220) 각각이 지향하는 서로 상이한 소자 특성을 만족시키는 동시에 제조 Cost를 절감하는 효과를 도모할 수 있다.

[0043] 이상, 적어도 하나의 메모리 소자(210) 또는 적어도 하나의 로직 소자(220) 중 어느 하나의 소자에서 적어도 일부분의 물질 특성이 변화된 구성요소가 강유전체층(212, 222)인 것으로 설명되었으나, 이에 제한되거나 한정되지 않고 적어도 하나의 메모리 소자(210) 및 적어도 하나의 로직 소자(220) 각각의 구성요소들 중 강유전체층(212, 222)을 제외한 다른 구성요소일 수도 있다.

[0045] 도 3은 일 실시예에 따른 임베디드 시스템의 제조 방법을 나타낸 플로우 차트이다. 이하, 임베디드 시스템의 제조 방법은 자동화 및 기계화된 제조 시스템에 의해 수행됨을 전제로 하며, 제조 방법이 수행된 결과 도 2에

도시된 임베디드 시스템이 제조될 수 있다.

[0046] 도 3을 참조하면, 제조 시스템은 단계(S310)에서, 적어도 하나의 메모리 소자의 강유전체층 및 적어도 하나의 로직 소자의 강유전체층을 단일 공정을 통해 동일한 강유전체 물질로 동시에 형성할 수 있다.

[0047] 그 후, 제조 시스템은 단계(S320)에서, 적어도 하나의 메모리 소자 또는 적어도 하나의 로직 소자 중 어느 하나의 소자에 포함되는 구성요소의 적어도 일부분의 물질 특성을 단계(S310)에서의 단일 공정에 이은 후속 공정을 통해 변화시킬 수 있다.

[0048] 이 때, 단계(S320)에서 제조 시스템은, 물질 특성이 변화될 구성요소가 포함되는 소자 특성에 기초하여 히스테리시스 특성을 갖거나 갖지 않도록 구성요소의 적어도 일부분의 물질 특성을 변화시킬 수 있다.

[0049] 또한, 별도의 단계로 도시되지는 않았으나 단계들(S310 내지 S320)의 전후 또는 중간에, 제조 시스템은 적어도 하나의 메모리 소자에 포함되는 게이트 금속층 및 채널층과, 적어도 하나의 로직 소자에 포함되는 게이트 금속층 및 채널층을 형성할 수 있다. 적어도 하나의 메모리 소자에 포함되는 게이트 금속층과 적어도 하나의 로직 소자에 포함되는 게이트 금속층은 단일 공정을 통해 동시에 형성될 수 있으며, 마찬가지로 적어도 하나의 메모리 소자에 포함되는 채널층과 적어도 하나의 로직 소자에 포함되는 채널층 역시 단일 공정을 통해 동시에 형성될 수 있다.

[0051] 도 4는 다른 일 실시예에 따른 임베디드 시스템을 나타낸 도면이다.

[0052] 도 4를 참조하면, 다른 일 실시예에 따른 임베디드 시스템(400)은 적어도 하나의 메모리 소자(410) 및 적어도 하나의 로직 소자(420)를 포함한다.

[0053] 적어도 하나의 메모리 소자(410)는, 게이트 금속층(411), 강유전체층(412) 및 채널층(413)을 포함한 채 높은 신뢰성의 소자 특성을 지향하도록 구성될 수 있다. 일례로, 적어도 하나의 메모리 소자(410)는 히스테리시스(Hysteresis) 특성을 보임으로써 높은 신뢰성의 소자 특성을 갖게 될 수 있다.

[0054] 적어도 하나의 로직 소자(420)는, 게이트 금속층(421), 강유전체층(422) 및 채널층(423)을 포함한 채 고속의 소자 특성을 지향하도록 구성될 수 있다. 일례로, 적어도 하나의 로직 소자(420)는 히스테리시스(Hysteresis) 특성을 보이지 않음으로써, 고속의 소자 특성을 갖게 될 수 있다.

[0055] 특히, 적어도 하나의 메모리 소자(410)는 임베디드 시스템(400) 내에서 3차원 구조를 갖는 것을 특징으로 할 수 있다. 일례로, 적어도 하나의 메모리 소자(410)는 수직 방향으로 형성되는 강유전체층(412) 및 채널층(413)을 포함하고 강유전체층(412) 및 채널층(413)에 대해 직교하며 연결되는(수평 방향으로 형성되는) 게이트 금속층(411)을 포함함으로써, 3차원 구조로 구현될 수 있다,

[0056] 이 때, 적어도 하나의 메모리 소자(410)의 강유전체층(412) 및 적어도 하나의 로직 소자(420)의 강유전체층(422)은, 동일한 강유전체 물질로 형성될 수 있다. 다만, 적어도 하나의 메모리 소자(410)의 강유전체층(412) 및 적어도 하나의 로직 소자(420)의 강유전체층(422)은 전술된 일 실시예에 따른 임베디드 시스템(200)에서와 같이 동시에 단일 공정을 통해 동시에 형성되는 것이 아닌, 각기 다른 공정을 통해 다른 타이밍에 형성될 수 있다. 그러나 이에 제한되거나 한정되지 않고 적어도 하나의 메모리 소자(410)의 강유전체층(412) 및 적어도 하나의 로직 소자(420)의 강유전체층(422)은 적어도 하나의 메모리 소자(410)가 3차원 구조로 구현되는 것을 전제로, 단일 공정을 통해 동시에 형성될 수도 있다.

[0057] 이처럼 적어도 하나의 메모리 소자(410)가 3차원 구조로 구현됨에 따라, 임베디드 시스템(400)의 집적도가 향상되는 효과가 도모될 수 있다.

[0058] 또한, 다른 일 실시예에 따른 임베디드 시스템(400)에서 적어도 하나의 메모리 소자(410) 또는 적어도 하나의 로직 소자(420) 중 어느 하나의 소자는 적어도 일부분의 물질 특성이 변화된 구성요소를 포함함으로써, 각각이 지향하는 서로 상이한 소자 특성을 만족시킬 수도 있다. 이는 도 2를 참조하여 설명된 내용과 동일하므로 상세한 설명을 생략하기로 한다.

[0060] 도 5는 또 다른 일 실시예에 따른 임베디드 시스템을 나타낸 도면이다.

[0061] 도 5를 참조하면, 또 다른 일 실시예에 따른 임베디드 시스템(500)은 적어도 하나의 메모리 소자(510) 및 적어

도 하나의 로직 소자(520)를 포함한다.

[0062] 적어도 하나의 메모리 소자(510)는, 게이트 금속층(511), 강유전체층(512) 및 채널층(513)을 포함한 채 높은 신뢰성의 소자 특성을 지향하도록 구성될 수 있다. 일례로, 적어도 하나의 메모리 소자(510)는 히스테리시스(Hysteresis) 특성을 보임으로써 높은 신뢰성의 소자 특성을 갖게 될 수 있다.

[0063] 적어도 하나의 로직 소자(520)는, 게이트 금속층(521), 강유전체층(522) 및 채널층(523)을 포함한 채 고속의 소자 특성을 지향하도록 구성될 수 있다. 일례로, 적어도 하나의 로직 소자(520)는 히스테리시스(Hysteresis) 특성을 보이지 않음으로써, 고속의 소자 특성을 갖게 될 수 있다.

[0064] 특히, 적어도 하나의 메모리 소자(510)의 강유전체층(512) 및 적어도 하나의 로직 소자(520)의 강유전체층(522)은, 단일 공정을 통해 동일한 강유전체 물질로 동시에 형성되는 것을 특징으로 한다.

[0065] 이처럼 적어도 하나의 메모리 소자(510) 및 적어도 하나의 로직 소자(520) 각각의 적어도 일부 구성요소(강유전체층(512, 522))가 단일 공정을 통해 동시에 형성됨으로써, 또 다른 일 실시예에 따른 임베디드 시스템(500)은 제조 Cost를 절감하는 효과를 도모할 수 있다.

[0066] 이 때, 적어도 하나의 메모리 소자(510) 및 적어도 하나의 로직 소자(520)는 강유전체층들(512, 522)의 하부에 배치되는 실리콘 산화물층들(514, 524)을 각각 더 포함할 수 있다. 이에, 적어도 하나의 메모리 소자(510)는 강유전체층(512) 및 실리콘 산화물층(514)을 포함함으로써, 1TFeRAM을 구현하여 높은 신뢰성의 소자 특성 및 고속의 소자 특성을 갖게 될 수 있으며, 적어도 하나의 로직 소자(520)는 강유전체층(522) 및 실리콘 산화물층(524)을 포함함으로써, NC-FET를 구현하여 고속의 소자 특성 및 우수한 SS(Subthreshold Swing=mV/decade) 특성을 갖게 될 수 있다.

[0067] 마찬가지로, 적어도 하나의 메모리 소자(510)의 실리콘 산화물층(514) 및 적어도 하나의 로직 소자(520)의 실리콘 산화물층(524) 역시 단일 공정을 통해 동일한 물질로 동시에 형성될 수 있는 바, 제조 Cost를 절감하는 효과가 더욱 극대화될 수 있다.

[0068] 또한, 또 다른 일 실시예에 따른 임베디드 시스템(500)에서 적어도 하나의 메모리 소자(510) 또는 적어도 하나의 로직 소자(520) 중 어느 하나의 소자는 적어도 일부분의 물질 특성이 변화된 구성요소를 포함함으로써, 각각이 지향하는 서로 상이한 소자 특성을 만족시킬 수도 있다. 이는 도 2를 참조하여 설명된 내용과 동일하므로 상세한 설명을 생략하기로 한다.

[0069] 이와 같이 임베디드 시스템(500)은, 적어도 하나의 메모리 소자(510) 및 적어도 하나의 로직 소자(520) 각각의 적어도 일부 구성요소(강유전체층(512, 522))를 단일 공정을 통해 동시에 형성하는 가운데, 실리콘 산화물층들(514, 524)을 각각 적어도 하나의 메모리 소자(510) 및 적어도 하나의 로직 소자(520)에 포함시킴으로써, 적어도 하나의 메모리 소자(510) 및 적어도 하나의 로직 소자(520) 각각이 지향하는 소자 특성을 만족시키는 동시에 제조 Cost를 절감하는 효과를 도모할 수 있다.

[0071] 도 6은 또 다른 일 실시예에 따른 임베디드 시스템의 제조 방법을 나타낸 플로우 차트이다. 이하, 임베디드 시스템의 제조 방법은 자동화 및 기계화된 제조 시스템에 의해 수행됨을 전제로 하며, 제조 방법이 수행된 결과도 5에 도시된 임베디드 시스템이 제조될 수 있다.

[0072] 도 6을 참조하면, 제조 시스템은 단계(S610)에서, 적어도 하나의 메모리 소자의 강유전체층 및 적어도 하나의 로직 소자의 강유전체층을 단일 공정을 통해 동일한 강유전체 물질로 동시에 형성할 수 있다.

[0073] 그 후, 제조 시스템은 단계(S620)에서, 적어도 하나의 메모리 소자의 강유전체층의 하부 및 적어도 하나의 로직 소자의 강유전체층의 하부에 각각 적어도 하나의 메모리 소자의 실리콘 산화물층 및 적어도 하나의 로직 소자의 실리콘 산화물층을 형성할 수 있다.

[0074] 이 때, 단계(S620)에서 제조 시스템은, 적어도 하나의 메모리 소자의 실리콘 산화물층 및 적어도 하나의 로직 소자의 실리콘 산화물층을 단일 공정을 통해 동시에 형성할 수 있다.

[0075] 별도의 단계로 도시되지는 않았으나, 제조 시스템은 적어도 하나의 메모리 소자 또는 적어도 하나의 로직 소자 중 어느 하나의 소자에 포함되는 구성요소의 적어도 일부분의 물질 특성을 단계(S610)에서의 단일 공정 또는 단계(S620)에서의 공정에 이은 후속 공정을 통해 변화시킬 수 있다. 보다 상세하게, 제조 시스템은 물질 특성이 변화될 구성요소가 포함되는 소자 특성에 기초하여 히스테리시스 특성을 갖거나 갖지 않도록 구성요소의 적어도

일부분의 물질 특성을 변화시킬 수 있다.

[0076] 또한, 별도의 단계로 도시되지는 않았으나 단계들(S610 내지 S620)의 전후 또는 중간에, 제조 시스템은 적어도 하나의 메모리 소자에 포함되는 게이트 금속층 및 채널층과, 적어도 하나의 로직 소자에 포함되는 게이트 금속층 및 채널층을 형성할 수 있다. 적어도 하나의 메모리 소자에 포함되는 게이트 금속층과 적어도 하나의 로직 소자에 포함되는 게이트 금속층은 단일 공정을 통해 동시에 형성될 수 있으며, 마찬가지로 적어도 하나의 메모리 소자에 포함되는 채널층과 적어도 하나의 로직 소자에 포함되는 채널층 역시 단일 공정을 통해 동시에 형성될 수 있다.

[0078] 도 7은 또 다른 일 실시예에 따른 임베디드 시스템을 나타낸 도면이다.

[0079] 도 7을 참조하면, 또 다른 일 실시예에 따른 임베디드 시스템(700)은 적어도 하나의 메모리 소자(710) 및 적어도 하나의 로직 소자(720)를 포함한다.

[0080] 적어도 하나의 메모리 소자(710)는, 게이트 금속층(711), 혼합 강유전체층(712) 및 채널층(713)을 포함한 채 높은 신뢰성의 소자 특성을 지향하도록 구성될 수 있다. 일례로, 적어도 하나의 메모리 소자(710)는 히스테리시스(Hysteresis) 특성을 보임으로써 높은 신뢰성의 소자 특성을 갖게 될 수 있다.

[0081] 적어도 하나의 로직 소자(720)는, 게이트 금속층(721), 혼합 강유전체층(722) 및 채널층(723)을 포함한 채 고속의 소자 특성을 지향하도록 구성될 수 있다. 일례로, 적어도 하나의 로직 소자(720)는 히스테리시스(Hysteresis) 특성을 보이지 않음으로써, 고속의 소자 특성을 갖게 될 수 있다.

[0082] 특히, 적어도 하나의 메모리 소자(710)의 혼합 강유전체층(712) 및 적어도 하나의 로직 소자(720)의 혼합 강유전체층(722)은, 서로 다른 농도비를 갖는 것을 특징으로 한다.

[0083] 보다 상세하게, 적어도 하나의 메모리 소자(710)의 혼합 강유전체층(712) 및 적어도 하나의 로직 소자(720)의 혼합 강유전체층(722)은, 각각 동일한 조성 물질로 구성되는 가운데, 각각의 조성 물질의 농도비가 상이할 수 있다. 일례로, 적어도 하나의 메모리 소자(710)의 혼합 강유전체층(712)인 HfO-ZrO에서 HfO와 ZrO의 농도비는, 적어도 하나의 로직 소자(720)의 혼합 강유전체층(722)인 HfO-ZrO에서 HfO와 ZrO의 농도비와 상이할 수 있다. 즉, 적어도 하나의 메모리 소자(710)의 혼합 강유전체층(712) 및 적어도 하나의 로직 소자(720)의 혼합 강유전체층(722)은, 혼합 강유전체층들(712, 722)을 각각 구성하는 조성 물질들의 구성이 동일할 뿐, 혼합된 자체로는 서로 다른 물질일 수 있다.

[0084] 이처럼 적어도 하나의 메모리 소자(710) 및 적어도 하나의 로직 소자(720)는 조성 물질들의 구성이 동일한 혼합 강유전체층들(712, 722)을 각각 포함함으로써, 또 다른 일 실시예에 따른 임베디드 시스템(700)은 제조 Cost를 절감하는 효과를 도모할 수 있다.

[0085] 이 때, 적어도 하나의 메모리 소자(710) 및 적어도 하나의 로직 소자(720)가 조성 물질들의 농도비가 서로 상이한 혼합 강유전체층들(712, 722)를 각각 포함함으로써, 또 다른 일 실시예에 따른 임베디드 시스템(700)은 적어도 하나의 메모리 소자(710) 및 적어도 하나의 로직 소자(720) 각각이 지향하는 서로 상이한 소자 특성을 만족시킬 수도 있다.

[0087] 도 8은 또 다른 일 실시예에 따른 임베디드 시스템을 나타낸 도면이다.

[0088] 도 8을 참조하면, 또 다른 일 실시예에 따른 임베디드 시스템(800)은 적어도 하나의 메모리 소자(810) 및 적어도 하나의 로직 소자(820)를 포함한다.

[0089] 적어도 하나의 메모리 소자(810)는, 게이트 금속층(811), 혼합 강유전체층(812) 및 채널층(813)을 포함한 채 높은 신뢰성의 소자 특성을 지향하도록 구성될 수 있다. 일례로, 적어도 하나의 메모리 소자(810)는 히스테리시스(Hysteresis) 특성을 보임으로써 높은 신뢰성의 소자 특성을 갖게 될 수 있다.

[0090] 적어도 하나의 로직 소자(820)는, 게이트 금속층(821), 혼합 강유전체층(822) 및 채널층(823)을 포함한 채 고속의 소자 특성을 지향하도록 구성될 수 있다. 일례로, 적어도 하나의 로직 소자(820)는 히스테리시스(Hysteresis) 특성을 보이지 않음으로써, 고속의 소자 특성을 갖게 될 수 있다.

[0091] 특히, 적어도 하나의 메모리 소자(810)의 혼합 강유전체층(812) 및 적어도 하나의 로직 소자(820)의 혼합 강유

전체층(822)은, 각각 조성 물질 및 조성 물질의 농도비가 동일한 가운데, 서로 다른 두께를 갖는 것을 특징으로 한다. 일례로, 적어도 하나의 메모리 소자(810)의 혼합 강유전체층(812)인 HfO-ZrO의 두께는, 적어도 하나의 로직 소자(820)의 혼합 강유전체층(822)인 HfO-ZrO의 두께와 상이할 수 있다. 도면에서는 적어도 하나의 메모리 소자(810)의 혼합 강유전체층(812)인 HfO-ZrO의 두께가 적어도 하나의 로직 소자(820)의 혼합 강유전체층(822)인 HfO-ZrO의 두께보다 두꺼운 것으로 도시되었으나, 이에 제한되거나 한정되지 않고 적어도 하나의 로직 소자(820)의 혼합 강유전체층(822)인 HfO-ZrO의 두께가 적어도 하나의 메모리 소자(810)의 혼합 강유전체층(812)인 HfO-ZrO의 두께보다 더 두꺼울 수 있다.

[0092] 그러나 이에 제한되거나 한정되지 않고, 적어도 하나의 메모리 소자(810)의 혼합 강유전체층(812) 및 적어도 하나의 로직 소자(820)의 혼합 강유전체층(822)은, 각각의 조성 물질이 동일하나 서로 상이한 농도비를 갖는 동시에, 서로 다른 두께를 가질 수도 있다.

[0093] 이처럼 적어도 하나의 메모리 소자(810) 및 적어도 하나의 로직 소자(820)는 조성 물질들의 구성과 농도비가 동일한 혼합 강유전체층들(812, 822)을 각각 포함함으로써, 또 다른 일 실시예에 따른 임베디드 시스템(800)은 제조 Cost를 절감하는 효과를 도모할 수 있다.

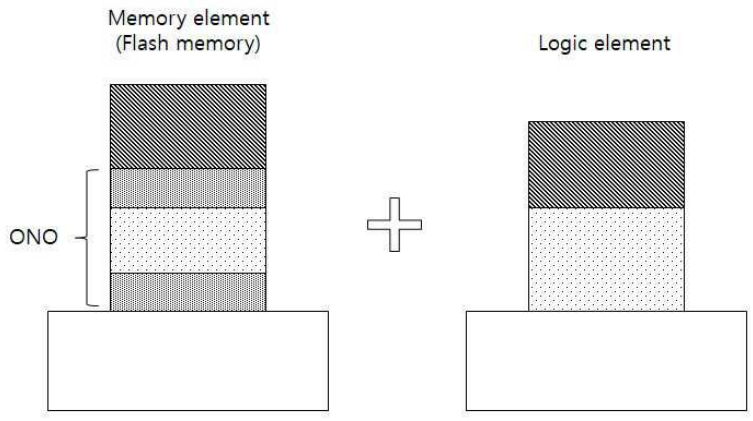
[0094] 이 때, 적어도 하나의 메모리 소자(810) 및 적어도 하나의 로직 소자(820) 각각의 혼합 강유전체층(812, 822)의 두께가 서로 상이함에 따라, 또 다른 일 실시예에 따른 임베디드 시스템(800)은 적어도 하나의 메모리 소자(810) 및 적어도 하나의 로직 소자(820) 각각이 지향하는 서로 상이한 소자 특성을 만족시킬 수도 있다.

[0096] 이상과 같이 실시예들이 비록 한정된 실시예와 도면에 의해 설명되었으나, 해당 기술분야에서 통상의 지식을 가진 자라면 상기의 기재로부터 다양한 수정 및 변형이 가능하다. 예를 들어, 설명된 기술들이 설명된 방법과 다른 순서로 수행되거나, 및/또는 설명된 시스템, 구조, 장치, 회로 등의 구성요소들이 설명된 방법과 다른 형태로 결합 또는 조합되거나, 다른 구성요소 또는 균등물에 의하여 대치되거나 치환되더라도 적절한 결과가 달성될 수 있다.

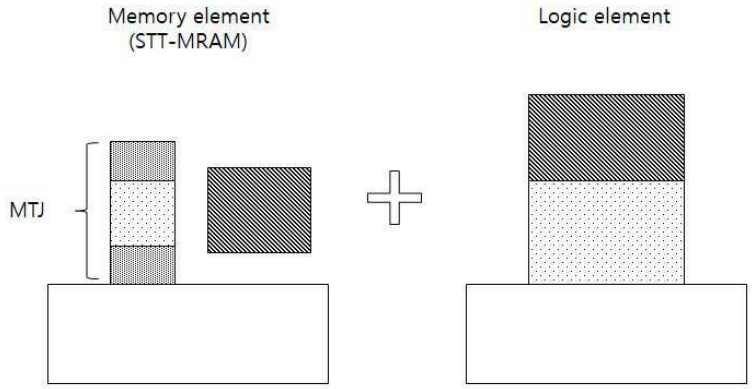
[0097] 그러므로, 다른 구현들, 다른 실시예들 및 특허청구범위와 균등한 것들도 후술하는 특허청구범위의 범위에 속한다.

도면

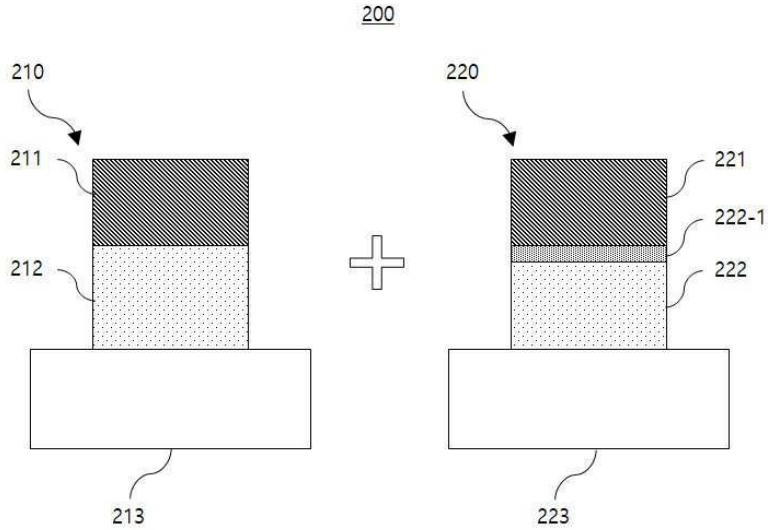
도면1a



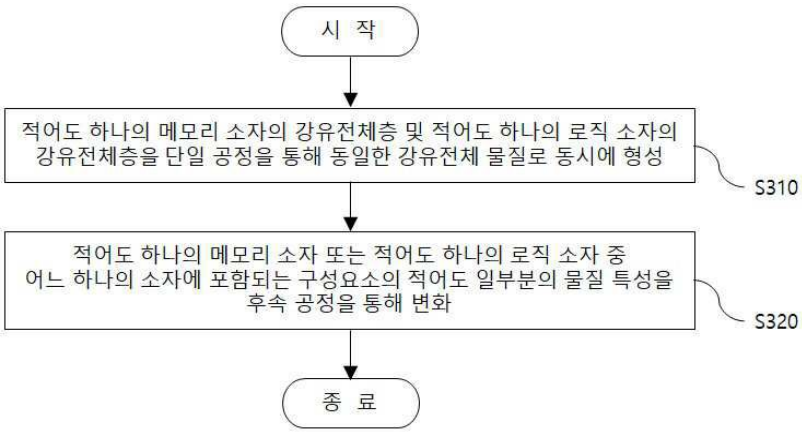
도면1b


Memory element
(STT-MRAM)
Logic element
MTJ

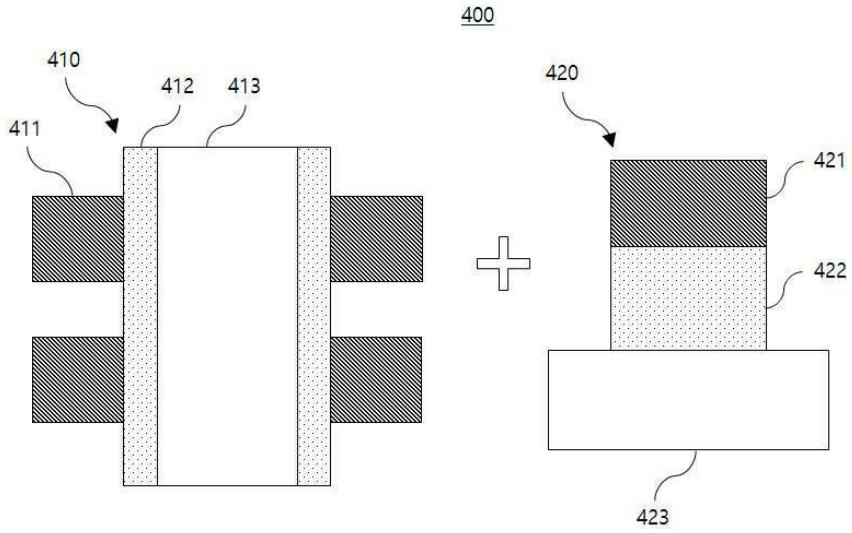
도면2


200
210
211
212
213
220
221
222-1
222
223

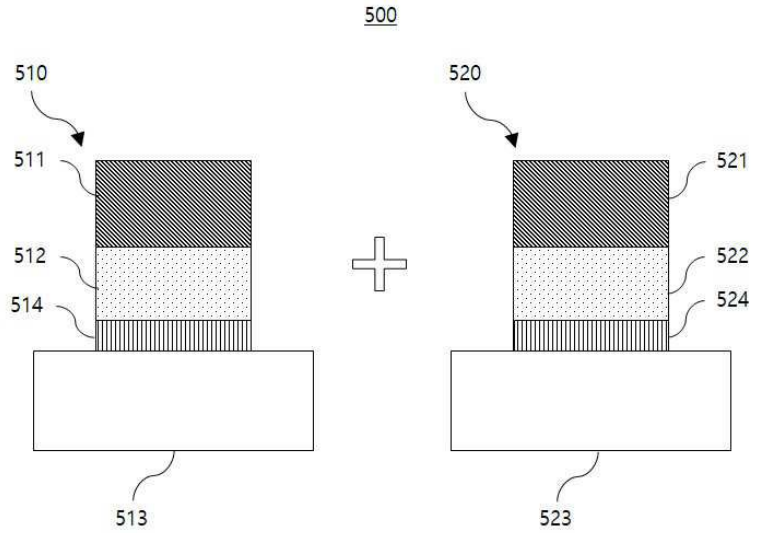
도면3


시 작
적어도 하나의 메모리 소자의 강유전체층 및 적어도 하나의 로직 소자의 강유전체층을 단일 공정을 통해 동일한 강유전체 물질로 동시에 형성
S310
적어도 하나의 메모리 소자 또는 적어도 하나의 로직 소자 중 어느 하나의 소자에 포함되는 구성요소의 적어도 일부분의 물질 특성을 후속 공정을 통해 변화
S320
종 료

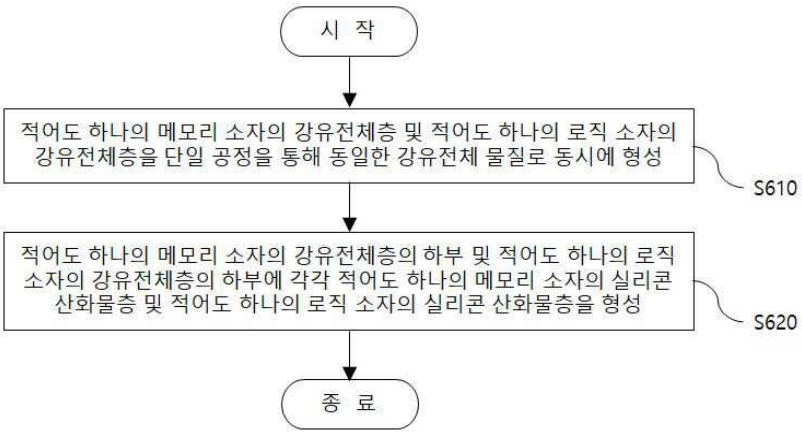
도면4


400
410
412
413
411
420
421
422
423

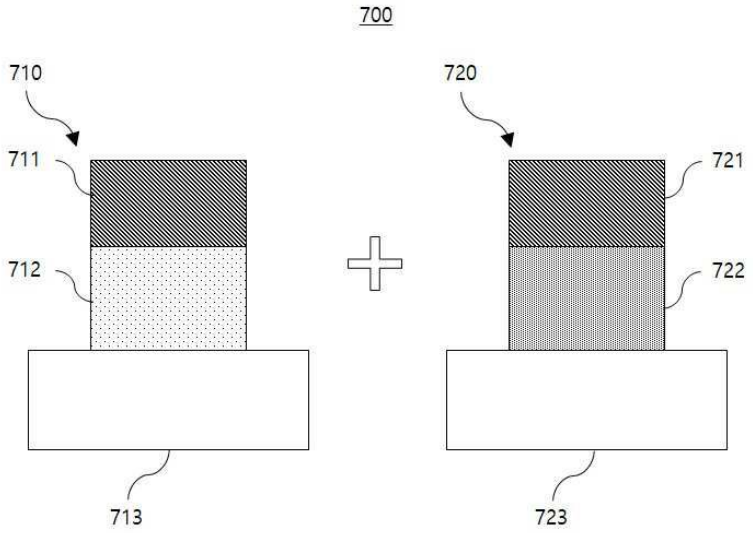
도면5


500
510
511
512
514
513
520
521
522
524
523

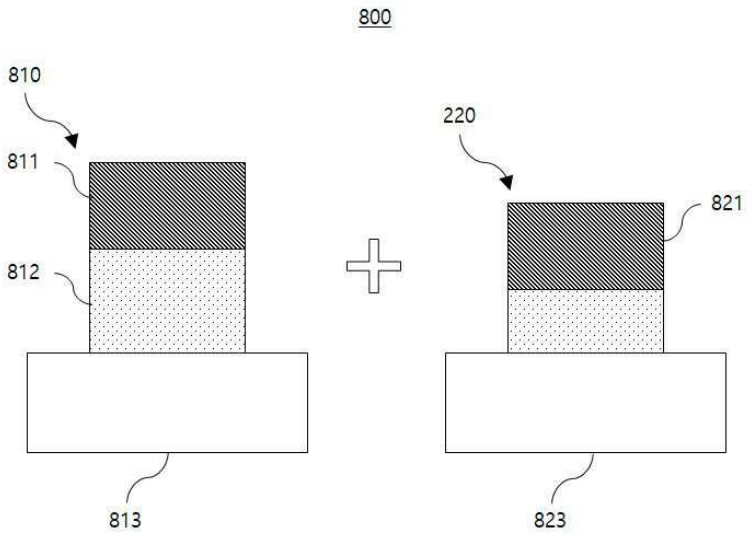
도면6


시 작
적어도 하나의 메모리 소자의 강유전체층 및 적어도 하나의 로직 소자의 강유전체층을 단일 공정을 통해 동일한 강유전체 물질로 동시에 형성
S610
적어도 하나의 메모리 소자의 강유전체층의 하부 및 적어도 하나의 로직 소자의 강유전체층의 하부에 각각 적어도 하나의 메모리 소자의 실리콘 산화물층 및 적어도 하나의 로직 소자의 실리콘 산화물층을 형성
S620
종 료

도면7


700
710
711
712
713
720
721
722
723

도면8


800
810
811
812
813
220
821
823