

**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(51) Int. Cl. <sup>7</sup> H01L 23/50	(45) 공고일자 2000년09월 15일
(21) 출원번호 10-1998-0020098	(11) 등록번호 10-0266693
(22) 출원일자 1998년05월30일	(24) 등록일자 2000년06월27일
(65) 공개번호 특 1999-0086916	(43) 공개일자 1999년12월 15일

(73) 특허권자	현대반도체주식회사 김영환
(72) 발명자	충청북도 청주시 흥덕구 향정동 1번지 전동석
(74) 대리인	충청북도 청주시 흥덕구 가경동 형석1차아파트 103동 205호 박장원

**심사관 : 유기혁**

**(54) 적층가능한 비지에이 반도체 칩 패키지 및 그 제조방법**

**요약**

본 발명은 적층가능한 비지에이 반도체 칩 패키지 및 그 제조방법에 관한 것이고 특히 적층가능한 비지에이 반도체 패키지 및 그 제조방법을 제공하여 신뢰성이 높고 패키지의 실장밀도를 높일 수 있도록 하는 것을 목적으로 한다.

본발명의 적층가능한 비지에이 반도체 패키지는 지지판(23)과, 지지판(23)하면에 형성된 금속전도경로(24a)와, 상기 지지판 상면 가장자리에 형성된 지지프레임(25)과 지지프레임내에 매설된 금속패턴(26)으로 구성된 지지부재(21)와, 상기 지지부재(21) 내측에 위치하고 상면에 패드(6)를 갖는 반도체 칩(1)과 반도체 칩(1) 상부에 일래스토머(2)를 개재하여 부착된 금속전도경로(4a)와 상기 패드(6)과 상기 금속전도경로(4a)와 상기 금속패턴(6)의 상면을 연결하는 금속리드(4b)와, 상기 금속전도경로(4a)의 상면 소정 부위에 부착된 다수의 도전볼(8a)을 포함한다.

**대표도**

**도3**

**명세서**

**도면의 간단한 설명**

도 1은 종래 비지에이 반도체 패키지의 종단면도.

도 2는 본발명의 제1실시례에 따른 적층가능한 비지에이 반도체 패키지의 종단면도

도 3은 본발명의 제2실시례에 따른 적층가능한 비지에이 반도체 패키지의 종단면도.

도 4는 본발명에 따른 적층가능한 비지에이 반도체 패키지를 이용한 적층 비지에이 반도체 패키지의 종단면도.

도 5a 내지 도 5h는 본발명에 따른 적층가능한 비지에이 반도체 패키지의 제조공정순서도.

**\*\* 도면의 주요부분에 대한 부호의 설명 \*\***

1 : 반도체 칩	2 : 일래스토머
3 : 접착수지	4a : 금속전도경로
4b : 금속리드	5 : 솔더 레지스트
6 : 패드	8, 8a, 8b : 도전볼
108a, 118a, 128a, 138a : 도전볼	
21 : 지지부재	23 : 지지판
24a : 금속전도경로	24b : 접속부
25 : 지지프레임	26 : 금속패턴
27 : 솔더레지스트	28 : 봉지재

**발명의 상세한 설명**

## 발명의 목적

### 발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 반도체 칩의 패키지에 관한 것으로 특히, 적층가능한 볼그리드어레이(BALL GRID ARRAY ; BGA) 반도체 칩 패키지의 구조 및 그 제조방법에 관한 것이다.

일반적으로 고집적화된 다핀의 패키지를 생산하기 위하여 많은 업체들이 노력을 경주하고 있다. 그 대표적인 예로 기판(SUBSTRATE)에 다수개의 솔더볼(SOLDER BALL)을 부착하여 외부단자로 이용하는 비지에이 반도체 패키지를 들 수 있다. 마이크로 비지에이 반도체 패키지는 서브스트레이트의 상면 또는 하면에 다수개의 솔더볼을 위치시키고, 노에서 열을 가하여 일시에 접착하는 방법으로 제조되므로 생산성이 높을 뿐만 아니라, 외부단자가 볼의 형상이기 때문에 외부 충격으로부터 외부단자가 쉽게 변형되지 않는 장점이 있다.

종래의 비지에이 반도체 패키지의 구조에 대해 도면을 참조하여 설명하면 다음과 같다.

도 1에 도시한 바와같이, 먼저 반도체 칩(1)의 상면 중앙부에 일래스토머(elastomer)(2)가 부착되어 있다. 상기 일래스토머(2) 위에는 점착성이 높은 접착수지(3)가 형성되어 있다. 상기 접착수지(3) 위에 전기신호를 전달하는 다수의 금속전도경로(metal trace)(4a)가 상기 접착수지(3)에 접착되어 있고, 상기 금속전도경로(4a)의 한쪽 끝은 금속리드(4b)에 연결되어 있고, 상기 금속리드(4b)는 반도체 칩(1)의 상면 가장자리에 형성된 패드(6)에 연결되어 있다. 상기 금속전도경로(4a)중 이후 도전볼이 접착될 부분을 제외한 금속전도경로(4a) 전체와 접착수지(3)의 상면을 솔더레지스트(5)가 덮고 있다. 또한 상기 솔더레지스트(5)에 의해 덮혀 있지 않은 반도체칩(1) 상면과 금속리드(4b)가 봉지부(encapsulant)(7)에 감싸여 있다. 또한 상기 금속전도경로(4a) 위에 도전볼(8)이 형성되어 있으며, 상기 도전볼(8)은 외부단자의 역할을 한다.

상기 도 1에 도시한 바와 같이 구성되는 비지에이 반도체 패키지는 외부단자 즉 도전볼이 패키지의 한쪽 면(도면에서는 상면)에만 노출되어 있기 때문에, 실장밀도가 높은 적층 패키지를 제조할 수 없는 단점이 있었다.

### 발명이 이루고자 하는 기술적 과제

따라서, 본 발명에서는 외부리드의 변형이 잘 일어나지 않고, 외부리드의 길이가 짧아 저항이 작고 전도성도 우수하며, 패키지의 다핀화에 대응할 수 있다는 비지에이 반도체 패키지의 장점을 살리면서도, 실장밀도를 높일 수 있는 적층가능한 비지에이 반도체 패키지 및 그 제조방법을 제공한다.

상기와 같은 본 발명의 목적을 달성하기 위하여, 지지판과, 지지판 상면 가장자리를 따라 형성된 소정높이를 갖는 지지프레임과, 상기 지지프레임 내부에 매설되어 있고 상기 지지프레임 상하면으로 노출되어 있는 금속패턴과, 상기 지지판 하면에 형성되고, 상기 금속패턴과 연결되어 있는 금속전도경로와, 상기 금속전도경로를 감싸고 있는 솔더레지스트와, 상기 금속전도경로가 부분적으로 노출되어 형성된 접속부를 갖는 지지부재와; 상기 지지부재의 지지판위에 부착되어 있고, 상면 가장자리에 패드를 갖는 반도체 칩과; 상기 반도체칩 상부에 부착되어 있는 금속전도경로와; 상기 금속전도경로의 한쪽 끝에 연결되어 있고, 반도체 칩의 패드에 연결되어 있고, 반도체 칩 바깥측으로 뻗어 있고, 상기 금속패턴 상면에 연결되어 있는 금속리드와; 상기 금속전도경로 상면에 부착되어 있는 다수의 도전볼과; 상기 금속전도경로의 상면을 덮고 있는 솔더레지스트와; 상기 금속전도경로와 상기 금속리드와 상기 패턴과 상기 반도체 칩 상면의 일부를 덮고 있는 봉지재를 갖추고 있는 적층가능한 비지에이 반도체 칩 패키지를 제공한다.

본 발명의 목적을 달성하기 위하여, 지지판과, 지지판 상면 가장자리를 따라 형성된 소정높이를 갖는 지지프레임과, 상기 지지프레임 내부에 매설되어 있고 상기 지지프레임 상하면으로 노출되어 있는 금속패턴과, 상기 지지판 하면에 형성되고, 상기 금속패턴과 연결되어 있는 금속전도경로와, 상기 금속전도경로를 감싸고 있는 솔더레지스트와, 상기 금속전도경로가 부분적으로 노출되어 형성된 접속부를 갖는 지지부재를 형성하는 공정과; 상면 가장자리에 패드를 갖는 반도체 칩위에 반도체 칩의 바깥측으로까지 뻗어 있는 금속패턴을 부착하는 공정과; 상기 금속패턴위에 솔더레지스트를 형성하는 공정과; 상기 솔더레지스트를 부분적으로 제거하여 금속패턴의 상면을 부분적으로 노출시키는 공정과; 상기 지지판위에 상기 반도체 칩을 올려놓은 공정과; 상기 금속패턴을 상기 패드에 연결하여 금속전도경로와 금속리드를 형성하는 공정과; 상기 금속리드의 한쪽 끝을 금속패턴의 상면에 연결하는 공정과; 상기 금속리드, 패드 및 반도체 칩의 일부분을 봉지재로 덮는 공정과; 상기 반도체 칩 상부의 금속전도경로의 노출된 부위에 도전볼을 부착하는 공정을 포함하는 적층가능한 비지에이 반도체 칩 패키지 제조공정을 제공한다.

### 발명의 구성 및 작용

본 발명의 적층가능한 비지에이 반도체 패키지 구조 및 제조방법에 대해 도면을 이용하여 설명하면 다음과 같다.

도 2는 본 발명의 제1실시예에 따른 적층가능한 비지에이 반도체 칩 패키지의 구조를 도시하고 있다.

먼저, 반도체칩을 넣을 수 있는 지지부재(21)가 준비되어 있다. 상기 지지부재(21)는 다음과 같이 구성된다. 즉 하부에 지지판(23)이 형성되어 있고, 상기 지지판(23)의 가장자리를 따라 소정높이의 지지프레임(25)이 형성되어 있다. 상기 지지판(23)의 하면에는 금속전도경로(24a)가 형성되어 있다. 상기 금속전도경로(24a)는 이후 설명하게 될 반도체 칩 상부에 형성된 금속전도경로(4a)와 같은 형상의 패턴으로 형성되어 있다. 또, 상기 금속전도경로(24a) 및 상기 지지판(23)의 표면을 솔더레지스트(27)가 덮고 있다. 상기 솔더레지스트(27)는 비지에이 패키지의 외부단자인 도전볼과 금속전도경로(24a) 사이의 쇼트(short)를 방지하고, 상기 금속전도경로(24a)를 외부의 충격으로부터 보호해준다. 상기 솔더레지스트(27)는 부분적으로 제거되어 금속전도경로(24a)를 부분적으로 노출시키고 있다. 상기 금속전도경로(24a)의 노출부위

를 접속부(24b)라 한다. 상기 접속부(24b)의 위치는 반도체 칩(1) 상부에 형성된 금속전도경로(4a)상에 형성된 도전볼(8a)의 위치와 대응하여 형성되어 있다.

또, 상기 지지판(23)의 가장자리를 따라 소정높이로 형성되어 있는 지지프레임(25)의 내측에는 전도경로가 되는 금속패턴(26)이 매설되어 있다. 상기 금속패턴(26)의 한쪽 끝은 상기 지지판(23)에 형성되어 있는 금속전도경로(24a)의 한쪽 끝과 연결되어 있다. 상기 금속패턴(26)의 다른 한쪽 끝은 상기 지지프레임(25)의 상면에 노출되어 있다.

다음으로, 비지에이 반도체 칩 패키지의 구조에 대해 설명한다.

상기 지지부재(21)의 지지판(23) 위에 그리고 지지프레임(25)의 안쪽에 반도체 칩(1)이 접촉체에 의해 부착되어 있다. 상기 반도체 칩(1)의 상면 중앙부에 일래스토머(elastomer)(2)가 부착되어 있다. 상기 일래스토머(2) 위에는 점착성이 높은 점착수지(3)가 형성되어 있다. 상기 점착수지(3) 위에 전기신호를 전달하는 다수의 금속전도경로(metal trace)(4a)가 상기 점착수지(3)위에서 접촉되어 있고, 상기 점착수지(3)위에 놓여 있지 않은 금속전도경로(4a)의 한쪽 끝은 금속리드(4b)에 연결되어 있다. 상기 금속리드(4b)는 반도체 칩(1)의 상면 가장자리에 형성된 패드(6)에 연결되어 있고, 또한 상기 반도체 칩(1)의 바깥측에까지 연장되어, 상기 지지프레임(25) 상면으로 노출되어 있는 금속패턴(26)의 표면과 연결되어 있다.

상기 반도체 칩(1) 상부에 일래스토머(2)와 점착수지(3)를 개재하여 형성된 금속전도경로(4a)중 이후 도전볼이 접촉될 부분을 제외한 금속전도경로(4a) 전체와 점착수지(3)의 상면을 솔더레지스트(5)가 덮고 있다. 또한 솔더레지스트(5)에 의해 덮이지 않은 반도체칩(1) 상면과 금속리드(4b)와, 상기 지지프레임(25)의 상부를 봉지재(encapsulant)(28)가 덮고 있다. 또한 상기 금속전도경로(4a)의 소정부분의 상면에 도전볼(8a)이 부착되어 있다.

따라서, 상기 반도체 칩(1)의 패드를 통해 반도체 칩(1)으로부터 출력되는 신호는, 반도체칩(1) 상부의 금속전도경로(4a)에 연결된 도전볼(8a)와 상기 지지부재(21)의 하부에 형성된 접속부(24b)를 통해 동시에 외부로 전달될 수 있다.

즉, 반도체 칩(1)과 외부회로의 신호전달이, 반도체 칩(1)의 상부의 도전볼(8a)과 반도체칩(1) 하부의 접속부(24b)를 통해, 패키지 상하부 모두 가능하게 되므로, 적층된 패키지를 제조할 수 있다.

도 3은 본발명의 제2실시례에 따른 적층가능한 비지에이 반도체 칩 패키지를 도시하고 있다.

도 3의 제2실시례와 도 2의 제1실시례의 다른 점은, 상기 지지부재(21)하부의 금속전도경로(24a)의 노출부위(24b)(또는 접속부(24b)에도 도전볼(8b)이 형성되어 있다는 것이고, 그 외의 모든 구조는 제1실시례와 같다. 따라서, 본발명의 제2실시례에서는 도전볼(8a)과 도전볼(8b)을 통해 반도체 칩(1)의 상하부 양측으로 신호가 전달되므로, 본발명의 제1실시례 또는 제2실시례에 따른 적층가능한 비지에이 반도체 패키지를 상하 다수층을 적층할 수 있고, 따라서 패키지의 실장밀도를 높일 수 있다.

도 4는 본발명의 제1실시례를 이용하여 제조한 적층 비지에이 반도체 칩 패키지의 구조를 도시하고 있다.

도면에 도시한 바와 같이, 다수의 적층가능한 비지에이 반도체 패키지(100, 110, 120, 130)가 적층되어 있다. 최하층(제1층)의 적층가능한 비지에이 반도체 패키지(100)의 상면에 도전볼(108a)이 형성되어 있고, 상기 도전볼(108a)은 제2층의 적층가능한 비지에이 반도체 패키지(110)의 하부의 접속부(24b)와 각각 대응하여 연결되어 있다. 또한 제2층의 적층가능한 반도체 패키지(110)의 상면에 형성된 도전볼(118a)은 3층째의 적층가능한 비지에이 반도체 패키지(120)의 하부의 접속부(24b)와 각각 대응하여 연결되어 있다. 또한 제3층의 적층가능한 반도체 패키지(120)의 상면에 형성된 도전볼(128a)은 4층째의 적층가능한 비지에이 반도체 패키지(130)의 하부의 접속부(24b)와 각각 대응하여 연결되어 있다. 도면에는 4개의 적층가능한 패키지를 적층한 적층 비지에이 반도체 패키지를 도시하고 있으나, 시스템 설계자의 의도에 대응하여 자유로이 그 층수를 조절할 수 있다. 최상층의 적층가능한 비지에이 반도체 패키지(130)의 도전볼(138a)은 도면에 도시되지는 않았으나, 인쇄회로기판상의 패드위에 얹혀져서 외부회로와의 신호전달 역할을 하는 외부단자가 된다.

상기 본발명에 따른 적층가능한 비지에이 반도체 칩 패키지의 제조방법은 다음과 같다.

도 5a에 도시한 바와 같이, 먼저 지지부재(21)를 준비한다. 상기 지지부재(21)는 지지판(23)과, 상기 지지판(23) 하면에 형성되어 있고, 한쪽 끝이 상기 지지판(23)에 매립되어 상기 지지판(23)의 상면으로까지 연장형성되어 있는 금속전도 경로(24a)와, 상기 금속전도경로(24a)를 덮고 있고 상기 금속전도경로(24a)의 소정부분 즉 접속부(24b)에서만 상기 금속전도경로(24a)를 노출시키고 있는 솔더 레지스트(27)와, 상기 지지판(23) 상면에 지지판(23) 가장자리 둘레를 따라 형성된 소정높이의 지지프레임(25)과, 상기 지지프레임(25)에 매립되어 있고, 한쪽 끝이 상기 지지프레임(25)의 상면으로 그 상면이 노출되어 있고, 또다른 한쪽 끝은 상기 지지판(23)의 하면으로 뻗어있는 금속전도경로(24a)의 한쪽 끝에 연결되어 있는 금속패턴(26)을 갖는다.

도 5b에 도시한 바와 같이, 상면 가장자리에 신호입출력용 패드를 갖는 반도체 칩(1)위에, 상하면에 점착수지(3)가 도포되어 있는 일래스토머(2)를 부착하고, 상기 일래스토머 위에 금속패턴(4)을 부착한다. 상기 금속패턴(4)은 한쪽끝은 일래스토머(2)에 부착되어 있고, 다른 한쪽 끝은 일래스토머(2)의 바깥측으로 연장형성되어 있다. 상기 일래스토머(2) 바깥측으로 연장되어 있는 금속패턴(4)의 끝부분에는 너치(notch)가 형성되어 있어서, 작은 충격에도 상기 너치를 경계로하여 금속패턴(4)의 끝부분이 잘려나가기 쉽다. 다음으로, 상기 금속패턴(4)과 점착수지(3)위에 솔더레지스트(5)를 형성한다.

다음으로 도 5c와 같이, 상기 도 5a의 지지부재(21)내에 상기 도 5b의 반도체칩(1)을 넣는다.

다음으로 도 5d와 같이, 본드툴(bond tool) (30)을 이용하여 상기 금속패턴(4)의 소정부위를 하방으로 누른다음 상하좌우로 움직여서 상기 반도체 칩(1)상의 패드(6)에 상기 금속패턴(4)의 소정부분을 연결한다. 상기 도 5d는 패드(6)에 금속리드를 연결하는 모습을 도시하기 위해 도 5c의 일부분을 도시한 부분 종단면도이다. 이때, 상기 일래스토머(2) 상면의 금속패턴(4)부를 금속전도경로(4a)라 하고, 상기 패드(6)과

연결된 부분 및 그 바깥쪽 부분을 금속리드(4b)라 한다.

다음으로, 도 5e와 같이 상기 반도체 칩(1)의 바깥쪽으로 뻗어 있는 금속리드(4b)를, 본드 톨(30)을 상방에서 하방으로 누름으로써, 금속리드(4b)의 너치 바깥쪽 끝부분을 잘라냄과 동시에, 상기 본드톨(30)을 역시 상하좌우로 자유로이 움직여서 상기 금속리드(4b)의 끝을 지지프레임(25)에 매립되어 있는 금속패턴(26)의 상면에 연결시킨다.

다음으로, 도 5f와 같이, 솔더 레지스트(5)로 덮이지 않은 부분의 상기 반도체 칩(1) 상면의 금속전도경로(4a) 및 금속리드(4b)를 덮도록 액상봉지재를 채워 봉지부(28)를 형성한다.

다음으로, 상기 금속전도경로(4a)위의 솔더레지스트를 부분적으로 제거하여 금속전도경로(4a)의 상면을 부분적으로 노출시킨다.

다음으로 도 5g와 같이, 상기 금속전도경로(4a)가 노출된 부위에 도전볼(8a)을 얹은 후, 리플로우하여 상기 금속전도경로(4a)에 도전볼(8a)을 부착한다.

도 5a 내지 도 5g의 공정을 수행함으로써 본발명의 제1실시예에 따른 적층가능한 비지에이 반도체 패키지의 제조를 완료한다.

한편, 도 5h의 공정을 추가 수행함으로써, 본발명의 제2실시예에 따른 적층가능한 비지에이 반도체 패키지의 제조를 완료한다. 즉, 접속부(24b)에 도전볼(8b)을 올려놓고 리플로우하여 접속부(24b)에 도전볼(8b)을 부착시킨다.

### **발명의 효과**

본발명에 따른 적층가능한 비지에이 반도체 패키지를 제공함으로써, 비지에이 반도체 패키지의 장점 - 외부리드의 변형(예를들면 휨)도 없고, 패키지 다핀화에 대응하는 것등 -을 유지하면서도 반도체 패키지 실장밀도를 높여, 반도체 패키지의 신뢰성과 고실장밀도를 만족시키는 적층 비지에이 반도체 패키지를 제조할 수 있다.

### **(57) 청구의 범위**

#### **청구항 1**

지지판과, 지지판 상면 가장자리를 따라 형성된 소정높이를 갖는 지지프레임과, 상기 지지프레임 내부에 매설되어 있고 상기 지지프레임 상하면으로 노출되어 있는 금속패턴과, 상기 지지판 하면에 형성되고, 상기 금속패턴과 연결되어 있는 금속전도경로와, 상기 금속전도경로를 감싸고 있는 솔더레지스트와, 상기 금속전도경로가 부분적으로 노출되어 형성된 접속부를 갖는 지지부재와; 상기 지지부재의 지지판위에 부착되어 있고, 상면 가장자리에 패드를 갖는 반도체 칩과; 상기 반도체칩 상부에 부착되어 있는 금속전도경로와; 상기 금속전도경로의 한쪽 끝에 연결되어 있고, 반도체 칩의 패드에 연결되어 있고, 반도체 칩 바깥쪽으로 뻗어 있고, 상기 금속패턴 상면에 연결되어 있는 금속리드와; 상기 금속전도경로 상면에 부착되어 있는 다수의 도전볼과; 상기 금속전도경로의 상면을 덮고 있는 솔더레지스트와; 상기 금속전도경로와 상기 금속리드와 상기 패턴과 상기 반도체 칩 상면의 일부를 덮고 있는 봉지재를 갖추고 있는 적층가능한 비지에이 반도체 칩 패키지.

#### **청구항 2**

제1항에 있어서, 상기 접속부에 부착되어 있는 도전볼을 포함하는 것을 특징으로 하는 적층가능한 비지에이 반도체 칩 패키지.

#### **청구항 3**

제1항에 있어서, 상기 금속전도경로는 반도체 칩 상부에 일래스토머를 개재하여 부착되어 있는 것을 특징으로 하는 적층가능한 비지에이 반도체 칩 패키지.

#### **청구항 4**

지지판과, 지지판 상면 가장자리를 따라 형성된 소정높이를 갖는 지지프레임과, 상기 지지프레임 내부에 매설되어 있고 상기 지지프레임 상하면으로 노출되어 있는 금속패턴과, 상기 지지판 하면에 형성되고, 상기 금속패턴과 연결되어 있는 금속전도경로와, 상기 금속전도경로를 감싸고 있는 솔더레지스트와, 상기 금속전도경로가 부분적으로 노출되어 형성된 접속부를 갖는 지지부재를 형성하는 공정과; 상면 가장자리에 패드를 갖는 반도체 칩위에 반도체 칩의 바깥쪽으로부터 뻗어 있는 금속패턴을 부착하는 공정과; 상기 금속패턴위에 솔더레지스트를 형성하는 공정과; 상기 솔더레지스트를 부분적으로 제거하여 금속패턴의 상면을 부분적으로 노출시키는 공정과; 상기 반도체 칩을 상기 지지판위에 부착하는 공정과; 상기 금속패턴을 상기 패드에 연결하여 금속전도경로와 금속리드를 형성하는 공정과; 상기 금속리드의 한쪽 끝을 금속패턴의 상면에 연결하는 공정과; 상기 금속리드, 패드 및 반도체 칩의 일부분을 봉지재로 덮는 공정과; 상기 반도체 칩 상부의 금속전도경로의 노출된 부위에 도전볼을 부착하는 공정을 포함하는 적층가능한 비지에이 반도체 칩 패키지 제조방법.

#### **청구항 5**

제4항에 있어서, 상기 반도체 칩 상부에 금속패턴을 부착하는 공정은, 상하면에 정착성이 높은 접착수지를 도포한 일래스토머를 반도체 칩 상면에 부착하는 공정과; 상기 일래스토머 위에 금속패턴을 재치시키는 공정을 포함하는 것을 특징으로 하는 적층가능한 비지에이 반도체 칩 패키지 제조방법.

#### **청구항 6**

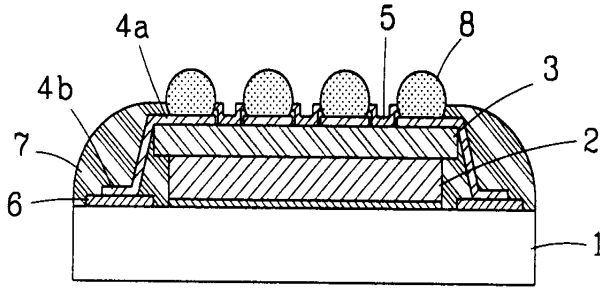
제4항에 있어서, 상기 금속패턴을 패드에 부착하는 공정은 본드틀을 상방에서 하방으로 누른후, 상기 본드틀을 상하좌우 방향으로 이동하는 공정인 것을 특징으로 하는 적층가능한 비지에이 반도체 칩 패키지 제조방법.

**청구항 7**

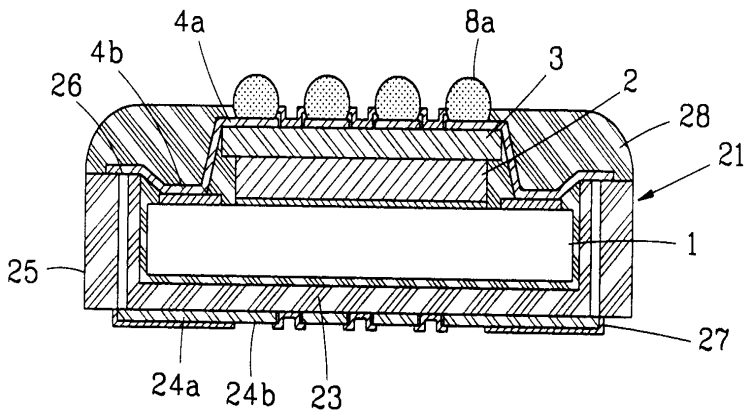
제4항에 있어서, 상기 도전볼을 반도체 칩 상부의 금속도전경로에 부착하는 공정은, 상기 금속도전경로의 노출부위에 도전볼을 올려놓은 공정과; 리플로우 하는 공정을 포함하는 것을 특징으로 하는 적층가능한 비지에이 반도체 칩 패키지 제조방법.

**도면**

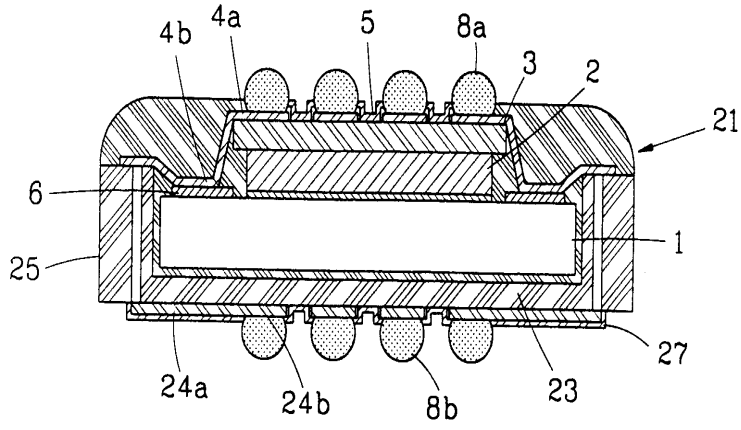
**도면1**



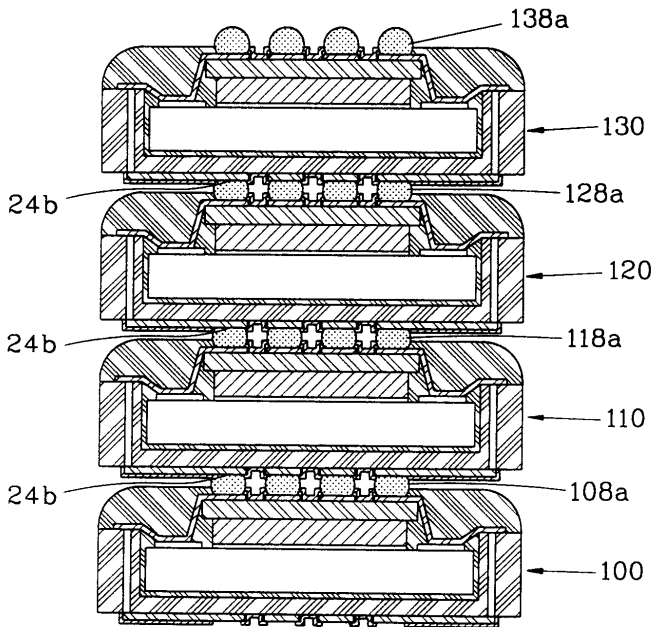
**도면2**



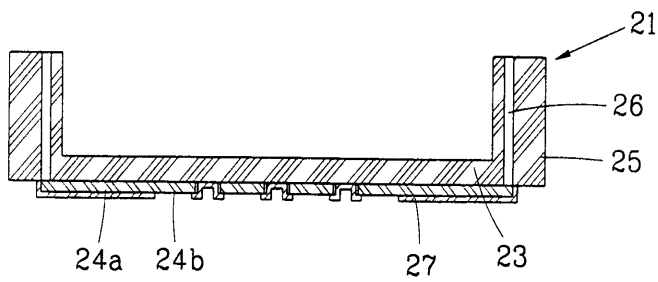
도면3



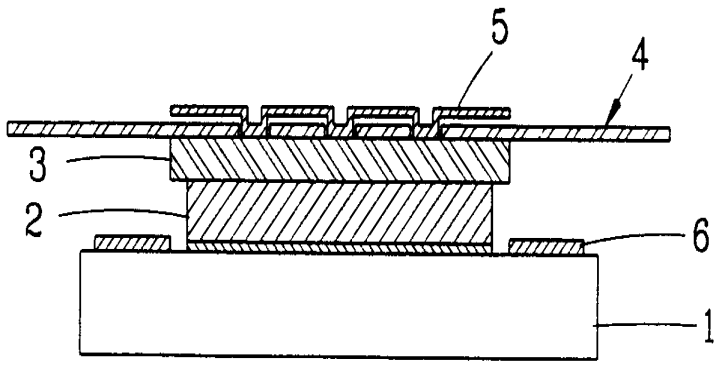
도면4



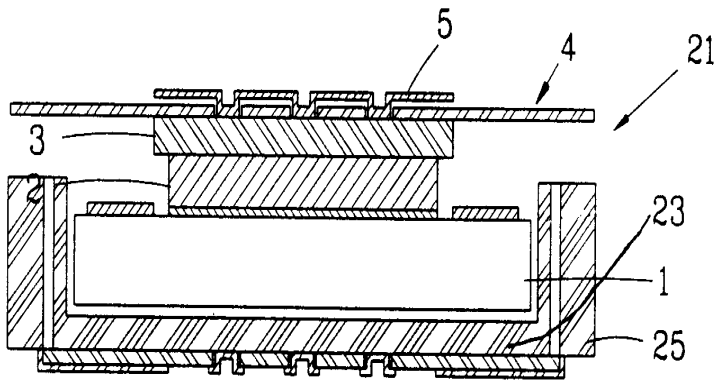
도면5a



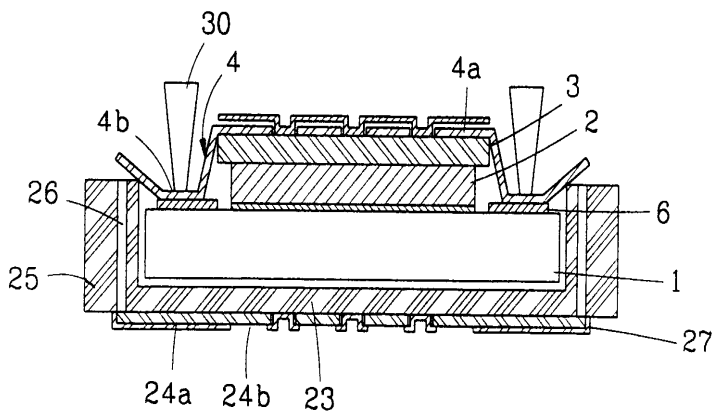
도면5b



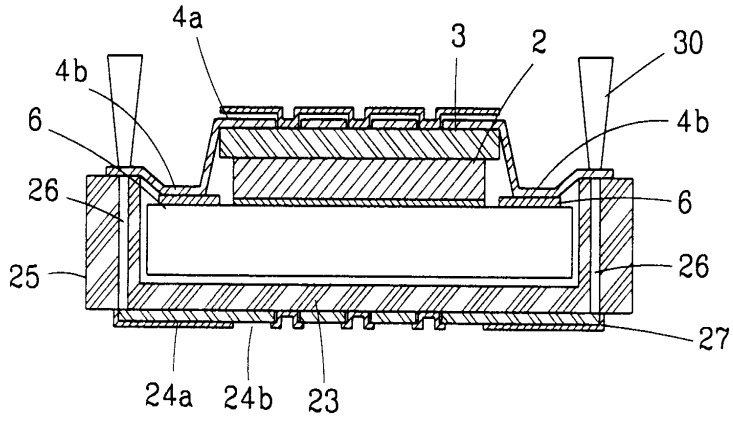
도면5c



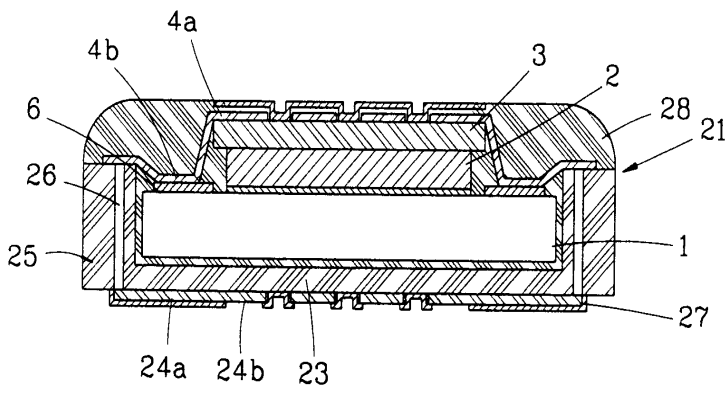
도면5d



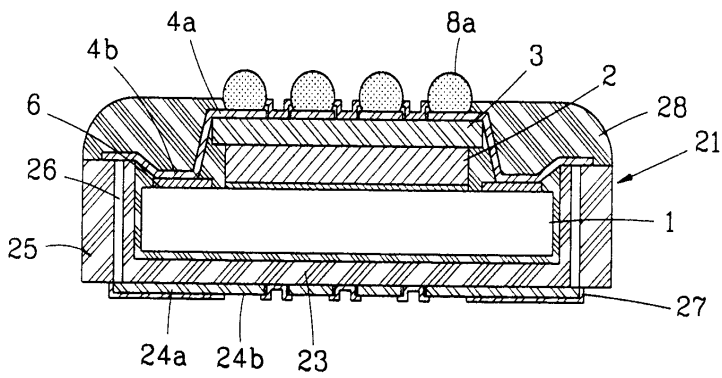
도면5e



도면5f



도면5g





도면5h

