

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2022年9月29日(29.09.2022)



(10) 国際公開番号

WO 2022/202003 A1

(51) 国際特許分類:

H01L 21/822 (2006.01) H01L 27/06 (2006.01)
H01L 27/04 (2006.01) H01L 21/331 (2006.01)
H01L 21/8222 (2006.01) H01L 29/737 (2006.01)

(21) 国際出願番号: PCT/JP2022/006453

(22) 国際出願日: 2022年2月17日(17.02.2022)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:

特願 2021-053564 2021年3月26日(26.03.2021) JP

(71) 出願人: 株式会社村田製作所
(MURATA MANUFACTURING CO., LTD.) [JP/

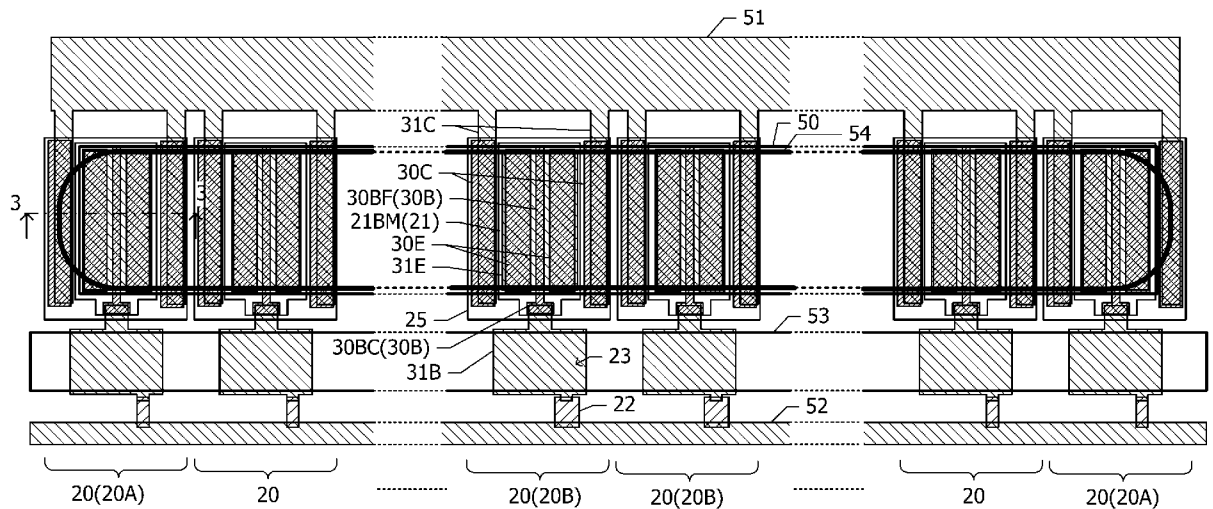
JP]; 〒6178555 京都府長岡京市東神足 1
丁目 10 番 1 号 Kyoto (JP).

(72) 発明者: 小屋 茂樹(KOYA Shigeki); 〒6178555
京都府長岡京市東神足 1 丁目 10 番 1 号 株
式会社村田製作所内 Kyoto (JP). 近藤 将夫
(KONDO Masao); 〒6178555 京都府長岡京市東
神足 1 丁目 10 番 1 号 株式会社村田製作所内
Kyoto (JP). 馬 少駿(MA Shaojun); 〒6178555
京都府長岡京市東神足 1 丁目 10 番 1 号 株
式会社村田製作所内 Kyoto (JP). 後藤 聡(GOTO
Satoshi); 〒6178555 京都府長岡京市東神足 1
丁目 10 番 1 号 株式会社村田製作所内 Kyoto
(JP). 佐々木 健次(SASAKI Kenji); 〒6178555
京都府長岡京市東神足 1 丁目 10 番 1 号 株
式会社村田製作所内 Kyoto (JP). 筒井 孝幸

(54) Title: SEMICONDUCTOR DEVICE AND SEMICONDUCTOR MODULE

(54) 発明の名称: 半導体装置及び半導体モジュール

Fig.2



(57) Abstract: A plurality of cells, numbering three or more, are positioned in a row in a first direction on a substrate. A conductor protrusion is positioned on the substrate. Each of the plurality of cells includes a bipolar transistor and a ballast resistance element that is connected to the bipolar transistor. The conductor protrusion is connected to emitter layers of the bipolar transistors of the plurality of cells. The bipolar transistors of the plurality of cells are connected to one another in parallel. Among the plurality of cells, the resistance value of the ballast resistance element included in a first cell, which

(TSUTSUI Takayuki); 〒6178555 京都府長岡京市東神足1丁目10番1号 株式会社村田製作所内 Kyoto (JP). 中井 一人(NAKAI Kazuhito); 〒6178555 京都府長岡京市東神足1丁目10番1号 株式会社村田製作所内 Kyoto (JP).

(74) 代理人: 来山 幹雄, 外 (KITAYAMA, Mikio et al.); 〒1010054 東京都千代田区神田錦町3丁目6番地 神田錦町フロント801号室 欧和特許事務所 東京事務所 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

is in an end section, is greater than the resistance value of the ballast resistance element included in at least one second cell, which is outside of the end section.

(57) 要約: 基板の上に、3個以上の複数のセルが第1方向に並んで配置されている。基板の上に導体突起が配置されている。複数のセルの各々は、バイポーラトランジスタと、バイポーラトランジスタに接続されたバラスト抵抗素子とを含む。導体突起は、複数のセルのバイポーラトランジスタのエミッタ層に接続されている。複数のセルのバイポーラトランジスタは相互に並列に接続されている。複数のセルのうち、端部の第1セルに含まれるバラスト抵抗素子の抵抗値が、端部以外の少なくとも1つの第2セルに含まれるバラスト抵抗素子の抵抗値より大きい。

明 細 書

発明の名称：半導体装置及び半導体モジュール

技術分野

[0001] 本発明は、バイポーラトランジスタを含む半導体装置及び半導体モジュールに関する。

背景技術

[0002] 移動通信装置用の高周波電力増幅器に、ヘテロ接合バイポーラトランジスタ等の複数のバイポーラトランジスタを並列接続した電力増幅器が用いられる。動作時における複数のバイポーラトランジスタの間で温度が不均一になると、特性の低下や素子破壊が生じる。マルチフィンガ構造のバイポーラトランジスタの温度の均一性を高めることができる半導体装置が特許文献１に開示されている。

[0003] 特許文献１に開示された半導体装置においては、チップ周辺部から中央部に向かって、面積一定の条件の下でエミッタフィンガはより細長い形状にされている。また、エミッタバラスト抵抗を設ける場合、チップ周辺部では相対的に高く、中央部で相対的に低くされる。複数のエミッタフィンガは、それぞれエミッタバラスト抵抗を介して共通のエミッタボンディングパッドに接続される。コレクタ電極及びベース電極は、それぞれコレクタボンディングパッド及びベースボンディングパッドに接続される。

[0004] エミッタフィンガで発生した熱は、基板の厚さ方向及び面内方向に拡散する。中央部のエミッタフィンガの周辺長が、チップ周辺部のエミッタフィンガの周辺長より長いため、中央部のエミッタフィンガの方が面内方向への放熱特性が高くなる。基板の厚さ方向及び面内方向に拡散した熱は、最終的には、半導体装置が収容されるパッケージ等に伝導される。

先行技術文献

特許文献

[0005] 特許文献１：特開平７－１７６５３８号公報

発明の概要

発明が解決しようとする課題

[0006] 半導体装置をモジュール基板等にフリップチップ実装する場合には、半導体装置を構成する基板から外部に放熱されにくい。バイポーラトランジスタで発生した熱が半導体装置に留まると、バイポーラトランジスタが熱暴走して破壊に至る場合がある。本発明の目的は、熱暴走による破壊が生じにくい半導体装置を提供することである。

課題を解決するための手段

[0007] 本発明の一観点によると、
基板と、
前記基板の上に、第1方向に並んで配置された3個以上の複数のセルと、
前記基板の上に配置され、前記基板から遠ざかる向きに突出した導体突起と
と
を備え、
前記複数のセルの各々は、
コレクタ層、ベース層、及びエミッタ層を含むバイポーラトランジスタと
、
前記バイポーラトランジスタに接続されたバラスト抵抗素子と
を含み、
前記導体突起は、前記複数のセルの前記バイポーラトランジスタのエミッタ層に接続されており、
前記複数のセルの前記バイポーラトランジスタは相互に並列に接続されており、
前記複数のセルのうち、端部の第1セルに含まれる前記バラスト抵抗素子の抵抗値が、端部以外の少なくとも1つの第2セルに含まれる前記バラスト抵抗素子の抵抗値より大きい半導体装置が提供される。

[0008] 本発明の他の観点によると、
基板、前記基板の上に第1方向に並んで配置された3個以上の複数のセル

、及び前記基板の上に配置され、前記基板から遠ざかる向きに突出した導体突起を含む半導体装置と、

前記半導体装置が、前記導体突起を介してフリップチップ実装されたモジュール基板と
を備え、

前記複数のセルの各々は、コレクタ層、ベース層、及びエミッタ層を含むバイポーラトランジスタを含み、

前記複数のセルの前記バイポーラトランジスタが相互に並列に接続されており、

前記導体突起は、平面視において前記複数のセルと重なり、前記複数のセルの前記バイポーラトランジスタのエミッタ層に電氣的に接続されており、

前記モジュール基板は、

平面視において前記導体突起と重なり、前記第1方向に長く、前記導体突起に電氣的に接続された貫通ビアを含み、

前記貫通ビアは、前記第1方向に関して前記複数のセルが配置されている範囲の中央部分から端部に向かってずれた箇所に、中央部分の幅より幅が広い部分を含む半導体モジュールが提供される。

[0009] 本発明のさらに他の観点によると、

基板、前記基板の上に第1方向に並んで配置された3個以上の複数のセル、及び前記基板の上に配置され、前記基板から遠ざかる向きに突出した導体突起を含む半導体装置と、

前記半導体装置が、前記導体突起を介してフリップチップ実装されたモジュール基板と
を備え、

前記複数のセルの各々は、コレクタ層、ベース層、及びエミッタ層を含むバイポーラトランジスタを含み、

前記複数のセルの前記バイポーラトランジスタが相互に並列に接続されており、

前記導体突起は、平面視において前記複数のセルと重なり、前記複数のセルの前記バイポーラトランジスタのエミッタ層に電氣的に接続されており、前記モジュール基板は、

平面視において前記導体突起と重なり、前記導体突起に電氣的に接続され、前記第1方向に並んで配置された少なくとも2つの貫通ビアを含み、

前記第1方向に関して前記複数のセルが配置されている範囲の中央部分には、前記貫通ビアが配置されていない半導体モジュールが提供される。

発明の効果

[0010] 経験上、両端の第1セルよりも両端以外の第2セルの方が破壊されやすいことがわかっている。第1セルに含まれるバラスト抵抗素子の抵抗値を、第2セルに含まれるバラスト抵抗素子の抵抗値より大きくすることにより、相対的に第2セルに大きな電流が流れ、発熱量が多くなる。このため、低温動作時における第2セルの破壊耐性の低下を抑制することができる。また、モジュール基板の貫通ビアの上述の構成とすることにより、中央部分のセルの放熱特性が相対的に低下し、温度が上昇しやすくなる。このため、低温動作時における第2セルの破壊耐性の低下を抑制することができる。

図面の簡単な説明

[0011] [図1]図1は、第1実施例による半導体装置の等価回路図である。
[図2]図2は、第1実施例による半導体装置の概略平面図である。
[図3]図3は、図2の一点鎖線3-3における断面図である。
[図4]図4は、ベースバラスト抵抗素子の抵抗値を、すべてのセルにおいて同一にした半導体装置の破壊境界の測定結果を示すグラフである。
[図5]図5は、第2実施例による半導体装置の概略平面図である。
[図6]図6は、図5の一点鎖線6-6における断面図である。
[図7]図7は、第3実施例による半導体装置の概略平面図である。
[図8]図8は、第4実施例による半導体装置の概略平面図である。
[図9]図9は、第5実施例による半導体装置の概略平面図である。
[図10]図10Aは、第6実施例による半導体モジュールに含まれる半導体装

置の主な構成要素の平面視における配置を示す図であり、図１０Ｂは、モジュール基板の主な構成要素の平面視における配置を示す図であり、図１０Ｃ及び図１０Ｄは、第６実施例による半導体モジュールの概略断面図である。

[図11]図１１Ａは、第７実施例による半導体モジュールに含まれる半導体装置の主な構成要素の平面視における配置を示す図であり、図１１Ｂは、モジュール基板の主な構成要素の平面視における配置を示す図であり、図１１Ｃ及び図１１Ｄは、第７実施例による半導体モジュールの概略断面図である。

発明を実施するための形態

[0012] 〔第１実施例〕

図１から図４までの図面を参照して、第１実施例による半導体装置について説明する。

図１は、第１実施例による半導体装置の等価回路図である。第１実施例による半導体装置は、複数のセル２０を含む。複数のセル２０は、基板の上に一方向に並んで配置されておりセル列を構成している。ここで、「一方向に並ぶ」とは、必ずしも一直線上に並ぶ必要はなく、例えば、千鳥状に並んで配置されてもよい。図１では、セル列の両端に位置する２つのセル２０Ａ、両端から１つ内側に位置する２つのセル２０、及びセル列の中央部に位置する２つのセル２０Ｂを示している。

[0013] 複数のセル２０の各々は、バイポーラトランジスタ２１、ベースバラスト抵抗素子２２、及び入力キャパシタ２３を含む。複数のセル２０のバイポーラトランジスタ２１は、相互に並列に接続されている。バイポーラトランジスタ２１のエミッタがエミッタ共通配線５０に接続されており、コレクタがコレクタ共通配線５１に接続されている。

[0014] 複数のセル２０のバイポーラトランジスタ２１は、それぞれベースバラスト抵抗素子２２を介して、複数のセル２０に共通のベースバイアス配線５２に接続されるとともに、入力キャパシタ２３を介して、複数のセル２０に共通の高周波信号入力配線５３に接続されている。共通のベースバイアス配線５２及びセル２０ごとのベースバラスト抵抗素子２２を通して、バイポーラ

トランジスタ 21 にベースバイアス電流が供給される。複数のセル 20 のうち、端部のセル 20 A に含まれるベースバラスト抵抗素子 22 の抵抗値が、端部以外の少なくとも 1 つのセル 20 B に含まれるベースバラスト抵抗素子 22 の抵抗値より大きい。

[0015] 高周波信号入力配線 53 及びセル 20 ごとの入力キャパシタ 23 を通して、バイポーラトランジスタ 21 に高周波信号が入力される。バイポーラトランジスタ 21 で増幅された高周波信号が、コレクタ共通配線 51 から出力される。また、チョークコイル及びコレクタ共通配線 51 を通して、バイポーラトランジスタ 21 にコレクタ電圧が印加される。

[0016] 図 2 は、第 1 実施例による半導体装置の概略平面図である。複数のセル 20 が一方向に並んで配置されている。複数のセル 20 が並ぶ方向を y 方向とし、基板の表面の法線方向を z 方向とする x y z 直交座標系を定義する。基板の表層部に n 型導電性のサブコレクタ層 25 が配置されている。平面視において、サブコレクタ層 25 内にバイポーラトランジスタ 21 及び一対のコレクタ電極 30 C が配置されている。一対のコレクタ電極 30 C は、バイポーラトランジスタ 21 を y 方向に挟む。

[0017] バイポーラトランジスタ 21 は、後に図 3 を参照して説明するように、サブコレクタ層 25 の上に順番に積層されたコレクタ層 21 C、ベース層 21 B、及びエミッタ層 21 E からなるベースメサ 21 BM で構成される。平面視において、ベースメサ 21 BM に包含されるように、y 方向に間隔を隔てて一対のエミッタ電極 30 E が配置されており、さらにベース電極 30 B が配置されている。エミッタ電極 30 E の各々は、平面視において x 方向に長い形状を有している。ベース電極 30 B は、x 方向に長いベースフィンガ部 30 B F 及びベースコンタクト部 30 B C を含む。ベースフィンガ部 30 B F は、一対のエミッタ電極 30 E の間に配置されている。ベースコンタクト部 30 B C はベースフィンガ部 30 B F の一方の端部に連続している。

[0018] エミッタ電極 30 E 及びベース電極 30 B の形状、大きさ、相対位置関係は、複数のセル 20 の間で同一である。このため、エミッタ電極 30 E の長

さ（ x 方向の寸法）と幅（ y 方向の寸法）との比が、すべてのセル20の間で同一である。また、複数のセル20は、 y 方向に等間隔に均等に配置されている。

[0019] 図2において、コレクタ電極30C、エミッタ電極30E、及びベース電極30Bに、右上がりのハッチングを付している。1層目の配線層内の導体パターンに、相対的に淡い右下がりのハッチングを付している。なお、ベースバラスト抵抗素子22には、相対的に淡い右上がりのハッチングを付している。1層目の配線層に、エミッタ配線31E、コレクタ配線31C、ベース配線31B、コレクタ共通配線51、及びベースバイアス配線52が配置されている。

[0020] エミッタ配線31Eは、一方のエミッタ電極30Eからベースフィンガ部30BFと交差して他方のエミッタ電極30Eまで達している。一対のエミッタ電極30Eがエミッタ配線31Eによって相互に接続されている。

[0021] 複数のコレクタ配線31Cが、それぞれ平面視においてコレクタ電極30Cと重なり、コレクタ電極30Cに接続されている。複数のコレクタ配線31Cは、 x 方向の一方の向きにサブコレクタ層25の外側まで延びており、コレクタ共通配線51に連続している。

[0022] 複数のベース配線31Bが、それぞれ平面視においてベースコンタクト部30BCに重なり、ベースコンタクト部30BCに接続されている。複数のベース配線31Bは x 方向の一方の向きにサブコレクタ層25の外側まで延びている。複数のベース配線31Bが、それぞれベースバラスト抵抗素子22を介して共通のベースバイアス配線52に接続されている。

[0023] 2層目の配線層に、エミッタ共通配線50及び高周波信号入力配線53が配置されている。エミッタ共通配線50は、平面視において一方の端のセル20Aから他方の端のセル20Aまで y 方向に延びており、複数のセル20ごとに配置されたエミッタ配線31Eに接続されている。高周波信号入力配線53は、複数のセル20ごとに配置されたベース配線31Bと交差するように y 方向に延びている。ベース配線31Bは、高周波信号入力配線53と

重なる部分において、他の部分より y 方向の寸法が大きくなっている。ベース配線 3 1 B と高周波信号入力配線 5 3 とが重なる領域に、入力キャパシタ 2 3 が形成される。

[0024] 平面視においてエミッタ共通配線 5 0 と重なるように、導体突起 5 4 が配置されている。導体突起 5 4 は、エミッタ共通配線 5 0 に接続されており、モジュール基板にフリップチップ実装するときの外部接続用の端子として利用される。

[0025] 図 3 は、図 2 の一点鎖線 3-3 における断面図である。基板 1 5 の上にサブコレクタ層 2 5 が配置されている。サブコレクタ層 2 5 の一部の領域の上にベースメサ 2 1 B M が配置されている。ベースメサ 2 1 B M は、サブコレクタ層 2 5 から順番に積層されたコレクタ層 2 1 C、ベース層 2 1 B、及びエミッタ層 2 1 E を含む。コレクタ層 2 1 C、ベース層 2 1 B、及びエミッタ層 2 1 E によってバイポーラトランジスタ 2 1 が構成される。エミッタ層 2 1 E の上に、y 方向に間隔を隔てて一対のキャップ層 2 6 A が配置されている。一対のキャップ層 2 6 A の上に、それぞれコンタクト層 2 6 B が配置されている。

[0026] 次に、これらの半導体層の材料の一例について説明する。基板 1 5 には、半絶縁性の GaAs が用いられる。サブコレクタ層 2 5 及びコレクタ層 2 1 C は、n 型 GaAs で形成される。ベース層 2 1 B は、p 型 GaAs で形成される。エミッタ層 2 1 E は、n 型 InGaP で形成される。キャップ層 2 6 A 及びコンタクト層 2 6 B は、それぞれ n 型 GaAs 及び n 型 InGaAs で形成される。

[0027] 一対のコンタクト層 2 6 B の上に、それぞれエミッタ電極 3 0 E が配置されている。エミッタ電極 3 0 E は、コンタクト層 2 6 B 及びキャップ層 2 6 A を介してエミッタ層 2 1 E に電氣的に接続される。エミッタ層 2 1 E のうち、平面視においてキャップ層 2 6 A と重なる領域が、実質的にバイポーラトランジスタ 2 1 のエミッタ領域として機能する。

[0028] エミッタ電極 3 0 E をエッチングマスクとして用いてコンタクト層 2 6 B

及びキャップ層 2 6 A の不要部分をエッチング除去することにより、コンタクト層 2 6 B 及びキャップ層 2 6 A が自己整合的に形成される。このため、コンタクト層 2 6 B 及びキャップ層 2 6 A の平面視における形状は、エミッタ電極 3 0 E の平面視における形状にほぼ一致する。なお、キャップ層 2 6 A 及びコンタクト層 2 6 B の不要部分を、レジストマスクを用いてエッチング除去した後、リフトオフ法を用いてエミッタ電極 3 0 E を形成してもよい。

[0029] 一対のキャップ層 2 6 A の間のエミッタ層 2 1 E の上に、ベース電極 3 0 B が配置されている。ベース電極 3 0 B は、エミッタ層 2 1 E を厚さ方向に貫通してベース層 2 1 B に達する合金化領域 2 7 を介してベース層 2 1 B に電氣的に接続される。

[0030] ベースメサ 2 1 B M の両側のサブコレクタ層 2 5 の上に、それぞれコレクタ電極 3 0 C が配置されている。コレクタ電極 3 0 C は、サブコレクタ層 2 5 を介してコレクタ層 2 1 C に電氣的に接続される。

[0031] コレクタ電極 3 0 C、エミッタ電極 3 0 E、ベース電極 3 0 B 等を覆うように、基板 1 5 の全域に層間絶縁膜 3 5 が配置されている。層間絶縁膜 3 5 に、エミッタコンタクトホール 4 0 E 及びコレクタコンタクトホール 4 0 C が設けられている。層間絶縁膜 3 5 の上に、エミッタ配線 3 1 E 及びコレクタ配線 3 1 C が配置されている。エミッタ配線 3 1 E は、エミッタコンタクトホール 4 0 E を通ってエミッタ電極 3 0 E に接続されている。一対のエミッタ電極 3 0 E が、エミッタ配線 3 1 E によって相互に電氣的に接続される。コレクタ配線 3 1 C は、コレクタコンタクトホール 4 0 C を通ってコレクタ電極 3 0 C に接続されている。

[0032] エミッタ配線 3 1 E 及びコレクタ配線 3 1 C を覆うように、層間絶縁膜 3 5 の上に 2 層目の層間絶縁膜 3 6 が配置されている。2 層目の層間絶縁膜 3 6 に、平面視においてエミッタ配線 3 1 E に包含されるエミッタコンタクトホール 4 1 E が設けられている。層間絶縁膜 3 6 の上にエミッタ共通配線 5 0 が配置されている。エミッタ共通配線 5 0 はエミッタコンタクトホール 4

1 E を通ってエミッタ配線 3 1 E に接続されている。

[0033] エミッタ共通配線 5 0 の上に保護膜 3 7 が配置されており、保護膜 3 7 に開口 4 2 E が設けられている。保護膜 3 7 の開口 4 2 E 内に導体突起が配置されている。導体突起は、開口 4 2 E の周辺の保護膜 3 7 の上まで広がっている。導体突起 5 4 は、基板 1 5 から遠ざかる向きに、保護膜 3 7 の上面から突出している。

[0034] 導体突起 5 4 は、エミッタ共通配線 5 0 から順番に積層されたアンダーバンプメタル層 5 4 A、Cuピラー 5 4 B、及びハンダ層 5 4 Cを含む。このような構成の導体突起は、Cuピラーバンプといわれる。導体突起 5 4 として、Cuピラーバンプの他に、Auバンプ、ハンダボールバンプ、導体柱（ポスト）等を用いてもよい。

[0035] キャップ層 2 6 A、コンタクト層 2 6 B、エミッタ電極 3 0 E、エミッタ配線 3 1 E、エミッタ共通配線 5 0、及び導体突起 5 4 は、エミッタ電流が流れる電流経路としての機能の他に、バイポーラトランジスタ 2 1 で発生した熱をモジュール基板に伝導させる伝熱経路としても機能する。

[0036] 次に、図 4 を参照して第 1 実施例の優れた効果について説明する。

図 4 は、ベースバラスト抵抗素子 2 2 の抵抗値を、すべてのセル 2 0 において同一にした半導体装置の破壊境界の測定結果を示すグラフである。横軸はコレクタ電圧を相対値で表し、縦軸はコレクタ電流を相対値で表す。図 4 のグラフ中の実線及び破線は、それぞれ基板温度が室温及び -30°C の条件下で測定した結果を示す。基板温度が室温から -30°C に低下すると、白抜き矢印で示すように、破壊耐性が低下していることがわかる。

[0037] 破壊が発生したサンプルを調査したところ、複数のセル 2 0 のうち端部以外のセル 2 0、特に y 方向の中央近傍のセル 2 0 に破壊が集中していることが判明した。以下、特に中央近傍のセル 2 0 に破壊が集中して発生している原因について考察する。

[0038] 中央近傍のセル 2 0 に破壊が集中して発生したのは、中央近傍のセル 2 0 の破壊耐性が端部のセル 2 0 の破壊耐性より低いためである。図 4 に示した

破壊耐性のグラフを参照すると、中央部のセル 20 の破壊耐性が相対的に低いのは、動作中における中央近傍のセル 20 の温度が端部のセルの温度より低くなっているためと考えられる。例えば、図 2 に示したように、中央近傍のセル 20 は、伝熱経路として機能する導体突起 54 の中央部に接続されており、端部のセル 20 A は、導体突起 54 の端部に接続されている。このため、中央近傍のセル 20 からの放熱特性が相対的に高くなり、その結果、温度が相対的に低くなっていると考えられる。

[0039] 第 1 実施例においては、端部のセル 20 A 以外の少なくとも 1 つのセル 20 B のベースバラスト抵抗素子 22 の抵抗値を相対的に低くしている。このため、セル 20 B のコレクタ電流が、端部のセル 20 A のコレクタ電流より相対的に多くなる。その結果、セル 20 B の温度が上昇して破壊耐性の低下が抑制される。半導体装置の破壊耐性を向上させるために、特に破壊が生じやすい箇所のセル 20 のベースバラスト抵抗素子 22 の抵抗値を相対的に低くするとよい。

[0040] [第 2 実施例]

次に、図 5 及び図 6 を参照して、第 2 実施例による半導体装置について説明する。以下、図 1 から図 4 までの図面を参照して説明した第 1 実施例による半導体装置と共通の構成については説明を省略する。

[0041] 図 5 は、第 2 実施例による半導体装置の概略平面図であり、図 6 は、図 5 の一点鎖線 6-6 における断面図である。第 1 実施例では、導体突起 54 (図 2) の幅 (x 方向の寸法) が一定である。これに対して第 2 実施例では、導体突起 54 の長さ方向 (y 方向) の中央を含む一部分の幅が、端部側の他の一部分の幅より狭い。図 5 において、導体突起 54 にハッチングを付している。例えば、ベースバラスト抵抗素子 22 の抵抗値が相対的に低くされているセル 20 B と平面視において重なる少なくとも一部の部分の幅が、両端のセル 20 A と重なる少なくとも一部の部分の幅より狭い。導体突起 54 の幅が狭くされることにより、図 6 に示すように、x 方向のある位置において、セル 20 B の上方に、導体突起 54 が配置されない領域が発生する。

[0042] 次に、第2実施例の優れた効果について説明する。

第2実施例においては、x方向に関してセル20Bが配置されている範囲の導体突起54の幅が狭くされている。このため、導体突起54の幅が一定の構成と比べて、セル20Bの放熱特性が低下し、温度の上昇幅が大きくなる。その結果、セル20Bとセル20Aとの温度の差が低減される。これにより、温度の不均一に起因する破壊が生じにくくなり、半導体装置の破壊耐性を高めることができる。

[0043] 次に、第2実施例の変形例による半導体装置について説明する。

第2実施例においては、ベースバラスト抵抗素子22の抵抗値がセル20の間で異なる構成、及び導体突起54の幅がy方向の位置に応じて異なる構成の両方を採用することにより、温度の均一性を高めている。一変形例として、ベースバラスト抵抗素子22の抵抗値を複数のセル20の間で同一にし、導体突起54の幅がy方向の位置に応じて異なる構成のみを採用してもよい。

[0044] 図5では、ベースバラスト抵抗素子22の抵抗値を相対的に低くしたセル20Bの個数を2個にしている。ベースバラスト抵抗素子22の抵抗値を相対的に低くしたセル20Bは、1個でもよいし、3個以上でもよい。特に破壊が生じやすい箇所のセル20のベースバラスト抵抗素子22の抵抗値を相対的に低くするとよい。

[0045] [第3実施例]

次に、図7を参照して第3実施例による半導体装置について説明する。以下、図5及び図6を参照して説明した第2実施例による半導体装置と共通の構成については説明を省略する。

[0046] 図7は、第3実施例による半導体装置の概略平面図である。第2実施例（図5）では、導体突起54の端部以外の一部分の幅が、端部の一部分の幅より狭くされている。これに対して第3実施例では、ベースバラスト抵抗素子22の抵抗値が相対的に低いセル20Bが配置された位置において、導体突起54がy方向に分離されている。図7において、導体突起54にハッチン

グを付している。すなわち、平面視において2つのセル20Bが導体突起54と重なっていない。なお、平面視において導体突起54と重ならないセル20の個数は、2個に限定されない。1つのセル20が導体突起54と重ならないように、導体突起54を配置してもよいし、3つ以上のセル20が導体突起54と重ならないように、導体突起54を配置してもよい。

[0047] セル20Bのバイポーラトランジスタ21は、平面視において導体突起54と重ならない。なお、セル20Bのバイポーラトランジスタ21の一部のみが、平面視において導体突起54と重ならない構成としてもよい。エミッタ共通配線50は、一方の端部のセル20Aが配置された位置から他方の端部のセル20Aが配置された位置まで連続している。

[0048] 次に、第3実施例の優れた効果について説明する。

第3実施例では、セル20Bのバイポーラトランジスタ21の少なくとも一部が導体突起54と重ならないため、セル20Bの放熱特性が、両端のセル20Aの放熱特性より低くなる。相対的に低温になりやすい箇所のセル20Bからの放熱量が相対的に少なくなるため、セル20の間で温度の均一性が高まる。その結果、温度の不均一に起因する破壊が生じにくくなり、半導体装置の破壊耐性を高めることができる。

[0049] 次に、第3実施例の変形例による半導体装置について説明する。

第3実施例においては、ベースバラスト抵抗素子22の抵抗値がセル20の間で異なる構成、及び導体突起54が2つの部分に分離した構成の両方を採用することにより、温度の均一性を高めている。一変形例として、ベースバラスト抵抗素子22の抵抗値を複数のセル20の間で同一にし、導体突起54が2つの部分に分離した構成のみを採用してもよい。

[0050] [第4実施例]

次に、図8を参照して第4実施例による半導体装置について説明する。以下、図5及び図6を参照して説明した第2実施例による半導体装置と共通の構成については説明を省略する。

[0051] 図8は、第4実施例による半導体装置の概略平面図である。第2実施例（

図5)では、y方向に長い1本の導体突起54が配置されている。これに対して第4実施例では、複数のセル20の一方の端部のセル20Aから他方の端部のセル20Aに至る範囲に複数の導体突起54がy方向に並んで配置されている。図8において、導体突起54にハッチングを付している。導体突起54の各々の平面視における形状は円形である。なお、導体突起54の各々の平面視における形状を、角丸正方形、角丸長方形等の形状にしてもよい。

[0052] 複数のセル20が配置された範囲の両端から中央に向かって、導体突起54の分布密度が低くなっている。例えば、隣り合う導体突起54の幾何中心の間隔をD1と標記したとき、y方向の端部近傍における間隔D1より、中央近傍における間隔D1の方が広い。

[0053] 次に、第4実施例の優れた効果について説明する。

第4実施例においては、複数のセル20が配置されている範囲において、y方向の中央近傍における導体突起54の分布密度が相対的に低いため、中央近傍のセル20のバイポーラトランジスタ21の放熱特性が相対的に低い。なお、中央近傍には、ベースバラスト抵抗素子22の抵抗値が相対的に低いセル20Bが配置されている。このため、第2実施例と同様に、セル20の間で温度の均一性が高まる。その結果、温度の不均一に起因する破壊が生じにくくなり、半導体装置の破壊耐性を高めることができる。

[0054] 次に、第4実施例の変形例による半導体装置について説明する。

第4実施例においては、ベースバラスト抵抗素子22の抵抗値がセル20の間で異なる構成、及び導体突起54の分布密度がy方向の位置に応じて異なる構成の両方を採用することにより、温度の均一性を高めている。一変形例として、ベースバラスト抵抗素子22の抵抗値を複数のセル20の間で同一にし、導体突起54の分布密度がy方向の位置に応じて異なる構成のみを採用してもよい。

[第5実施例]

次に、図9を参照して第5実施例による半導体装置について説明する。以

下、図 1 から図 4 までの図面を参照して説明した第 1 実施例による半導体装置と共通の構成については説明を省略する。

[0055] 図 9 は、第 5 実施例による半導体装置の概略平面図である。第 1 実施例（図 2）では、複数のセル 20 が y 方向に均等に配置されている。これに対して第 5 実施例では、相互に隣り合う 2 つのセル 20 の中心の y 方向の間隔 D が、y 方向の位置に応じて異なっている。セル 20 の中心として、セル 20 の各々のバイポーラトランジスタ 21 の幾何中心を採用する。両端のセル 20 A と、それに隣り合うセル 20 との中心の間隔 D が、ベースバラスト抵抗素子 22 の抵抗値が相対的に低いセル 20 B を含んで相互に隣り合う 2 つのセル 20 の中心の間隔 D より広い。

[0056] 一方の端部のセル 20 A が配置された位置から、他方の端部のセル 20 A が配置された位置まで導体突起 54 が延びている。図 9 において、導体突起 54 にハッチングを付している。導体突起 54 の幅は一定である。

[0057] 次に、第 5 実施例の優れた効果について説明する。セル 20 の中心の間隔 D に着目すると、密に配置された中央近傍のセル 20 の温度が上昇しやすい。y 方向に長い導体突起 54 とセル 20 との位置関係のみに着目すると、中央近傍のセル 20 の放熱特性が端部近傍のセル 20 の放熱特性より高い。このように、温度が上昇しやすい中央近傍のセル 20 の放熱特性が相対的に高くなっている。このため、セル 20 の間で温度の均一性が高まる。その結果、温度の不均一に起因する破壊が生じにくくなり、半導体装置の破壊耐性を高めることができる。

[0058] [第 6 実施例]

次に、図 10 A から図 10 D までの図面を参照して第 6 実施例による半導体モジュールについて説明する。第 6 実施例による半導体モジュールは、図 1 から図 4 までの図面を参照して説明した第 1 実施例による半導体装置と、この半導体装置が実装されたモジュール基板とを含む。

[0059] 図 10 A は、第 6 実施例による半導体モジュールに含まれる半導体装置 60 の主な構成要素の平面視における配置を示す図である。基板 15 に複数の

セル 20、及び複数のセル 20 と平面視において重なる導体突起 54 が設けられている。導体突起 54 は、図 3 に示したようにセル 20 のエミッタ層 21E に電氣的に接続されている。導体突起 54 の他に、グランド用の導体突起 55、及び信号入出力用の導体突起 56 が設けられている。

[0060] 図 10B は、第 6 実施例による半導体モジュールに含まれるモジュール基板 70 の主な構成要素の平面視における配置を示す図である。モジュール基板 70 の上面に、ランド 74、75、76 が設けられている。平面視においてランド 74、75 のそれぞれと重なるように、貫通ビア 84、85 が設けられている。モジュール基板の下面に、外部接続端子 94、95 が設けられている。

[0061] 図 10C 及び図 10D は、第 6 実施例による半導体モジュールの概略断面図である。モジュール基板 70 に半導体装置 60 がフリップチップ実装されている。図 10C は、図 10A 及び図 10B の一点鎖線 10C-10C における断面に相当し、図 10D は、図 10A 及び図 10B の一点鎖線 10D-10D における断面に相当する。

[0062] 半導体装置 60 の導体突起 54、55、56 が、それぞれモジュール基板 70 のランド 74、75、76 にハンダにより接続されている。貫通ビア 84 が、上面のランド 74 と下面の外部接続端子 94 とを接続する。他の貫通ビア 85 が、上面のランド 75 と下面の外部接続端子 95 とを接続する。外部接続端子 94、95 は、例えばマザーボードのランドに接続される。

[0063] ランド 74、貫通ビア 84、及び外部接続端子 94 の平面視における形状は、複数のセル 20 が配列する方向に長い。ランド 74、貫通ビア 84、及び外部接続端子 94 は、セル 20 の配列方向に関して複数のセル 20 が配置されている範囲の中央部分から端部に向かってずれた箇所に、中央部分よりも幅が広い部分 74A、84A、94A を含む。

[0064] 次に、第 8 実施例の優れた効果について説明する。

モジュール基板 70 の貫通ビア 84 は、半導体装置 60 とマザーボードとを電氣的に接続する機能の他に、半導体装置 60 のセル 20 で発生した熱を

マザーボードまで伝導させる伝熱経路としての機能を有する。第6実施例では、ランド74、貫通ビア84、及び外部接続端子94が、中央部分からずれた位置に、幅が広い部分74A、84A、94Aを含んでいる。このため、幅が広い部分74A、84A、94Aと平面視において重なるセル20からマザーボードまでの伝熱経路の熱抵抗が、中央部分のセル20からマザーボードまでの伝熱経路の熱抵抗より低くなる。言い換えると、中央近傍のセル20の放熱特性が相対的に低い。

[0065] 導体突起54との位置関係に起因して相対的に温度が上昇しにくくなっている中央近傍のセル20の温度が、貫通ビア84の構造によって上昇しやすくなる。このため、複数のセル20の温度の均一性が高められる。その結果、温度の不均一に起因する破壊が生じにくくなり、半導体装置の破壊耐性を高めることができる。

[0066] 次に、第6実施例の変形例による半導体モジュールについて説明する。

第6実施例による半導体モジュールにおいては、半導体装置60として、図1から図4までの図面を参照して説明した第1実施例による半導体装置を用いたが、第1実施例以外の他の実施例による半導体装置を用いてもよい。その他に、すべてのセル20においてベースバラスト抵抗素子22の抵抗値が同一の半導体装置を、第6実施例による半導体モジュールの半導体装置60として用いてもよい。

[0067] [第7実施例]

次に、図11Aから図11Dまでの図面を参照して第7実施例による半導体モジュールについて説明する。以下、図10Aから図10Dまでの図面を参照して説明した第6実施例による半導体モジュールと共通の構成については説明を省略する。

[0068] 図11Aは、第7実施例による半導体モジュールに含まれる半導体装置60の主な構成要素の平面視における配置を示す図であり、図10Aに示したものと同一である。

[0069] 図11Bは、第7実施例による半導体モジュールに含まれるモジュール基

板 7 0 の主な構成要素の平面視における配置を示す図である。図 1 1 C 及び図 1 1 D は、第 7 実施例による半導体モジュールの概略断面図である。図 1 1 C は、図 1 1 A 及び図 1 1 B の一点鎖線 1 1 C - 1 1 C における断面に相当し、図 1 1 D は、図 1 1 A 及び図 1 1 B の一点鎖線 1 1 D - 1 1 D における断面に相当する。

[0070] 第 6 実施例（図 1 0 B）では、貫通ビア 8 4 及び外部接続端子 9 4 の幅が、セル 2 0 の配列方向の位置に応じて異なっている。これに対して第 7 実施例では、複数のセル 2 0 の配列方向に並んで配置された 2 つの貫通ビア 8 4 を含む。複数のセル 2 0 が配置されている範囲の中央近傍には、貫通ビア 8 4 が配置されていない。外部接続端子 9 4 も、貫通ビア 8 4 と同様に 2 つ配置されている。なお、ランド 7 4 は、一方の端部のセル 2 0 の位置から他方の端部のセル 2 0 の位置まで連続している。

[0071] 次に、第 7 実施例の優れた効果について説明する。

第 7 実施例においても第 6 実施例と同様に、導体突起 5 4 との位置関係に起因して相対的に温度が上昇しにくくなっている中央近傍のセル 2 0 の温度が、貫通ビア 8 4 の構造によって上昇しやすくなる。このため、複数のセル 2 0 の温度の均一性が高められる。その結果、温度の不均一に起因する破壊が生じにくくなり、半導体装置の破壊耐性を高めることができる。

[0072] [第 8 実施例]

次に、第 8 実施例による半導体装置について説明する。以下、第 1 実施例から第 6 実施例までのいずれかの実施例による半導体装置と共通の構成については説明を省略する。

[0073] 第 1 実施例から第 6 実施例までの半導体装置においては、相互に並列に接続された複数のセル 2 0（例えば図 1）によって、1 つの増幅回路が構成される。第 8 実施例による半導体装置は、相互に並列に接続された複数のセル 2 0 で構成される増幅回路が、共通の基板 1 5（図 3）に複数個、例えば 2 個配置されている。導体突起 5 4（図 3、図 1 1 A）は、増幅回路ごとに設けられる。2 つの増幅回路は、セル 2 0 の配列方向と直交する方向（x 方向

）に隣り合って配置するとよい。

[0074] 次に、第8実施例の優れた効果について説明する。第8実施例においては、2つの増幅回路を、例えば差動増幅器として動作させることができる。複数の増幅回路の各々に、第1実施例から第6実施例までのいずれかの実施例による半導体装置と同様の構成を採用することにより、差動増幅器の破壊耐性を高めることができる。

[0075] 上述の各実施例は例示であり、異なる実施例で示した構成の部分的な置換または組み合わせが可能であることは言うまでもない。複数の実施例の同様の構成による同様の作用効果については実施例ごとには逐次言及しない。さらに、本発明は上述の実施例に制限されるものではない。例えば、種々の変更、改良、組み合わせ等が可能なことは当業者に自明であろう。

符号の説明

- [0076] 1 5 基板
2 0 セル
2 0 A 端部のセル
2 0 B 端部以外の1つのセル
2 1 バイポーラトランジスタ
2 1 B ベース層
2 1 B M ベースメサ
2 1 C コレクタ層
2 1 E エミッタ層
2 2 ベースバラスト抵抗素子
2 3 入力キャパシタ
2 5 サブコレクタ層
2 6 A キャップ層
2 6 B コンタクト層
2 7 合金化領域
3 0 B ベース電極

30BC ベースコンタクト部
30BF ベースフィンガ部
30C コレクタ電極
30E エミッタ電極
31B ベース配線
31C コレクタ配線
31E エミッタ配線
35、36 層間絶縁膜
37 保護膜
40C コレクタコンタクトホール
40E エミッタコンタクトホール
41E エミッタコンタクトホール
42E 開口
50 エミッタ共通配線
51 コレクタ共通配線
52 ベースバイアス配線
53 高周波信号入力配線
54 導体突起
54A アンダーバンプメタル層
54B Cuピラーバンプ
54C ハンダ層
55 グランド用の導体突起
56 信号入出力用の導体突起
60 半導体装置
70 モジュール基板
74 ランド
74A ランド幅の広い部分
75、76 ランド

8 4 貫通ビア

8 4 A 貫通ビアの幅の広い部分

8 5 貫通ビア

9 4 外部接続端子

9 4 A 外部接続端子の幅の広い部分

9 5 外部接続端子

請求の範囲

[請求項1]

基板と、

前記基板の上に、第1方向に並んで配置された3個以上の複数のセルと、

前記基板の上に配置され、前記基板から遠ざかる向きに突出した導体突起と

を備え、

前記複数のセルの各々は、

コレクタ層、ベース層、及びエミッタ層を含むバイポーラトランジスタと、

前記バイポーラトランジスタに接続されたバラスト抵抗素子とを含み、

前記導体突起は、前記複数のセルの前記バイポーラトランジスタのエミッタ層に接続されており、

前記複数のセルの前記バイポーラトランジスタは相互に並列に接続されており、

前記複数のセルのうち、端部の第1セルに含まれる前記バラスト抵抗素子の抵抗値が、端部以外の少なくとも1つの第2セルに含まれる前記バラスト抵抗素子の抵抗値より大きい半導体装置。

[請求項2]

前記複数のセルの各々は、前記バイポーラトランジスタのエミッタ層に接続されたエミッタ電極を、さらに含み、

前記エミッタ電極は、平面視において前記第1方向と直交する第2方向に長い形状を有し、前記エミッタ電極の前記第2方向の長さ与前記第1方向の幅との比が、すべてのセルの間で同一である請求項1に記載の半導体装置。

[請求項3]

前記導体突起は、平面視において前記複数のセルの前記バイポーラトランジスタと重なり、前記第1方向に長い形状を有し、平面視において前記第2セルと重なる少なくとも一部の部分の幅が、前記第1セ

ルと重なる少なくとも一部の部分の幅より狭い請求項 1 または 2 に記載の半導体装置。

[請求項4] 前記導体突起は、少なくとも 1 つの前記第 2 セルが配置された位置において、前記第 1 方向に分離されている請求項 1 または 2 に記載の半導体装置。

[請求項5] 前記導体突起は、前記複数のセルの一方の端部のセルから他方の端部のセルに至る範囲に前記第 1 方向に並んで複数個配置されており、前記複数のセルが配置された範囲の両端から中央に向かって、前記導体突起の分布密度が低くなっている請求項 1 または 2 に記載の半導体装置。

[請求項6] 前記第 1 セルの前記バイポーラトランジスタの幾何中心と、前記第 1 セルに隣り合うセルの前記バイポーラトランジスタの幾何中心との前記第 1 方向の間隔が、前記第 1 セルを含まず前記第 2 セルを含んで相互に隣り合う 2 つのセルの前記バイポーラトランジスタの幾何中心の前記第 1 方向の間隔より広い請求項 1 乃至 5 のいずれか 1 項に記載の半導体装置。

[請求項7] 請求項 1 乃至 6 のいずれか 1 項に記載の半導体装置と、
前記半導体装置が、前記導体突起を介してフリップチップ実装されたモジュール基板と
を備えた半導体モジュール。

[請求項8] 基板、前記基板の上に第 1 方向に並んで配置された 3 個以上の複数のセル、及び前記基板の上に配置され、前記基板から遠ざかる向きに突出した導体突起を含む半導体装置と、

前記半導体装置が、前記導体突起を介してフリップチップ実装されたモジュール基板と
を備え、

前記複数のセルの各々は、コレクタ層、ベース層、及びエミッタ層を含むバイポーラトランジスタを含み、

前記複数のセルの前記バイポーラトランジスタが相互に並列に接続されており、

前記導体突起は、平面視において前記複数のセルと重なり、前記複数のセルの前記バイポーラトランジスタのエミッタ層に電氣的に接続されており、

前記モジュール基板は、

平面視において前記導体突起と重なり、前記第1方向に長く、前記導体突起に電氣的に接続された貫通ビアを含み、

前記貫通ビアは、前記第1方向に関して前記複数のセルが配置されている範囲の中央部分から端部に向かってずれた箇所に、中央部分の幅より幅が広い部分を含む半導体モジュール。

[請求項9]

基板、前記基板の上に第1方向に並んで配置された3個以上の複数のセル、及び前記基板の上に配置され、前記基板から遠ざかる向きに突出した導体突起を含む半導体装置と、

前記半導体装置が、前記導体突起を介してフリップチップ実装されたモジュール基板とを備え、

前記複数のセルの各々は、コレクタ層、ベース層、及びエミッタ層を含むバイポーラトランジスタを含み、

前記複数のセルの前記バイポーラトランジスタが相互に並列に接続されており、

前記導体突起は、平面視において前記複数のセルと重なり、前記複数のセルの前記バイポーラトランジスタのエミッタ層に電氣的に接続されており、

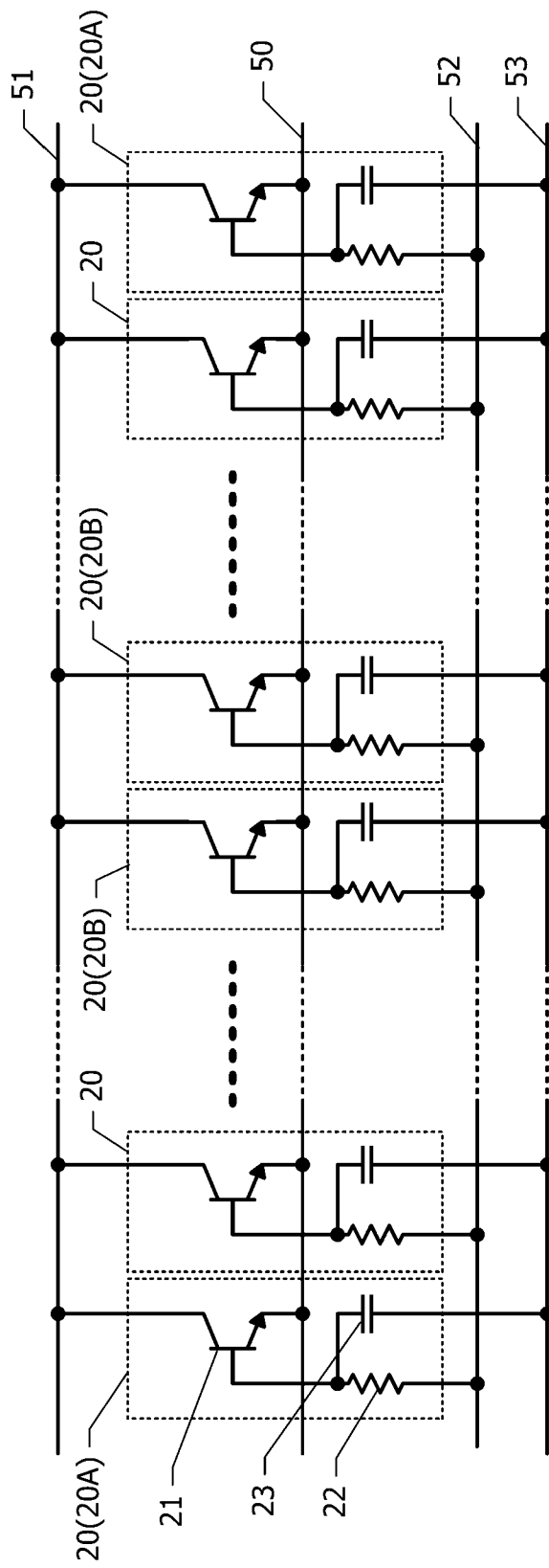
前記モジュール基板は、

平面視において前記導体突起と重なり、前記導体突起に電氣的に接続され、前記第1方向に並んで配置された少なくとも2つの貫通ビアを含み、

前記第 1 方向に関して前記複数のセルが配置されている範囲の中央部分には、前記貫通ビアが配置されていない半導体モジュール。

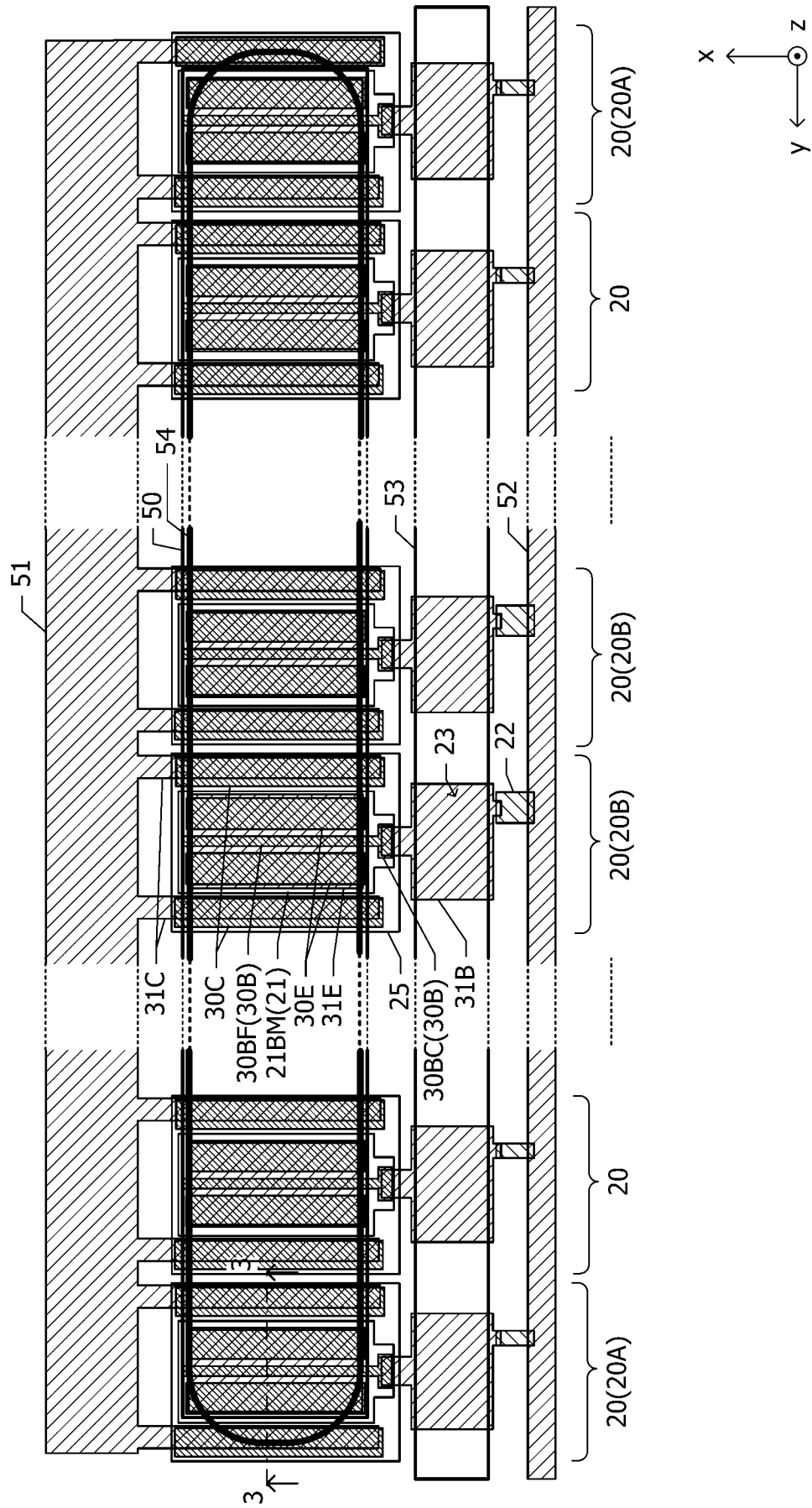
[図1]

Fig.1



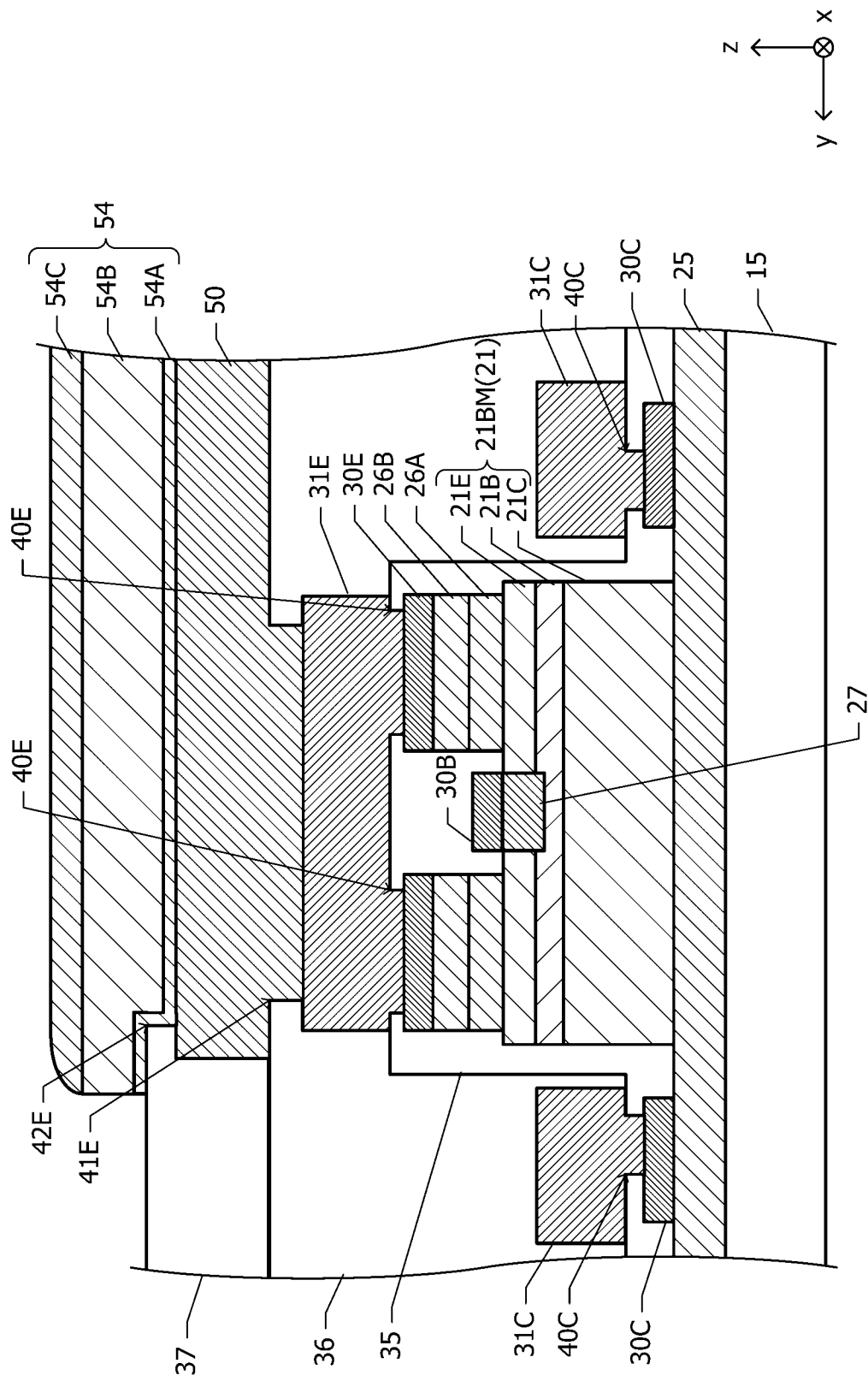
[図2]

Fig.2

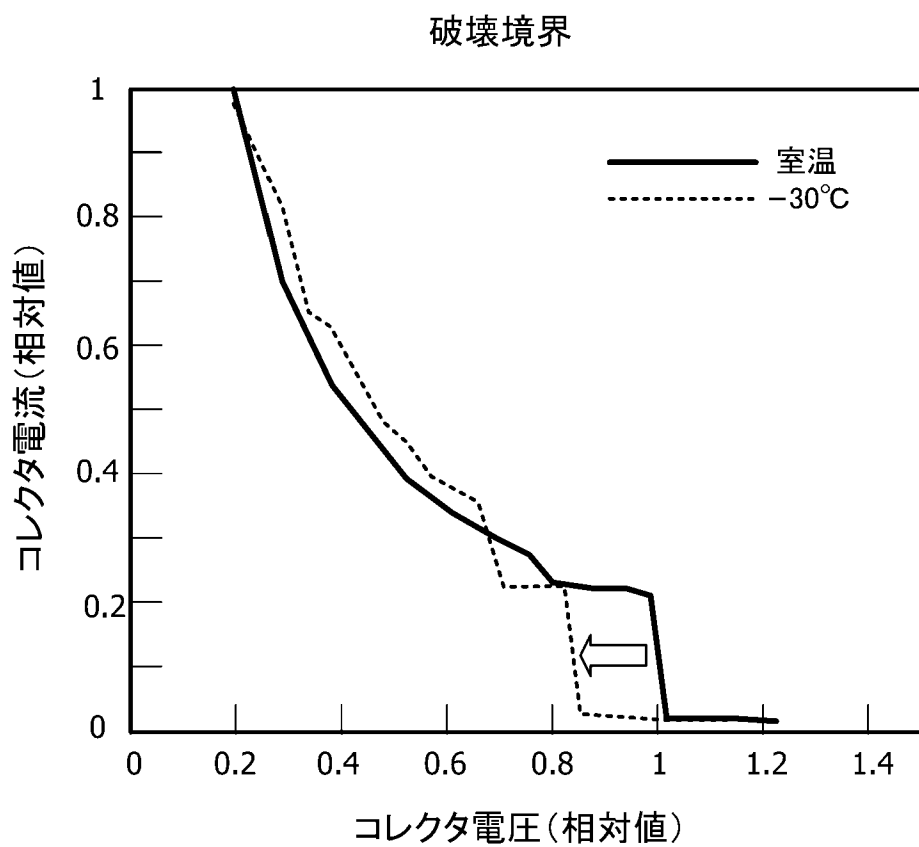


[図3]

Fig.3

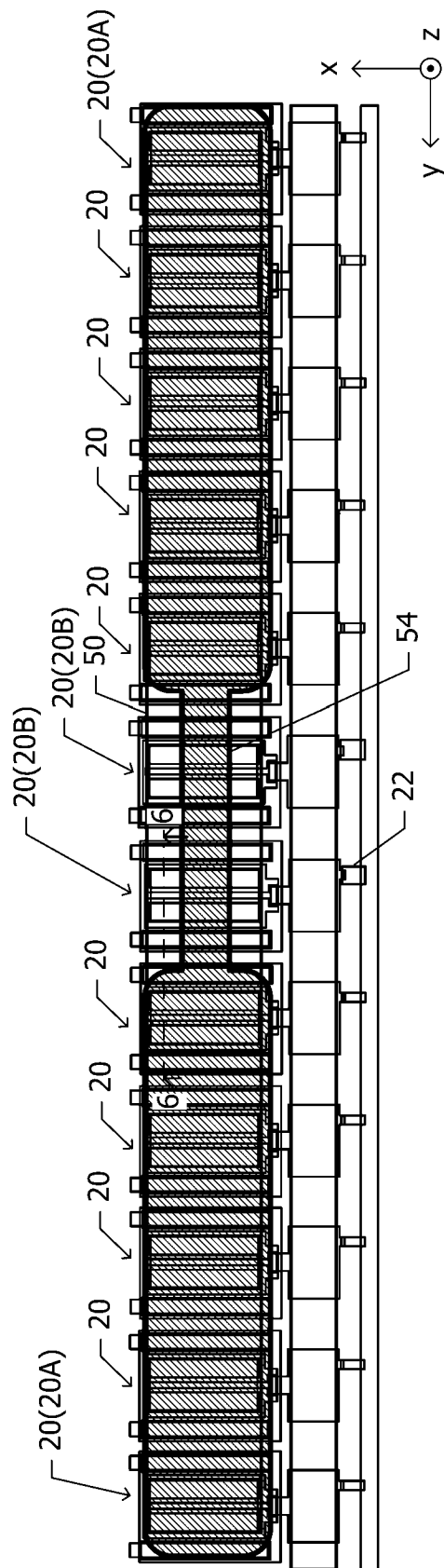


[図4]

Fig.4

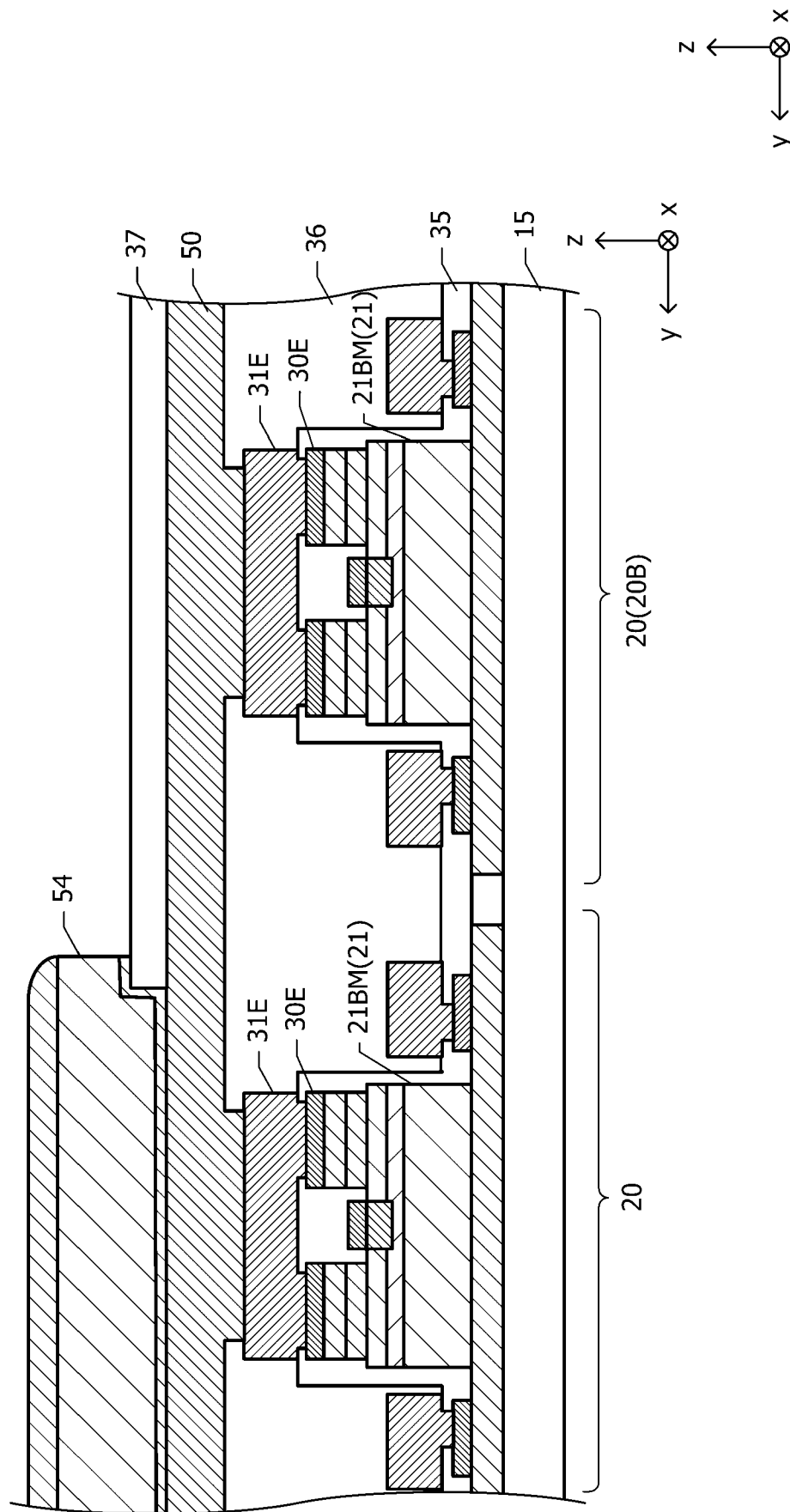
[図5]

Fig.5



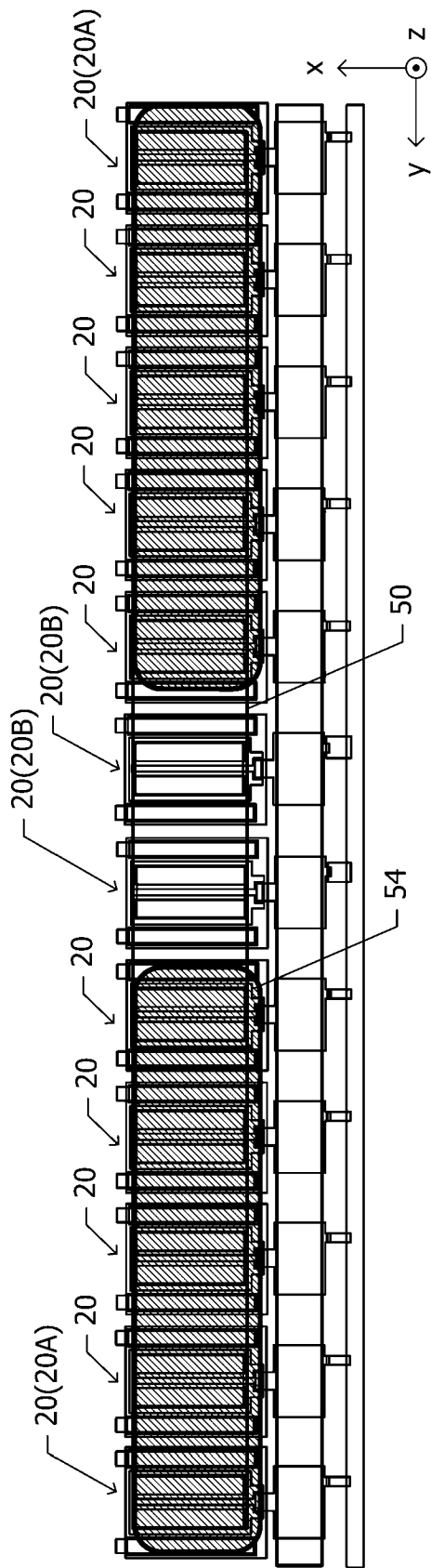
[図6]

Fig.6

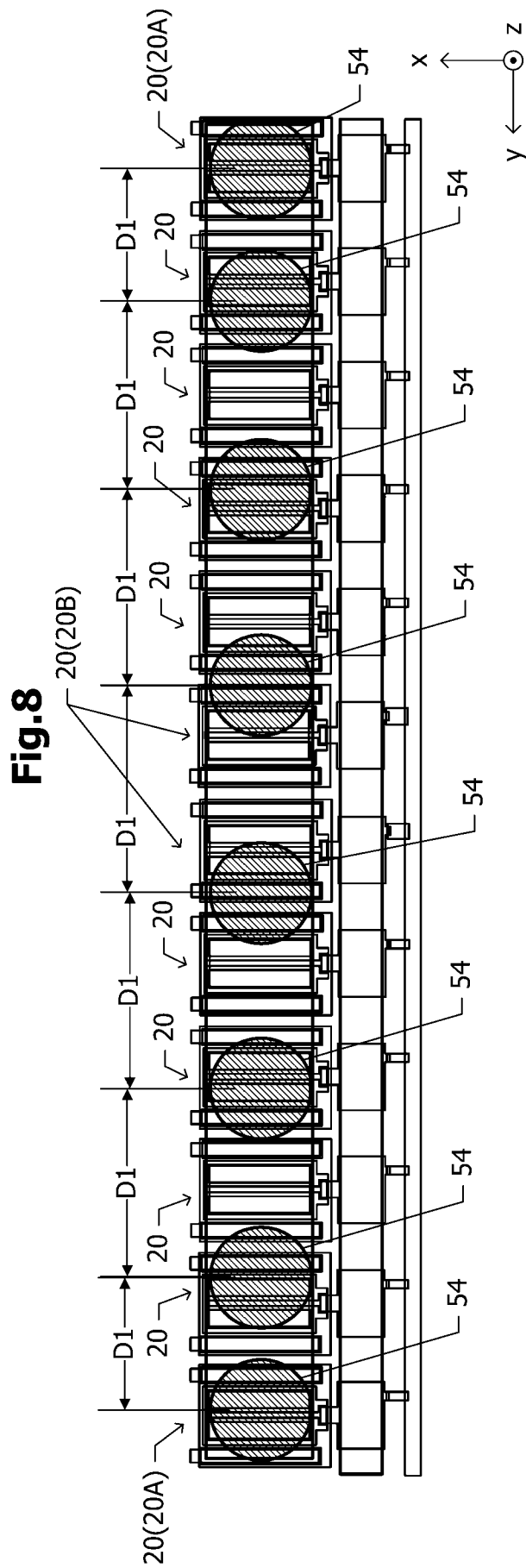


[図7]

Fig.7

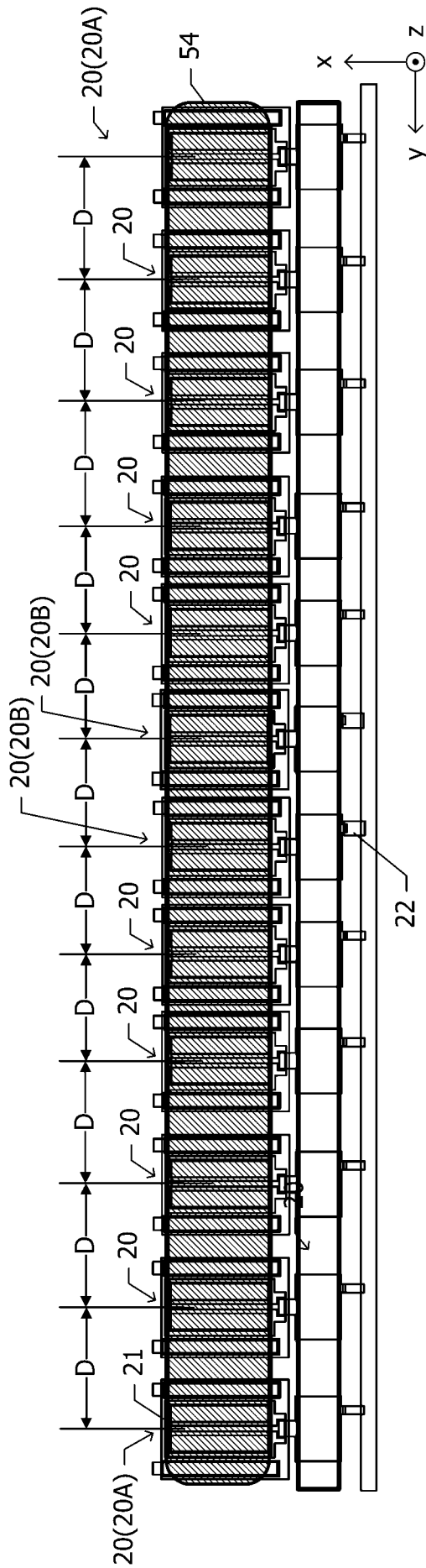


[図8]

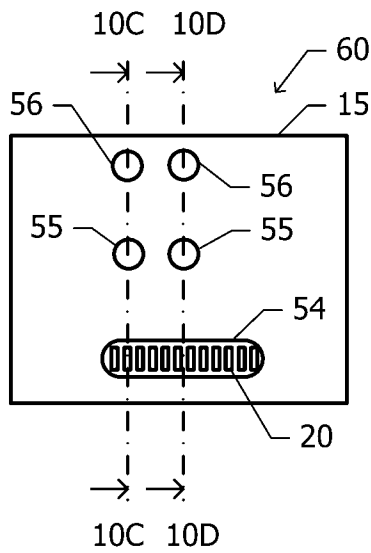
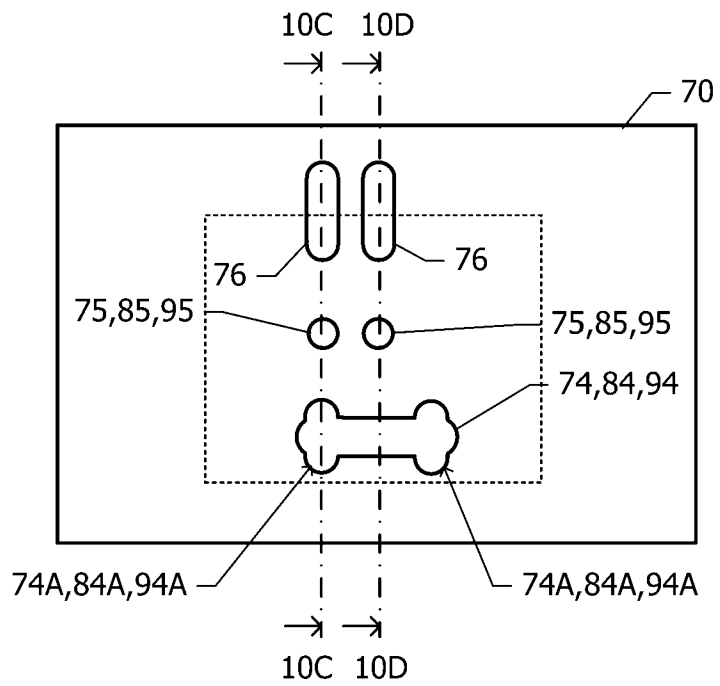
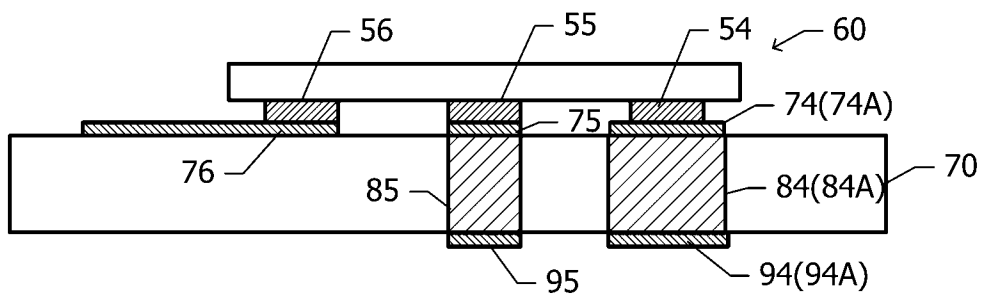
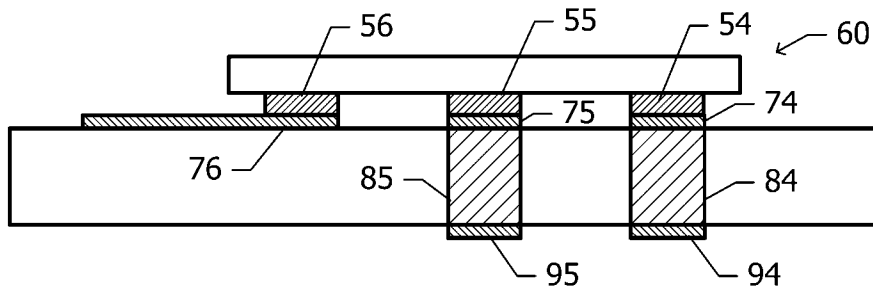


[図9]

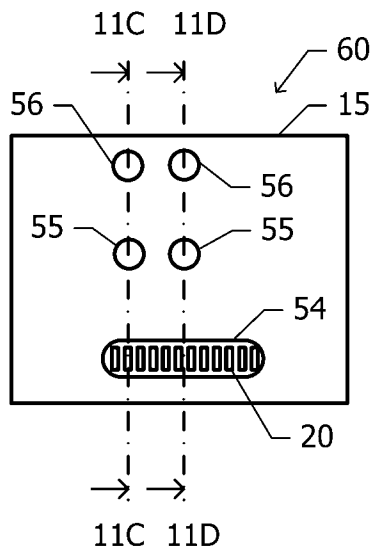
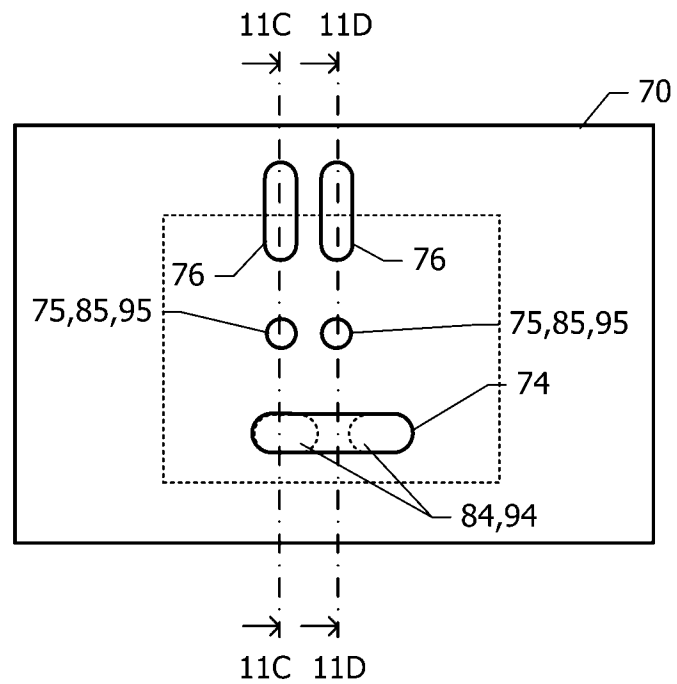
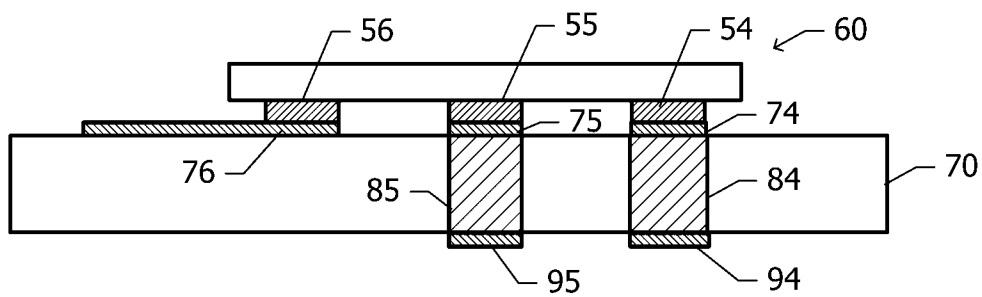
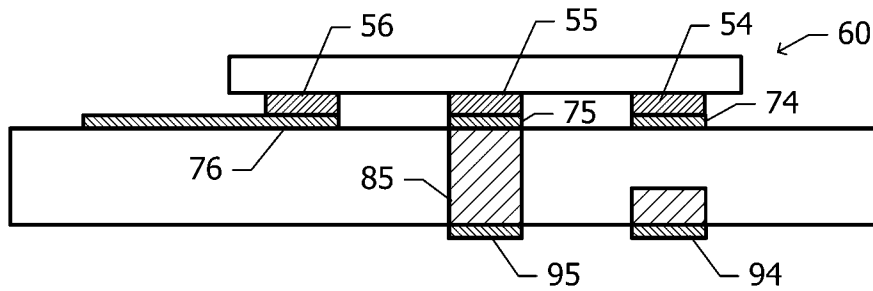
Fig.9



[図10]

Fig.10A**Fig.10B****Fig.10C****Fig.10D**

[図11]

Fig.11A**Fig.11B****Fig.11C****Fig.11D**

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2022/006453

A. CLASSIFICATION OF SUBJECT MATTER

H01L 21/822(2006.01)i; **H01L 27/04**(2006.01)i; **H01L 21/8222**(2006.01)i; **H01L 27/06**(2006.01)i; **H01L 21/331**(2006.01)i; **H01L 29/737**(2006.01)i

FI: H01L29/72 H; H01L27/06 101D; H01L27/04 H; H01L27/04 A

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/822; H01L27/04; H01L21/8222; H01L27/06; H01L21/331; H01L29/737

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2022
Registered utility model specifications of Japan 1996-2022
Published registered utility model applications of Japan 1994-2022

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2006-019503 A (SHARP CORP.) 19 January 2006 (2006-01-19) paragraphs [0059]-[0064], fig. 9, 10	1-2
Y		7
A		3-6, 8-9
Y	JP 2010-267944 A (RENESAS ELECTRONICS CORP.) 25 November 2010 (2010-11-25) paragraphs [0291]-[0306], [0365]-[0373], fig. 43, 44, 51	7-8
X	JP 2021-27322 A (MURATA MANUFACTURING CO., LTD.) 22 February 2021 (2021-02-22) paragraphs [0009]-[0032], [0089]-[0096], fig. 1, 14	9
Y		8
A		1-7
A	JP 7-176538 A (NEC CORP.) 14 July 1995 (1995-07-14)	1-9



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance
“E” earlier application or patent but published on or after the international filing date
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
“O” document referring to an oral disclosure, use, exhibition or other means
“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“&” document member of the same patent family

Date of the actual completion of the international search

23 March 2022

Date of mailing of the international search report

05 April 2022

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)
3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2022/006453

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2006-019503	A	19 January 2006	(Family: none)	
JP	2010-267944	A	25 November 2010	US 2010/0109052 A1 paragraphs [0372]-[0387], [0446]-[0454], fig. 43, 44, 51	
JP	2021-27322	A	22 February 2021	US 2021/0035922 A1 paragraphs [0027]-[0052], [0116]-[0124], fig. 1, 14 CN 112310074 A	
JP	7-176538	A	14 July 1995	(Family: none)	

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 21/822(2006.01)i; H01L 27/04(2006.01)i; H01L 21/8222(2006.01)i; H01L 27/06(2006.01)i; H01L 21/331(2006.01)i; H01L 29/737(2006.01)i FI: H01L29/72 H; H01L27/06 101D; H01L27/04 H; H01L27/04 A		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H01L21/822; H01L27/04; H01L21/8222; H01L27/06; H01L21/331; H01L29/737 最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2022年 日本国実用新案登録公報 1996-2022年 日本国登録実用新案公報 1994-2022年 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2006-019503 A（シャープ株式会社）19.01.2006（2006-01-19） 段落[0059]-[0064], 図9-10	1-2
Y		7
A		3-6, 8-9
Y	JP 2010-267944 A（ルネサスエレクトロニクス株式会社）25.11.2010（2010-11-25） 段落[0291]-[0306], [0365]-[0373], 図43-44, 51	7-8
X	JP 2021-27322 A（株式会社村田製作所）22.02.2021（2021-02-22） 段落[0009]-[0032], [0089]-[0096], 図1, 14	9
Y		8
A		1-7
A	JP 7-176538 A（日本電気株式会社）14.07.1995（1995-07-14）	1-9
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 23.03.2022		国際調査報告の発送日 05.04.2022
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 西出 隆二 5F 4815 電話番号 03-3581-1101 内線 3516

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2022/006453

引用文献			公表日	パテントファミリー文献	公表日
JP	2006-019503	A	19.01.2006	(ファミリーなし)	
JP	2010-267944	A	25.11.2010	US 2010/0109052 A1	
				段落[0372]-[0387],	
				[0446]-[0454], 図43-44,	
				51	
JP	2021-27322	A	22.02.2021	US 2021/0035922 A1	
				段落[0027]-[0052],	
				[0116]-[0124], 図1, 14	
				CN 112310074 A	
JP	7-176538	A	14.07.1995	(ファミリーなし)	