

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-362760

(P2004-362760A)

(43) 公開日 平成16年12月24日(2004.12.24)

(51) Int. Cl.<sup>7</sup>

G11C 11/41  
G06F 12/06

F I

G11C 11/34 K  
G06F 12/06 525A

テーマコード(参考)

5B015  
5B060

審査請求 未請求 請求項の数 19 O L (全 12 頁)

(21) 出願番号 特願2004-166015(P2004-166015)  
(22) 出願日 平成16年6月3日(2004.6.3)  
(31) 優先権主張番号 2003-035606  
(32) 優先日 平成15年6月3日(2003.6.3)  
(33) 優先権主張国 韓国(KR)

(71) 出願人 390019839  
三星電子株式会社  
大韓民国京畿道水原市靈通区梅灘洞416  
(74) 代理人 100076428  
弁理士 大塚 康德  
(74) 代理人 100112508  
弁理士 高柳 司郎  
(74) 代理人 100115071  
弁理士 大塚 康弘  
(74) 代理人 100116894  
弁理士 木村 秀二  
(72) 発明者 李昇勳  
大韓民国京畿道水原市靈通区靈通洞957  
-6番地清明マウル3団地碧山アパート3  
36棟805号

最終頁に続く

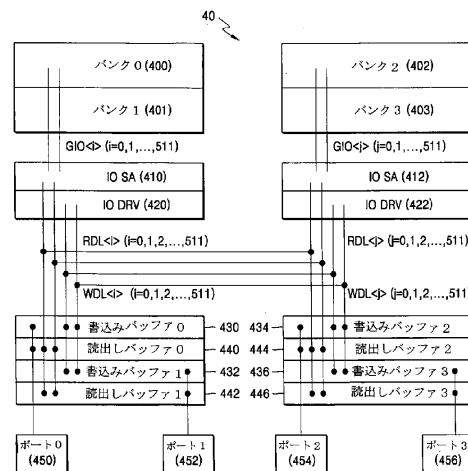
(54) 【発明の名称】 マルチポートメモリ装置

(57) 【要約】 (修正有)

【課題】 スタックバンクごとに独立的に動作するマルチポートメモリ装置を提供する。

【解決手段】 多数個のポートと2つ以上のバンクが1つのデータラインセンスアンプを共有する多数個のスタックバンクを含むマルチポートメモリ装置であり、それぞれのスタックバンクと読出しバッファ間にはデータラインセンスアンプが連結されて選択されたバンクのメモリセルから読み出されたデータをセンシングし、それぞれのポートとそれぞれ連結される読出しバッファはデータラインセンスアンプから出力されたメモリセルデータを保存してポートに出力し、それぞれのポートと連結される書込みバッファはポートを介して直列に入力される書込みデータを並列に変換して保存し、それぞれのデータラインドライバとそれぞれの書込みバッファ間は書込みデータラインにより連結される。

【選択図】 図4



## 【特許請求の範囲】

## 【請求項 1】

複数個のバッファと、

複数個のメモリセルがそれぞれ配列された複数個のスタックバンクと、

前記複数個のスタックバンクと前記複数のバッファとの間にそれぞれ連結され、前記スタックバンク内の選択されたバンクの前記メモリセルから読み出されたデータをセンシングする複数個のデータラインセンスアンプと、

前記複数個のデータラインセンスアンプと前記複数個のバッファとの間を連結し、前記複数個のデータラインセンスアンプから読み出されるデータを前記複数個のバッファに同時に伝達する複数個の読出しデータラインとを備えることを特徴とするマルチポートメモリ装置。

10

## 【請求項 2】

前記データラインセンスアンプは、前記選択されたバンクの前記メモリセルから並列に読み出されたデータをセンシングすることを特徴とする請求項 1 に記載のマルチポートメモリ装置。

## 【請求項 3】

前記マルチポートメモリ装置は、前記複数個のバッファにそれぞれ連結される複数個のポートをさらに備え、

前記バッファは、前記データラインセンスアンプから出力された前記メモリセルのデータを前記ポートに直列に出力することを特徴とする請求項 1 に記載のマルチポートメモリ装置。

20

## 【請求項 4】

複数個のポートと、

複数個のメモリセルがそれぞれ配列された少なくとも 2 個のバンクが 1 つのデータラインドライバを共有する複数個のスタックバンクと、

前記複数個のポートとそれぞれ連結され、連結された前記ポートを介して入力される書込みデータを保存する複数個の書込みバッファと、

前記複数個のスタックバンクと前記複数個の書込みバッファとの間に連結され、前記スタックバンク内の選択された前記バンクの前記メモリセルに対して前記書込みデータを駆動する複数個の前記データラインドライバと、

30

前記複数個のデータラインドライバと前記複数個の書込みバッファとの間を連結する複数個の書込みデータラインとを備えることを特徴とするマルチポートメモリ装置。

## 【請求項 5】

前記書込みバッファは、前記ポートを介して直列に入力される書込みデータを並列に変換して保存することを特徴とする請求項 4 に記載のマルチポートメモリ装置。

## 【請求項 6】

前記データラインドライバは、前記スタックバンク内の選択された前記バンクの前記メモリセルに対して前記書込みデータを並列に駆動することを特徴とする請求項 4 に記載のマルチポートメモリ装置。

## 【請求項 7】

40

両方向に入出力される複数個のポートと、

複数個のメモリセルがそれぞれ配列された複数個のスタックバンクと、

前記複数個のスタックバンクのそれぞれに連結され、前記複数個のスタックバンク内の選択されたバンクの前記メモリセルから読み出されたデータをセンシングする複数個のデータラインセンスアンプと、

前記複数個のスタックバンクと複数個の書込みバッファとの間にそれぞれ連結され、前記複数個のスタックバンク内の選択されたバンクの前記メモリセルに対して書込みデータを駆動する複数個のデータラインドライバと、

前記複数個のポートのそれぞれに連結され、前記データラインセンスアンプから出力された前記メモリセルデータを保存して前記ポートに出力する複数個の読出しバッファと、

50

前記複数個のポートにそれぞれ連結され、前記ポートを介して入力される書込みデータを保存する複数個の書込みバッファと、

前記複数個のデータラインセンスアンプと前記複数個の読出しバッファとの間にそれぞれ連結される複数個の読出しデータラインと、

前記複数個のデータラインドライバと前記複数個の書込みバッファとの間にそれぞれ連結される複数個の書込みデータラインとを備えることを特徴とするマルチポートメモリ装置。

【請求項 8】

前記データラインセンスアンプは、前記選択されたバンクの前記メモリセルから並列に読み出されたデータをセンシングすることを特徴とする請求項 7 に記載のマルチポートメモリ装置。

10

【請求項 9】

前記読出しバッファは、前記データラインセンスアンプから出力された前記メモリセルデータを前記ポートに直列に出力することを特徴とする請求項 7 に記載のマルチポートメモリ装置。

【請求項 10】

前記書込みバッファは、前記ポートを介して直列に入力される書込みデータを並列に変換して保存することを特徴とする請求項 7 に記載のマルチポートメモリ装置。

【請求項 11】

前記データラインドライバは、前記スタックバンク内の選択された前記バンクの前記メモリセルに対して前記書込みデータを並列に駆動することを特徴とする請求項 7 に記載のマルチポートメモリ装置。

20

【請求項 12】

スタックされたバンク内のメモリセルからデータを読み出す段階と、

少なくとも 2 個のデータラインセンスアンプで前記データをセンシングする段階と、

前記少なくとも 2 個のデータラインセンスアンプからセンシングされたデータを少なくとも 2 個のバッファにそれぞれ同時に伝送する段階とを備えることを特徴とするメモリ装置の動作方法。

【請求項 13】

前記メモリ装置の動作方法は、前記少なくとも 2 個のバッファからデータをポートに伝送する段階をさらに備えることを特徴とする請求項 12 に記載のメモリ装置の動作方法。

30

【請求項 14】

前記少なくとも 2 個のバッファからデータをポートに伝送する段階は、直列に前記データを伝送する段階であることを特徴とする請求項 13 に記載のメモリ装置の動作方法。

【請求項 15】

前記メモリ装置の動作方法は、少なくとも 2 個のバッファから書込みデータラインを介してデータラインドライバにデータを書き込むことを特徴とする請求項 12 に記載のメモリ装置の動作方法。

【請求項 16】

マルチポートメモリ装置の 1 つのポートに第 1 データを伝送する段階と、

前記マルチポートメモリ装置の他のポートに第 2 データを伝送する段階と、

前記マルチポートメモリ装置のスタックされたバンク内のメモリセルに前記第 1 データを保存する段階と、

前記マルチポートメモリ装置のスタックされたバンク内の他のメモリセルに前記第 2 データを保存する段階とを含み、

前記第 1 及び第 2 データが同時に保存されることを特徴とするマルチポートメモリ装置の動作方法。

40

【請求項 17】

前記第 1 データを伝送する段階は、直列に伝送する段階であることを特徴とする請求項 16 に記載のマルチポートメモリ装置の動作方法。

50

## 【請求項 18】

前記第1データを伝送する段階は、並列に伝送する段階であることを特徴とする請求項16に記載のマルチポートメモリ装置の動作方法。

## 【請求項 19】

前記マルチポートメモリ装置の動作方法は、前記メモリセルの前記第1データをアクセスすると同時に前記他のメモリセルの前記第2データをアクセスする段階をさらに含むことを特徴とする請求項16に記載のマルチポートメモリ装置の動作方法。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、マルチポートメモリ装置に係り、特にスタックバンクごとに独立的に動作するマルチポートメモリ装置に関する。

## 【背景技術】

## 【0002】

入力ポート及び出力ポートを介して1対のデータが同時にメモリセルアレイから読み出されるとともにメモリセルアレイに書き込まれる一般的なデュアルポートメモリ装置がある。デュアルポートメモリ装置は、ビデオカメラなどにおいて画像メモリ装置として使われる。デュアルポートメモリ装置は、同時にアクセス可能なポートが限定される問題点を抱いているために、高機能化・高画質化の実現のために、用途に応じて必要なポート数を確保できるマルチポートメモリ装置の存在が必要である。

## 【0003】

マルチポートメモリ装置は、その内部でマルチチャンネルを介して独立的にバンクアクセス動作を行う。独立的なバンクアクセス動作と共に独立的な読出し及び書込み動作がマルチポートメモリ装置の動作速度を決定する要素となる。独立的な読出し及び書込み動作は、マルチポートメモリ装置内部のデータライン構造と密接な関係がある。

## 【0004】

図1は、従来 of マルチポートメモリ装置の内部構造を説明する図面である。これを参照すれば、マルチポートメモリ装置10は、複数個のバンク、バンク0(100)、バンク1(101)、バンク2(102)及びバンク3(103)、データラインセンスアンプ(IOSA)110, 112、データラインドライバ(IODRV)120, 122、書込みバッファ130, 132, 134, 136、読出しバッファ140, 142, 144, 146、並びに、複数個のポート、すなわちポート0(150)、ポート1(152)、ポート2(154)及びポート3(156)を含む。バンク0(100)とバンク1(101)、バンク2(102)とバンク3(103)は、スタックバンク構造で構成され、ポート150, 152, 154, 156を介してマルチビット、例えば512ビットデータが入出力される。

## 【0005】

バンク0(100)とバンク1(101)とは、第1グローバルデータラインGIO<i>(i=0, 1, 2, ..., 511)</i>を介して第1IOSA 110または第1IODRV 120と連結され、バンク2(102)とバンク3(103)とは、第2グローバルデータラインGIO<j>(j=0, 1, 2, ..., 511)</j>を介して第2IOSA 112または第2IODRV 122と連結される。IOSA 110, 112は、読出しデータラインRDLを介して読出しバッファ140, 142, 144, 146と連結され、読出しバッファ140, 142, 144, 146のそれぞれは、ポート150, 152, 154, 156と連結される。IODRV 120, 122は、書込みデータラインWDLを介して書込みバッファ130, 132, 134, 136と連結され、書込みバッファ130, 132, 134, 136のそれぞれは、ポート150, 152, 154, 156と連結される。

## 【0006】

このような構造のマルチバンクメモリ装置10の読出し及び書込み動作は、次の通りな

10

20

30

40

50

される。図2は、マルチバンクメモリ装置10の読出しデータ経路を説明する図面である。これを参照すれば、バンク0(100)とバンク1(101)とから読み出された512個のメモリセルデータは、第1グローバルデータラインGIO<0>, GIO<1>, GIO<2>, ..., GIO<511>を介して第1IO SA 110に伝えられる。バンク2(102)とバンク3(103)とから読み出された512個のメモリセルデータは、第2グローバルデータラインGIO<0>, GIO<1>, GIO<2>, ..., GIO<511>を介して第2IO SA 112に伝えられる。第1IO SA 110と第2IO SA 112とは、読出しデータラインRDL<0>, RDL<1>, RDL<2>, ..., RDL<511>を共有する。

#### 【0007】

第1及び第2IO SA 110, 112が読出しデータラインRDLを共有しているために、第1及び第2IO SA 110, 112のうちいずれか1つだけ選択的に読出しバッファ140, 142, 144, 146と連結される。例えば、第1IO SA 110が読出しデータラインRDL<0>, RDL<1>, RDL<2>, ..., RDL<511>と連結される場合は、バンク0(100)とバンク1(101)とから選択された512個のメモリセルデータが、第1IO SA 110により感知増幅されて読出しデータラインRDL<0>, RDL<1>, RDL<2>, ..., RDL<511>を介して読出しバッファ140, 142, 144, 146のうちいずれか1つ、例えば第1読出しバッファ140に保存される。第1読出しバッファ140に保存された512ビットデータは、ポート0(150)を介して順次に出力される。

#### 【0008】

ここで、バンク0(100)とバンク1(101)とがアクセスされて読み出されたメモリセルデータが読出しバッファ140とポート0(150)とを介して出力される間、バンク2(102)とバンク3(103)のメモリセルデータはアクセスされない。

#### 【0009】

図3は、図1のマルチポートメモリ装置の書込みデータ経路を説明する図面である。これを参照すれば、図2の読出しデータ経路と類似して、例えばポート0(150)を介して入力される書込みデータは、順次に第1書込みバッファ130に保存されて、512ビットのデータを構成する。第1書込みデータバッファ130に保存された512ビットデータは、書込みデータラインWDL<0>, WDL<1>, WDL<2>, ..., WDL<511>を介して、例えば第1IODRV 120に伝えられる。第1IODRV 120は、グローバルデータラインGIO<0>, GIO<1>, GIO<2>, ..., GIO<511>を介してバンク0(100)またはバンク1(101)と連結されて、選択されたバンク、例えばバンク0(100)の512個のメモリセルに書込みデータを保存する。

#### 【0010】

書込み動作においても、ポート0(150)と書込みバッファ130とを介して入力された書込みデータがバンク0(100)またはバンク1(101)のメモリセルにアクセスされて保存される間、バンク2(102)とバンク3(103)のメモリセルにはアクセスされない。

#### 【0011】

このように、従来のマルチポートメモリ装置10は、スタックされたバンク0(100)及びバンク1(101)と、バンク2(102)及びバンク3(103)とが互いに独立的にアクセスされないために、データ読出し速度とデータ書込み速度とが制限されるという問題点を抱いている。このような状況において、スタックバンク構造で独立的にアクセスされて独立的に読出し及び書込み動作が可能なマルチポートメモリ装置の必要性が存在する。

#### 【発明の開示】

#### 【発明が解決しようとする課題】

#### 【0012】

10

20

30

40

50

本発明の目的は、互いに独立的なアクセスの可能なスタックバンク構造を有するマルチポートメモリ装置を提供するところにある。

【課題を解決するための手段】

【0013】

前記目的を達成するために、本発明のマルチポートメモリ装置の望ましい一例は、複数個のポートと、複数個のメモリセルが配列された少なくとも2個のバンクが1つのIO S Aを共有する複数個のスタックバンクと、それぞれのスタックバンクと読出しバッファとの間に連結され、スタックバンク内の選択されたバンクのメモリセルから読み出されたデータをセンシングするIO S Aと、それぞれのポートとそれぞれ連結され、IO S Aから出力されたメモリセルデータを保存してポートに出力する読出しバッファと、それぞれのIO S Aとそれぞれの読出しバッファとの間を連結させる読出しデータラインとを含む。IO S Aは、スタックバンク内の選択されたバンクのメモリセルから並列に読み出されたデータをセンシングし、読出しバッファは、IO S Aから出力されたメモリセルデータをポートに直列に出力する。

10

【0014】

前記目的を達成するために、本発明のマルチポートメモリ装置の望ましい他の例は、複数個のポートと、複数個のメモリセルが配列された少なくとも2個のバンクが1つのIO D R Vを共有する複数個のスタックバンクと、それぞれのポートと連結され、ポートを介して入力される書込みデータを保存する書込みバッファと、それぞれのスタックバンクと書込みバッファとの間に連結され、スタックバンク内の選択されたバンクのメモリセルに対して書込みデータを駆動するIO D R Vと、それぞれのIO D R Vとそれぞれの書込みバッファとの間を連結させる書込みデータラインとを含む。書込みバッファは、ポートを介して直列に入力される書込みデータを並列に変換して保存し、IO D R Vは、スタックバンク内の選択されたバンクのメモリセルに書込みデータを並列に駆動する。

20

【0015】

前記目的を達成するために、本発明のマルチポートメモリ装置のさらに望ましい例は、両方向に入出力される複数個のポートと、複数個のメモリセルが配列された少なくとも2個のバンクが1つのIO S Aと1つのIO D R Vを共有する複数個のスタックバンクと、スタックバンクと読出しバッファとの間に連結され、スタックバンク内の選択されたバンクのメモリセルから並列に読み出されたデータをセンシングするIO S Aと、それぞれの前記スタックバンクと書込みバッファとの間に連結され、スタックバンク内の選択されたバンクのメモリセルに書込みデータを並列に駆動するIO D R Vと、それぞれのポートとそれぞれ連結され、IO S Aから出力された並列メモリセルデータを保存してポートに直列に出力する読出しバッファと、それぞれのポートと連結され、ポートを介して直列に入力される書込みデータを並列に変換して保存する書込みバッファと、それぞれのIO S Aとそれぞれの読出しバッファとの間を連結させる読出しデータラインと、それぞれのIO D R Vとそれぞれの書込みバッファとの間を連結させる書込みデータラインとを含む。

30

【発明の効果】

【0016】

本発明のマルチポートメモリ装置によれば、複数個のスタックバンクが互いに独立的にアクセスされて独立的に読出し及び書込み動作が可能のために、データ処理量が多くなってデータ読出し速度とデータ書込み速度とが向上する。

40

【発明を実施するための最良の形態】

【0017】

本発明とその動作上の利点及び本発明の実施によって達成される目的を十分に理解するためには、本発明の望ましい実施形態を例示する添付図面及びそれに記載された内容を参照しなければならない。

【0018】

以下、添付図面を参照して本発明の望ましい実施形態を説明することにより、本発明を

50

詳細に説明する。各図面に提示された同じ参照符号は同じ構成要素を示す。本発明の実施形態は、説明の便宜のために、4個のポートと2個のスタックバンク構造を有するマルチポートメモリ装置について例示的に説明する。この開示事項を多様な数のポートとスタックバンクとを有するマルチポートメモリ装置に拡張適用できることは当業者に自明である。

#### 【0019】

図4は、本発明の一実施形態によるマルチポートメモリ装置を説明する図面である。本発明の一実施形態のマルチポートメモリ装置40は、第1スタックバンクのバンク0(400)とバンク1(401)、第2スタックバンクのバンク2(402)とバンク3(403)、IO SA(410、412)、IO DRV 420、422、書込みバッファ430、432、434、436、読出しバッファ440、442、444、446、ポート0(450)、ポート1(452)、ポート2(454)並びに、ポート3(456)を含む。

10

#### 【0020】

バンク0(400)とバンク1(401)とは、第1グローバルデータラインGIO<i>(i=0~511)</i>を介して第1 IO SA 410と第1 IO DRV 420とに連結される。バンク2(402)とバンク3(403)とは、第2グローバルデータラインGIO<j>(j=0~511)</j>を介して第2 IO SA 412と第2 IO DRV 422とに連結される。第1及び第2 IO SA 410、412は、第1読出しデータラインRDL<i>(i=0~511)</i>と第2読出しデータラインRDL<j>(j=0~511)</j>とを介して読出しバッファ440、442、444、446と連結される。

20

#### 【0021】

第1及び第2 IO DRV 420、422は、第1書込みデータラインWDL<i>(i=0~511)</i>と第2書込みデータラインWDL<j>(j=0~511)</j>とを介して書込みバッファ430、432、434、436と連結される。第1書込みバッファ430と第1読出しバッファ440とはポート0(450)と連結され、第2書込みバッファ432と第2読出しバッファ442とはポート1(452)と連結され、第3書込みバッファ434と第3読出しバッファ444とはポート3(454)と連結され、第4書込みバッファ436と第4読出しバッファ446とはポート4(456)と連結される。

30

#### 【0022】

本実施形態のマルチポートメモリ装置40は、図1のマルチポートメモリ装置10と比較して、第1及び第2 IO SA 410、412と読出しバッファ440、442、444、446との間に連結される第2読出しデータラインRDL<j>(j=0~511)を追加的に含み、また、第1及び第2 IO DRV 420、422と書込みバッファ430、432、434、436との間に連結される第2書込みデータラインWDL<j>(j=0~511)を追加的に含むという点で異なる。

#### 【0023】

これは、本実施形態のようにIO SA 410、412を2個、そしてIO DRV 420、422を2個含むマルチポートメモリ装置において、それぞれのIO SA 410、412とIO DRV 420、422とを独立的に動作させるために、IO SA 410、412とそれぞれ連結される第1及び第2読出しデータラインRDL<i>(i=0~511)</i>、RDL<j>(j=0~511)</j>とIO DRV 420、422とそれぞれ連結される第1及び第2書込みデータラインWDL<i>(i=0~511)</i>、WDL<j>(j=0~511)</j>とを備えるために現れる差である。

40

#### 【0024】

本実施例のマルチポートメモリ装置450の読出し動作と書込み動作を図5及び図6を参照して説明する。

#### 【0025】

図5は、マルチポートメモリ装置40の読出し経路を説明する図面である。これを参照すれば、バンク0(400)とバンク1(401)とから読み出された512個のメモリ

50

セルデータは、第1グローバルデータラインGIO<0>, GIO<1>, GIO<2>, ..., GIO<511>を介して第1IO SA 410に伝えられる。バンク2(402)とバンク3(403)とから読み出された512個のメモリセルデータは、第2グローバルデータラインGIO<0>, GIO<1>, GIO<2>, ..., GIO<511>を介して第2IO SA 412に伝えられる。第1IO SA 410は、第1読出しデータラインRDL<0>, RDL<1>, RDL<2>, ..., RDL<511>を介して読出しバッファ440, 442, 444, 446と連結され、第2IO SA 412は、第2読出しデータラインRDL<0>, RDL<1>, RDL<2>, ..., RDL<511>を介して読出しバッファ440, 442, 444, 446と連結される。

#### 【0026】

バンク0(400)とバンク1(401)とから選択された512個のメモリセルデータは、第1IO SA 410により感知増幅されて第1読出しデータラインRDL<0>, RDL<1>, RDL<2>, ..., RDL<511>を介して読出しバッファ440, 442, 444, 446のうちいずれか1つ、例えば第1読出しバッファ440に保存される。バンク2(402)とバンク3(403)とから選択された512個のメモリセルデータは、第2IO SA 412により感知増幅されて第2読出しデータラインRDL<0>, RDL<1>, RDL<2>, ..., RDL<511>を介して読出しバッファ440, 442, 444, 446のうち他のいずれか1つ、例えば第2読出しバッファ442に保存される。第1読出しバッファ440に保存された512ビットデータは、ポート0(450)を介して順次に出力されて、第2読出しバッファ442に保存された512ビットデータは、ポート1(452)を介して順次に出力される。

#### 【0027】

ここで、バンク0(400)とバンク1(401)とから読み出されたメモリセルデータがアクセスされて第1読出しバッファ440とポート0(450)とを介して出力される間、バンク2(402)とバンク3(403)とから読み出されたメモリセルデータがアクセスされ、第2読出しバッファ442とポート1(452)とを介して出力される。図1の従来マルチポートメモリ装置10では、スタックされたバンク0(100)及びバンク1(101)とバンク2(102)及びバンク3(103)とが互いに独立的にアクセスされずにマルチポートメモリ装置10のデータ読出し速度が制限されたのに対して、本実施形態では、スタックされたバンク0(400)及びバンク1(401)とバンク2(402)及びバンク3(403)とが互いに独立的にアクセスされるためにマルチポートメモリ装置40のデータ読出し速度が速くなる。

#### 【0028】

図6は、マルチポートメモリ装置40の書込み経路を説明する図面である。図6において、例えば、ポート0(550)を介して入力される書込みデータは、順次に第1書込みバッファ430に保存されて512ビットのデータを構成する。第1書込みデータバッファ430に保存された512ビットデータは、第1書込みデータラインWDL<0>, WDL<1>, WDL<2>, ..., WDL<511>を介して、例えば第1IODRV 420に伝えられる。一方、例えば、ポート1(452)を介して入力される書込みデータは、順次に第2書込みバッファ432に保存されて512ビットのデータを構成する。第2書込みデータバッファ(422)に保存された512ビットデータは、第2書込みデータラインWDL<0>, WDL<1>, WDL<2>, ..., WDL<511>を介して、例えば第2IODRV 422に伝えられる。

#### 【0029】

第1IODRV 420は、第1グローバルデータラインGIO<0>, GIO<1>, GIO<2>, ..., GIO<511>を介してバンク0(400)またはバンク1(401)と連結されて、選択されたバンク、例えばバンク0 400の512個のメモリセルに書込みデータを保存する。第2IODRV 422は、第2グローバルデータラインGIO<0>, GIO<1>, GIO<2>, ..., GIO<511>を介してバンク2(402)またはバンク3(403)と連結されて、選択されたバンク、例えばバ

10

20

30

40

50

バンク 2 4 0 2 の 5 1 2 個のメモリセルに書込みデータを保存する。

このように、書込み動作においても、ポート 0 ( 4 5 0 ) と第 1 書込みバッファ 4 3 0 とを介して入力された書込みデータがバンク 0 ( 4 0 0 ) またはバンク 1 ( 4 0 1 ) のメモリセルにアクセスされて保存される間、ポート 1 ( 4 5 2 ) と第 2 書込みバッファ 4 3 2 とを介して入力された書込みデータがバンク 2 ( 4 0 2 ) またはバンク 3 ( 4 0 3 ) のメモリセルにアクセスされて保存されるために、本実施形態では、スタックされたバンク 0 ( 4 0 0 ) 及びバンク 1 ( 4 0 1 ) と、バンク 2 ( 4 0 2 ) 及びバンク 3 ( 4 0 3 ) とが互いに独立的にアクセスされてマルチポートメモリ装置 4 0 のデータ書込み速度が速くなる。

#### 【 0 0 3 0 】

本発明は、図面に示された一実施形態を参考に説明されたが、これは例示的なものに過ぎず、本技術分野の当業者ならば、これから多様な変形及び均等な他の実施形式が可能であることを理解するであろう。本発明は、4 個のポートと 2 個のスタックバンクとを有するマルチポートメモリ装置において、2 個のスタックバンクとそれぞれ連結される 2 つの I O S A と 2 つの I O D R V の合計で 4 個のポートにそれぞれ連結される 4 つの読出しバッファと 4 つの書込みバッファの間に、第 1 及び第 2 読出しデータラインと第 1 及び第 2 書込みデータラインとを備えるものについて例示的に説明したが、例えば 4 個のポートと 4 個のスタックバンクとを有するマルチポートメモリ装置では、4 個のスタックバンクとそれぞれ連結される 4 つの I O S A と 4 つの I O D R V と 4 個のポートとにそれぞれ連結される 4 つの読出しバッファと 4 つの書込みバッファの間に、第 1 ないし第 4 読出しデータラインと第 1 ないし第 4 書込みデータラインとを具備できることはもちろんである。従って、本発明の真の技術的保護範囲は、特許請求範囲の技術的思想により決まるものである。

#### 【 産業上の利用可能性 】

#### 【 0 0 3 1 】

本発明は、複数個のスタックバンクを含むメモリ装置に適用され、スタックバンクが互いに独立的にアクセスされて独立的に読出し動作及び書込み動作を可能にする。そして、本発明は、複数個のポートと複数個のスタックバンクとを有するマルチポートメモリ装置に適用され、データ処理量が多く、かつデータ読出し速度とデータ書込み速度とが速いメモリ装置を具現する。

#### 【 図面の簡単な説明 】

#### 【 0 0 3 2 】

【 図 1 】 従来 of マルチポートメモリ装置を説明する図面である。

【 図 2 】 図 1 のマルチポートメモリ装置の読出し経路を説明する図面である。

【 図 3 】 図 1 のマルチポートメモリ装置の書込み経路を説明する図面である。

【 図 4 】 本発明の一実施形態 of マルチポートメモリ装置を説明する図面である。

【 図 5 】 図 4 のマルチポートメモリ装置の読出し経路を説明する図面である。

【 図 6 】 図 4 のマルチポートメモリ装置の書込み経路を説明する図面である。

#### 【 符号の説明 】

#### 【 0 0 3 3 】

4 0 マルチポートメモリ装置  
 4 0 0 バンク 0  
 4 0 1 バンク 1  
 4 0 2 バンク 2  
 4 0 3 バンク 3  
 4 1 0 , 4 1 2 I O S A  
 4 2 0 , 4 2 2 I O D R V  
 4 3 0 , 4 3 2 , 4 3 4 , 4 3 6 書込みバッファ  
 4 4 0 , 4 4 2 , 4 4 4 , 4 4 6 読出しバッファ  
 4 5 0 ポート 0

10

20

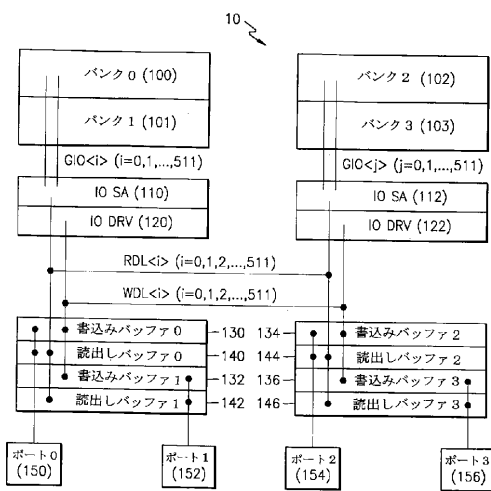
30

40

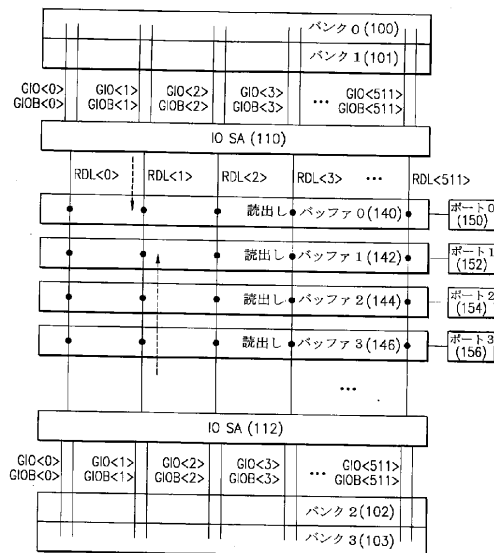
50

- 4 5 2 ポート 1
- 4 5 4 ポート 2
- 4 5 6 ポート 3
- 第 1 グローバルデータライン GIO < i > , ( i = 0 ~ 5 1 1 )
- 第 2 グローバルデータライン GIO < j > , ( j = 0 ~ 5 1 1 )
- 第 1 読出しデータライン RDL < i > , ( i = 0 ~ 5 1 1 )
- 第 2 読出しデータライン RDL < j > , ( j = 0 ~ 5 1 1 )
- 第 1 書込みデータライン ( WDL < i > , j = 0 ~ 5 1 1 )
- 第 2 書込みデータライン WDL < j > , ( j = 0 ~ 5 1 1 )

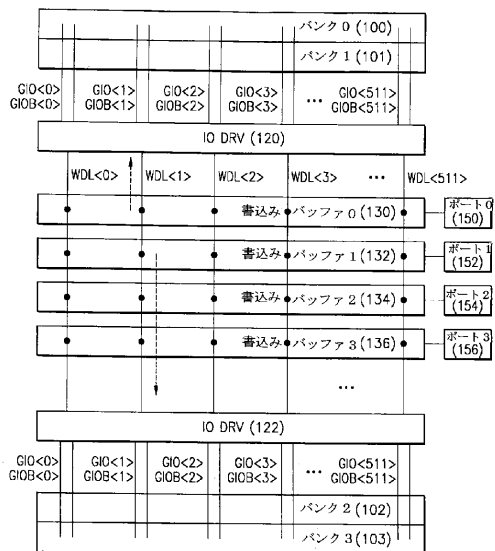
【 図 1 】



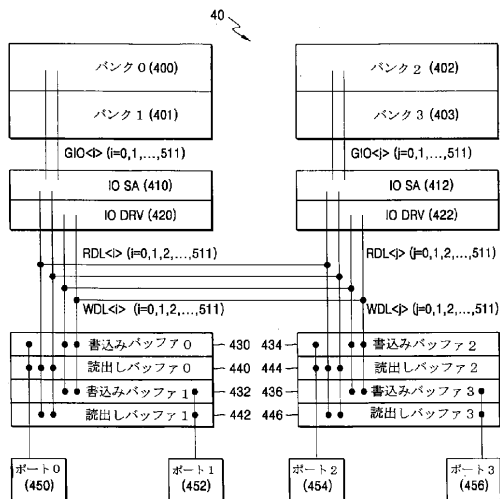
【 図 2 】



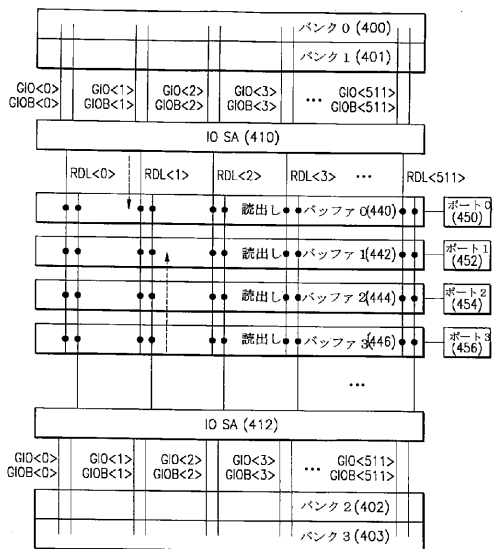
【 図 3 】



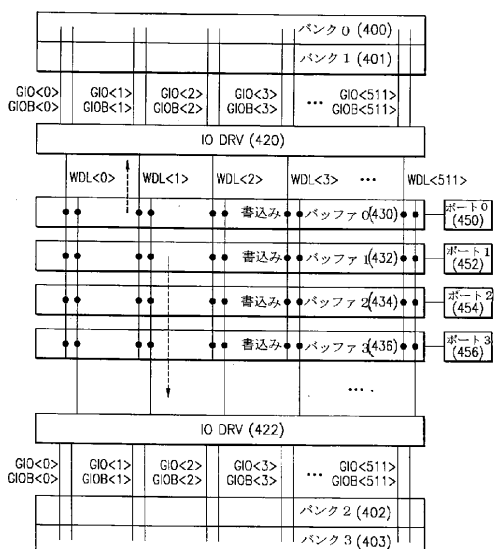
【 図 4 】



【 図 5 】



【 図 6 】



フロントページの続き

Fターム(参考) 5B015 HH01 HH03 JJ21 NN01 PP01  
5B060 CA12