(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년12월02일
(11) 등록번호 10-0871605
(24) 등록일자 2008년11월26일

(51) Int. Cl.
H01L 27/115 (2006.01) *H01L 21/8247* (2006.01)
(21) 출원번호 10-2007-0087801
(22) 출원일자 2007년08월30일
심사청구일자 2007년08월30일
(56) 선행기술조사문헌
JP10209305 A*
KR1020070010418 A*
KR100731058 B1
KR1020030086823 A
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
고려대학교 산학협력단
서울 성북구 안암동5가1 고려대학교 내
(72) 발명자
김태근
경기 성남시 분당구 이매동 122번지 금강아파트 103-1301
안호명
서울시 송파구 풍납동 277-5번지 202호
(뒷면에 계속)
(74) 대리인
김정식

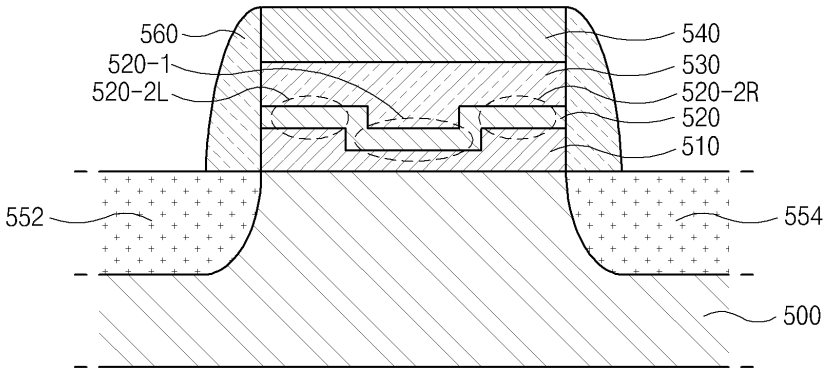
전체 청구항 수 : 총 18 항 심사관 : 정병홍

(54) 멀티 비트 프로그램이 가능한 비휘발성 메모리 소자 및이를 제조하는 방법

(57) 요 약

본 발명은 멀티 비트 프로그램이 가능한 비휘발성 메모리 소자 및 그 제조 방법을 개시한다. 본 발명의 비휘발성 메모리 소자는, 터널 절연막을 중앙부가 주변부보다 낮도록 단차지게 우물 구조로 형성하였고, 터널 절연막상에 형성된 전하 포획층도 중앙의 하단이 양 옆의 상단보다 낮도록 단차지게 형성하여, 전하 포획층의 좌측 또는 우측 상단에 전하를 주입하여 2비트 프로그램이 가능한 효과가 있다. 또한, 본 발명의 비휘발성 메모리 소자는, 전하 포획층의 좌측 또는 우측 상단에 인가된 전하들에 측면 확산이 발생하는 경우에도, 전하 포획층의 상단에서 전하 포획층의 하단으로 확산된 후 얇은 터널 절연막의 중앙부를 통해서 반도체 기판으로 방출되므로, 측면 확산 현상으로 인하여 하나의 소자에서 멀티 비트를 구현하기 어려운 종래 기술의 문제점을 해결하는 효과가 있다. 또한, 본 발명의 비휘발성 메모리 소자는, 반도체 기판에 수용홈을 형성하고, 그 내부에 터널 절연막 및 전하 포획층이 단차지도록 순차적으로 형성함으로써, 드레인 영역과 소오스 영역 사이에 형성되는 채널 길이가 길어져 단채널효과를 해결하는 효과가 있다.

대 표 도 - 도4



(72) 발명자

김경찬

서울시 동대문구 제기1동 122-530번지 원빌리지 201호

서유정

서울시 동대문구 제기2동 146-25번지 1층 2호

김희동

경북 문경시 산북면 가곡리 500

특허청구의 범위

청구항 1

소오스 영역 및 드레인 영역이 형성된 반도체 기판상에, 중앙부가 주변부보다 낮도록 단차지게 형성된 터널 절연막,

상기 터널 절연막상에, 서로 독립적으로 양 측면 영역에 프로그램이 가능하도록, 상기 양측면 영역의 저면이 중앙부의 상면보다 높게 위치하도록 단차지도록 형성된 전하 포획층, 및

상기 전하 포획층상에 형성된 차단 절연막을 포함하는 메모리층; 및

상기 차단 절연막상에 형성된 게이트 전극층을 포함하는 것을 특징으로 하는 비휘발성 메모리 소자.

청구항 2

제 1 항에 있어서, 상기 터널 절연막의 중앙부는

상기 터널 절연막의 중앙부위에 형성된 상기 전하 포획층의 하단에 주입된 전하가 시간이 경과함에 따라서 상기 반도체 기판으로 방출될 수 있는 두께로 형성되는 것을 특징으로 하는 비휘발성 메모리 소자.

청구항 3

제 1 항에 있어서,

상기 터널 절연막의 중앙부는 상기 반도체 기판 내부에 수용되어 형성된 것을 특징으로 하는 비휘발성 메모리 소자.

청구항 4

제 1 항에 있어서, 상기 전하 포획층은 좌우가 대칭되도록 형성된 것을 특징으로 하는 비휘발성 메모리 소자.

청구항 5

제 1 항에 있어서, 상기 전하 포획층은

질화막, 고유전상수를 갖는 물질, 및 비정질 폴리 실리콘 물질 중 어느 하나로 형성된 것을 특징으로 하는 비휘발성 메모리 소자.

청구항 6

제 1 항에 있어서, 상기 전하 포획층은

텅스텐, 몰리브덴, 코발트, 니켈, 백금, 로듐, 팔라듐 및 이리듐으로 구성되는 그룹에서 선택되는 하나의 금속 또는 이들의 혼합물 또는 이들의 합금으로 형성되는 것을 특징으로 하는 비휘발성 메모리 소자.

청구항 7

제 1 항에 있어서, 상기 전하 포획층은

실리콘, 게르마늄, 실리콘과 게르마늄의 혼합물, Ⅲ-Ⅴ족 화합물 또는 Ⅱ-Ⅵ족 화합물로 구성되는 그룹에서 선택되는 하나의 반도체 재료로 형성되는 것을 특징으로 하는 비휘발성 메모리 소자.

청구항 8

제 1 항에 있어서,

상기 전하 포획층은 4 내지 100 ㎚ 의 두께로 형성되는 것을 특징으로 하는 비휘발성 메모리 소자.

청구항 9

제 1 항 내지 제 8 항 중 어느 한 항에 있어서,

상기 게이트 전극층에 양의 프로그래밍 전압을 인가하여 상기 반도체 기판으로부터 상기 전하 포획층으로 전하

를 주입하고,

상기 양의 프로그래밍 전압인가 후에, 상기 양의 프로그래밍 전압보다 그 크기가 작은 음의 프로그래밍 전압을 상기 게이트 전극층에 인가하여 상기 전하 포획층의 중앙부에 주입된 전하를 상기 반도체 기판으로 방출하는 것을 특징으로 하는 비휘발성 메모리 소자의 프로그래밍 방법.

청구항 10

제 9 항에 있어서, 상기 음의 프로그래밍 전압은

상기 전하 포획층의 상단에 주입된 전하는 그대로 유지되고, 상기 전하 포획층의 하단에 주입된 전하가 상기 반도체 기판으로 방출되도록 하는 크기의 음의 전압으로 상기 게이트 전극층에 인가하는 것을 특징으로 하는 비휘발성 메모리 소자의 프로그래밍 방법.

청구항 11

(a) 반도체 기판상에, 중앙부가 주변부보다 낮도록 단차지게 터널 절연막을 형성하는 단계;

(b) 상기 터널 절연막상에, 서로 독립적으로 양 측면 영역에 프로그램이 가능하도록, 상기 양 측면 영역의 저면이 중앙부의 상면보다 높게 위치하도록 단차지도록 형성된 전하 포획층을 형성하는 단계;

(c) 상기 전하 포획층상에 차단 절연막을 형성하는 단계;

(d) 상기 차단 절연막상에 게이트 전극층을 형성하는 단계; 및

(e) 상기 반도체 기판에 소오스 영역 및 드레인 영역을 형성하는 단계를 포함하는 것을 특징으로 하는 비휘발성 메모리 소자 제조 방법.

청구항 12

제 11 항에 있어서, 상기 (a) 단계에서

상기 터널 절연막의 중앙부은, 상기 터널 절연막의 중앙부위에 형성된 상기 전하 포획층의 하단에 주입된 전하가 시간이 경과함에 따라서 상기 반도체 기판으로 방출될 수 있는 두께로 형성되는 것을 특징으로 하는 비휘발성 메모리 소자 제조 방법.

청구항 13

제 11 항에 있어서, 상기 (a) 단계에서

상기 터널 절연막의 중앙부는 상기 반도체 기판 내부에 수용되어 형성되는 것을 특징으로 하는 비휘발성 메모리 소자 제조 방법.

청구항 14

제 11 항에 있어서, 상기 (b) 단계에서

상기 전하 포획층은 좌우가 대칭되도록 형성되는 것을 특징으로 하는 비휘발성 메모리 소자 제조 방법.

청구항 15

제 11 항에 있어서, 상기 (b) 단계에서

상기 전하 포획층은 질화막, 고유전상수를 갖는 물질, 및 비정질 폴리 실리콘 물질 중 어느 하나로 형성되는 것을 특징으로 하는 비휘발성 메모리 소자 제조 방법.

청구항 16

제 11 항에 있어서, 상기 (b) 단계에서

상기 전하 포획층은 텅스텐, 몰리브덴, 코발트, 니켈, 백금, 로듐, 팔라듐 및 이리듐으로 구성되는 그룹에서 선택되는 하나의 금속 또는 이들의 혼합물 또는 이들의 합금으로 형성되는 것을 특징으로 하는 비휘발성 메모리 소자 제조 방법.

청구항 17

제 11 항에 있어서, 상기 (b) 단계에서

상기 전하 포획층은 실리콘, 게르마늄, 실리콘과 게르마늄의 혼합물, Ⅲ-Ⅴ족 화합물 또는 Ⅱ-Ⅵ족 화합물로 구성되는 그룹에서 선택되는 하나의 반도체 재료로 형성되는 것을 특징으로 하는 비휘발성 메모리 소자 제조 방법.

청구항 18

제 11 항에 있어서, 상기 (b) 단계에서

상기 전하 포획층은 4 내지 100 nm 의 두께로 형성되는 것을 특징으로 하는 비휘발성 메모리 소자 제조 방법.

명 세 서

발명의 상세한 설명

기 술 분 야

<1> 본 발명은 반도체 장치에 관한 것으로서, 보다 구체적으로는 멀티 비트 프로그램이 가능한 비휘발성 메모리 소자 및 이를 제조하는 방법에 관한 것이다.

배 경 기 술

<2> 일반적으로 반도체 메모리 장치는 휘발성 메모리 장치와 비휘발성 메모리 장치로 구별될 수 있다. 휘발성 메모리 장치는 디램(DRAM:Dynamic Random Access Memory) 및 에스램(SRAM:Static Random Access Memory)과 같이 데이터의 입출력은 빠르지만, 전원이 끊어지면 저장된 데이터를 잃어버리는 메모리 장치이다. 이에 반해, 비휘발성 메모리 장치는 전원이 끊어져도 저장된 데이터를 계속 유지하는 메모리 장치이다.

<3> 플래시 메모리 장치는 비휘발성 메모리 장치의 일종으로서, 프로그램(program) 및 소거(erase)가 가능한 이피롬(EPROM:Erasable Programmable Read Only Memory)과 전기적으로 프로그램 및 소거가 가능한 이이피롬(EEPROM:Electrically Erasable Programmable Read Only Memory)의 장점을 조합하여 개발된 고집적 장치이다. 플래시 메모리 장치는 단위 셀을 구성하는 데이터 저장층의 종류에 따라 부유 게이트형(floating gate type) 플래시 메모리 장치와 부유 트랩형(floating trap type) 플래시 메모리 장치로 구분된다.

<4> 부유 게이트형 플래시 메모리 장치가 폴리 실리콘층에 전하를 저장하는 것과는 달리, 전하 트랩형 플래시 메모리 장치는 비도전성 전하 포획층 내에 형성되는 트랩에 전하를 저장한다. 전하 트랩형 메모리 장치의 메모리 셀은 실리콘 기판 상에 차례로 형성된 터널 절연막(510), 전하 포획층인 실리콘 질화막, 블로킹 절연막 및 도전막으로 구성된 게이트의 적층 구조를 갖는다.

<5> 도 1 은 종래 기술에 따른 소노스(SONOS:Silicon Oxide Nitride Oxide Semiconductor) 구조의 비휘발성 메모리 장치(10)의 단면도이다. 도 1을 참조하면, 메모리 장치(10)의 메모리 셀은 기판(11)에 형성된 소오스/드레인(17) 영역 사이의 채널 영역(18) 상에 산화막(12), 질화막(13), 및 산화막(14)으로 이루어진 ONO막(15) 및 폴리실리콘(16)이 차례로 적층된 구조이다. 이 메모리 셀은 ONO막(15)의 질화막(13)에 트랩된 전하의 유무에 따라 논리 '0' 또는 논리 '1' 중 어느 한 상태를 나타내는 단일 비트(single bit) 구조이다. 따라서 메모리 장치의 크기를 증가시키지 않으면서도 둘 이상의 상태를 나타낼 수 있어 정보저장 능력이 증가된 메모리 장치가 요구된다.

<6> 최근, 나노 기술의 발전에 따라 나노크리스탈(Nano-Crystal)을 이용한 비휘발성 메모리 장치가 연구되고 있다.

<7> 도 2 및 도 3은 종래 기술에 따른 나노크리스탈을 이용한 비휘발성 메모리 장치(20,30)의 단면도들이다.

<8> 먼저, 도 2를 참조하면, 기판(21)에 형성된 소오스/드레인 영역(27) 사이에 채널 영역(28)이 배치된다. 메모리 셀은 채널영역(28) 상에 형성된 메모리층(25)과 게이트 전극(26)을 포함한다. 메모리층(25)은 차례로 적층된 터널 절연막(22), 전하 포획층(23), 및 블로킹 절연막(24)을 포함한다. 전하 포획층(23)은 수 내지 수십 nm 크기의 클러스터(cluster) 또는 점(dot)의 형태로 된 일명 나노크리스탈들(23NC)을 포함한다. 나노크리스탈(23NC) 안으로 주입되는 전하가 나노크리스탈 사이에서 쉽게 이동하지 못하기 때문에, 나노 크리스탈을 이용한 메모리

장치는 종래의 소노스 구조의 메모리 장치와 비교하여 전하의 측방(lateral) 확산이 억제되고, 멀티 비트(multi bit) 구조의 메모리 장치를 구현하는데 유리하다.

<9> 그러나, 종래의 나노 크리스탈을 이용한 비휘발성 메모리 장치를 멀티 비트(예를 들어, 1셀-2비트)의 비휘발성 메모리 장치로 구현하고자 할 때 그 크기를 스케일 다운하는 데에 한계가 있다. 다시 말하면, 나노 크리스탈을 이용한 메모리 장치를 멀티 비트 구조의 메모리 장치로 사용하기 위해서는 소오스/드레인 영역(27)에 가까운 전하 포획층에 국부적으로 전하가 주입되어야 한다. 그런데, 단채널(short channel)의 메모리 장치인 경우, 전하 주입시에 중첩 현상이 일어날 뿐만 아니라, 주입된 전하의 측방(lateral) 확산이 일어나면서 디스터브(disturb) 현상이 일어날 수 있다. 이로 인하여 1셀-2비트로의 동작이 이루어지지 않을 수 있다. 이를 해결하기 위해서는 메모리 장치의 채널 길이를 어느 이상으로 유지해야 하는데, 이는 메모리 장치의 고집적화에 역행한다. 이러한 문제점을 해결하기 위해 메모리층을 두 개로 분리하는 구조가 제안되었다.

<10> 도 3을 참조하면, 기판(31)에 형성된 소오스/드레인 영역(37) 사이의 채널 영역(38) 상에 절연막(35C)을 개재하여 좌우로 분리된 두 개의 메모리층(35L,35R)이 배치된다. 두 메모리층(35L,35R)은 각각 차례로 적층된 터널 절연막(32L,32R), 전하 포획층(33L,33R), 및 블로킹 절연막(34L,34R)을 포함한다. 두 메모리층(35L,35R)과 절연막(35C) 상에 게이트 전극(36)이 위치한다. 이러한 구조는 메모리 장치를 어느 정도 스케일 다운시킬 수 있다. 그러나, 스케일 다운되면서 전하 포획층(33L,33R)에 포함되는 나노크리스탈(33NC)들의 수에 따라, 문턱 전압 변동(threshold voltage shift)의 차이가 크게 나타나 장치의 신뢰성이 저하되는 문제가 있다.

발명의 내용

해결 하고자하는 과제

<11> 본 발명이 해결하고자 하는 기술적 과제는 복잡한 제조 공정을 추가하지 않고, 저전압, 초소형, 초고집적, 고성능, 고신뢰성의 1셀-2비트 프로그램이 가능한 비휘발성 메모리 소자 및 이의 제조 방법을 제공하는 것이다.

과제 해결수단

<12> 상술한 기술적 과제를 이루기 위한 본 발명의 비휘발성 메모리 소자는, 소오스 영역 및 드레인 영역이 형성된 반도체 기판상에, 중앙부가 주변부보다 낮도록 단차지게 형성된 터널 절연막, 터널 절연막상에 하단과 상단이 단차지도록 형성된 전하 포획층, 및 전하 포획층상에 형성된 차단 절연막을 포함하는 메모리층; 및 차단 절연막상에 형성된 게이트 전극층을 포함한다.

<13> 또한, 상술한 터널 절연막의 중앙부는, 터널 절연막의 중앙부위에 형성된 전하 포획층의 하단에 주입된 전하가 시간이 경과함에 따라서 반도체 기판으로 방출될 수 있는 두께로 형성되는 것이 바람직하다.

<14> 또한, 상술한 터널 절연막의 중앙부는 반도체 기판 내부에 수용되어 형성될 수 있다.

<15> 또한, 상술한 전하 포획층은 좌우가 대칭되도록 형성될 수 있다.

<16> 또한, 상술한 전하 포획층은 질화막, 고유전상수를 갖는 물질, 및 비정질 폴리 실리콘 물질 중 어느 하나로 형성될 수 있다.

<17> 또한, 상술한 전하 포획층은 텅스텐, 몰리브덴, 코발트, 니켈, 백금, 로듐, 팔라듐 및 이리듐으로 구성되는 그룹에서 선택되는 하나의 금속 또는 이들의 혼합물 또는 이들의 합금으로 형성될 수 있다.

<18> 또한, 상술한 전하 포획층은 실리콘, 게르마늄, 실리콘과 게르마늄의 혼합물, Ⅲ-Ⅴ족 화합물 또는 Ⅱ-Ⅵ족 화합물로 구성되는 그룹에서 선택되는 하나의 반도체 재료로 형성될 수 있다.

<19> 또한, 상술한 전하 포획층은 4 내지 100 ㎚ 의 두께로 형성되는 것이 바람직하다.

<20> 한편 상술한 과제를 이루기 위한 본 발명의 비휘발성 메모리 소자의 프로그래밍 방법은, 게이트 전극층에 양의 프로그래밍 전압을 인가하여 반도체 기판으로부터 전하 포획층으로 전하를 주입하고, 양의 프로그래밍 전압인가 후에, 양의 프로그래밍 전압보다 그 크기가 작은 음의 프로그래밍 전압을 게이트 전극층에 인가하여 전하 포획층의 중앙부에 주입된 전하를 반도체 기판으로 방출한다.

<21> 또한, 상술한 음의 프로그래밍 전압은, 전하 포획층의 상단에 주입된 전하는 그대로 유지되고, 전하 포획층의 하단에 주입된 전하가 반도체 기판으로 방출되도록 하는 크기의 음의 전압으로 게이트 전극층에 인가하는 것이 바람직하다.

<22> 한편, 상술한 기술적 과제를 이루기 위한 본 발명의 비휘발성 메모리 소자의 제조 방법은, (a) 반도체 기판상에, 중앙부가 주변부보다 낮도록 단차지게 터널 절연막을 형성하는 단계; (b) 터널 절연막상에 하단과 상단이 단차지도록 전하 포획층을 형성하는 단계; (c) 전하 포획층상에 차단 절연막을 형성하는 단계; (d) 차단 절연막상에 게이트 전극층을 형성하는 단계; 및 (e) 반도체 기판에 소오스 영역 및 드레인 영역을 형성하는 단계를 포함한다.

<23> 또한, 상술한 (a) 단계에서 터널 절연막의 중앙부은, 터널 절연막의 중앙부위에 형성된 전하 포획층의 하단에 주입된 전하가 시간이 경과함에 따라서 반도체 기판으로 방출될 수 있는 두께로 형성되는 것이 바람직하다.

<24> 또한, 상술한 (a) 단계에서, 터널 절연막의 중앙부는 반도체 기판 내부에 수용되어 형성될 수 있다.

<25> 또한, 상술한 (b) 단계에서, 전하 포획층은 좌우가 대칭되도록 형성되는 것이 바람직하다.

<26> 또한, 상술한 (b) 단계에서, 전하 포획층은 질화막, 고유전상수를 갖는 물질, 및 비정질 폴리 실리콘 물질 중 어느 하나로 형성될 수 있다.

<27> 또한, 상술한 (b) 단계에서 전하 포획층은 텅스텐, 몰리브덴, 코발트, 니켈, 백금, 로듐, 팔라듐 및 이리듐으로 구성되는 그룹에서 선택되는 하나의 금속 또는 이들의 혼합물 또는 이들의 합금으로 형성될 수 있다.

<28> 또한, 상술한 (b) 단계에서 전하 포획층은 실리콘, 게르마늄, 실리콘과 게르마늄의 혼합물, Ⅲ-Ⅴ족 화합물 또는 Ⅱ-Ⅵ족 화합물로 구성되는 그룹에서 선택되는 하나의 반도체 재료로 형성될 수 있다.

<29> 또한, 상술한 (b) 단계에서, 전하 포획층은 4 내지 100 ㎚ 의 두께로 형성되는 것이 바람직하다.

효 과

<30> 본 발명의 비휘발성 메모리 소자는, 터널 절연막을 중앙부가 주변부보다 낮도록 단차지게 우물 구조로 형성하였고, 터널 절연막상에 형성된 전하 포획층도 중앙의 하단이 양 옆의 상단보다 낮도록 단차지게 형성하여, 전하 포획층의 좌측 또는 우측 상단에 전하를 주입하여 2비트 프로그램이 가능한 효과가 있다.

<31> 또한, 본 발명의 비휘발성 메모리 소자는, 전하 포획층의 좌측 또는 우측 상단에 인가된 전하들에 측면 확산이 발생하는 경우에도, 전하 포획층의 상단에서 전하 포획층의 하단으로 확산된 후 얇은 터널 절연막의 중앙부를 통해서 반도체 기판으로 방출되므로, 측면 확산 현상으로 인하여 하나의 소자에서 멀티 비트를 구현하기 어려운 종래 기술의 문제점을 해결하는 효과가 있다.

<32> 또한, 본 발명의 비휘발성 메모리 소자는, 반도체 기판에 수용홈을 형성하고, 그 내부에 터널 절연막 및 전하 포획층이 단차지도록 순차적으로 형성함으로써, 드레인 영역과 소오스 영역 사이에 형성되는 채널 길이가 길어져 단채널효과를 해결하는 효과가 있다.

발명의 실시를 위한 구체적인 내용

<33> 이하에서는 도 4 내지 도 8 을 참조하여 본 발명의 바람직한 실시예에 따른 비휘발성 메모리 소자의 구조, 그 제조 방법, 및 동작을 설명한다.

<34> 도 4 는 본 발명의 바람직한 실시예에 따른 비휘발성 메모리 소자의 구조를 도시하는 도면이다. 도 4를 참조하면, 본 발명의 비휘발성 메모리 소자는 반도체 기판(500)상에 소오스 영역(552) 및 드레인 영역(554)이 형성되고, 채널 영역은 소오스 영역(552)과 드레인 영역(554) 사이에 위치한다.

<35> 채널영역의 상부에는 터널 절연막(510), 전하 포획층(520) 및 차단 절연막(530)이 순차적으로 형성된 메모리층이 형성되어 있고, 차단 절연막(530)의 상부에는 게이트 전극층(540)이 형성되며, 메모리 소자 주변에는 절연막 스페이서(560)가 형성되어 있다.

<36> 터널 절연막(510)은 중앙부가 주변부보다 낮도록 단차지게 형성된다. 즉, 터널 절연막(510)은 중앙부와 중앙부의 좌측 및 우측에 위치한 주변부간에 단차지도록 우물 구조로 형성된다. 이 때, 터널 절연막(510)의 중앙부의 두께는, 터널 절연막(510)의 중앙부 위에 형성된 전하 포획층의 하단 영역(520-1)에 주입된 전하가 시간이 경과함에 따라서 자연스럽게 터널링하여 반도체 기판으로 유입될 수 있도록 충분히 얇게 형성되어야 한다. 이를 위해서, 본 발명의 바람직한 실시예에서는, 터널 절연막(510)의 중앙부의 두께를 1 내지 10㎚로 형성한다.

<37> 또한, 터널 절연막(510)상에 형성된 전하 포획층(520) 역시 가운데 형성된 하단 영역(520-1)이 하단 영역(520-

1)의 좌측 및 우측에 형성된 상단 영역(520-2L, 520-2R)보다 낮도록 단차지게 우물 구조로 형성된다.

<38> 본 발명의 바람직한 실시예에 따른 비휘발성 메모리 소자는 우물 구조로 형성된 전하 포획층의 좌측 상단 영역(520-2L) 및 우측 상단 영역(520-2R)에 국부적으로 전하를 주입하여, 그 각각이 서로 독립적으로 1비트로 프로그램될 수 있도록 구현되었다. 따라서, 본 발명의 바람직한 실시예에 따른 전하 포획층은 좌우 대칭적으로 구성되는 것이 바람직하지만, 전하 포획층의 좌측 상단 영역(520-2L)과 우측 상단 영역(520-2R)은 그 길이 및 두께에 있어서 완전 동일하게 형성되지 않을 수도 있다.

<39> 이하에서는, 본 발명의 바람직한 실시예에 따라서 비휘발성 메모리 소자의 제조 공정을 설명하는 도 5a 내지 도 5i 를 참조하여, 본 발명의 바람직한 실시예에 따라서 비휘발성 메모리 소자를 제조하는 방법을 설명한다.

<40> 본 발명의 비휘발성 메모리 소자를 제조하기 위해서, 반도체 기판(500)위에 채널 영역이 형성될 위치의 중앙에 일정 길이의 제 1 마스크 패턴(702)을 형성하고(도 5a 참조), 터널 절연막(510)을 형성하기 위한 물질을 제 1 마스크 패턴(702)이 형성되지 않은 반도체 기판(500)의 영역에 1nm 내지 10nm의 두께로 형성한 후(도 5b 의 512 참조), 제 1 마스크 패턴(702)을 제거한다(도 5c 참조).

<41> 이 때, 반도체 기판(500)에 형성되는 터널 절연막(510) 물질 층(512)의 두께는 터널 절연막의 중앙부(510-1)와 터널 절연막의 주변부(510-2)의 단차를 결정하게 되고, 이러한 단차는 후술하는 바와 같이, 터널 절연막 중앙부(510-1)의 두께와 함께 게이트 전극층(540)에 인가되는 음의 프로그래밍 전압의 크기를 결정하므로, 이러한 조건들을 고려하여 적절히 선택되는 것이 바람직하다.

<42> 제 1 마스크 패턴(702)이 제거된 후, 터널 절연막(510)을 형성하기 위한 물질을 제 1 마스크 패턴(702)이 제거된 반도체 기판(500) 및 도 5b에서 형성된 터널 절연막 물질 층(514)위에 0.1nm 내지 1nm의 두께로 형성하여 본 발명의 터널 절연막 중앙부(510-1)와 주변부(510-2)를 형성한다(도 5d 참조).

<43> 상술한 각 단계에서, 터널 절연막(510)은 열산화공정 또는 공지의 박막증착 공정을 통해서 형성된 산화막으로서, 실리콘 산화막(SiO_2) 등으로 형성될 수 있다.

<44> 또한, 터널 절연막(510)의 두께가 얇을수록 게이트 전극층(540)에 낮은 프로그램 전압을 인가해도 되고, 신속한 프로그램 및 소거가 가능할 뿐만 아니라, 프로그램 및 소거 동작의 성공 가능성이 높은 장점이 있는 반면, 전하 유지력이 낮은 문제점이 있다. 따라서, 상술한 터널 절연막의 중앙부(510-1) 및 주변부(510-2)의 두께는 프로그램 및 소거 전압 및 속도 등의 변수에 따라서 적절한 수준에서 가능한 얇게 선택되는 것이 바람직하다.

<45> 한편, 터널 절연막(510)이 형성된 후, 도 5e 에 도시된 바와 같이, 터널 절연막(510) 위에 전하 포획층(520)이 4 내지 100 nm 의 두께로 터널 절연막(510)에 형성된 단차를 따라서 단차지도록 형성된다. 그러므로, 터널 절연막의 중앙부(510-1) 및 주변부(510-2)에는 전하 포획층의 하단(520-1) 및 상단(520-2L, 520-2R)이 각각 형성된다.

<46> 전하 포획층(520)은 좌측 상단(520-2L), 하단(520-1) 및 우측 상단(520-2R)로 구성되고, 전하 포획층의 좌측 상단(520-2L)에 전하를 국부적으로 주입하여 1비트 프로그램이 가능하고, 이와 독립적으로 전하 포획층의 우측 상단(520-2R)에 국부적으로 전하를 주입하여 1비트 프로그램이 가능하여, 전체적으로 한 반도체 메모리 셀내에서 2비트 프로그램이 가능하다. 프로그래밍 동작에 관하여서는 후술한다.

<47> 전하 포획층(520)의 형성에 이용되는 물질로는 질화막뿐만 아니라 전하를 저장할 수 있는 모든 물질들이 이용될 수 있다.

<48> 예컨대, 전하 포획층(520)은 고유전상수(high-k)를 갖는 물질, 및 비정질 폴리 실리콘 물질 중 어느 하나로 형성될 수 있다. 또한, 전하 포획층(520)은, 텅스텐, 몰리브덴, 코발트, 니켈, 백금, 로듐, 팔라듐 및 이리듐 등의 금속이나, 이들의 혼합물 또는 이들의 합금으로 형성될 수 있다. 또한, 전하 포획층(520)은 실리콘, 게르마늄, 실리콘과 게르마늄의 혼합물, Ⅲ-Ⅴ족 화합물(Ⅲ족의 Al, Ga, In 과 Ⅴ족의 P, As, Sb와의 조합) 또는 Ⅱ-Ⅵ족 화합물(Ⅱ족의 Zn, Cd, Hg와 Ⅵ족의 O, S, Se, Te의 조합) 등의 반도체 재료로 형성될 수도 있다. 또한, 전하 포획층(520)은 알루미늄산화막(Al2O3), 하프늄산화막(HfO), 하프늄알루미늄산화막(HfAlO), 하퓨늄실리콘산화막(HfSio) 등과 같은 전하에 대한 포획 밀도가 높은 절연체로도 형성될 수 있다.

<49> 전하 포획층(520)이 형성된 후, 도 5f 에 도시된 바와 같이, 전하 포획층(520) 위에 차단 절연막(530)을 형성하고, CMP 방식에 따라서 차단 절연막(530)의 상면을 평탄화한다. 차단 절연막(530)은 전하 포획층(520)에 저장된 전하가 게이트 전극층(540)으로 누설되는 것을 방지하기 위해서 전하 포획층의 상단(520-2L, 520-2R)으로부터 2

내지 10nm 의 두께로 형성되는 것이 바람직하다. 또한, 차단 절연막(530)은 상술한 터널 절연막(510)의 형성에 이용될 수 있는 물질들을 이용하여 형성될 수 있다.

<50> 차단 절연막(530)이 형성된 후, 도 5g 에 도시된 바와 같이, 게이트 전극층(540)이 형성된다. 게이트 전극층(540)은 폴리실리콘, 금속, 폴리실리콘상에 금속-실리사이드가 형성된 폴리사이드 구조 등 통상적으로 게이트 전극으로 사용되는 모든 전도성 물질로 형성될 수 있다. 소자의 고집적화에 따라서 게이트 전극의 선폭이 좁아질 경우 저항이 증가될 것을 고려하여 폴리실리콘보다는 전도성이 우수한 금속이나 폴리사이드 구조로 게이트 전극층(540)이 형성되는 것이 바람직하다.

<51> 게이트 전극층(540)이 형성된 후, 도 5h 에 도시된 바와 같이, 메모리 소자를 형성할 영역에 하드 마스크막 패턴(706)을 형성하고, 하드 마스크막(706)을 식각 마스크로 사용하여 반도체 기판(500)이 드러날때까지 게이트 전극층(540), 차단 절연막(530), 전하 포획층(520), 및 터널 절연막(510)을 식각한다.

<52> 본 발명에서, 소오스 영역(552)과 드레인 영역(554) 사이의 이격 거리는 수십 내지 수백 nm 이고, 이에 따라서 소오스 영역(552)과 드레인 영역(554) 사이에 위치하는 채널 영역위에 형성되는 메모리 소자의 길이도 수십 내지 수백 nm 가 된다. 따라서, 하드 마스크막 패턴(706)의 길이도 메모리 소자의 길이에 따라서 결정된다.

<53> 그 후, 소오스/드레인 이온 주입 공정을 실시하여 반도체 기판(500)상에 소오스 영역(552) 및 드레인 영역(554)을 형성하고(도 5i 참조), 절연막 스페이서(560)를 형성하여 도 4 에 도시된 바와 같은 본 발명의 비휘발성 메모리 소자를 완성한다.

<54> 지금까지 본 발명의 바람직한 실시예에 따른 비휘발성 메모리 소자의 구조 및 그 제조 방법을 설명하였다. 도 6a 및 도 6b 를 더 참조하여 본 발명의 비휘발성 메모리 소자의 멀티 비트 프로그램 및 소거 동작을 설명하면 다음과 같다.

<55> 상술한 바와 같이, 전하 포획층의 좌측 상단 영역(520-2L)에 전하를 국부적으로 주입하여 1비트를 프로그램밍하고, 이와 독립적으로 전하 포획층의 우측 상단 영역(520-2R)에 국부적으로 전하를 주입하여 1비트를 프로그래밍한다.

<56> 먼저, 도 6a 를 참조하여, 전하 포획층의 좌측 상단 영역(520-2L)에 1비트를 프로그램하는 동작을 살펴보면, 전하 포획층의 좌측 상단 영역(520-2L)에 전하를 주입하기 위해서는, 반도체 기판과 드레인 영역(554)을 각각 접지한 상태에서 게이트 전극층(540)에 양의 프로그래밍 전압인 제 1 프로그래밍 전압(V1)을 인가하고, 소오스 영역(552)에 양전압인 제 2 전압(V2)을 인가한다. 본 발명의 바람직한 실시예에서는 제 1 프로그래밍 전압 및 제 2 전압을 모두 +5V 로 설정한다.

<57> 그러면, 소오스 영역(552)에 인접한 반도체 기판에 존재하던 전하들이 터널 절연막(510)을 터널링하여 전하 포획층의 좌측 상단 영역(520-2L)으로 주입되고, 전하 포획층의 우측 상단 영역(520-2R)에는 전하가 주입되지 않으므로, 전하 포획층의 좌측 상단 영역(520-2L)에만 1비트가 프로그래밍된다.

<58> 이 경우에, 전하 포획층의 좌측 상단 영역(520-2L)에 인접한 전하 포획층의 하단 영역(520-1)의 일부에도 반도체 기판으로부터 전하가 주입될 수 있다. 그러나, 전하 포획층 하단과 반도체 기판사이의 터널 절연막 중앙부(510-1)의 두께는 전하 포획측 상단과 반도체 기판 사이의 터널 절연막 주변부(510-2)의 두께에 비하여 상대적으로 얇아서, 전하 포획층 하단에 주입된 전하는 시간이 지남에 따라서 자연스럽게 터널 절연막의 중앙부(510-1)를 터널링하여 반도체 기판으로 방출된다.

<59> 다만, 신속하게 전하 포획층 하단에 주입된 전하를 반도체 기판으로 방출하기 위해서, 본 발명의 바람직한 실시예는 도 7 에 도시된 바와 같이, 게이트 전극층(540)에 인가된 게이트 전압의 펄스를 조절하여 인위적으로 전하 포획층의 하단에 주입된 전하를 반도체 기판으로 방출한다.

<60> 도 7 은 게이트 전극층에 인가되는 프로그래밍 전압 파형을 도시한다. 도 7 을 참조하면, 전하 포획층의 좌측 상단 영역(520-2L) 또는 우측 상단 영역(520-2R)에 프로그래밍하기 위해서 게이트 전극층(540)에 양의 프로그래밍 전압인 제 1 프로그래밍 전압 V1(본 발명의 바람직한 실시예에서는 +5V 로 설정한다)을 우선 인가한다. 그러면, 도 6a 에 도시된 바와 같이, 전하 포획층의 좌측 상단 영역(520-2L) 또는 우측 상단 영역(520-2R)에 전하가 주입됨과 동시에 전하 포획층의 하단 영역(520-1) 일부에 전하가 주입된다.

<61> 그 후, 게이트 전극층(540)에 제 1 프로그래밍 전압 V1 보다 크기가 작은 음의 프로그래밍 전압인 제 2 프로그래밍 전압 V1' (본 발명의 바람직한 실시예에서는 -3V 로 설정한다)을 인가한다. 이 때, 게이트 전극층(540)에 인가되는 제 2 프로그래밍 전압의 크기는 전하 포획층의 상단 영역에 주입된 전하를 기판으로 소거하기에는 부

족하고 전하 포획층의 하단 영역(520-1)에 주입된 전하를 기판으로 소거하기에는 충분한 전압 크기로 선택되고, 따라서, 전하 포획층 상단 영역에 주입된 전하는 그대로 포획된 상태로 유지되고, 전하 포획층의 하단 영역(520-1)에 주입된 전하만이 기판으로 방출된다.

<62> 도 6b 는 전하 포획층의 우측 상단 영역(520-2R)에 전하를 주입하여 1비트를 프로그래밍하는 과정을 설명하는 도면이다. 전하 포획층의 우측 상단 영역(520-2R)에 전하를 주입하는 과정은 드레인에 제 2 전압을 인가하고, 소오스 영역(552)을 접지한다는 점을 제외하면, 도 6a 를 참조하여 설명한 전하 포획층의 좌측 상단 영역(520-2L)에 전하를 주입하여 1비트를 프로그래밍 하는 과정과 동일하므로 자세한 설명은 생략한다.

<63> 한편, 일단 전하 포획층의 상단 영역에 전하가 주입된 후 시간이 경과하면 전하 포획층에 포획된 전하들의 측면 확산(Lateral Diffusion)이 발생하여 전하 포획층의 상단에 포획된 전하들이 전하 포획층의 하단으로 일부 유입된다.

<64> 그러나, 본 발명의 비휘발성 메모리 소자에서는, 전하 포획층의 상단 영역들로부터 확산되어 전하 포획층의 하단 영역(520-1)으로 유입된 전하들은 전하 포획층의 하단 영역(520-1)에 위치하는 얇은 터널 절연막의 중앙부(510-1)를 통과하여 기판으로 방출된다. 따라서, 본 발명은 종래 기술의 전하들의 측면 확산으로 인해서 Cross Talk 간섭으로 인하여 2비트를 명확하게 분리하기 어려운 문제점을 해결하는 효과가 나타난다.

<65> 한편, 전하 포획층의 상단 영역에 주입된 전하를 소거하기 위해서는, 게이트 전극에 일정한 음의 소거 전압을 인가한다. 본 발명의 바람직한 실시예에서는 소거 전압으로서 -5V 의 전압을 게이트 전극층(540)에 인가한다.

<66> 한편, 도 8 은 본 발명의 다른 실시예에 따른 비휘발성 메모리 소자의 구성을 도시하는 도면이다.

<67> 도 8 에 도시된 비휘발성 메모리 소자는, 먼저 반도체 기판상에 채널이 형성될 영역을 반도체 기판 내부로 식각하여 수용홈을 형성하고, 수용홈이 형성된 반도체 기판위에 순차적으로 터널 절연막(510), 전하 포획층을 형성하여 자연스럽게 우물 구조를 형성하였고, 그 위에 차단 절연막을 형성하고 상면을 평탄화한 후, 게이트 전극층(540)을 형성하고 그 위에 마스크막 패턴을 형성하고 마스크막 주변을 기판까지 식각하여 소오스 영역(552)과 드레인 영역(554)을 형성하였다.

<68> 도 8 에 도시된 본 발명의 다른 실시예에 따른 비휘발성 메모리 소자의 경우에도, 터널 절연막(510)과 전하 포획층을 우물 구조로 형성함으로써, 도 4 에 도시된 비휘발성 메모리 소자와 동일한 효과를 나타낸다.

<69> 또한, 도 8 에 도시된 비휘발성 메모리 소자의 경우에는 터널 절연막(510) 및 전하 포획층이 반도체 기판 내부에 수용되도록 형성함으로써, 소오스와 드레인간의 채널이 터널 절연막(510)과 반도체 기판의 경계를 따라서 형성된다.

<70> 따라서, 도 8 에 도시된 비휘발성 메모리 소자의 경우에는 도 4 에 도시된 경우와 비교하여 채널의 길이가 상대적으로 길어지고, 이로 인해 단채널효과(Short channel effect)를 감소시킬 수 있는 효과를 더 나타낸다.

<71> 이제까지 본 발명에 대하여 그 바람직한 실시예들을 중심으로 살펴보았다. 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자는 본 발명이 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 변형된 형태로 구현될 수 있음을 이해할 수 있을 것이다. 그러므로 개시된 실시예들은 한정적인 관점이 아니라 설명적인 관점에서 고려되어야 한다. 본 발명의 범위는 전술한 설명이 아니라 특허청구범위에 나타나 있으며, 그와 동등한 범위 내에 있는 모든 차이점은 본 발명에 포함된 것으로 해석되어야 할 것이다.

도면의 간단한 설명

<72> 도 1 은 종래 기술에 따른 소노스(SONOS:Silicon Oxide Nitride Oxide Semiconductor) 구조의 비휘발성 메모리 장치의 단면도이다.

<73> 도 2 및 도 3은 종래 기술에 따른 나노크리스탈을 이용한 비휘발성 메모리 장치의 단면도들이다.

<74> 도 4 는 본 발명의 바람직한 실시예에 따른 비휘발성 메모리 소자의 구조를 도시하는 도면이다.

<75> 도 5a 내지 도 5i 는 본 발명의 바람직한 실시예에 따라서 비휘발성 메모리 소자의 제조 공정을 설명하는 도면이다.

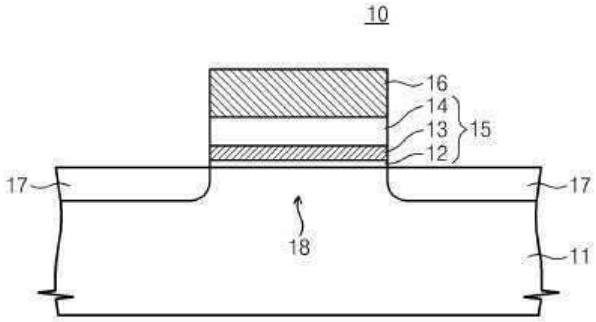
<76> 도 6a 및 도 6b 는 본 발명의 비휘발성 메모리 소자의 멀티 비트 프로그램 및 소거 동작을 설명하는 도면이다.

<77> 도 7 은 본 발명의 바람직한 실시예에 따른 프로그래밍 전압의 파형을 도시하는 도면이다.

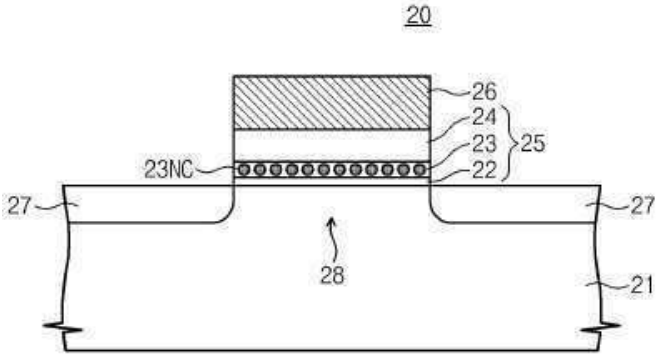
<78> 도 8 은 본 발명의 다른 실시예들에 따른 비휘발성 메모리 소자의 구성을 도시하는 도면이다.

도면

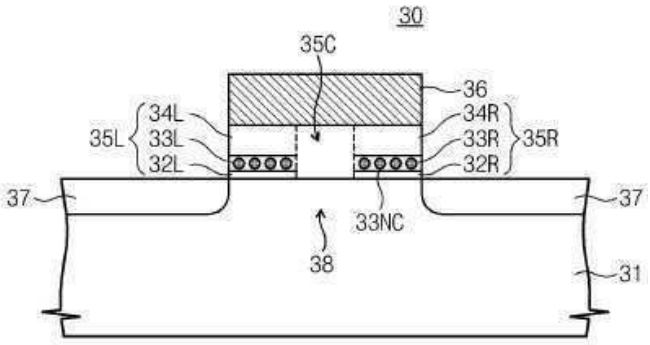
도면1



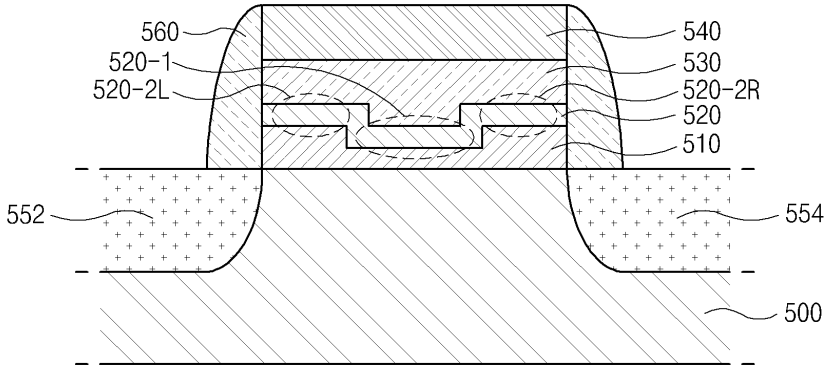
도면2



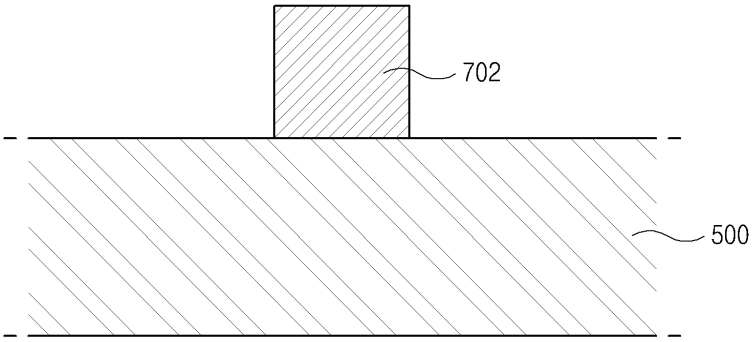
도면3



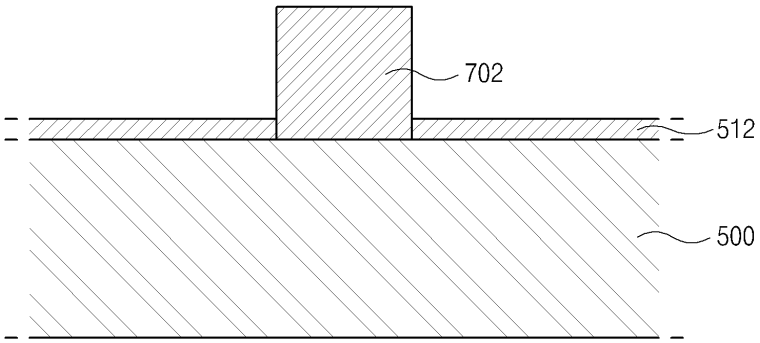
도면4



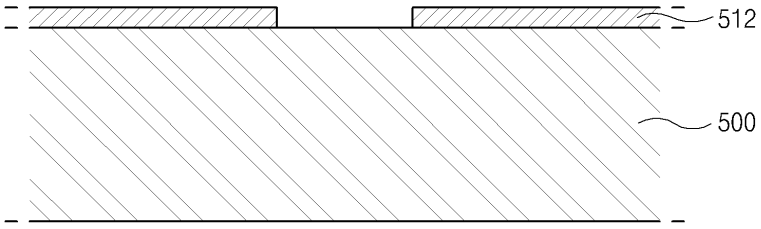
도면5a



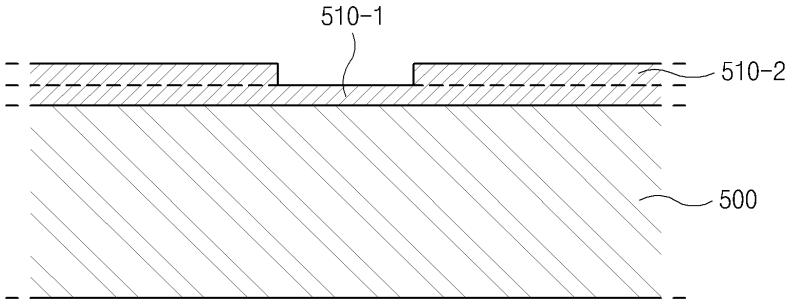
도면5b



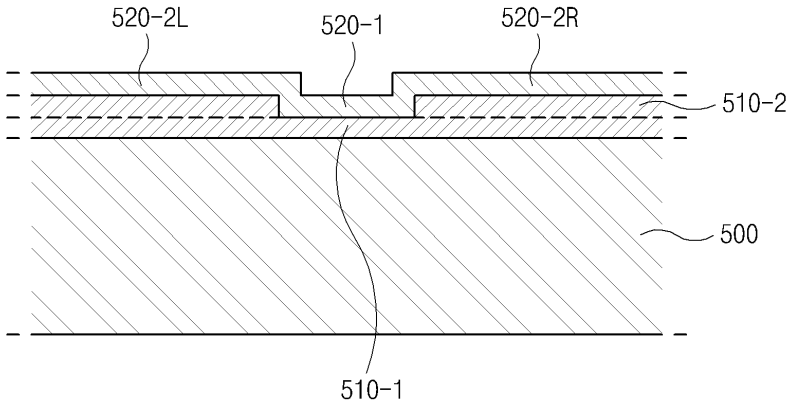
도면5c



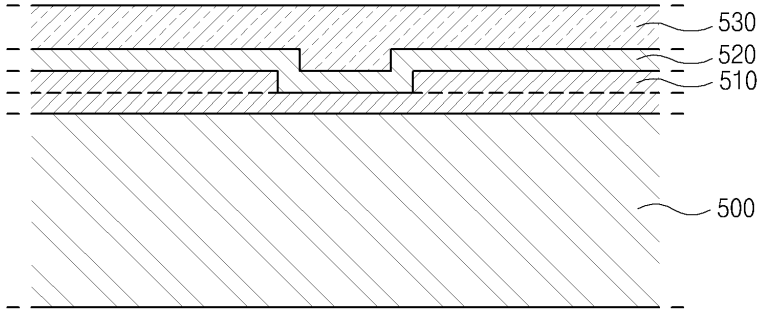
도면5d



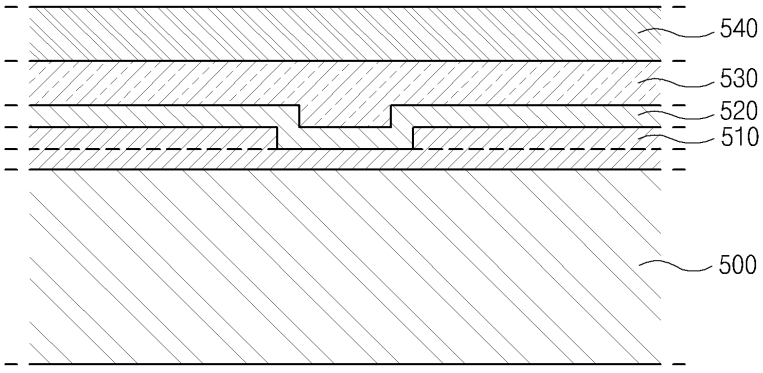
도면5e



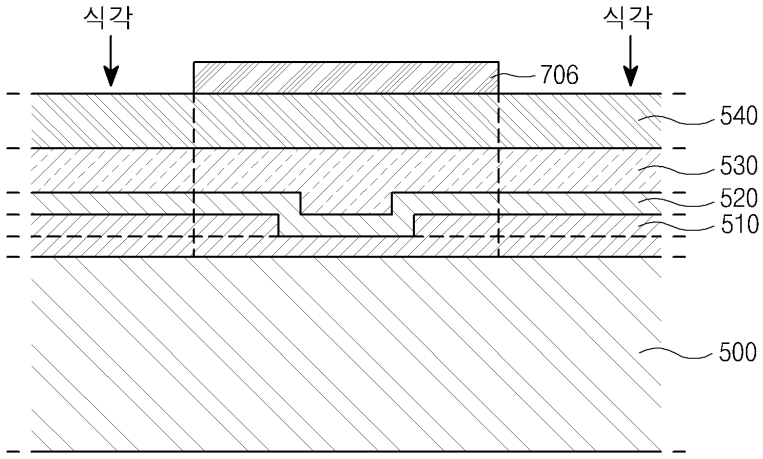
도면5f



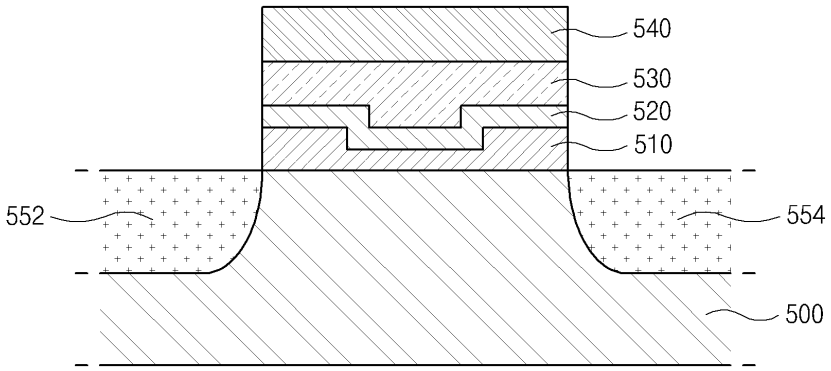
도면5g



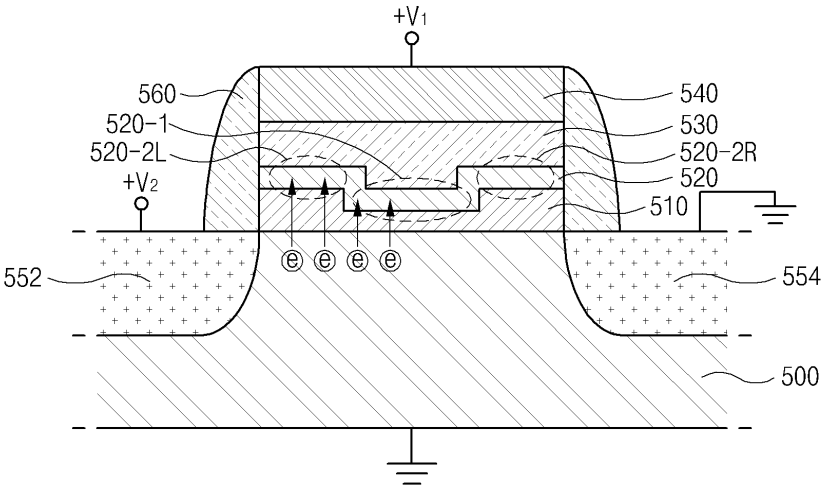
도면5h



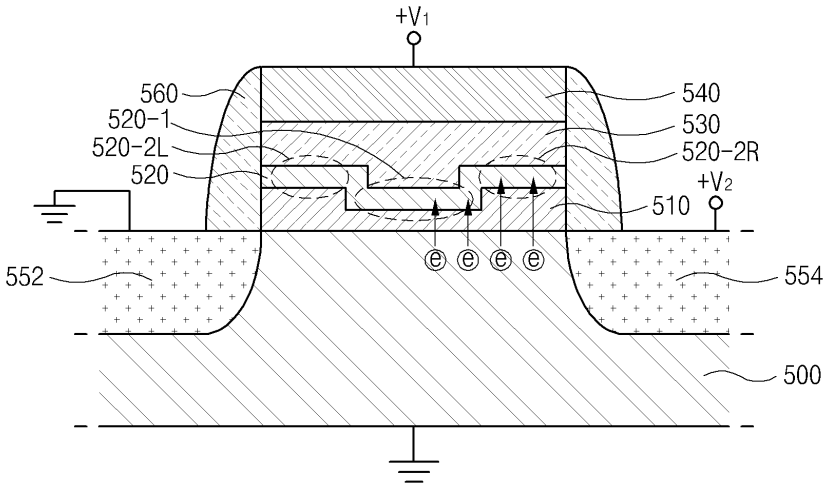
도면5i



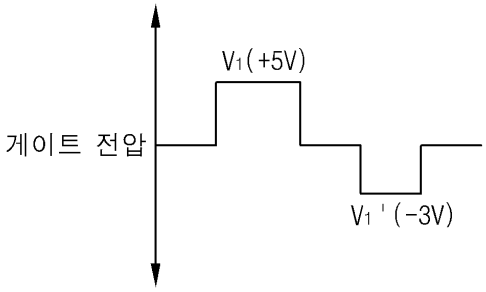
도면6a



도면6b



도면7



도면8

