

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7593510号
(P7593510)

(45)発行日 令和6年12月3日(2024.12.3)

(24)登録日 令和6年11月25日(2024.11.25)

(51)国際特許分類		F I	
H 0 1 L	21/76 (2006.01)	H 0 1 L	29/78 6 5 2 R
H 0 1 L	29/78 (2006.01)	H 0 1 L	21/265 R
H 0 1 L	21/265 (2006.01)	H 0 1 L	27/06 1 0 2 A
H 0 1 L	21/8234(2006.01)	H 0 1 L	29/06 3 0 1 D
H 0 1 L	27/06 (2006.01)	H 0 1 L	29/06 3 0 1 M
請求項の数 20 (全37頁) 最終頁に続く			
(21)出願番号	特願2023-575255(P2023-575255)	(73)特許権者	000005234
(86)(22)出願日	令和5年1月17日(2023.1.17)		富士電機株式会社
(86)国際出願番号	PCT/JP2023/001200		神奈川県川崎市川崎区田辺新田 1 番 1 号
(87)国際公開番号	WO2023/140253	(74)代理人	110000877
(87)国際公開日	令和5年7月27日(2023.7.27)		弁理士法人 R Y U K A 国際特許事務所
審査請求日	令和5年12月28日(2023.12.28)	(72)発明者	桜井 洋輔
(31)優先権主張番号	特願2022-6926(P2022-6926)		神奈川県川崎市川崎区田辺新田 1 番 1 号
(32)優先日	令和4年1月20日(2022.1.20)		富士電機株式会社内
(33)優先権主張国・地域又は機関	日本国(JP)	(72)発明者	野口 晴司
			神奈川県川崎市川崎区田辺新田 1 番 1 号
			富士電機株式会社内
		(72)発明者	吉田 浩介
			神奈川県川崎市川崎区田辺新田 1 番 1 号
			富士電機株式会社内
		(72)発明者	浜崎 竜太郎
			最終頁に続く

(54)【発明の名称】 半導体装置

(57)【特許請求の範囲】

【請求項 1】

上面および下面を有し、第 1 導電型のドリフト領域を含む半導体基板と、
前記ドリフト領域と前記半導体基板の前記上面との間に設けられた第 2 導電型のベース領域と、
前記半導体基板の前記上面から前記ベース領域よりも下方まで設けられ、ゲートトレンチ部およびダミートレンチ部を含む複数のトレンチ部と、
前記ゲートトレンチ部を含む 2 つ以上のトレンチ部の下端と接して設けられた第 2 導電型の第 1 下端領域と、
上面視において前記第 1 下端領域と重ならない分離領域と
を備え、
前記分離領域は、前記ゲートトレンチ部を含む 1 つ以上のトレンチ部の下端と接して設けられた第 2 導電型の第 2 下端領域を有する
半導体装置。

【請求項 2】

1 つの前記第 2 下端領域が接する前記トレンチ部の個数は、1 つの前記第 1 下端領域が接する前記トレンチ部の個数よりも少ない
請求項 1 に記載の半導体装置。

【請求項 3】

1 つの前記第 2 下端領域は、1 つの前記ゲートトレンチ部の下端と接しており、且つ、

当該ゲートトレンチ部以外の前記ゲートトレンチ部の下端には接していない

請求項 1 に記載の半導体装置。

【請求項 4】

1 つの前記第 1 下端領域は、複数の前記ゲートトレンチ部および複数の前記ダミートレンチ部の下端と接している

請求項 3 に記載の半導体装置。

【請求項 5】

1 つの前記第 2 下端領域は、1 つの前記ゲートトレンチ部の下端と接しており、且つ、当該ゲートトレンチ部の隣に配置された前記トレンチ部の下端には接していない

請求項 3 に記載の半導体装置。

10

【請求項 6】

1 つの前記第 2 下端領域は、1 つの前記ゲートトレンチ部の下端と接しており、且つ、当該ゲートトレンチ部の隣に配置された前記ダミートレンチ部の下端と接している

請求項 1 から 4 のいずれか一項に記載の半導体装置。

【請求項 7】

上面視において前記第 1 下端領域とは異なる位置に配置され、前記半導体基板の前記上面から前記ベース領域よりも下方まで設けられ、前記ベース領域よりもドーピング濃度の高い第 2 導電型のウェル領域と、

前記ダミートレンチ部の下端に接して設けられた第 2 導電型の第 3 下端領域と

を更に備え、

20

前記第 3 下端領域が接する前記ダミートレンチ部は、前記第 2 下端領域が接する前記ゲートトレンチ部の隣に配置され、

前記第 3 下端領域は、前記第 1 下端領域、前記第 2 下端領域および前記ウェル領域のいずれとも分離している

請求項 5 に記載の半導体装置。

【請求項 8】

前記ゲートトレンチ部の長手方向に沿って、複数の前記第 2 下端領域が互いに離れて配置されている

請求項 1 から 4 のいずれか一項に記載の半導体装置。

【請求項 9】

30

上面視において、前記分離領域が、2 つの前記第 1 下端領域に挟まれている

請求項 1 から 4 のいずれか一項に記載の半導体装置。

【請求項 10】

前記ゲートトレンチ部は、

ゲート絶縁膜と、

前記ゲート絶縁膜により前記半導体基板と絶縁されるゲート導電部と

を有し、

前記第 2 下端領域と接する前記ゲートトレンチ部のうちの少なくとも 1 つにおける前記ゲート導電部は、前記第 1 下端領域と接する前記ゲートトレンチ部の前記ゲート導電部よりも、深さ方向において短い

40

請求項 3 に記載の半導体装置。

【請求項 11】

前記第 1 下端領域と接する前記ゲートトレンチ部の隣りに、前記第 1 下端領域および前記第 2 下端領域と接していない前記ダミートレンチ部が 2 つ以上連続して配置されており、連続して配置された前記 2 つ以上の前記ダミートレンチ部の下端と接して設けられた第 2 導電型の第 4 下端領域を更に備える

請求項 1 から 4 のいずれか一項に記載の半導体装置。

【請求項 12】

前記ゲートトレンチ部は、

ゲート絶縁膜と、

50

前記ゲート絶縁膜により前記半導体基板と絶縁されるゲート導電部とを有し、

前記第2下端領域と接する前記ゲートトレンチ部の少なくとも1つにおいて、前記ゲート絶縁膜と接する位置の前記ゲート導電部が、前記ゲート絶縁膜から最も離れた位置の前記ゲート導電部よりも、深さ方向において長い

請求項1から4のいずれか一項に記載の半導体装置。

【請求項13】

前記第2下端領域に接する前記ゲートトレンチ部の少なくとも1つが、前記第1下端領域に接する前記ゲートトレンチ部よりも、深さ方向において短い

請求項1から4のいずれか一項に記載の半導体装置。

10

【請求項14】

少なくとも1つの前記第1下端領域は、前記ダミートレンチ部の下端と接して設けられ、前記分離領域は、1つ以上の前記ダミートレンチ部を含み、前記分離領域の前記ダミートレンチ部の少なくとも1つは、前記第1下端領域と接する前記ダミートレンチ部よりも、深さ方向に長い

請求項1から4のいずれか一項に記載の半導体装置。

【請求項15】

前記半導体基板の前記上面に露出し、前記ゲートトレンチ部と接して設けられ、前記ドリフト領域よりもドーピング濃度の高い第1導電型のエミッタ領域と、

前記半導体基板の前記上面に露出し、前記ゲートトレンチ部の長手方向に沿って、前記エミッタ領域と交互に配置され、前記ベース領域よりもドーピング濃度の高い第2導電型のコンタクト領域と

を更に備え、

前記第2下端領域は、上面視において前記エミッタ領域と重なって配置されている

請求項1から4のいずれか一項に記載の半導体装置。

20

【請求項16】

前記半導体基板の前記下面に接して設けられた第2導電型のコレクタ領域を更に備える請求項15に記載の半導体装置。

【請求項17】

前記半導体基板の前記上面に露出し、前記ゲートトレンチ部と接して設けられ、前記ドリフト領域よりもドーピング濃度の高い第1導電型のソース領域と、

前記半導体基板の前記上面に露出し、前記ゲートトレンチ部の長手方向に沿って、前記ソース領域と交互に配置され、前記ベース領域よりもドーピング濃度の高い第2導電型のコンタクト領域と

を更に備え、

前記第2下端領域は、上面視において前記ソース領域と重なって配置されている

請求項1から4のいずれか一項に記載の半導体装置。

30

【請求項18】

前記半導体基板の前記下面に接して設けられた第1導電型のドレイン領域を更に備える請求項17に記載の半導体装置。

40

【請求項19】

2つ以上の前記ゲートトレンチ部のそれぞれに対して、互いに分離した前記第2下端領域が設けられている

請求項1から4のいずれか一項に記載の半導体装置。

【請求項20】

上面および下面を有し、第1導電型のドリフト領域を含む半導体基板と、

前記ドリフト領域と前記半導体基板の前記上面との間に設けられた第2導電型のベース領域と、

前記半導体基板の前記上面から前記ベース領域よりも下方まで設けられ、ゲートトレンチ部およびダミートレンチ部を含む複数のトレンチ部と、

50

前記ゲートトレンチ部を含む１つ以上のトレンチ部の下端と接して設けられた第２導電型の第２下端領域と

を備え、

前記第２下端領域と接する前記ゲートトレンチ部は、他の少なくとも１つの前記ゲートトレンチ部よりも、深さ方向において短い

半導体装置。

【発明の詳細な説明】

【技術分野】

【０００１】

本発明は、半導体装置に関する。

10

【背景技術】

【０００２】

従来、Ｐ型のウェル領域から離れたＰ型のフローティング領域を、ゲートトレンチの底部に設ける構造が知られている（例えば特許文献１参照）。

特許文献１ 特開２０１９－９１８９２号公報

【解決しようとする課題】

【０００３】

半導体装置の耐圧または耐量が低下しないことが好ましい。

【一般的開示】

【０００４】

20

上記課題を解決するために、本発明の第１の態様においては、半導体装置を提供する。半導体装置は、上面および下面を有し、第１導電型のドリフト領域を含む半導体基板を備えてよい。上記いずれかの半導体装置は、前記ドリフト領域と前記半導体基板の前記上面との間に設けられた第２導電型のベース領域を備えてよい。上記いずれかの半導体装置は、前記半導体基板の前記上面から前記ベース領域よりも下方まで設けられ、ゲートトレンチ部およびダミートレンチ部を含む複数のトレンチ部を備えてよい。上記いずれかの半導体装置は、前記ゲートトレンチ部を含む２つ以上のトレンチ部の下端と接して設けられた第２導電型の第１下端領域を備えてよい。上記いずれかの半導体装置は、上面視において前記第１下端領域と重ならない分離領域を備えてよい。上記いずれかの半導体装置において、前記分離領域は、前記ゲートトレンチ部を含む１つ以上のトレンチ部の下端と接して設けられた第２導電型の第２下端領域を有してよい。

30

【０００５】

上記いずれかの半導体装置において、１つの前記第２下端領域が接する前記トレンチ部の個数は、１つの前記第１下端領域が接する前記トレンチ部の個数よりも少なくてもよい。

【０００６】

上記いずれかの半導体装置において、１つの前記第２下端領域は、１つの前記ゲートトレンチ部の下端と接しており、且つ、当該ゲートトレンチ部以外の前記ゲートトレンチ部の下端には接していないとよい。

【０００７】

上記いずれかの半導体装置において、１つの前記第１下端領域は、複数の前記ゲートトレンチ部および複数の前記ダミートレンチ部の下端と接してよい。

40

【０００８】

上記いずれかの半導体装置において、１つの前記第２下端領域は、１つの前記ゲートトレンチ部の下端と接しており、且つ、当該ゲートトレンチ部の隣に配置された前記トレンチ部の下端には接していないとよい。

【０００９】

上記いずれかの半導体装置において、１つの前記第２下端領域は、１つの前記ゲートトレンチ部の下端と接しており、且つ、当該ゲートトレンチ部の隣に配置された前記ダミートレンチ部の下端と接してよい。

【００１０】

50

上記いずれかの半導体装置は、上面視において前記第1下端領域とは異なる位置に配置され、前記半導体基板の前記上面から前記ベース領域よりも下方まで設けられ、前記ベース領域よりもドーピング濃度の高い第2導電型のウェル領域を備えてよい。上記いずれかの半導体装置は、前記ダミートレンチ部の下端に接して設けられた第2導電型の第3下端領域を備えてよい。上記いずれかの半導体装置において、前記第3下端領域が接する前記ダミートレンチ部は、前記第2下端領域が接する前記ゲートレンチ部の隣に配置されてよい。上記いずれかの半導体装置において、前記第3下端領域は、前記第1下端領域、前記第2下端領域および前記ウェル領域のいずれとも分離してよい。

【0011】

上記いずれかの半導体装置において、前記ゲートレンチ部の長手方向に沿って、複数の前記第2下端領域が互いに離れて配置されていてよい。

10

【0012】

上記いずれかの半導体装置は、上面視において、前記分離領域が、2つの前記第1下端領域に挟まれていてよい。

【0013】

上記いずれかの半導体装置において、前記ゲートレンチ部は、ゲート絶縁膜と、前記ゲート絶縁膜により前記半導体基板と絶縁されるゲート導電部とを有してよい。上記いずれかの半導体装置において、前記第2下端領域と接する前記ゲートレンチ部のうちの少なくとも1つにおける前記ゲート導電部は、前記第1下端領域と接する前記ゲートレンチ部の前記ゲート導電部よりも、深さ方向において短くてよい。

20

【0014】

上記いずれかの半導体装置において、前記第1下端領域と接する前記ゲートレンチ部の隣りに、前記第1下端領域および前記第2下端領域と接していない前記ダミートレンチ部が2つ以上連続して配置されてよい。上記いずれかの半導体装置は、連続して配置された前記2つ以上の前記ダミートレンチ部の下端と接して設けられた第2導電型の第4下端領域を備えてよい。

【0015】

上記いずれかの半導体装置において、前記ゲートレンチ部は、ゲート絶縁膜と、前記ゲート絶縁膜により前記半導体基板と絶縁されるゲート導電部とを有してよい。上記いずれかの半導体装置において、前記第2下端領域と接する前記ゲートレンチ部の少なくとも1つにおいて、前記ゲート絶縁膜と接する位置の前記ゲート導電部が、前記ゲート絶縁膜から最も離れた位置の前記ゲート導電部よりも、深さ方向において長くてよい。

30

【0016】

上記いずれかの半導体装置において、前記第2下端領域に接する前記ゲートレンチ部の少なくとも1つが、前記第1下端領域に接する前記ゲートレンチ部よりも、深さ方向において短くてよい。

【0017】

上記いずれかの半導体装置において、少なくとも1つの前記第1下端領域は、前記ダミートレンチ部の下端と接して設けられてよい。上記いずれかの半導体装置において、前記分離領域は、1つ以上の前記ダミートレンチ部を含んでよい。上記いずれかの半導体装置において、前記分離領域の前記ダミートレンチ部の少なくとも1つは、前記第1下端領域と接する前記ダミートレンチ部よりも、深さ方向に長くてよい。

40

【0018】

上記いずれかの半導体装置は、前記半導体基板の前記上面に露出し、前記ゲートレンチ部と接して設けられ、前記ドリフト領域よりもドーピング濃度の高い第1導電型のエミッタ領域を備えてよい。上記いずれかの半導体装置は、前記半導体基板の前記上面に露出し、前記ゲートレンチ部の長手方向に沿って、前記エミッタ領域と交互に配置され、前記ベース領域よりもドーピング濃度の高い第2導電型のコンタクト領域を備えてよい。上記いずれかの半導体装置において、前記第2下端領域は、上面視において前記エミッタ領域と重なって配置されていてよい。

50

【 0 0 1 9 】

上記いずれかの半導体装置は、前記半導体基板の前記下面に接して設けられた第 2 導電型のコレクタ領域を備えてよい。

【 0 0 2 0 】

上記いずれかの半導体装置は、前記半導体基板の前記上面に露出し、前記ゲートトレンチ部と接して設けられ、前記ドリフト領域よりもドーピング濃度の高い第 1 導電型のソース領域を備えてよい。上記いずれかの半導体装置は、前記半導体基板の前記上面に露出し、前記ゲートトレンチ部の長手方向に沿って、前記ソース領域と交互に配置され、前記ベース領域よりもドーピング濃度の高い第 2 導電型のコンタクト領域を備えてよい。上記いずれかの半導体装置において、前記第 2 下端領域は、上面視において前記ソース領域と重なって配置されてよい。

10

【 0 0 2 1 】

上記いずれかの半導体装置は、前記半導体基板の前記下面に接して設けられた第 1 導電型のドレイン領域を備えてよい。

【 0 0 2 2 】

上記いずれかの半導体装置において、2 つ以上の前記ゲートトレンチ部のそれぞれに対して、互いに分離した前記第 2 下端領域が設けられてよい。

【 0 0 2 3 】

本発明の第 2 の態様においては、半導体装置を提供する。半導体装置は、上面および下面を有し、第 1 導電型のドリフト領域を含む半導体基板を備えてよい。上記いずれかの半導体装置は、前記ドリフト領域と前記半導体基板の前記上面との間に設けられた第 2 導電型のベース領域を備えてよい。上記いずれかの半導体装置は、前記半導体基板の前記上面から前記ベース領域よりも下方まで設けられ、ゲートトレンチ部およびダミートレンチ部を含む複数のトレンチ部を備えてよい。上記いずれかの半導体装置は、前記ゲートトレンチ部を含む 1 つ以上のトレンチ部の下端と接して設けられた第 2 導電型の第 2 下端領域を備えてよい。上記いずれかの半導体装置において、前記第 2 下端領域と接する前記ゲートトレンチ部は、他の少なくとも 1 つの前記ゲートトレンチ部よりも、深さ方向において短くてよい。

20

【 0 0 2 4 】

なお、上記の発明の概要は、本発明の必要な特徴の全てを列挙したものではない。また、これらの特徴群のサブコンビネーションもまた、発明となりうる。

30

【図面の簡単な説明】

【 0 0 2 5 】

【図 1】本発明の一つの実施形態に係る半導体装置 1 0 0 の一例を示す上面図である。

【図 2】図 1 における領域 D の拡大図である。

【図 3】図 2 における e - e 断面の一例を示す図である。

【図 4】上面視におけるウェル領域 1 1 および第 1 下端領域 2 0 2 の配置例を示す図である。

【図 5】図 4 における f - f 断面の一例を示す図である。

【図 6】ゲートトレンチ部 4 0 およびダミートレンチ部 3 0 の他の配列例を示す図である。

40

【図 7】トレンチ部の下端の深さ位置における電界の、X 軸方向における分布例を示す図である。

【図 8】第 2 下端領域 2 0 5 の他の例を示す図である。

【図 9 A】第 1 下端領域 2 0 2 および第 2 下端領域 2 0 5 の近傍の拡大図である。

【図 9 B】図 9 A の形成工程の一例を示す図である。

【図 1 0】分離領域 2 0 4 の他の構成例を示す図である。

【図 1 1】第 1 下端領域 2 0 2、第 2 下端領域 2 0 5 および第 3 下端領域 2 0 7 の Z 軸方向におけるドーピング濃度の分布例を示す図である。

【図 1 2】分離領域 2 0 4 の他の例を示す図である。

【図 1 3】分離領域 2 0 4 の他の例を示す図である。

50

- 【図 1 4】図 4 における g - g 断面の一例を示す図である。
【図 1 5】図 5 における h - h 断面の一例を示す図である。
【図 1 6】図 5 における h - h 断面の一例を示す図である。
【図 1 7】半導体装置 1 0 0 の製造方法の一部の工程を示す図である。
【図 1 8】下端領域形成段階 S 1 7 0 4 の一例を説明する図である。
【図 1 9】図 4 における j - j 断面の一例を示す図である。
【図 2 0】f - f 断面の他の例を示す図である。
【図 2 1】分離領域 2 0 4 の他の構造例を示す図である。
【図 2 2】分離領域 2 0 4 の他の構造例を示す図である。
【図 2 3】分離領域 2 0 4 の他の構造例を示す図である。
【図 2 4】分離領域 2 0 4 の他の構造例を示す図である。
【発明を実施するための形態】

【 0 0 2 6 】

以下、発明の実施の形態を通じて本発明を説明するが、以下の実施形態は請求の範囲にかかる発明を限定するものではない。また、実施形態の中で説明されている特徴の組み合わせの全てが発明の解決手段に必須であるとは限らない。

【 0 0 2 7 】

本明細書においては半導体基板の深さ方向と平行な方向における一方の側を「上」、他方の側を「下」と称する。基板、層またはその他の部材の 2 つの主面のうち、一方の面を上面、他方の面を下面と称する。「上」、「下」の方向は、重力方向または半導体装置の実装時における方向に限定されない。

【 0 0 2 8 】

本明細書では、X 軸、Y 軸および Z 軸の直交座標軸を用いて技術的事項を説明する場合がある。直交座標軸は、構成要素の相対位置を特定するに過ぎず、特定の方向を限定するものではない。例えば、Z 軸は地面に対する高さ方向を限定して示すものではない。なお、+ Z 軸方向と - Z 軸方向とは互いに逆向きの方向である。正負を記載せず、Z 軸方向と記載した場合、+ Z 軸および - Z 軸に平行な方向を意味する。

【 0 0 2 9 】

本明細書では、半導体基板の上面および下面に平行な直交軸を X 軸および Y 軸とする。また、半導体基板の上面および下面と垂直な軸を Z 軸とする。本明細書では、Z 軸の方向を深さ方向と称する場合がある。また、本明細書では、X 軸および Y 軸を含めて、半導体基板の上面および下面に平行な方向を、水平方向と称する場合がある。

【 0 0 3 0 】

また、半導体基板の深さ方向における中心から、半導体基板の上面までの領域を、上面側と称する場合がある。同様に、半導体基板の深さ方向における中心から、半導体基板の下面までの領域を、下面側と称する場合がある。

【 0 0 3 1 】

本明細書において「同一」または「等しい」のように称した場合、製造ばらつき等に起因する誤差を有する場合も含んでよい。当該誤差は、例えば 1 0 % 以内である。

【 0 0 3 2 】

本明細書においては、不純物がドーピングされたドーピング領域の導電型を P 型または N 型として説明している。本明細書においては、不純物とは、特に N 型のドナーまたは P 型のアクセプタのいずれかを意味する場合があり、ドーパントと記載する場合がある。本明細書においては、ドーピングとは、半導体基板にドナーまたはアクセプタを導入し、N 型の導電型を示す半導体または P 型の導電型を示す半導体とすることを意味する。

【 0 0 3 3 】

本明細書においては、ドーピング濃度とは、熱平衡状態におけるドナーの濃度またはアクセプタの濃度を意味する。本明細書においては、ネット・ドーピング濃度とは、ドナー濃度を正イオンの濃度とし、アクセプタ濃度を負イオンの濃度として、電荷の極性を含めて足し合わせた正味の濃度を意味する。一例として、ドナー濃度を N_D 、アクセプタ濃度

10

20

30

40

50

を N_A とすると、任意の位置における正味のネット・ドーピング濃度は $N_D - N_A$ となる。本明細書では、ネット・ドーピング濃度を単にドーピング濃度と記載する場合がある。

【0034】

ドナーは、半導体に電子を供給する機能を有している。アクセプタは、半導体から電子を受け取る機能を有している。ドナーおよびアクセプタは、不純物自体には限定されない。例えば、半導体中に存在する空孔 (V)、酸素 (O) および水素 (H) が結合した VOH 欠陥は、電子を供給するドナーとして機能する。本明細書では、VOH 欠陥を水素ドナーと称する場合がある。

【0035】

本明細書において半導体基板は、N型のバルク・ドナーが全体に分布している。バルク・ドナーは、半導体基板の元となるインゴットの製造時に、インゴット内に略一様に含まれたドーパントによるドナーである。本例のバルク・ドナーは、水素以外の元素である。バルク・ドナーのドーパントは、例えばリン、アンチモン、ヒ素、セレンまたは硫黄であるが、これに限定されない。本例のバルク・ドナーは、リンである。バルク・ドナーは、P型の領域にも含まれている。半導体基板は、半導体のインゴットから切り出したウエハであってよく、ウエハを個片化したチップであってよい。半導体のインゴットは、チョクラルスキー法 (CZ法)、磁場印加型チョクラルスキー法 (MCZ法)、フロートゾーン法 (FZ法) のいずれかで製造されよい。本例におけるインゴットは、MCZ法で製造されている。MCZ法で製造された基板に含まれる酸素濃度は $1 \times 10^{17} \sim 7 \times 10^{17} / \text{cm}^3$ である。FZ法で製造された基板に含まれる酸素濃度は $1 \times 10^{15} \sim 5 \times 10^{16} / \text{cm}^3$ である。酸素濃度が高い方が水素ドナーを生成しやすい傾向がある。バルク・ドナー濃度は、半導体基板の全体に分布しているバルク・ドナーの化学濃度を用いてよく、当該化学濃度の90%から100%の間の値であってよい。また、半導体基板は、リン等のドーパントを含まないノンドープ基板を用いてもよい。その場合、ノンドーピング基板のバルク・ドナー濃度 (D_0) は例えば $1 \times 10^{10} / \text{cm}^3$ 以上、 $5 \times 10^{12} / \text{cm}^3$ 以下である。ノンドーピング基板のバルク・ドナー濃度 (D_0) は、好ましくは $1 \times 10^{11} / \text{cm}^3$ 以上である。ノンドーピング基板のバルク・ドナー濃度 (D_0) は、好ましくは $5 \times 10^{12} / \text{cm}^3$ 以下である。尚、本発明における各濃度は、室温における値でよい。室温における値は、一例として300K (ケルビン) (約26.9) のときの値を用いてよい。

【0036】

本明細書においてP+型またはN+型と記載した場合、P型またはN型よりもドーピング濃度が高いことを意味し、P-型またはN-型と記載した場合、P型またはN型よりもドーピング濃度が低いことを意味する。また、本明細書においてP++型またはN++型と記載した場合には、P+型またはN+型よりもドーピング濃度が高いことを意味する。本明細書の単位系は、特に断りがなければSI単位系である。長さの単位をcmで表示することがあるが、諸計算はメートル (m) に換算してから行ってよい。

【0037】

本明細書において化学濃度とは、電気的な活性化の状態によらずに測定される不純物の原子密度を指す。化学濃度は、例えば二次イオン質量分析法 (SIMS) により計測できる。上述したネット・ドーピング濃度は、電圧-容量測定法 (CV法) により測定できる。また、拡がり抵抗測定法 (SR法) により計測されるキャリア濃度を、ネット・ドーピング濃度としてよい。CV法またはSR法により計測されるキャリア濃度は、熱平衡状態における値としてよい。また、N型の領域においては、ドナー濃度がアクセプタ濃度よりも十分大きいので、当該領域におけるキャリア濃度を、ドナー濃度としてもよい。同様に、P型の領域においては、当該領域におけるキャリア濃度を、アクセプタ濃度としてもよい。本明細書では、N型領域のドーピング濃度をドナー濃度と称する場合があり、P型領域のドーピング濃度をアクセプタ濃度と称する場合がある。

【0038】

また、ドナー、アクセプタまたはネット・ドーピングの濃度分布がピークを有する場合

、当該ピーク値を当該領域におけるドナー、アクセプタまたはネット・ドーピングの濃度としてよい。ドナー、アクセプタまたはネット・ドーピングの濃度がほぼ均一な場合等においては、当該領域におけるドナー、アクセプタまたはネット・ドーピングの濃度の平均値をドナー、アクセプタまたはネット・ドーピングの濃度としてよい。本明細書において、単位体積当りの濃度表示に atms/cm^3 、または、 $/\text{cm}^3$ を用いる。この単位は、半導体基板内のドナーまたはアクセプタ濃度、または、化学濃度に用いられる。 atms 表記は省略してもよい。

【0039】

SR法により計測されるキャリア濃度が、ドナーまたはアクセプタの濃度より低くてもよい。拡がり抵抗を測定する際に電流が流れる範囲において、半導体基板のキャリア移動度が結晶状態の値よりも低い場合がある。キャリア移動度の低下は、格子欠陥等による結晶構造の乱れ（ディスオーダー）により、キャリアが散乱されることで生じる。

10

【0040】

CV法またはSR法により計測されるキャリア濃度から算出したドナーまたはアクセプタの濃度は、ドナーまたはアクセプタを示す元素の化学濃度よりも低くてもよい。一例として、シリコンの半導体においてドナーとなるリンまたはヒ素のドナー濃度、あるいはアクセプタとなるボロン（ホウ素）のアクセプタ濃度は、これらの化学濃度の99%程度である。一方、シリコンの半導体においてドナーとなる水素のドナー濃度は、水素の化学濃度の0.1%から10%程度である。

【0041】

20

図1は、本発明の一つの実施形態に係る半導体装置100の一例を示す上面図である。図1においては、各部材を半導体基板10の上面に投影した位置を示している。図1においては、半導体装置100の一部の部材だけを示しており、一部の部材は省略している。

【0042】

半導体装置100は、半導体基板10を備えている。半導体基板10は、半導体材料で形成された基板である。一例として半導体基板10はシリコン基板である。半導体基板10は、上面視において端辺162を有する。本明細書で単に上面視と称した場合、半導体基板10の上面側から見ることを意味している。本例の半導体基板10は、上面視において互いに向かい合う2組の端辺162を有する。図1においては、X軸およびY軸は、いずれかの端辺162と平行である。またZ軸は、半導体基板10の上面と垂直である。

30

【0043】

半導体基板10には活性部160が設けられている。活性部160は、半導体装置100が動作した場合に半導体基板10の上面と下面との間で、深さ方向に主電流が流れる領域である。活性部160の上方には、エミッタ電極が設けられているが図1では省略している。活性部160は、上面視においてエミッタ電極で重なる領域を指してよい。また、上面視において活性部160で挟まれる領域も、活性部160に含めてよい。

【0044】

活性部160には、IGBT（Insulated Gate Bipolar Transistor）等のトランジスタ素子を含むトランジスタ部70が設けられている。活性部160には、還流ダイオード（FWD）等のダイオード素子を含むダイオード部80が更に設けられていてもよい。図1の例では、半導体基板10の上面における所定の配列方向（本例ではX軸方向）に沿って、トランジスタ部70およびダイオード部80が交互に配置されている。本例の半導体装置100は逆導通型IGBT（RC-IGBT）である。

40

【0045】

図1においては、トランジスタ部70が配置される領域には記号「I」を付し、ダイオード部80が配置される領域には記号「F」を付している。本明細書では、上面視において配列方向と垂直な方向を延伸方向（図1ではY軸方向）と称する場合がある。トランジスタ部70およびダイオード部80は、それぞれ延伸方向に長手を有してよい。つまり、トランジスタ部70のY軸方向における長さは、X軸方向における幅よりも大きい。同様

50

に、ダイオード部 80 の Y 軸方向における長さは、X 軸方向における幅よりも大きい。トランジスタ部 70 およびダイオード部 80 の延伸方向と、後述する各トレンチ部の長手方向とは同一であってよい。

【0046】

ダイオード部 80 は、半導体基板 10 の下面と接する領域に、N + 型のカソード領域を有する。本明細書では、カソード領域が設けられた領域を、ダイオード部 80 と称する。つまりダイオード部 80 は、上面視においてカソード領域と重なる領域である。半導体基板 10 の下面には、カソード領域以外の領域には、P + 型のコレクタ領域が設けられてよい。本明細書では、ダイオード部 80 を、後述するゲート配線まで Y 軸方向に延長した延長領域 81 も、ダイオード部 80 に含める場合がある。延長領域 81 の下面には、コレクタ領域が設けられている。

10

【0047】

トランジスタ部 70 は、半導体基板 10 の下面と接する領域に、P + 型のコレクタ領域を有する。また、トランジスタ部 70 は、半導体基板 10 の上面側に、N 型のエミッタ領域、P 型のベース領域、ゲート導電部およびゲート絶縁膜を有するゲート構造が周期的に配置されている。

【0048】

半導体装置 100 は、半導体基板 10 の上方に 1 つ以上のパッドを有してよい。本例の半導体装置 100 は、ゲートパッド 164 を有している。半導体装置 100 は、アノードパッド、カソードパッドおよび電流検出パッド等のパッドを有してもよい。各パッドは、端辺 162 の近傍に配置されている。端辺 162 の近傍とは、上面視における端辺 162 と、エミッタ電極との間の領域を指す。半導体装置 100 の実装時において、各パッドは、ワイヤ等の配線を介して外部の回路に接続されてよい。

20

【0049】

ゲートパッド 164 には、ゲート電位が印加される。ゲートパッド 164 は、活性部 160 のゲートトレンチ部の導電部に電氣的に接続される。半導体装置 100 は、ゲートパッド 164 とゲートトレンチ部とを接続するゲート配線を備える。図 1 においては、ゲート配線に斜線のハッチングを付している。

【0050】

本例のゲート配線は、外周ゲート配線 130 と、活性側ゲート配線 131 とを有している。外周ゲート配線 130 は、上面視において活性部 160 と半導体基板 10 の端辺 162 との間に配置されている。本例の外周ゲート配線 130 は、上面視において活性部 160 を囲んでいる。上面視において外周ゲート配線 130 に囲まれた領域を活性部 160 としてもよい。また、ゲート配線の下方には、ウェル領域が形成されている。ウェル領域とは、後述するベース領域よりも高濃度の P 型領域であり、半導体基板 10 の上面からベース領域よりも深い位置まで形成されている。上面視においてウェル領域で囲まれる領域を活性部 160 としてもよい。

30

【0051】

外周ゲート配線 130 は、ゲートパッド 164 と接続されている。外周ゲート配線 130 は、半導体基板 10 の上方に配置されている。外周ゲート配線 130 は、アルミニウム等を含む金属配線であってよい。

40

【0052】

活性側ゲート配線 131 は、活性部 160 に設けられている。活性部 160 に活性側ゲート配線 131 を設けることで、半導体基板 10 の各領域について、ゲートパッド 164 からの配線長のバラツキを低減できる。

【0053】

外周ゲート配線 130 および活性側ゲート配線 131 は、活性部 160 のゲートトレンチ部と接続される。外周ゲート配線 130 および活性側ゲート配線 131 は、半導体基板 10 の上方に配置されている。外周ゲート配線 130 および活性側ゲート配線 131 は、不純物がドーブされたポリシリコン等の半導体で形成された配線であってよい。

50

【 0 0 5 4 】

活性側ゲート配線 1 3 1 は、外周ゲート配線 1 3 0 と接続されてよい。本例の活性側ゲート配線 1 3 1 は、活性部 1 6 0 を挟む一方の外周ゲート配線 1 3 0 から他方の外周ゲート配線 1 3 0 まで、活性部 1 6 0 を Y 軸方向の略中央で横切るように、X 軸方向に延伸して設けられている。活性側ゲート配線 1 3 1 により活性部 1 6 0 が分割されている場合、それぞれの分割領域において、トランジスタ部 7 0 およびダイオード部 8 0 が X 軸方向に交互に配置されてよい。

【 0 0 5 5 】

また、半導体装置 1 0 0 は、ポリシリコン等で形成された P N 接合ダイオードである不図示の温度センサ部や、活性部 1 6 0 に設けられたトランジスタ部の動作を模擬する不図示の電流検出部を備えてもよい。

10

【 0 0 5 6 】

本例の半導体装置 1 0 0 は、上面視において、活性部 1 6 0 と端辺 1 6 2 との間に、エッジ終端構造部 9 0 を備える。本例のエッジ終端構造部 9 0 は、外周ゲート配線 1 3 0 と端辺 1 6 2 との間に配置されている。エッジ終端構造部 9 0 は、半導体基板 1 0 の上面側の電界集中を緩和する。エッジ終端構造部 9 0 は、活性部 1 6 0 を囲んで環状に設けられたガードリング、フィールドプレートおよびリサーフのうちの少なくとも一つを備えていてよい。

【 0 0 5 7 】

図 2 は、図 1 における領域 D の拡大図である。領域 D は、トランジスタ部 7 0 、ダイオード部 8 0 、および、活性側ゲート配線 1 3 1 を含む領域である。本例の半導体装置 1 0 0 は、半導体基板 1 0 の上面側の内部に設けられたゲートトレンチ部 4 0 、ダミートレンチ部 3 0 、ウェル領域 1 1 、エミッタ領域 1 2 、ベース領域 1 4 およびコンタクト領域 1 5 を備える。ゲートトレンチ部 4 0 およびダミートレンチ部 3 0 は、それぞれがトレンチ部の一例である。また、本例の半導体装置 1 0 0 は、半導体基板 1 0 の上面の上方に設けられたエミッタ電極 5 2 および活性側ゲート配線 1 3 1 を備える。エミッタ電極 5 2 および活性側ゲート配線 1 3 1 は互いに分離して設けられる。

20

【 0 0 5 8 】

エミッタ電極 5 2 および活性側ゲート配線 1 3 1 と、半導体基板 1 0 の上面との間には層間絶縁膜が設けられるが、図 2 では省略している。本例の層間絶縁膜には、コンタクトホール 5 4 が、当該層間絶縁膜を貫通して設けられる。図 2 においては、それぞれのコンタクトホール 5 4 に斜線のハッチングを付している。

30

【 0 0 5 9 】

エミッタ電極 5 2 は、ゲートトレンチ部 4 0 、ダミートレンチ部 3 0 、ウェル領域 1 1 、エミッタ領域 1 2 、ベース領域 1 4 およびコンタクト領域 1 5 の上方に設けられる。エミッタ電極 5 2 は、コンタクトホール 5 4 を通って、半導体基板 1 0 の上面におけるエミッタ領域 1 2 、コンタクト領域 1 5 およびベース領域 1 4 と接触する。また、エミッタ電極 5 2 は、層間絶縁膜に設けられたコンタクトホールを通して、ダミートレンチ部 3 0 内のダミー導電部と接続される。エミッタ電極 5 2 は、Y 軸方向におけるダミートレンチ部 3 0 の先端において、ダミートレンチ部 3 0 のダミー導電部と接続されてよい。ダミートレンチ部 3 0 のダミー導電部は、エミッタ電極 5 2 およびゲート導電部と接続されなくてよく、エミッタ電極 5 2 の電位およびゲート導電部の電位とは異なる電位に制御されてもよい。

40

【 0 0 6 0 】

活性側ゲート配線 1 3 1 は、層間絶縁膜に設けられたコンタクトホールを通して、ゲートトレンチ部 4 0 と接続する。活性側ゲート配線 1 3 1 は、Y 軸方向におけるゲートトレンチ部 4 0 の先端部 4 1 において、ゲートトレンチ部 4 0 のゲート導電部と接続されてよい。活性側ゲート配線 1 3 1 は、ダミートレンチ部 3 0 内のダミー導電部とは接続されない。

【 0 0 6 1 】

50

エミッタ電極 5 2 は、金属を含む材料で形成される。図 2 においては、エミッタ電極 5 2 が設けられる範囲を示している。例えば、エミッタ電極 5 2 の少なくとも一部の領域はアルミニウムまたはアルミニウム シリコン合金、例えば $AlSi$ 、 $AlSiCu$ 等の金属合金で形成される。エミッタ電極 5 2 は、アルミニウム等で形成された領域の下層に、チタンやチタン化合物等で形成されたバリアメタルを有してよい。さらにコンタクトホール内において、バリアメタルとアルミニウム等に接するようにタングステン等を埋め込んで形成されたプラグを有してもよい。

【0062】

ウェル領域 1 1 は、活性側ゲート配線 1 3 1 と重なって設けられている。ウェル領域 1 1 は、活性側ゲート配線 1 3 1 と重ならない範囲にも、所定の幅で延伸して設けられている。本例のウェル領域 1 1 は、コンタクトホール 5 4 の Y 軸方向の端から、活性側ゲート配線 1 3 1 側に離れて設けられている。ウェル領域 1 1 は、ベース領域 1 4 よりもドーピング濃度の高い第 2 導電型の領域である。本例のベース領域 1 4 は P - 型であり、ウェル領域 1 1 は P + 型である。

10

【0063】

トランジスタ部 7 0 およびダイオード部 8 0 のそれぞれは、配列方向に複数配列されたトレンチ部を有する。本例のトランジスタ部 7 0 には、配列方向に沿って 1 以上のゲートトレンチ部 4 0 と、1 以上のダミートレンチ部 3 0 とが交互に設けられている。本例のダイオード部 8 0 には、複数のダミートレンチ部 3 0 が、配列方向に沿って設けられている。本例のダイオード部 8 0 には、ゲートトレンチ部 4 0 が設けられていない。

20

【0064】

本例のゲートトレンチ部 4 0 は、配列方向と垂直な延伸方向に沿って延伸する 2 つの直線部分 3 9 (延伸方向に沿って直線状であるトレンチの部分) と、2 つの直線部分 3 9 を接続する先端部 4 1 を有してよい。図 2 における延伸方向は Y 軸方向である。

【0065】

先端部 4 1 の少なくとも一部は、上面視において曲線状に設けられることが好ましい。2 つの直線部分 3 9 の Y 軸方向における端部どうしを先端部 4 1 が接続することで、直線部分 3 9 の端部における電界集中を緩和できる。

【0066】

トランジスタ部 7 0 において、ダミートレンチ部 3 0 はゲートトレンチ部 4 0 のそれぞれの直線部分 3 9 の間に設けられる。それぞれの直線部分 3 9 の間には、1 本のダミートレンチ部 3 0 が設けられてよく、複数本のダミートレンチ部 3 0 が設けられていてもよい。ダミートレンチ部 3 0 は、延伸方向に延伸する直線形状を有してよく、ゲートトレンチ部 4 0 と同様に、直線部分 2 9 と先端部 3 1 とを有していてもよい。図 2 に示した半導体装置 1 0 0 は、先端部 3 1 を有さない直線形状のダミートレンチ部 3 0 と、先端部 3 1 を有するダミートレンチ部 3 0 の両方を含んでいる。

30

【0067】

ウェル領域 1 1 の拡散深さは、ゲートトレンチ部 4 0 およびダミートレンチ部 3 0 の深さよりも深くてもよい。ゲートトレンチ部 4 0 およびダミートレンチ部 3 0 の Y 軸方向の端部は、上面視においてウェル領域 1 1 に設けられる。つまり、各トレンチ部の Y 軸方向の端部において、各トレンチ部の深さ方向の底部は、ウェル領域 1 1 に覆われている。これにより、各トレンチ部の当該底部における電界集中を緩和できる。

40

【0068】

配列方向において各トレンチ部の間には、メサ部が設けられている。メサ部は、半導体基板 1 0 の内部において、トレンチ部に挟まれた領域を指す。一例としてメサ部の上端は半導体基板 1 0 の上面である。メサ部の下端の深さ位置は、トレンチ部の下端の深さ位置と同一である。本例のメサ部は、半導体基板 1 0 の上面において、トレンチに沿って延伸方向 (Y 軸方向) に延伸して設けられている。本例では、トランジスタ部 7 0 にはメサ部 6 0 が設けられ、ダイオード部 8 0 にはメサ部 6 1 が設けられている。本明細書において単にメサ部と称した場合、メサ部 6 0 およびメサ部 6 1 のそれぞれを指している。

50

【 0 0 6 9 】

それぞれのメサ部には、ベース領域 1 4 が設けられる。メサ部において半導体基板 1 0 の上面に露出したベース領域 1 4 のうち、活性側ゲート配線 1 3 1 に最も近く配置された領域をベース領域 1 4 - e とする。図 2 においては、それぞれのメサ部の延伸方向における一方の端部に配置されたベース領域 1 4 - e を示しているが、それぞれのメサ部の他方の端部にもベース領域 1 4 - e が配置されている。それぞれのメサ部には、上面視においてベース領域 1 4 - e に挟まれた領域に、第 1 導電型のエミッタ領域 1 2 および第 2 導電型のコンタクト領域 1 5 の少なくとも一方が設けられてよい。本例のエミッタ領域 1 2 は N + 型であり、コンタクト領域 1 5 は P + 型である。エミッタ領域 1 2 およびコンタクト領域 1 5 は、深さ方向において、ベース領域 1 4 と半導体基板 1 0 の上面との間に設けられてよい。

10

【 0 0 7 0 】

トランジスタ部 7 0 のメサ部 6 0 は、半導体基板 1 0 の上面に露出したエミッタ領域 1 2 を有する。エミッタ領域 1 2 は、ゲートトレンチ部 4 0 に接して設けられている。ゲートトレンチ部 4 0 に接するメサ部 6 0 は、半導体基板 1 0 の上面に露出したコンタクト領域 1 5 が設けられていてよい。

【 0 0 7 1 】

メサ部 6 0 におけるコンタクト領域 1 5 およびエミッタ領域 1 2 のそれぞれは、X 軸方向における一方のトレンチ部から、他方のトレンチ部まで設けられる。一例として、メサ部 6 0 のコンタクト領域 1 5 およびエミッタ領域 1 2 は、トレンチ部の延伸方向 (Y 軸方向) に沿って交互に配置されている。

20

【 0 0 7 2 】

他の例においては、メサ部 6 0 のコンタクト領域 1 5 およびエミッタ領域 1 2 は、トレンチ部の延伸方向 (Y 軸方向) に沿ってストライプ状に設けられていてもよい。例えばトレンチ部に接する領域にエミッタ領域 1 2 が設けられ、エミッタ領域 1 2 に挟まれた領域にコンタクト領域 1 5 が設けられる。

【 0 0 7 3 】

ダイオード部 8 0 のメサ部 6 1 には、エミッタ領域 1 2 が設けられていない。メサ部 6 1 の上面には、ベース領域 1 4 およびコンタクト領域 1 5 が設けられてよい。メサ部 6 1 の上面においてベース領域 1 4 - e に挟まれた領域には、それぞれのベース領域 1 4 - e に接してコンタクト領域 1 5 が設けられてよい。メサ部 6 1 の上面においてコンタクト領域 1 5 に挟まれた領域には、ベース領域 1 4 が設けられてよい。ベース領域 1 4 は、コンタクト領域 1 5 に挟まれた領域全体に配置されてよい。

30

【 0 0 7 4 】

それぞれのメサ部の上方には、コンタクトホール 5 4 が設けられている。コンタクトホール 5 4 は、ベース領域 1 4 - e に挟まれた領域に配置されている。本例のコンタクトホール 5 4 は、コンタクト領域 1 5、ベース領域 1 4 およびエミッタ領域 1 2 の各領域の上方に設けられる。コンタクトホール 5 4 は、ベース領域 1 4 - e およびウェル領域 1 1 に対応する領域には設けられない。コンタクトホール 5 4 は、メサ部 6 0 の配列方向 (X 軸方向) における中央に配置されてよい。

40

【 0 0 7 5 】

ダイオード部 8 0 において、半導体基板 1 0 の下面と隣接する領域には、N + 型のカソード領域 8 2 が設けられる。半導体基板 1 0 の下面において、カソード領域 8 2 が設けられていない領域には、P + 型のコレクタ領域 2 2 が設けられてよい。カソード領域 8 2 およびコレクタ領域 2 2 は、半導体基板 1 0 の下面 2 3 と、バッファ領域 2 0 との間に設けられている。図 2 においては、カソード領域 8 2 およびコレクタ領域 2 2 の境界を点線で示している。

【 0 0 7 6 】

カソード領域 8 2 は、Y 軸方向においてウェル領域 1 1 から離れて配置されている。これにより、比較的ドーピング濃度が高く、且つ、深い位置まで形成されている P 型の領

50

域（ウェル領域 11）と、カソード領域 82 との距離を確保して、耐圧を向上できる。本例のカソード領域 82 の Y 軸方向における端部は、コンタクトホール 54 の Y 軸方向における端部よりも、ウェル領域 11 から離れて配置されている。他の例では、カソード領域 82 の Y 軸方向における端部は、ウェル領域 11 とコンタクトホール 54 との間に配置されていてもよい。

【0077】

図 3 は、図 2 における e - e 断面の一例を示す図である。e - e 断面は、エミッタ領域 12 およびカソード領域 82 を通過する XZ 面である。本例の半導体装置 100 は、当該断面において、半導体基板 10、層間絶縁膜 38、エミッタ電極 52 およびコレクタ電極 24 を有する。

【0078】

層間絶縁膜 38 は、半導体基板 10 の上面に設けられている。層間絶縁膜 38 は、ホウ素またはリン等の不純物が添加されたシリケートガラス等の絶縁膜、熱酸化膜、および、その他の絶縁膜の少なくとも一層を含む膜である。層間絶縁膜 38 には、図 2 において説明したコンタクトホール 54 が設けられている。

【0079】

エミッタ電極 52 は、層間絶縁膜 38 の上方に設けられる。エミッタ電極 52 は、層間絶縁膜 38 のコンタクトホール 54 を通って、半導体基板 10 の上面 21 と接触している。コレクタ電極 24 は、半導体基板 10 の下面 23 に設けられる。エミッタ電極 52 およびコレクタ電極 24 は、アルミニウム等の金属材料で形成されている。本明細書において、エミッタ電極 52 とコレクタ電極 24 とを結ぶ方向（Z 軸方向）を深さ方向と称する。

【0080】

半導体基板 10 は、N 型または N - 型のドリフト領域 18 を有する。ドリフト領域 18 は、トランジスタ部 70 およびダイオード部 80 のそれぞれに設けられている。

【0081】

トランジスタ部 70 のメサ部 60 には、N + 型のエミッタ領域 12 および P - 型のベース領域 14 が、半導体基板 10 の上面 21 側から順番に設けられている。ベース領域 14 の下方にはドリフト領域 18 が設けられている。メサ部 60 には、N + 型の蓄積領域 16 が設けられてもよい。蓄積領域 16 は、ベース領域 14 とドリフト領域 18 との間に配置される。

【0082】

エミッタ領域 12 は半導体基板 10 の上面 21 に露出しており、且つ、ゲートトレンチ部 40 と接して設けられている。エミッタ領域 12 は、メサ部 60 の両側のトレンチ部と接していてもよい。エミッタ領域 12 は、ドリフト領域 18 よりもドーピング濃度が高い。

【0083】

ベース領域 14 は、エミッタ領域 12 の下方に設けられている。本例のベース領域 14 は、エミッタ領域 12 と接して設けられている。ベース領域 14 は、メサ部 60 の両側のトレンチ部と接していてもよい。

【0084】

蓄積領域 16 は、ベース領域 14 の下方に設けられている。蓄積領域 16 は、ドリフト領域 18 よりもドーピング濃度が高い N + 型の領域である。すなわち蓄積領域 16 は、ドナー濃度がドリフト領域 18 よりも高い。ドリフト領域 18 とベース領域 14 との間に高濃度の蓄積領域 16 を設けることで、キャリア注入促進効果（IE 効果）を高めて、オン電圧を低減できる。蓄積領域 16 は、各メサ部 60 におけるベース領域 14 の下面全体を覆うように設けられてよい。

【0085】

ダイオード部 80 のメサ部 61 には、半導体基板 10 の上面 21 に接して、P - 型のベース領域 14 が設けられている。ベース領域 14 の下方には、ドリフト領域 18 が設けられている。メサ部 61 において、ベース領域 14 の下方に蓄積領域 16 が設けられていてもよい。

10

20

30

40

50

【 0 0 8 6 】

トランジスタ部 7 0 およびダイオード部 8 0 のそれぞれにおいて、ドリフト領域 1 8 の下には N + 型のバッファ領域 2 0 が設けられてよい。バッファ領域 2 0 のドーピング濃度は、ドリフト領域 1 8 のドーピング濃度よりも高い。バッファ領域 2 0 は、ドリフト領域 1 8 よりもドーピング濃度の高い濃度ピークを有してよい。濃度ピークのドーピング濃度とは、濃度ピークの頂点におけるドーピング濃度を指す。また、ドリフト領域 1 8 のドーピング濃度は、ドーピング濃度分布がほぼ平坦な領域におけるドーピング濃度の平均値を用いてよい。

【 0 0 8 7 】

バッファ領域 2 0 は、半導体基板 1 0 の深さ方向（Z 軸方向）において、2 つ以上の濃度ピークを有してよい。バッファ領域 2 0 の濃度ピークは、例えば水素（プロトン）またはリンの化学濃度ピークと同一の深さ位置に設けられていてよい。バッファ領域 2 0 は、ベース領域 1 4 の下端から広がる空乏層が、P + 型のコレクタ領域 2 2 および N + 型のカソード領域 8 2 に到達することを防ぐフィールドストップ層として機能してよい。

【 0 0 8 8 】

トランジスタ部 7 0 において、バッファ領域 2 0 の下には、P + 型のコレクタ領域 2 2 が設けられる。コレクタ領域 2 2 のアクセプタ濃度は、ベース領域 1 4 のアクセプタ濃度より高い。コレクタ領域 2 2 は、ベース領域 1 4 と同一のアクセプタを含んでよく、異なるアクセプタを含んでもよい。コレクタ領域 2 2 のアクセプタは、例えばボロンである。

【 0 0 8 9 】

ダイオード部 8 0 において、バッファ領域 2 0 の下には、N + 型のカソード領域 8 2 が設けられる。カソード領域 8 2 のドナー濃度は、ドリフト領域 1 8 のドナー濃度より高い。カソード領域 8 2 のドナーは、例えば水素またはリンである。なお、各領域のドナーおよびアクセプタとなる元素は、上述した例に限定されない。コレクタ領域 2 2 およびカソード領域 8 2 は、半導体基板 1 0 の下面 2 3 に露出しており、コレクタ電極 2 4 と接続している。コレクタ電極 2 4 は、半導体基板 1 0 の下面 2 3 全体と接触してよい。エミッタ電極 5 2 およびコレクタ電極 2 4 は、アルミニウム等の金属材料で形成される。

【 0 0 9 0 】

半導体基板 1 0 の上面 2 1 側には、1 以上のゲートトレンチ部 4 0、および、1 以上のダミートレンチ部 3 0 が設けられる。各トレンチ部は、半導体基板 1 0 の上面 2 1 から、ベース領域 1 4 を貫通して、ベース領域 1 4 の下方まで設けられている。エミッタ領域 1 2、コンタクト領域 1 5 および蓄積領域 1 6 の少なくともいずれかが設けられている領域においては、各トレンチ部はこれらのドーピング領域も貫通している。トレンチ部がドーピング領域を貫通するとは、ドーピング領域を形成してからトレンチ部を形成する順序で製造したものに限定されない。トレンチ部を形成した後に、トレンチ部の間にドーピング領域を形成したものも、トレンチ部がドーピング領域を貫通しているものに含まれる。

【 0 0 9 1 】

上述したように、トランジスタ部 7 0 には、ゲートトレンチ部 4 0 およびダミートレンチ部 3 0 が設けられている。ダイオード部 8 0 には、ダミートレンチ部 3 0 が設けられ、ゲートトレンチ部 4 0 が設けられていない。本例においてダイオード部 8 0 とトランジスタ部 7 0 の X 軸方向における境界は、カソード領域 8 2 とコレクタ領域 2 2 の境界である。

【 0 0 9 2 】

ゲートトレンチ部 4 0 は、半導体基板 1 0 の上面 2 1 に設けられたゲートトレンチ、ゲート絶縁膜 4 2 およびゲート導電部 4 4 を有する。ゲート絶縁膜 4 2 は、ゲートトレンチの内壁を覆って設けられる。ゲート絶縁膜 4 2 は、ゲートトレンチの内壁の半導体を酸化または窒化して形成してよい。ゲート導電部 4 4 は、ゲートトレンチの内部においてゲート絶縁膜 4 2 よりも内側に設けられる。つまりゲート絶縁膜 4 2 は、ゲート導電部 4 4 と半導体基板 1 0 とを絶縁する。ゲート導電部 4 4 は、ポリシリコン等の導電材料で形成される。

【 0 0 9 3 】

ゲート導電部 44 は、深さ方向において、ベース領域 14 よりも長く設けられてよい。当該断面におけるゲートトレンチ部 40 は、半導体基板 10 の上面 21 において層間絶縁膜 38 により覆われる。ゲート導電部 44 は、ゲート配線に電氣的に接続されている。ゲート導電部 44 に所定のゲート電圧が印加されると、ベース領域 14 のうちゲートトレンチ部 40 に接する界面の表層に電子の反転層によるチャネルが形成される。

【0094】

ダミートレンチ部 30 は、当該断面において、ゲートトレンチ部 40 と同一の構造を有してよい。ダミートレンチ部 30 は、半導体基板 10 の上面 21 に設けられたダミートレンチ、ダミー絶縁膜 32 およびダミー導電部 34 を有する。ダミー導電部 34 は、エミッタ電極 52 に電氣的に接続されている。ダミー絶縁膜 32 は、ダミートレンチの内壁を覆って設けられる。ダミー導電部 34 は、ダミートレンチの内部に設けられ、且つ、ダミー絶縁膜 32 よりも内側に設けられる。ダミー絶縁膜 32 は、ダミー導電部 34 と半導体基板 10 とを絶縁する。ダミー導電部 34 は、ゲート導電部 44 と同一の材料で形成されてよい。例えばダミー導電部 34 は、ポリシリコン等の導電材料で形成される。ダミー導電部 34 は、深さ方向においてゲート導電部 44 と同一の長さを有してよい。

【0095】

本例のゲートトレンチ部 40 およびダミートレンチ部 30 は、半導体基板 10 の上面 21 において層間絶縁膜 38 により覆われている。なお、ダミートレンチ部 30 およびゲートトレンチ部 40 の底部は、下側に凸の曲面状（断面においては曲線状）であってよい。本明細書では、ゲートトレンチ部 40 の下端の深さ位置を Z_t とする。

【0096】

本例の半導体装置 100 は、トレンチ部の下端と接して設けられた P 型の第 1 下端領域 202 を備える。第 1 下端領域 202 のドーピング濃度は、ベース領域 14 のドーピング濃度以下であってよい。本例の第 1 下端領域 202 のドーピング濃度は、ベース領域 14 のドーピング濃度よりも低い。P 型のドーパントは、ボロンであってよく、アルミニウムであってよい。

【0097】

第 1 下端領域 202 は、ベース領域 14 とは離れて配置されている。第 1 下端領域 202 とベース領域 14 との間には、N 型の領域（本例では蓄積領域 16 およびドリフト領域 18 の少なくとも一方）が設けられている。

【0098】

第 1 下端領域 202 は、X 軸方向において 2 つ以上のトレンチ部の下端と接するように、連続して設けられている。つまり第 1 下端領域 202 は、トレンチ部の間のメサ部を覆うように設けられている。第 1 下端領域 202 は、複数のメサ部を覆っていてよい。本例の第 1 下端領域 202 は、ゲートトレンチ部 40 を含む 2 つ以上のトレンチ部の下端と接して設けられている。

【0099】

第 1 下端領域 202 は、それぞれのトランジスタ部 70 において、2 つ以上のトレンチ部の下端と接してよい。また、第 1 下端領域 202 は、それぞれのトランジスタ部 70 において 2 つ以上のゲートトレンチ部 40 の下端と接していてもよい。第 1 下端領域 202 は、それぞれのトランジスタ部 70 において 2 つ以上のダミートレンチ部 30 の下端とも接してよい。第 1 下端領域 202 は、少なくとも一つのトランジスタ部 70 において、全てのトレンチ部の下端と接していてもよい。また第 1 下端領域 202 は、少なくとも一つのトランジスタ部 70 において、全てのゲートトレンチ部 40 の下端と接していてもよい。

【0100】

第 1 下端領域 202 は、それぞれのダイオード部 80 において、2 つ以上のトレンチ部の下端と接してよい。第 1 下端領域 202 は、少なくとも一つのダイオード部 80 において、全てのトレンチ部の下端と接していてもよい。

【0101】

10

20

30

40

50

第 1 下端領域 202 は、Y 軸方向に延伸して設けられている。第 1 下端領域 202 の Y 軸方向の長さは、トレンチ部の Y 軸方向の長さより短い。また、第 1 下端領域 202 の Y 軸方向の長さは、トレンチ部の Y 軸方向の長さの 50% 以上であってよく、70% 以上であってよく、90% 以上であってよい。

【0102】

第 1 下端領域 202 を設けることで、半導体装置 100 がターンオンした時の、トレンチ部の下端近傍における電位上昇を抑制できる。このため、ターンオン時におけるエミッタコレクタ間電圧の波形の傾き (dv/dt) を小さくでき、スイッチング時の電圧または電流波形のノイズを低減できる。

【0103】

なお第 1 下端領域 202 の電位は、エミッタ電極 52 の電位とは異なる。上述したように、第 1 下端領域 202 は、エミッタ電極 52 と接続されるベース領域 14 とは、Z 軸方向において離れて配置されている。また第 1 下端領域 202 は、エミッタ電極 52 と接続されるウェル領域とは、上面視において離れて配置されている。活性部 160 は、X 軸方向および Y 軸方向の少なくとも一方において、第 1 下端領域 202 が設けられていない部分を有してよい。第 1 下端領域 202 は、いずれの電極とも接続されていない、電氣的にフローティングな領域であってよい。

【0104】

図 4 は、上面視におけるウェル領域 11 および第 1 下端領域 202 の配置例を示す図である。本例の第 1 下端領域 202 は、活性部 160 に設けられる。第 1 下端領域 202 は、上面視において活性部 160 の 50% 以上の領域に設けられてよく、70% 以上の領域に設けられてよく、90% 以上の領域に設けられてもよい。

【0105】

図 1 に示したゲート配線の下方には、ウェル領域 11 が設けられている。上面視においてウェル領域 11 と第 1 下端領域 202 とは異なる位置に配置されている。図 4 に示すように、上面視においてウェル領域 11 は第 1 下端領域 202 を囲むように配置されていてよい。図 4 に示すように、第 1 下端領域 202 が複数の領域に分割されている場合、ウェル領域 11 はそれぞれの第 1 下端領域 202 を囲んでよい。

【0106】

上面視において、ウェル領域 11 と第 1 下端領域 202 との間には、分離領域 204 が設けられる。分離領域 204 は、上面視で第 1 下端領域 202 と重なっていない。分離領域 204 は、第 1 下端領域 202 と他の領域とを分離する領域である。本例の分離領域 204 は、ウェル領域 11 と第 1 下端領域 202 とを分離する N 型領域を含む。当該 N 型領域は、例えばドリフト領域 18 である。N 型領域は、上面視において第 1 下端領域 202 を囲むように配置される。ウェル領域 11 は、上面視において分離領域 204 を囲むように配置されている。図 4 においては、分離領域 204 に斜線のハッチングを付している。ウェル領域 11 と第 1 下端領域 202 との間に分離領域 204 を設けることで、第 1 下端領域 202 がウェル領域 11 と同電位になることを防げる。これにより第 1 下端領域 202 がエミッタ電位となることを抑制し、トランジスタ部 70 およびダイオード部 80 を動作させることができる。

【0107】

本例では、活性部 160 において第 1 下端領域 202 が設けられていない領域の全体に分離領域 204 が設けられている。なお、図 19 に記載のように、活性部 160 の内部において第 1 下端領域 202 が設けられていない部分が存在する場合、当該部分にも分離領域 204 が設けられてよい。活性部 160 の内部に配置された分離領域 204 は、上面視において第 1 下端領域 202 に囲まれていてよい。

【0108】

図 5 は、図 4 における f - f 断面の一例を示す図である。f - f 断面は、第 1 下端領域 202、分離領域 204 およびウェル領域 11 を通過する XZ 面である。つまり f - f 断面は、活性部 160 とウェル領域 11 との境界近傍における XZ 面である。なお図 5 にお

10

20

30

40

50

いては、半導体基板 10 の構造を示しており、半導体基板 10 の上下に配置された電極および絶縁膜等の構成を省略している。また図 5 においては、ゲートトレンチ部 40 に符号 G を付し、ダミートレンチ部 30 に符号 E を付している。

【0109】

図 5 に示す f - f 断面には、複数のトランジスタ部 70 のうち、X 軸方向において最も端に配置されたトランジスタ部 70 が含まれている。トランジスタ部 70 の構造は、図 2 および図 3 において説明したトランジスタ部 70 と同様である。なお図 5 においては、G / E / G / E / . . . のように、2 つのゲートトレンチ部 40 の間に 1 つのダミートレンチ部 30 が配列されているが、G / E / E / G / E / E / . . . のように 2 つのゲートトレンチ部 40 の間に 2 つのダミートレンチ部 30 が配列されていてもよい。ゲートトレンチ部 40 およびダミートレンチ部 30 の配列は、他の構造を有していてもよい。また、分離領域 204 の複数のトレンチ部は、X 軸方向において一定の間隔で配置されてよい。分離領域 204 のトレンチ部の間隔は、トランジスタ部 70 のトレンチ部の間隔と同一であってよい。

10

【0110】

トランジスタ部 70 のトレンチ部の下端には、第 1 下端領域 202 が設けられている。エミッタ領域 12 が隣接して設けられたゲートトレンチ部 40 (G) のうち、X 軸方向において最も端に配置されたゲートトレンチ部 40 (G) の中央をトランジスタ部 70 の X 軸方向の端部とする。第 1 下端領域 202 は、トランジスタ部 70 よりも X 軸方向において外側まで延伸していてもよい。つまり第 1 下端領域 202 は、ゲートトレンチ部 40 およびエミッタ領域 12 を含むゲート構造が設けられていない領域まで延伸していてもよい。

20

【0111】

ウェル領域 11 は、半導体基板 10 の上面 21 からベース領域 14 よりも下方まで設けられる。ウェル領域 11 は、ベース領域 14 よりもドーピング濃度の高い P + 型の領域である。

【0112】

上面視において、第 1 下端領域 202 とウェル領域 11 との間の領域を、分離領域 204 とする。分離領域 204 には、1 つ以上のトレンチ部が設けられる。本例の分離領域 204 には、1 つ以上のゲートトレンチ部 40 および 1 つ以上のダミートレンチ部 30 が設けられている。分離領域 204 におけるトレンチ部の X 軸方向の配列は、トランジスタ部 70 と同一であってよく、異なってもよい。

30

【0113】

分離領域 204 のメサ部には、ベース領域 14 が設けられている。ベース領域 14 と半導体基板 10 の上面 21 との間には、コンタクト領域 15 が設けられてもよい。また、ベース領域 14 と半導体基板 10 の上面 21 との間には、エミッタ領域 12 が設けられていてもよい。また、分離領域 204 のメサ部には、蓄積領域 16 が設けられていてよく、設けられていなくてもよい。例えば分離領域 204 のメサ部のうち、トランジスタ部 70 に最も近い 1 つ以上のメサ部には、蓄積領域 16 が設けられていてもよい。

【0114】

本例の第 1 下端領域 202 は、ウェル領域 11 よりもドーピング濃度の低い P 型の領域である。第 1 下端領域 202 は、トランジスタ部 70 の少なくとも一部の領域に配置されている。本例の第 1 下端領域 202 は、トランジスタ部 70 の端部よりもウェル領域 11 側に延伸している。他の例では、第 1 下端領域 202 は、トランジスタ部 70 の端部で終端していてもよく、トランジスタ部 70 の内部で終端していてもよい。

40

【0115】

分離領域 204 は、第 2 下端領域 205 を 1 つ以上有する。第 2 下端領域 205 は、ゲートトレンチ部 40 を含む 1 つ以上のトレンチ部の下端と接して設けられた第 2 導電型の領域である。第 2 下端領域 205 は、第 1 下端領域 202 よりもドーピング濃度が高くてもよく、低くてもよく、同一であってもよい。

【0116】

50

第2下端領域205は、トレンチ部の延伸方向（Y軸方向）に沿って連続して設けられてよい。第2下端領域205のY軸方向の長さは、第1下端領域202のY軸方向の長さと同じであってよく、第1下端領域202のY軸方向の長さの80%以上、120%以下の長さであってもよい。第2下端領域205は、トレンチ部の延伸方向（Y軸方向）に沿って離散的に設けられてもよい。

【0117】

第2下端領域205は、上面視において、第1下端領域202とウェル領域11との間に設けられる。本例の第2下端領域205は、X軸方向において、第1下端領域202とウェル領域11との間に設けられる。第2下端領域205は、第1下端領域202およびウェル領域11とは分離して設けられる。上面視において、第2下端領域205と第1下
10
端領域202との間には、ドリフト領域18等のN型領域が設けられている。上面視において、第2下端領域205とウェル領域11の間には、ドリフト領域18等のN型領域が設けられている。また、複数の第2下端領域205が設けられる場合、上面視において2つの第2下端領域205の間には、ドリフト領域18等のN型領域が設けられている。

【0118】

X軸方向において、第1下端領域202と第2下端領域205との距離は、分離領域204におけるメサ部の幅よりも大きくてよく、小さくてもよい。また、X軸方向において、隣り合う2つの第2下端領域205の距離は、分離領域204におけるメサ部の幅よりも大きくてよく、小さくてもよい。またX軸方向において、ウェル領域11と第2下端領域205との距離は、分離領域204におけるメサ部の幅よりも大きくてよく、小さくてもよい。
20

【0119】

なお第2下端領域205の電位は、エミッタ電極52の電位とは異なる。第2下端領域205は、エミッタ電極52と接続されるベース領域14とは、Z軸方向において離れて配置されている。また第2下端領域205は、エミッタ電極52と接続されるウェル領域11とは、上面視において離れて配置されている。第2下端領域205は、いずれの電極とも接続されていない、電氣的にフローティングな領域であってよい。

【0120】

上述したように、第1下端領域202を設けることで、半導体装置100がターンオンした時の、トレンチ部の下端近傍における電位上昇を抑制できる。このため、ターンオン
30
時におけるエミッタコレクタ間電圧の波形の傾き（ dv/dt ）を小さくでき、スイッチング時の電圧または電流波形のノイズを低減できる。また分離領域204を設けることで、第1下端領域202とウェル領域11とを分離でき、トランジスタ部70およびダイオード部80を動作させることができる。一方で、第1下端領域202が存在する領域と、存在しない領域とで、トレンチ部下端近傍の電界にアンバランスが生じてしまう。特に第1下端領域202を設けないゲートトレンチ部40の下端近傍に電界が集中してアバランシェが発生しやすくなり、クランプ耐量およびラッチアップ耐量が低下してしまう。

【0121】

これに対して半導体装置100においては、分離領域204における少なくとも1つのゲートトレンチ部40の下端に、第2下端領域205を設ける。これにより、分離領域204のゲートトレンチ部40の下端近傍における電界集中を緩和できる。このため、半導体装置100の耐圧または耐量を向上できる。
40

【0122】

第2下端領域205は、分離領域204における2つ以上のゲートトレンチ部40のそれぞれに対して設けられてよい。それぞれの第2下端領域205は、互いに分離している。図5の例では、分離領域204における全てのゲートトレンチ部40の下端に第2下端領域205が設けられている。本例において、それぞれの第2下端領域205は、1つのゲートトレンチ部40の下端と接しており、且つ、当該1つのゲートトレンチ部40以外の他のゲートトレンチ部40の下端とは接していない。図5の例では、それぞれの第2下端領域205は、1つのゲートトレンチ部40の下端と接しており、他のトレンチ部の下
50

端とは接していない。第2下端領域205のX軸方向の幅は、ゲートトレンチ部40のX軸方向の幅より小さくてよく、同一であってよく、大きくてもよい。第2下端領域205は、ゲートトレンチ部40の最も下方の箇所（ゲートトレンチ部40の底面）を覆っていることが好ましい。

【0123】

第2下端領域205は、第1下端領域202と同一の深さ位置に設けられた部分を有してよい。つまり第2下端領域205が設けられるZ軸方向の範囲と、第1下端領域202が設けられるZ軸方向の範囲とは、少なくとも部分的に重複してよい。第2下端領域205とベース領域14との間には、ドリフト領域18および蓄積領域16の少なくとも一方が配置されてよい。

10

【0124】

図6は、ゲートトレンチ部40およびダミートレンチ部30の他の配列例を示す図である。本例の活性部160には、2つのゲートトレンチ部40の間に2つのダミートレンチ部30が設けられている。また、ゲートトレンチ部40は、X方向において連続して配置されていない。つまり、1つのゲートトレンチ部40と、2つのダミートレンチ部30とが交互に配置されている。他の構造は、図1から図5において説明した例と同様である。本例においても分離領域204の1つ以上のゲートトレンチ部40には、第2下端領域205が設けられている。

【0125】

図5および図6のいずれの例においても、1つの第2下端領域205が接するトレンチ部の個数は、1つの第1下端領域202が接するトレンチ部の個数よりも少ない。例えば図6の例では、1つの第2下端領域205が接するトレンチ部の個数は1個であるのに対して、1つの第1下端領域202は、複数のトレンチ部と接している。1つの第1下端領域202は、複数のゲートトレンチ部40および複数のダミートレンチ部30の下端と接している。

20

【0126】

図7は、トレンチ部の下端の深さ位置における電界の、X軸方向における分布例を示す図である。図7は、定格電流の5倍以上（本例では6倍）の電流について、トランジスタ部70をターンオフした場合の電界分布を示している。図7においては、ゲートトレンチ部40の下端のX軸方向の位置を記号Gで示し、ダミートレンチ部30の下端のX軸方向の位置を記号Eで示している。また、第1下端領域202および第2下端領域205が設けられるX軸方向の位置を模式的に示している。なお、図7における実線は、図6に示したように第1下端領域202および第2下端領域205を設けた場合の電界分布であり、破線は、第2下端領域205を設けず、第1下端領域202だけを設けた場合の電界分布である。

30

【0127】

第2下端領域205を設けない場合、図7の破線で示すように、第1下端領域202で覆われていないトレンチ部の下端における電界が大きくなる。特にゲートトレンチ部40（G）の下端における電界集中が顕著である。このため、当該ゲートトレンチ部40の下端近傍に電界が集中してアバランシェが発生しやすくなり、クランプ耐量およびラッチアップ耐量が低下してしまう。

40

【0128】

これに対して第2下端領域205を設けることで、図7の実線に示すように、当該ゲートトレンチ部40の下端近傍における電界を減少できる。このため、半導体装置100の耐圧および耐量を向上できる。

【0129】

図8は、第2下端領域205の他の例を示す図である。本例の第2下端領域205は、1つのゲートトレンチ部40の下端と接しており、且つ、X軸方向において当該ゲートトレンチ部40の隣に配置されたダミートレンチ部30の下端とも接している。図8の例では、第2下端領域205は、1つのゲートトレンチ部40の下端、および、X軸方向にお

50

いて当該ゲートトレンチ部 40 を挟む 2 つのダミートレンチ部 30 の下端に接している。隣り合うダミートレンチ部 30 に挟まれたメサ部 60 の下方には、第 2 下端領域 205 は設けられていない。すなわち、隣り合うダミートレンチ部 30 に設けられた第 2 下端領域 205 は分離されている。上面視において、分離された 2 つの第 2 下端領域 205 の間には、N 型領域が設けられている。当該 N 型領域は、例えばドリフト領域 18 である。このような構成により、これらのダミートレンチ部 30 の下端近傍における電界集中も緩和できる。このため、半導体装置 100 の耐圧および耐量を更に向上できる。

【0130】

図 9A は、第 1 下端領域 202 および第 2 下端領域 205 の近傍の拡大図である。本例の第 2 下端領域 205 は、複数のトレンチ部の下端と接している。ゲートトレンチ部 40 の下端における第 2 下端領域 205 のドーピング濃度を D_g とする。ドーピング濃度 D_g は、ゲートトレンチ部 40 の最も下方の点を通り、且つ、Z 軸に平行な m - m 線における、第 2 下端領域 205 のドーピング濃度の積分値 I_{Dg} を、第 2 下端領域 205 の上端から下端までの深さ方向の幅 T_2 で割った平均値であってよく、最大値であってよい。同様に、ダミートレンチ部 30 の下端における第 2 下端領域 205 のドーピング濃度を D_d とする。ドーピング濃度 D_d は、ダミートレンチ部 30 の最も下方の点を通り、且つ、Z 軸に平行な k - k 線における、第 2 下端領域 205 のドーピング濃度の積分値 I_{Dd} を、第 2 下端領域 205 の上端から下端までの深さ方向の幅 T_2 で割った平均値であってよく、最大値であってよい。

【0131】

ドーピング濃度 D_g は、ドーピング濃度 D_d よりも大きくてよい。積分値 I_{Dg} は、積分値 I_{Dd} よりも大きくてよい。図 7 に示すように、ダミートレンチ部 30 よりもゲートトレンチ部 40 に電界が集中しやすいので、ドーピング濃度 D_g もしくは積分値 I_{Dg} を比較的に大きくすることで、ゲートトレンチ部 40 に対する電界集中を緩和でき、半導体装置 100 の耐圧および耐量を向上できる。

【0132】

また、第 1 下端領域 202 の、ゲートトレンチ部 40 の下端におけるドーピング濃度を D_1 とする。ドーピング濃度 D_1 は、ゲートトレンチ部 40 の最も下方の点を通り、且つ、Z 軸に平行な i - i 線における、第 1 下端領域 202 のドーピング濃度の積分値 I_{D1} を、第 1 下端領域 202 の上端から下端までの深さ方向の幅 T_1 で割った平均値であってよく、最大値であってよい。第 1 下端領域 202 は、ゲートトレンチ部 40 の下端およびダミートレンチ部 30 の下端において、同一のドーピング濃度を有してよい。

【0133】

ドーピング濃度 D_g は、ドーピング濃度 D_1 よりも大きくてよい。積分値 I_{Dg} は、積分値 I_{D1} よりも大きくてよい。これにより、分離領域 204 におけるゲートトレンチ部 40 に対する電界集中を緩和できる。ドーピング濃度 D_g は、ドーピング濃度 D_1 の 2 倍以上であってよく、5 倍以上であってよく、10 倍以上であってよい。また、ドーピング濃度 D_d は、ドーピング濃度 D_1 よりも小さくてよい。積分値 I_{Dg} は、積分値 I_{D1} の 2 倍以上であってよく、5 倍以上であってよく、10 倍以上であってよい。また、積分値 I_{Dd} は、積分値 I_{D1} よりも小さくてよい。このような構成により、各トレンチ部の下端の電界を均一化しやすくなる。ドーピング濃度 D_d は、ドーピング濃度 D_1 の 0.5 倍以下であってよく、0.2 倍以下であってよく、0.1 倍以下であってよい。積分値 I_{Dd} は、積分値 I_{D1} の 0.5 倍以下であってよく、0.2 倍以下であってよく、0.1 倍以下であってよい。

【0134】

また、1 つの第 1 下端領域 202 が接するトレンチ部の個数を q 個とする。図 8 の例では、 q は 4 以上の整数である。1 つの第 1 下端領域 202 の各トレンチ部の下端におけるドーピング濃度の総和を、 D_{sum1} とする。同様に、1 つの第 2 下端領域 205 が接するトレンチ部の個数を r 個とする。図 8 の例では、 r は 3 である。1 つの第 2 下端領域 205 の各トレンチ部の下端におけるドーピング濃度の総和を、 D_{sum2} とする。 D_{sum1}

10

20

30

40

50

$m2/r$ は、 $Dsum1/q$ よりも小さくてよい。つまり、1つの第2下端領域205に接する各トレンチ部の下端におけるドーピング濃度の平均値は、1つの第1下端領域202に接する各トレンチ部の下端におけるドーピング濃度の平均値よりも小さくてよい。

また、1つの第1下端領域202の各トレンチ部において、各トレンチ部の最も下方の点を通り、且つ、Z軸に平行なm-m線における、第1下端領域202のドーピング濃度の積分値の総和を、 $IDsum1$ とする。同様に、1つの第2下端領域205が接するトレンチ部の個数をr個とする。図8の例では、rは3である。1つの第2下端領域205の各トレンチ部において、各トレンチ部の最も下方の点を通り、且つ、Z軸に平行なm-m線における、第1下端領域202のドーピング濃度の積分値の総和を、 $IDsum2$ とする。 $IDsum2/r$ は、 $IDsum1/q$ よりも小さくてよい。つまり、1つの第2

10

【0135】

図9Bは、図9Aの形成工程の一例を示す図である。一例として第1下端領域202は、ゲートトレンチ部40およびダミートレンチ部30のそれぞれの下端に、一定の第1ドーパント量をP型ドーパントを注入して形成される。P型ドーパントを注入した後に半導体基板10を熱処理することで、それぞれのトレンチ部下端のP型ドーパントがX軸方向に拡散して、連続した第1下端領域202が形成される。イオン注入等により、トレンチ部の下方にP型ドーパントが導入される。熱処理により、P型ドーパントは深さ方向(Z軸方向)および横方向(X軸方向)に広がる。隣り合うトレンチ部の下方から横方向に広がったP型ドーパントは、メサ部の中央部で重なり合う。その結果、図9Bに示すように、第1下端領域202はメサ部の中央で若干ドーピング濃度が低くなる。さらに第1下端領域202の横方向の端部は、分離領域204側の-X軸方向端部に位置するダミートレンチ部30まで、あるいはメサ部まで延伸してよい。

20

【0136】

一方で、分離領域204においては、ゲートトレンチ部40の下端に一定の第1ドーパント量をP型ドーパントを注入してよい。P型ドーパントを注入した後に半導体基板10を熱処理することで、ゲートトレンチ部40の下端に注入したP型ドーパントがX軸方向に拡散して、ダミートレンチ部30の下端に到達する。この場合、第2下端領域205の各トレンチ部の下端におけるドーピング濃度の平均値は、第1下端領域202の各トレンチ部の下端におけるドーピング濃度の平均値よりも小さくなる。このような構成により、第2下端領域205がX軸方向に広がりすぎて、第1下端領域202またはウェル領域11と接続することを防げる。

30

【0137】

図10は、分離領域204の他の構成例を示す図である。本例の分離領域204は、第3下端領域207を備える点で、図1から図9Bにおいて説明した分離領域204と相違する。他の構造は、図1から図9Bにおいて説明したいずれかの分離領域204と同様である。

【0138】

第3下端領域207は、分離領域204において、1つ以上のダミートレンチ部30に対して設けられる。第3下端領域207は、ダミートレンチ部30の下端に接して設けられており、且つ、当該ダミートレンチ部30の隣のトレンチ部の下端には接していない。第3下端領域207は、第1下端領域202、第2下端領域205およびウェル領域11のいずれとも分離して設けられている。第3下端領域207と、第1下端領域202、第2下端領域205およびウェル領域11の間には、ドリフト領域18等のN型領域が設けられる。

40

【0139】

なお第3下端領域207の電位は、エミッタ電極52の電位とは異なる。第3下端領域207は、エミッタ電極52と接続されるベース領域14とは、Z軸方向において離れて配置されている。また第3下端領域207は、エミッタ電極52と接続されるウェル領域

50

11とは、上面視において離れて配置されている。第3下端領域207は、いずれの電極とも接続されていない、電氣的にフローティングな領域であってよい。

【0140】

第3下端領域207が接するダミートレンチ部30は、第2下端領域205が接するゲートトレンチ部40の隣に配置されている。本例では、分離領域204の全てのゲートトレンチ部40に第2下端領域205が設けられ、分離領域204の全てのダミートレンチ部30に第3下端領域207が設けられている。本例によっても、分離領域204の各トレンチ部の下端における電界集中を緩和できる。

【0141】

図11は、第1下端領域202、第2下端領域205および第3下端領域207のZ軸方向におけるドーピング濃度の分布例を示す図である。第1下端領域202のドーピング濃度分布は、ゲートトレンチ部40の最も下方の点を通り、且つ、Z軸に平行なa-a線（図10参照）における分布である。第2下端領域205のドーピング濃度分布は、ゲートトレンチ部40の最も下方の点を通り、且つ、Z軸に平行なb-b線（図10参照）における分布である。第3下端領域207のドーピング濃度分布は、ダミートレンチ部30の最も下方の点を通り、且つ、Z軸に平行なc-c線（図10参照）における分布である。

【0142】

第1下端領域202のドーピング濃度のピーク値を D_a 、第2下端領域205のドーピング濃度のピーク値を D_b 、第3下端領域207のドーピング濃度のピーク値を D_c とする。ピーク値 D_b は、ピーク値 D_a より大きくてよい。ピーク値 D_b は、ピーク値 D_a の2倍以上であってよく、5倍以上であってよく、10倍以上であってよい。ピーク値 D_a は、ピーク値 D_c より大きくてよい。ドーピング濃度 D_a は、ドーピング濃度 D_c の2倍以上であってよく、5倍以上であってよく、10倍以上であってよい。ドリフト領域18とのpn接合は、第2下端領域205が最も下面23側（+Z軸方向側）に位置してよく、第3下端領域207が最も上面21側（-Z軸方向側）に位置してよい。

【0143】

また、ゲートトレンチ部40の下端からドリフト領域18の上端まで第1下端領域202のドーピング濃度を積分した積分値を I_a 、ゲートトレンチ部40の下端からドリフト領域18の上端まで第2下端領域205のドーピング濃度を積分した積分値を I_b 、ダミートレンチ部30の下端からドリフト領域18の上端まで第3下端領域207のドーピング濃度を積分した積分値を I_c とする。積分値 I_b は、積分値 I_a より大きくてよい。積分値 I_b は、積分値 I_a の2倍以上であってよく、5倍以上であってよく、10倍以上であってよい。積分値 I_a は、積分値 I_c より大きくてよい。積分値 I_a は、積分値 I_c の2倍以上であってよく、5倍以上であってよく、10倍以上であってよい。

【0144】

なお、図9Aにおけるi-i線におけるドーピング濃度分布は、本例のa-a線におけるドーピング濃度分布と同様であってよい。図9Aにおけるm-m線におけるドーピング濃度分布は、本例のb-b線におけるドーピング濃度分布と同様であってよい。図9Aにおけるk-k線におけるドーピング濃度分布は、本例のc-c線におけるドーピング濃度分布と同様であってよい。

【0145】

図12は、分離領域204の他の例を示す図である。本例の分離領域204は、第2下端領域205の配置が、図1から図11において説明した例と異なる。他の構造は、図1から図11において説明したいずれかの例と同様である。

【0146】

本例の分離領域204は、少なくとも1つのゲートトレンチ部40の下端に、第2下端領域205が設けられていない。つまり、少なくともゲートトレンチ部40の下端は、ドリフト領域18等のN型領域と接している。分離領域204において、第2下端領域205が設けられていないゲートトレンチ部40に接するメサ部には、エミッタ領域12が設けられてよい。これにより、第2下端領域205が設けられていないゲートトレンチ部4

10

20

30

40

50

0 がオン状態になった場合に、ドリフト領域 18 に対して電子を供給しやすくなる。これにより、ドリフト領域 18 におけるキャリア濃度を上昇でき、オン抵抗を低減できる。

【0147】

分離領域 204 のゲートトレンチ部 40 のうち、第 1 下端領域 202 に最も近いゲートトレンチ部 40 の下端がドリフト領域 18 と接していてもよい。これにより、トランジスタ部 70 の近傍において電子を供給できる。

【0148】

図 13 は、分離領域 204 の他の例を示す図である。本例の半導体基板 10 には、ゲートトレンチ部 40 およびダミートレンチ部 30 が 2 つずつ交互に配置されている。つまり半導体基板 10 は、X 軸方向において、ダミートレンチ部 30 を間に挟まずに隣り合って配置された 2 つのゲートトレンチ部 40 と、ゲートトレンチ部 40 を間に挟まずに隣り合って配置された 2 つのダミートレンチ部 30 とを有する。トレンチ部の配列以外の構造は、図 1 から図 12 において説明したいずれかの例と同様である。

【0149】

本例の分離領域 204 は、少なくとも 1 つのゲートトレンチ部 40 の下端に、第 2 下端領域 205 が設けられていない。本例では、連続して配置された 2 つのゲートトレンチ部 40 のうち、一方のゲートトレンチ部 40 には第 2 下端領域 205 が設けられ、他方のゲートトレンチ部 40 には第 2 下端領域 205 が設けられていない。このような構成により、1 組のゲートトレンチ部 40 に対して電界集中を緩和しつつ、電子供給機能を維持できる。1 組のゲートトレンチ部 40 のうち、トランジスタ部 70 から遠いほうのゲートトレンチ部 40 に第 2 下端領域 205 が設けられ、トランジスタ部 70 に近いほうのゲートトレンチ部 40 に第 2 下端領域 205 が設けられていなくてよい。これにより、電界集中を緩和しつつ、比較的にトランジスタ部 70 の近傍において電子を供給できる。

【0150】

図 14 は、図 4 における g - g 断面の一例を示す図である。g - g 断面は、第 1 下端領域 202 およびウェル領域 11 を通過する YZ 面である。g - g 断面は、トランジスタ部 70 のメサ部を通過している。ただし図 14 においては、ゲートトレンチ部 40 を g - g 断面に投影した位置を破線で示している。なお図 14 においては、半導体基板 10 の構造を示しており、半導体基板 10 の上下に配置された電極および絶縁膜等の構成を省略している。

【0151】

当該断面においても、トランジスタ部 70 とウェル領域 11 との間には、分離領域 204 が設けられている。ただし、当該断面における分離領域 204 は、第 2 下端領域 205 および第 3 下端領域 207 が設けられていない。第 1 下端領域 202 とウェル領域 11 の間には、ドリフト領域 18 が設けられている。

【0152】

トランジスタ部 70 の上面 21 には、エミッタ領域 12 とコンタクト領域 15 とが Y 軸方向に沿って交互に配置されている。分離領域 204 の上面 21 にはコンタクト領域 15 が設けられている。

【0153】

本例の蓄積領域 16 は、トランジスタ部 70 の端部よりもウェル領域 11 側に延伸して設けられている。他の例では蓄積領域 16 は、トランジスタ部 70 の端部で終端していてもよく、トランジスタ部 70 の内部で終端していてもよい。

【0154】

本例の第 1 下端領域 202 は、トランジスタ部 70 の端部よりもウェル領域 11 側に延伸している。他の例では、第 1 下端領域 202 は、トランジスタ部 70 の端部で終端していてもよく、トランジスタ部 70 の内部で終端していてもよい。蓄積領域 16 は、第 1 下端領域 202 よりもウェル領域 11 側に延伸していてもよい。

【0155】

分離領域 204 は、上面視において蓄積領域 16 と重なっていてもよい。すなわち蓄積領

10

20

30

40

50

域 1 6 の端部は、上面視で分離領域 2 0 4 の内部にあってよい。他の例では、分離領域 2 0 4 は、上面視において蓄積領域 1 6 と重ならなくてもよい。すなわち蓄積領域 1 6 の端部は、上面視で分離領域 2 0 4 よりも内側（- Y 軸方向側）にあってよい。当該断面において分離領域 2 0 4 は、トランジスタ部 7 0 と重ならないように設けられてよい。他の例では、当該断面において分離領域 2 0 4 は、トランジスタ部 7 0 と重なっていてもよい。

【 0 1 5 6 】

図 1 5 は、図 5 における h - h 断面の一例を示す図である。h - h 断面は、第 2 下端領域 2 0 5 およびウェル領域 1 1 を通過する Y Z 面である。h - h 断面の Y 軸方向における位置は、図 1 4 に示した g - g 断面と同一である。h - h 断面は、分離領域 2 0 4 のメサ部を通過している。ただし図 1 5 においては、ゲートトレンチ部 4 0 を h - h 断面に投影した位置を破線で示している。なお図 1 5 においては、半導体基板 1 0 の構造を示しており、半導体基板 1 0 の上下に配置された電極および絶縁膜等の構成を省略している。

10

【 0 1 5 7 】

当該断面の半導体基板 1 0 には、図 1 4 に示した断面の第 1 下端領域 2 0 2 に代えて、第 2 下端領域 2 0 5 が設けられている。また、半導体基板 1 0 の上面 2 1 には、コンタクト領域 1 5 が連続して設けられている。他の構造は、図 1 4 において説明した例と同様である。Y 軸方向において、第 2 下端領域 2 0 5 とウェル領域 1 1 との距離は、第 1 下端領域 2 0 2 とウェル領域 1 1 との距離と同一であってよく、大きくてもよく、小さくてもよい。

【 0 1 5 8 】

図 1 6 は、h - h 断面の他の例を示す図である。本例の h - h 断面においては、半導体基板 1 0 の上面 2 1 における構造が、図 1 4 に示した g - g 断面と同様である。つまり、Y 軸方向に沿ってエミッタ領域 1 2 およびコンタクト領域 1 5 が交互に配置されている。

20

【 0 1 5 9 】

本例では、ゲートトレンチ部 4 0 の長手方向（Y 軸方向）に沿って、複数の第 2 下端領域 2 0 5 が互いに離れて離散的に配置されている。半導体基板 1 0 の上面 2 1 における構造と、第 2 下端領域 2 0 5 の配置以外は、図 1 5 の例と同様である。Y 軸方向に沿って第 2 下端領域 2 0 5 を配置することで電界集中を緩和しつつ、第 2 下端領域 2 0 5 を離散的に配置することで電子供給機能も維持できる。なお第 1 下端領域 2 0 2 は、図 1 4 に示したように、Y 軸方向において連続して配置されることが好ましい。これにより、トランジスタ部 7 0 およびダイオード部 8 0 の広い範囲において、スイッチング時の電圧または電流波形のノイズを低減できる。

30

【 0 1 6 0 】

それぞれの第 2 下端領域 2 0 5 は、上面視においてエミッタ領域 1 2（またはソース領域 2 1 2）と重なるように配置されてよい。第 2 下端領域 2 0 5 は、エミッタ領域 1 2（またはソース領域 2 1 2）毎に設けられてよい。それぞれの第 2 下端領域 2 0 5 は、対応するエミッタ領域 1 2（またはソース領域 2 1 2）の Y 軸方向の全体を覆うように配置されてよい。エミッタ領域 1 2 に向けて電子電流が流れるので、エミッタ領域 1 2 の下方は比較的に大きな電流が流れる。エミッタ領域 1 2 の下方に第 2 下端領域 2 0 5 を設けることで、大きな電流が流れる領域の電界を抑制でき、当該領域の耐量を向上させることができる。

40

【 0 1 6 1 】

図 1 5 および図 1 6 においては、ゲートトレンチ部 4 0 の近傍における第 2 下端領域 2 0 5 の Y 軸方向の構造を説明したが、他の領域における第 2 下端領域 2 0 5 も同様の Y 軸方向の構造を有する。また、第 3 下端領域 2 0 7 も、図 1 5 および図 1 6 において説明した第 2 下端領域 2 0 5 と同様の Y 軸方向の構造を有してよい。

【 0 1 6 2 】

図 1 7 は、半導体装置 1 0 0 の製造方法の一部の工程を示す図である。半導体装置 1 0 0 の製造方法においては、図 1 から図 1 6 において説明した各構成を形成する。図 1 7 に示す工程は、ドーピング領域形成段階 S 1 7 0 0、トレンチ形成段階 S 1 7 0 2、下端領域形成段階 S 1 7 0 4 およびトレンチ構造形成段階 S 1 7 0 6 を備える。

50

【 0 1 6 3 】

ドーピング領域形成段階 S 1 7 0 0 においては、半導体基板 1 0 の上面 2 1 側に配置されたドーピング領域を形成する。ドーピング領域は、例えばウェル領域 1 1、エミッタ領域 1 2、ベース領域 1 4、コンタクト領域 1 5 および蓄積領域 1 6 の少なくとも一つを含む。なおドリフト領域 1 8 は、これらのドーピング領域が形成されずに残存した領域であってよい。

【 0 1 6 4 】

トレンチ形成段階 S 1 7 0 2 においては、半導体基板 1 0 の上面 2 1 にトレンチを形成する。トレンチは、各トレンチ部を形成するための溝である。それぞれのトレンチは、上面 2 1 からドリフト領域 1 8 に達する深さまで形成される。トレンチ形成段階 S 1 7 0 2 においては、少なくともトレンチ内の導電部は形成しない。トレンチ内の絶縁膜は形成してもよいし、形成しなくてもよい。

【 0 1 6 5 】

下端領域形成段階 S 1 7 0 4 においては、第 1 下端領域 2 0 2 および第 2 下端領域 2 0 5 を形成する。下端領域形成段階 S 1 7 0 4 においては、第 3 下端領域 2 0 7 も形成してよい。下端領域形成段階 S 1 7 0 4 においては、トレンチを介して半導体基板 1 0 に P 型のドーパントイオンを注入してよい。下端領域形成段階 S 1 7 0 4 では、トレンチ以外の部分をマスクした状態で、半導体基板 1 0 の上面 2 1 から P 型ドーパントイオンを注入してよい。これにより、トレンチの下端に接する領域に、P 型ドーパントイオンを容易に注入できる。ドーピング領域形成段階 S 1 7 0 0 および下端領域形成段階 S 1 7 0 4 では、ドーパントを注入した後に半導体基板 1 0 を熱処理する。

【 0 1 6 6 】

トレンチ構造形成段階 S 1 7 0 6 では、それぞれのトレンチの内部に導電部および絶縁膜を形成する。トレンチ構造形成段階 S 1 7 0 6 では、トレンチの内壁を熱酸化することで絶縁膜を形成してよい。トレンチ構造形成段階 S 1 7 0 6 では、絶縁膜を形成したトレンチの内部にポリシリコン等の導電材料を充填して導電部を形成してよい。

【 0 1 6 7 】

図 1 8 は、下端領域形成段階 S 1 7 0 4 の一例を説明する図である。本例の下端領域形成段階 S 1 7 0 4 は、第 1 注入段階 S 1 8 0 1 および第 2 注入段階 S 1 8 0 2 を有する。第 1 注入段階 S 1 8 0 1 および第 2 注入段階 S 1 8 0 2 はいずれを先に行ってもよく、同時に行ってもよい。

【 0 1 6 8 】

第 1 注入段階 S 1 8 0 1 では、第 1 下端領域 2 0 2 を形成すべき領域に対して、所定の濃度 ($\text{ions} / \text{cm}^2$) の P 型ドーパントイオンを注入する。本例の第 1 注入段階 S 1 8 0 1 では、ゲートトレンチ部 4 0 およびダミートレンチ部 3 0 のそれぞれのトレンチ 4 5 の底部から P 型ドーパントイオンを注入する。

【 0 1 6 9 】

第 2 注入段階 S 1 8 0 2 では、分離領域 2 0 4 を形成すべき領域に対して P 型ドーパントイオンを注入する。本例の第 2 注入段階 S 1 8 0 2 では、ゲートトレンチ部 4 0 のそれぞれのトレンチ 4 5 の底部から P 型ドーパントイオンを注入する。第 2 注入段階 S 1 8 0 2 における単位面積当たりのドーズ量 ($\text{ions} / \text{cm}^2$) は、第 1 注入段階 S 1 8 0 1 におけるドーズ量 ($\text{ions} / \text{cm}^2$) と同一であってよく、異なってもよい。第 1 注入段階 S 1 8 0 1 および第 2 注入段階 S 1 8 0 2 を同時に行う場合、これらのドーズ量は同一である。第 1 注入段階 S 1 8 0 1 および第 2 注入段階 S 1 8 0 2 では、マスク 3 0 により、トレンチ 4 5 以外の領域をマスクしてよい。トレンチ 4 5 を介して注入されたドーパントは、熱処理により拡散する。これにより、XY 面において連続する第 1 下端領域 2 0 2 を形成できる。また当該熱処理の条件により、第 2 下端領域 2 0 5 を隣のトレンチ 4 5 の下端まで形成するか否かを制御できる。

【 0 1 7 0 】

製造方法は、第 3 下端領域 2 0 7 を形成するための第 3 注入段階を更に備えてよい。第

10

20

30

40

50

3 下端領域 2 0 7 のドーピング濃度を、第 2 下端領域 2 0 5 のドーピング濃度と異ならせる場合、第 3 注入段階は、第 2 注入段階 S 1 8 0 2 とは異なる工程で実施される。

【 0 1 7 1 】

図 1 9 は、図 4 における j - j 断面の一例を示す図である。j - j 断面は、活性部 1 6 0 を通過する X Z 面である。本例の半導体装置 1 0 0 は、活性部 1 6 0 の内部に分離領域 2 0 4 を有する。分離領域 2 0 4 の構造は、本明細書において説明したいずれかの態様の分離領域 2 0 4 と同様である。分離領域 2 0 4 には、1 つ以上の第 2 下端領域 2 0 5 が設けられている。

【 0 1 7 2 】

本例の分離領域 2 0 4 は、上面視において 2 つの第 1 下端領域 2 0 2 に挟まれている。図 1 9 の例では、分離領域 2 0 4 が、X 軸方向において 2 つの第 1 下端領域 2 0 2 に挟まれている。分離領域 2 0 4 には、複数の第 2 下端領域 2 0 5 が設けられてよい。図 1 9 に示すように X 軸方向において、2 つのトランジスタ部 7 0 の間に分離領域 2 0 4 が設けられてよい。X 軸方向において、2 つの分離領域 2 0 4 の間にトランジスタ部 7 0 が設けられてよい。

【 0 1 7 3 】

図 2 0 は、f - f 断面の他の例を示す図である。図 2 0 においては、半導体基板 1 0 の上面 2 1 の上方の構造も合わせて示している。本例の半導体装置 1 0 0 は MOS F E T である。

【 0 1 7 4 】

半導体装置 1 0 0 は、本明細書で説明した各例におけるコレクタ領域 2 2 に代えて、半導体基板 1 0 の下面 2 3 に接して設けられた N + 型のドレイン領域 2 2 2 を有する。また、本明細書で説明した各例におけるエミッタ領域 1 2 およびエミッタ電極 5 2 は、ソース領域 2 1 2 およびソース電極 2 5 2 として機能する。ソース領域 2 1 2 およびソース電極 2 5 2 は、エミッタ領域 1 2 およびエミッタ電極 5 2 と同様の構造を有する。また、本明細書で説明した各例におけるコレクタ電極 2 4 (図 3 等参照) はドレイン電極として機能する。半導体基板 1 0 は S i C (炭化珪素) 基板であってよい。

【 0 1 7 5 】

半導体基板 1 0 は、上面視の端部において、段差 (凹部) を有してよい。ウェル領域 1 1 は、当該段差に形成されてよい。ウェル領域 1 1 は、J T E (J u n c t i o n T e r m i n a t i o n E x t e n s i o n) として機能してよい。

【 0 1 7 6 】

図 2 1 は、分離領域 2 0 4 の他の構造例を示す図である。本例の分離領域 2 0 4 は、本明細書で説明したいずれの態様の半導体装置 1 0 0 に適用してよい。本例において、第 2 下端領域 2 0 5 と接するゲートトレンチ部 4 0 のうちの少なくとも 1 つのゲートトレンチ部 4 0 のゲート導電部 4 4 は、第 1 下端領域 2 0 2 と接するゲートトレンチ部 4 0 のゲート導電部 4 4 よりも、深さ方向において短い。第 2 下端領域 2 0 5 と接する全てのゲートトレンチ部 4 0 のゲート導電部 4 4 が、第 1 下端領域 2 0 2 と接するゲートトレンチ部 4 0 のゲート導電部 4 4 よりも、深さ方向において短くてよい。

【 0 1 7 7 】

第 2 下端領域 2 0 5 と接するゲートトレンチ部 4 0 のゲート導電部 4 4 の長さは、第 1 下端領域 2 0 2 と接するゲートトレンチ部 4 0 のゲート導電部 4 4 の長さの 9 0 % 以下であってよく、8 0 % 以下であってよく、7 0 % 以下であってよい。ただし、第 2 下端領域 2 0 5 と接するゲートトレンチ部 4 0 のゲート導電部 4 4 は、ベース領域 1 4 よりも下方まで設けられてよい。本例において、第 2 下端領域 2 0 5 と接するゲートトレンチ部 4 0 の下端のゲート絶縁膜 4 2 は、第 1 下端領域 2 0 2 と接するゲートトレンチ部 4 0 の下端のゲート絶縁膜 4 2 よりも、深さ方向において厚い。

【 0 1 7 8 】

本例によれば、第 2 下端領域 2 0 5 と接するゲートトレンチ部 4 0 の下端のゲート絶縁膜 4 2 を厚くできるので、当該ゲートトレンチ部 4 0 の耐圧を更に高めることができる。

10

20

30

40

50

第1下端領域202と接するゲートトレンチ部40と、第2下端領域205と接するゲートトレンチ部40の深さ方向の長さは、同一であってよく異なってもよい。

【0179】

第2下端領域205と接するゲートトレンチ部40のうちの少なくとも1つにおいて、ゲート導電部44の下面の中央が上方に凸の形状を有してよい。つまり、当該ゲート導電部44は、ゲート絶縁膜42と接する位置の長さが、X軸方向においてゲート絶縁膜42から最も離れた位置（すなわち、X軸方向におけるゲート導電部44の中心位置）の長さよりも、大きい。このような構造により、ベース領域14に形成されるチャネルの深さ方向の長さを確保できるとともに、ゲートトレンチ部の底部における電界強度を緩和し、ゲート絶縁膜の破壊、ホットキャリア注入等を抑制し、ゲート絶縁膜の信頼性を高くすることができる。ゲート絶縁膜42と接する位置のゲート導電部44の長さは、ゲート絶縁膜42から最も離れた位置のゲート導電部44の長さの1.05倍以上であってよく、1.1倍以上であってよく、1.2倍以上であってよい。

10

【0180】

第1下端領域202と接するゲートトレンチ部40においては、ゲート導電部44の下面の中央が下方に凸の形状を有してよい。他の例では、第1下端領域202と接するゲートトレンチ部40も、ゲート導電部44の下面の中央が上方に凸の形状を有してよい。

【0181】

図22は、分離領域204の他の構造例を示す図である。本例の分離領域204は、本明細書で説明したいずれの態様の半導体装置100に適用してよい。本例では、第2下端領域205に接するゲートトレンチ部40の少なくとも1つが、第1下端領域202に接するゲートトレンチ部40よりも、深さ方向において短い。第2下端領域205に接するゲートトレンチ部40の全てが、第1下端領域202に接するゲートトレンチ部40よりも、深さ方向において短くてよい。このような構造により、分離領域204におけるゲートトレンチ部40の下端に対する電界集中を更に緩和できる。本例では、深さ方向において、第2下端領域205とベース領域14との間にドリフト領域18が介在する。言い換えると、第2下端領域205の上側でドリフト領域18がゲートトレンチ部40に接している。しかし、第2下端領域205とベース領域14とが直接的に、あるいは他のP型の半導体領域を介して間接的に接続されてもよい。

20

【0182】

第2下端領域205と接するゲートトレンチ部40の長さは、第1下端領域202と接するゲートトレンチ部40の長さの0.9倍以下であってよく、0.8倍以下であってよく、0.7倍以下であってよい。ただし第2下端領域205と接するゲートトレンチ部40は、ベース領域14よりも下方まで形成されている。第2下端領域205に接するゲートトレンチ部40は、X軸方向において隣り合うダミートレンチ部30よりも、深さ方向において短くてよい。当該ダミートレンチ部30の長さは、第1下端領域202に接するゲートトレンチ部40の長さと同じであってよく、異なってもよい。第2下端領域205と接するゲートトレンチ部40の長さは、隣り合うダミートレンチ部30の長さの0.9倍以下であってよく、0.8倍以下であってよく、0.7倍以下であってよい。

30

【0183】

図23は、分離領域204の他の構造例を示す図である。本例の分離領域204は、本明細書で説明したいずれの態様の半導体装置100に適用してよい。本例では、分離領域204のダミートレンチ部30の少なくとも1つは、第1下端領域202と接するダミートレンチ部30よりも、深さ方向に長い。分離領域204のダミートレンチ部30の全てが、第1下端領域202と接するダミートレンチ部30よりも、深さ方向に長くてよい。このような構造により、分離領域204におけるゲートトレンチ部40の下端に対する電界集中を更に緩和できる。分離領域204のダミートレンチ部30の長さは、第1下端領域202と接するダミートレンチ部30の長さの1.1倍以上であってよく、1.2倍以上であってよく、1.3倍以上であってよい。分離領域204のダミートレンチ部30は、ウェル領域11よりも浅く形成されてよい。

40

50

【 0 1 8 4 】

第 2 下端領域 2 0 5 に接するゲートトレンチ部 4 0 は、X 軸方向において隣り合うダミートレンチ部 3 0 よりも、深さ方向において短くてよい。第 2 下端領域 2 0 5 に接するゲートトレンチ部 4 0 の長さは、第 1 下端領域 2 0 2 に接するゲートトレンチ部 4 0 の長さと同じであってよく、異なってもよい。第 2 下端領域 2 0 5 と接するゲートトレンチ部 4 0 の長さは、隣り合うダミートレンチ部 3 0 の長さの 0 . 9 倍以下であってよく、0 . 8 倍以下であってよく、0 . 7 倍以下であってもよい。

【 0 1 8 5 】

図 2 4 は、分離領域 2 0 4 の他の構造例を示す図である。本例の分離領域 2 0 4 は、本明細書で説明したいずれの態様の半導体装置 1 0 0 に適用してよい。本例の分離領域 2 0 4 は、第 1 下端領域 2 0 2 と接するゲートトレンチ部 4 0 の隣りに、第 1 下端領域 2 0 2 および第 2 下端領域 2 0 5 と接していないダミートレンチ部 3 0 が 2 つ以上連続して配置されている。本例の分離領域 2 0 4 は、当該 2 つ以上のダミートレンチ部 3 0 の下端と接して設けられた、第 2 導電型の第 4 下端領域 2 1 4 を更に備える。第 4 下端領域 2 1 4 の深さ位置およびドーピング濃度は、第 1 下端領域 2 0 2 と同一であってよい。第 4 下端領域 2 1 4 は、X 軸方向において第 1 下端領域 2 0 2 および第 2 下端領域 2 0 5 の間に配置されてよい。第 4 下端領域 2 1 4 は、第 1 下端領域 2 0 2 および第 2 下端領域 2 0 5 のいずれとも分離している。

【 0 1 8 6 】

本例では、深さ方向において、第 2 下端領域 2 0 5 とベース領域 1 4 との間にドリフト領域 1 8 が介在する。分離領域 2 0 4 において、ゲートトレンチ部 4 0 と接するメサ部にはエミッタ領域 1 2 (またはソース領域 2 1 2) が設けられてよい。本例によれば、分離領域 2 0 4 の少なくとも一部もトランジスタ部として動作させることができる。当該ゲートトレンチ部 4 0 の下端には第 2 下端領域 2 0 5 が設けられている。第 2 下端領域 2 0 5 は、X 軸方向において 2 つの第 4 下端領域 2 1 4 に挟まれていてよい。なお、一部の第 2 下端領域 2 0 5 とベース領域 1 4 とが直接的に、あるいは他の P 型の半導体領域を介して間接的に接続されてもよい。

【 0 1 8 7 】

分離領域 2 0 4 におけるゲートトレンチ部 4 0 および第 2 下端領域 2 0 5 は、本明細書において説明したいずれかの例と同様である。図 2 4 の例では、図 2 2 において説明したゲートトレンチ部 4 0 および第 2 下端領域 2 0 5 を設けている。これにより、当該ゲートトレンチ部 4 0 に対する電界集中を緩和できる。また、第 2 下端領域 2 0 5 と第 4 下端領域 2 1 4 の深さ位置が異なるので、第 2 下端領域 2 0 5 と第 4 下端領域 2 1 4 とを容易に分離でき、また、電流経路を確保しやすくなる。

【 0 1 8 8 】

以上、本発明を実施の形態を用いて説明したが、本発明の技術的範囲は上記実施の形態に記載の範囲には限定されない。上記実施の形態に、多様な変更または改良を加えることが可能であることが当業者に明らかである。その様な変更または改良を加えた形態も本発明の技術的範囲に含まれ得ることが、請求の範囲の記載から明らかである。

【 0 1 8 9 】

請求の範囲、明細書、および図面中において示した装置、システム、プログラム、および方法における動作、手順、ステップ、および段階等の各処理の実行順序は、特段「より前に」、「先立って」等と明示しておらず、また、前の処理の出力を後の処理で用いるのでない限り、任意の順序で実現しうることに留意すべきである。請求の範囲、明細書、および図面中の動作フローに関して、便宜上「まず、」、「次に、」等を用いて説明したとしても、この順で実施することが必須であることを意味するものではない。

【 符号の説明 】

【 0 1 9 0 】

1 0 . . . 半導体基板、 1 1 . . . ウェル領域、 1 2 . . . エミッタ領域、 1 4 . . . ベース領域、 1 5 . . . コンタクト領域、 1 6 . . . 蓄積領域、 1 8 . . . ドリフト領域、

10

20

30

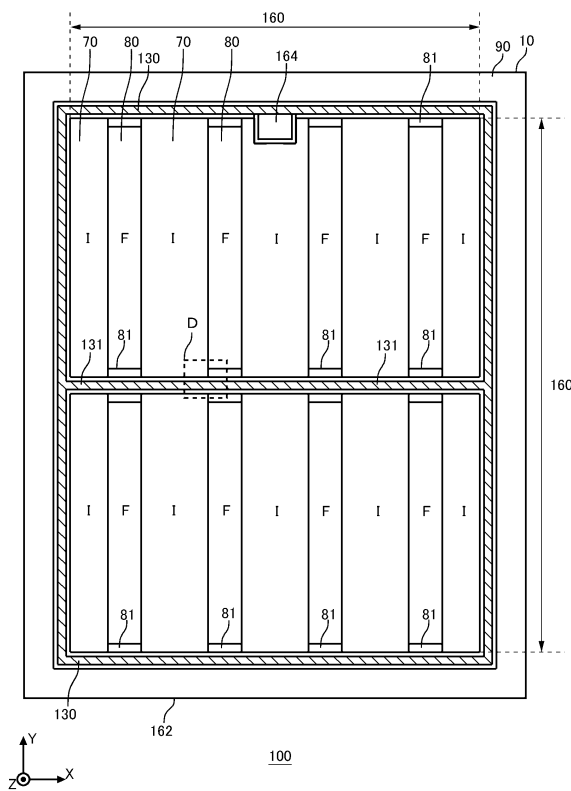
40

50

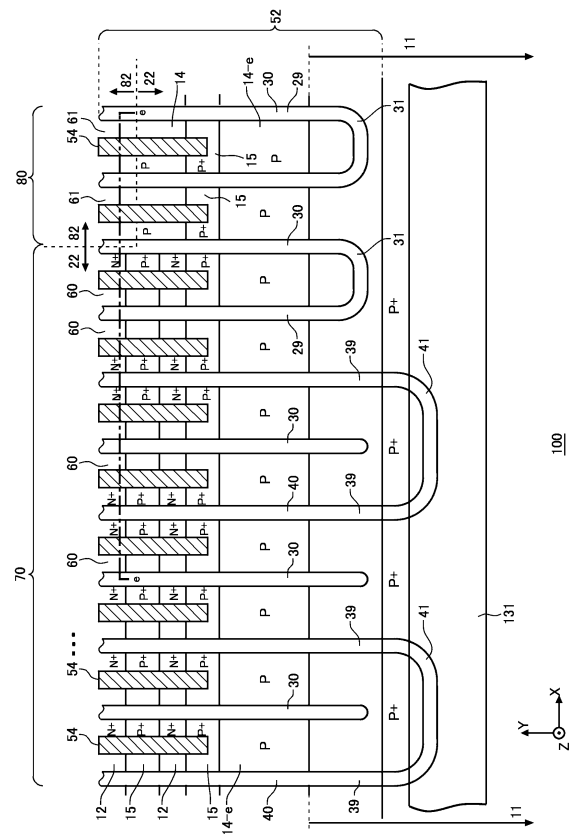
20・・・バッファ領域、21・・・上面、22・・・コレクタ領域、23・・・下面、
 24・・・コレクタ電極、29・・・直線部分、30・・・ダミートレンチ部、31・・・
 ・先端部、32・・・ダミー絶縁膜、34・・・ダミー導電部、38・・・層間絶縁膜、
 39・・・直線部分、40・・・ゲートトレンチ部、41・・・先端部、42・・・ゲート
 絶縁膜、44・・・ゲート導電部、45・・・トレンチ、52・・・エミッタ電極、5
 4・・・コンタクトホール、60、61・・・メサ部、70・・・トランジスタ部、80
 ・・・・ダイオード部、81・・・延長領域、82・・・カソード領域、90・・・エッジ
 終端構造部、100・・・半導体装置、130・・・外周ゲート配線、131・・・活性
 側ゲート配線、160・・・活性部、162・・・端辺、164・・・ゲートパッド、2
 02・・・第1下端領域、204・・・分離領域、205・・・第2下端領域、207・
 ・・・・第3下端領域、212・・・ソース領域、214・・・第4下端領域、222・・・
 ドレイン領域、252・・・ソース電極、300・・・マスク

【図面】

【図1】



【図2】



10

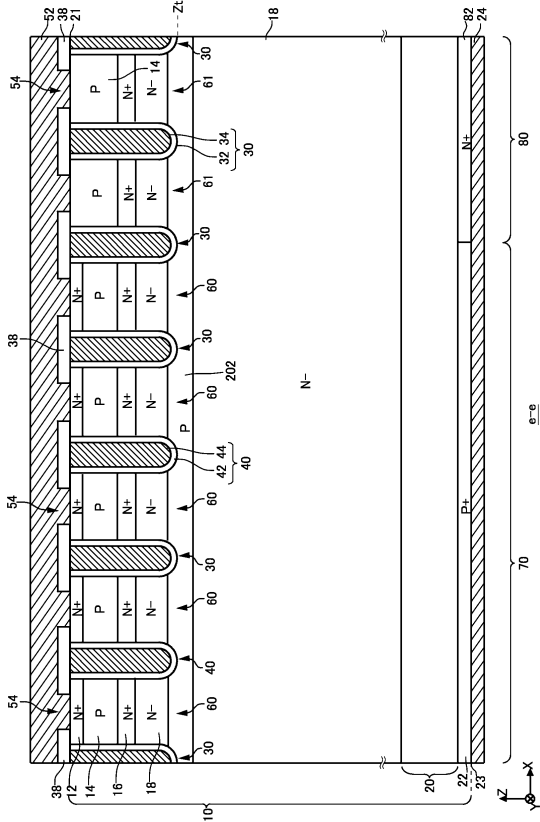
20

30

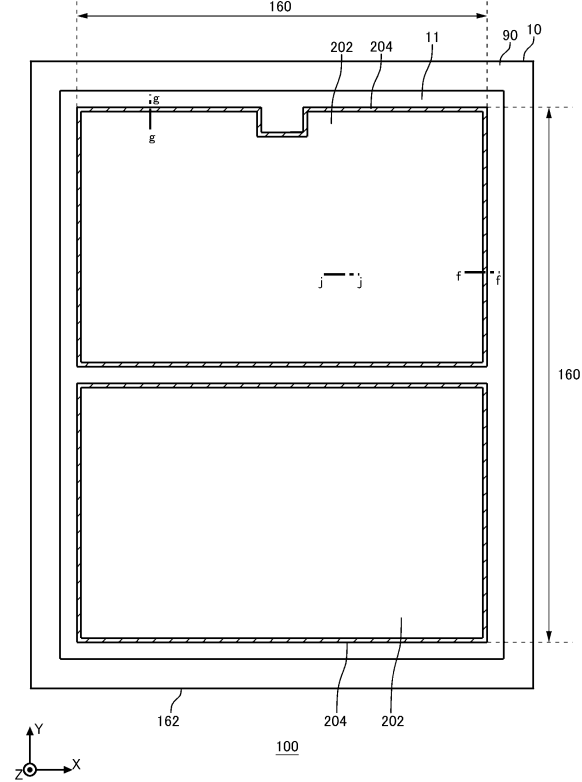
40

50

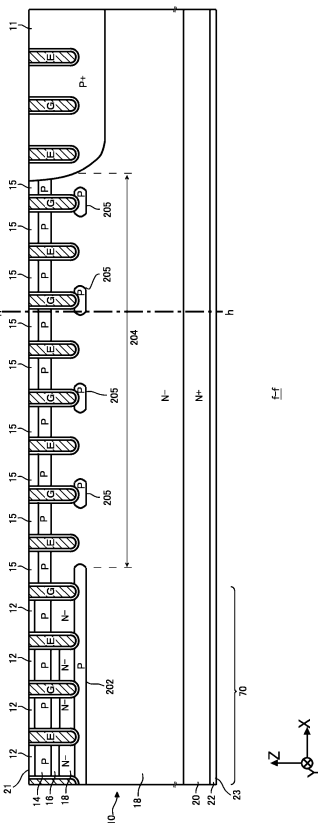
【図 3】



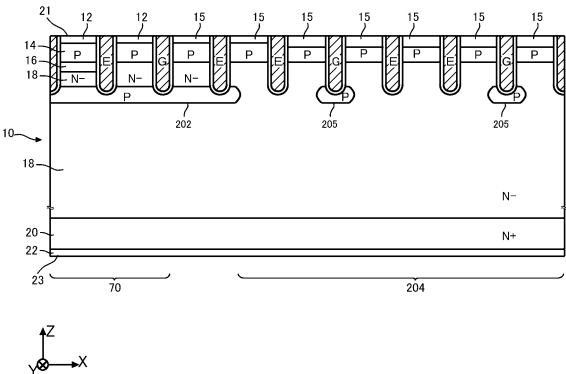
【図 4】



【図 5】



【図 6】



10

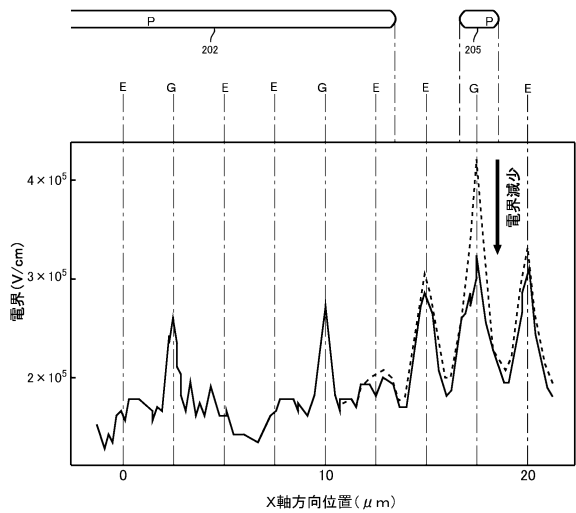
20

30

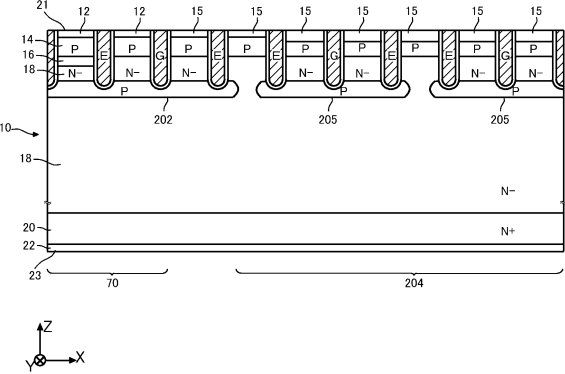
40

50

【図 7】

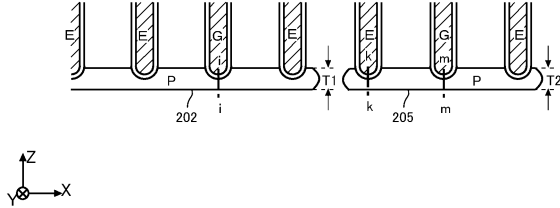


【図 8】

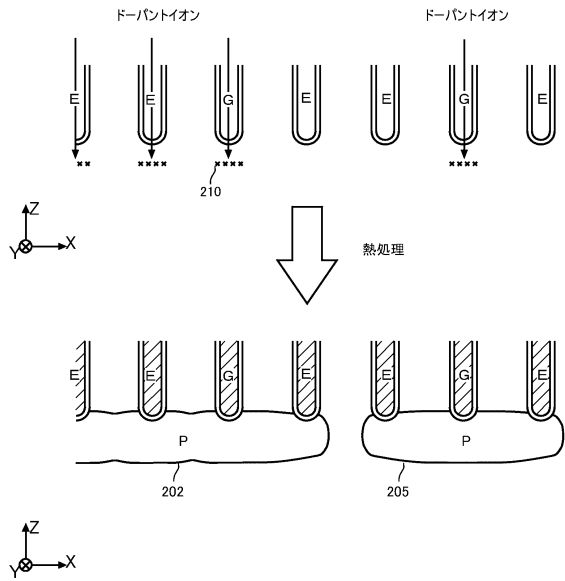


10

【図 9 A】



【図 9 B】



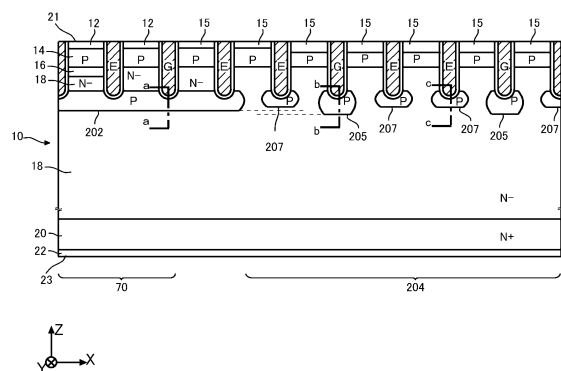
20

30

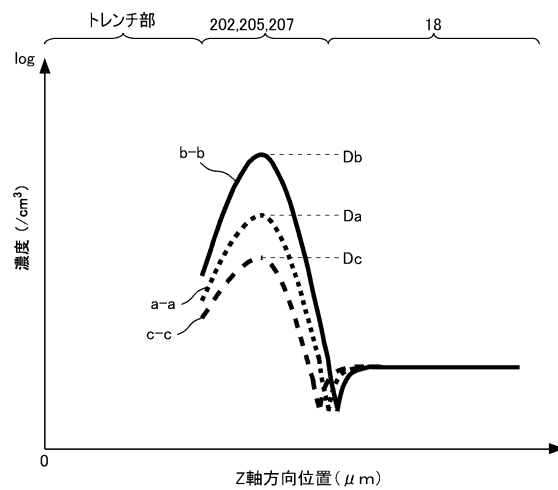
40

50

【 図 1 0 】

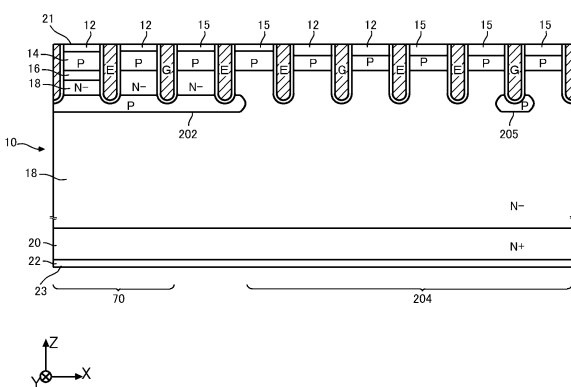


【 図 1 1 】

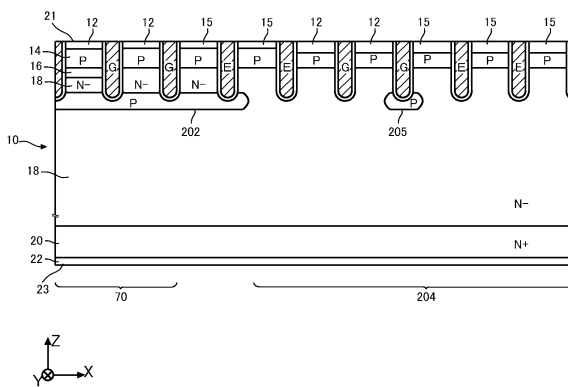


10

【图 12】



【圖 13】



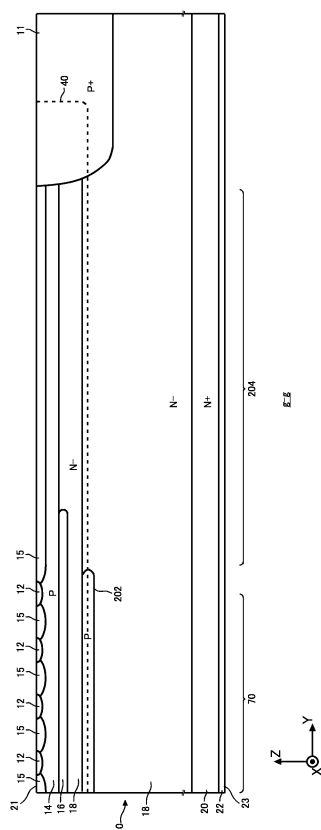
20

30

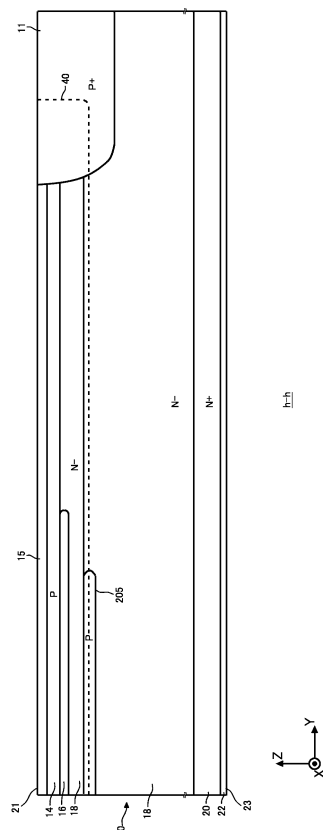
40

50

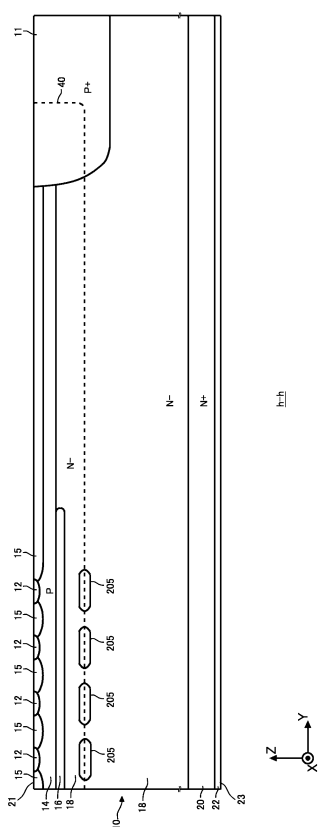
【 图 1 4 】



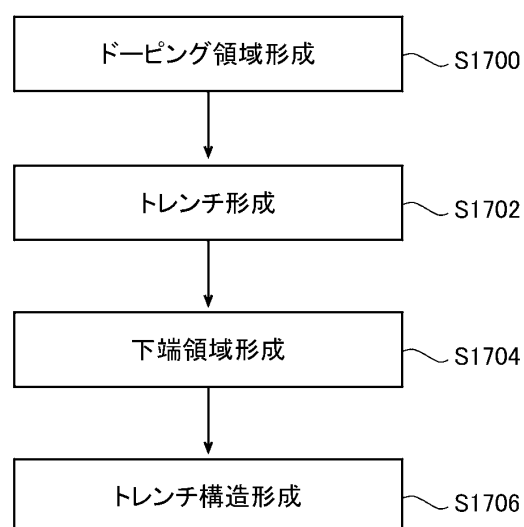
【圖 15】



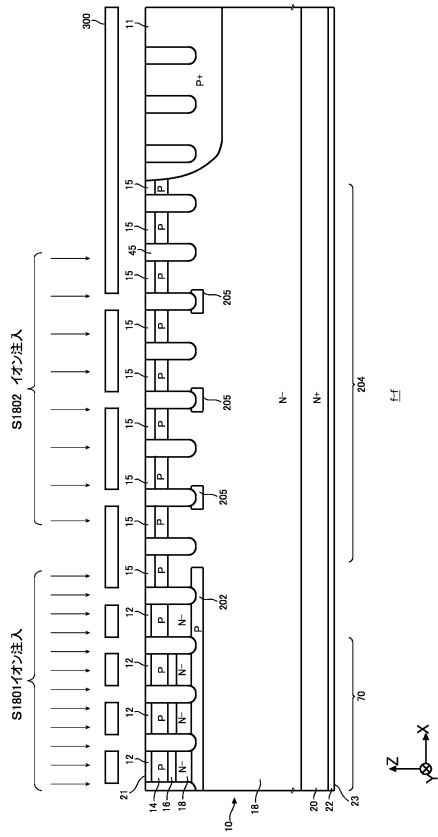
【 図 1 6 】



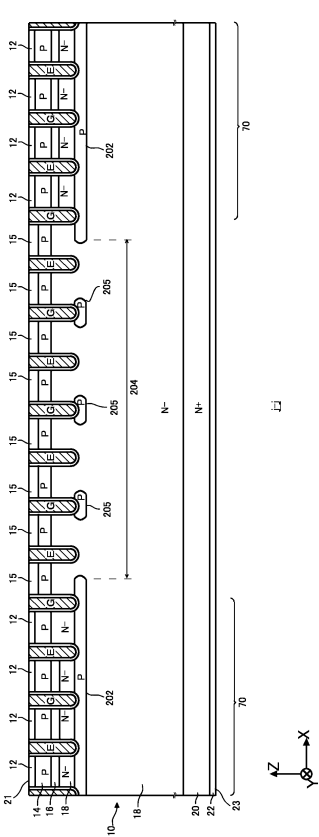
【圖 17】



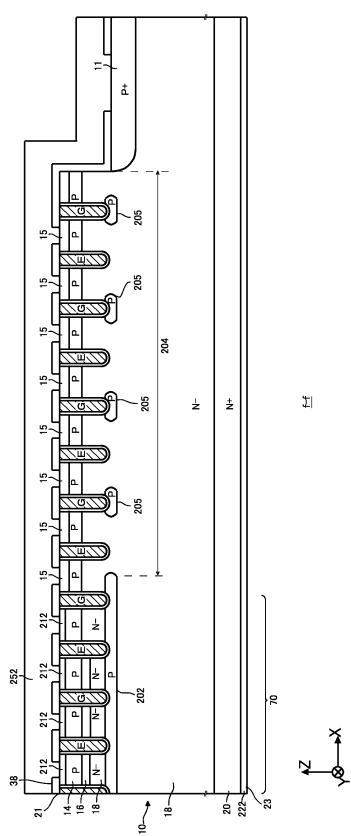
【図 18】



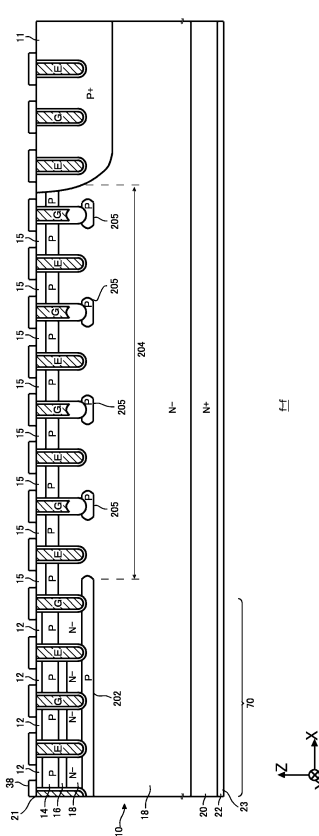
【図 19】



【図 20】



【図 21】



10

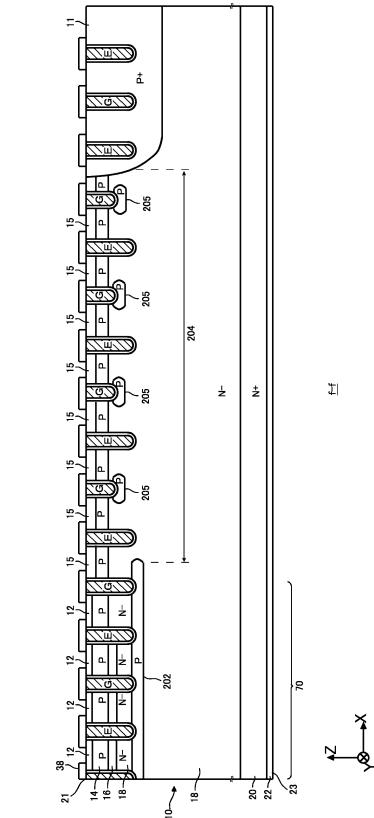
20

30

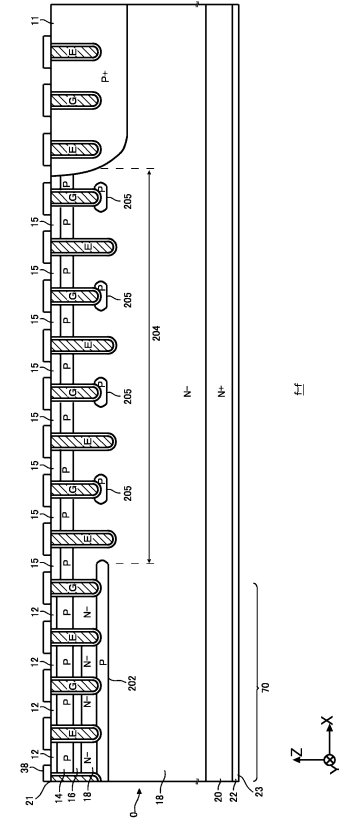
40

50

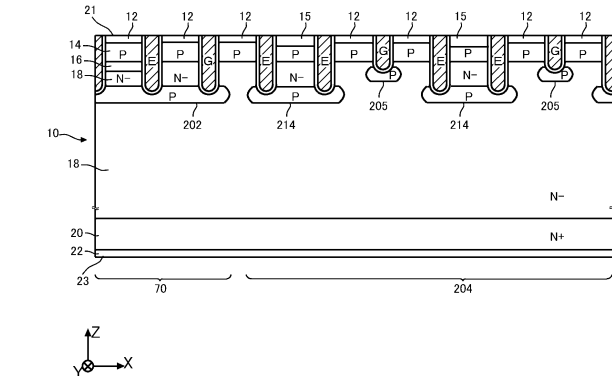
【図 2 2】



【図 2 3】



【図 2 4】



10

20

30

40

50

フロントページの続き

(51)国際特許分類	F I		
H 0 1 L 29/06 (2006.01)	H 0 1 L	29/06	3 0 1 V
H 0 1 L 29/739 (2006.01)	H 0 1 L	29/78	6 5 2 J
H 0 1 L 21/336 (2006.01)	H 0 1 L	29/78	6 5 2 K
H 0 1 L 29/861 (2006.01)	H 0 1 L	29/78	6 5 2 Q
H 0 1 L 29/868 (2006.01)	H 0 1 L	29/78	6 5 3 A
	H 0 1 L	29/78	6 5 5 B
	H 0 1 L	29/78	6 5 5 F
	H 0 1 L	29/78	6 5 5 G
	H 0 1 L	29/78	6 5 7 D
	H 0 1 L	29/78	6 5 8 A
	H 0 1 L	29/91	C

神奈川県川崎市川崎区田辺新田 1 番 1 号 富士電機株式会社内

(72)発明者 山田 拓弥

神奈川県川崎市川崎区田辺新田 1 番 1 号 富士電機株式会社内

審査官 上田 智志

- (56)参考文献
- 特開 2 0 0 5 - 1 4 2 2 4 3 (J P , A)
 - 特開 2 0 1 4 - 6 4 0 0 5 (J P , A)
 - 特開 2 0 1 8 - 3 7 6 9 6 (J P , A)
 - 特開 2 0 1 9 - 1 0 2 5 5 4 (J P , A)
 - 特開 2 0 1 9 - 2 1 6 2 2 3 (J P , A)
 - 特開 2 0 2 1 - 1 5 0 4 0 6 (J P , A)
 - 米国特許出願公開第 2 0 1 7 / 0 1 1 7 3 9 7 (U S , A 1)
 - 国際公開第 2 0 2 2 / 2 3 9 2 8 5 (W O , A 1)
 - 国際公開第 2 0 2 2 / 2 3 9 2 8 4 (W O , A 1)
 - 国際公開第 2 0 2 2 / 1 5 8 0 5 3 (W O , A 1)
 - 国際公開第 2 0 2 2 / 1 2 3 9 2 3 (W O , A 1)

- (58)調査した分野 (Int.Cl. , D B 名)
- H 0 1 L 2 1 / 2 6 5、2 1 / 3 3 6、
 - 2 1 / 7 6、2 1 / 8 2 3 4、
 - 2 7 / 0 6、2 9 / 0 6、
 - 2 9 / 7 3 9、2 9 / 7 8、
 - 2 9 / 8 6 1、2 9 / 8 6 8