СОЮЗ СОВЕТСКИХ СОЦИАЛИСТИЧЕСКИХ РЕСПУБЛИК

(19) SU (11) 1633417 A1

(51)5 G 06 F 15/16

ГОСУДАРСТВЕННЫЙ КОМИТЕТ ПО ИЗОБРЕТЕНИЯМ И ОТКРЫТИЯМ ПРИ ГКНТ СССР

# ОПИСАНИЕ ИЗОБРЕТЕНИЯ

## К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

ВСЕСОЮЗНАЯ ПАТЕНТНО-ТЕХНИЧЕСКАЯ БИБЛИОТЕКА

1

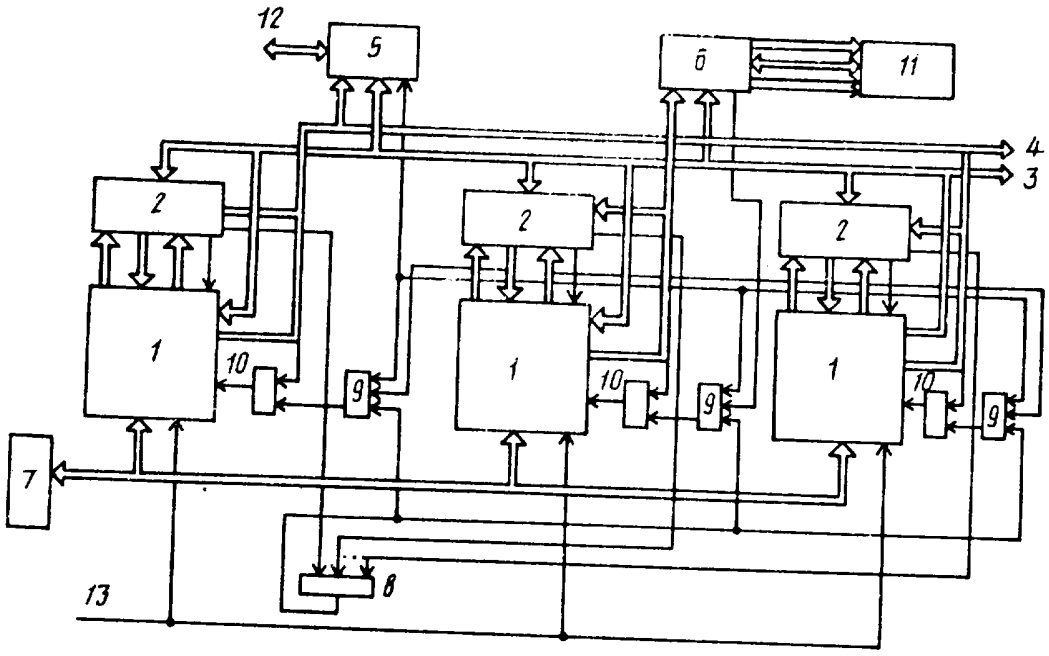
(21) 4656252/24
(22) 02.01.89
(46) 07.03.91. Бюл. № 9
(72) В. Д. Скопачев, Ю. В. Слепов, В. А. Черкасов и В. П. Юрков
(53) 681.325(088.8)
(56) Ларионов А. М., Майоров С. А и Новиков Г. И. Вычислительные комплексы системы и сети. — Л.: Энергоатомиздат, 1987, с. 50.

Панфилов И. В. и Половко А. М. Вычислительные системы. — М.: Советское радио, 1980, с. 22, рис. 2.5.

2

(54) ВЫЧИСЛИТЕЛЬНАЯ СИСТЕМА

(57) Изобретение относится к вычислительной технике и может быть использовано при построении многомашинных и многопроцессорных вычислительных систем. Цель изобретения — упрощение организации вычислительного процесса отладки математического обеспечения. Цель достигается тем, что вычислительная система содержит m вычислительных устройств 1, m локальных оперативных запоминающих устройств 2, системное оперативное запоминающее устройство 5, устройство 6 модификации, арбитр 7, элемент И 8, m элементов ИЛИ 9, группу из m элементов И 10. 1 з.п. ф-лы, 3 ил.




Фиг. 1

(19) SU (11) 1633417 A1

Изобретение относится к вычислительной технике и может быть использовано при построении многомашинных и многопроцессорных магистральных вычислительных систем.

Цель изобретения — упрощение организации вычислительного процесса и отладки математического обеспечения.

На фиг. 1 представлена схема вычислительной системы; на фиг. 2 — схема устройства модификации; на фиг. 3 — схема блока управления устройства модификации.

Вычислительная система содержит m вычислительных устройств 1, m локальных оперативных запоминающих устройств 2, магистраль 3 адреса-данных, магистраль 4 управления, системное оперативное запоминающее устройство 5, устройство 6 модификации, арбитр 7 магистрали, элемент И 8, элементы ИЛИ 9, элементы И 10 группы, оперативное запоминающее устройство 11, информационный вход-выход 12 вычислительной системы, вход 13 признака прерывания вычислительной системы.

Устройство 6 модификации содержит блок 14 передачи данных, регистр 15 адреса, блок 16 постоянной памяти, дешифратор 17, блок 18 управления, вход 19 запуска блока управления, выходы с первого по восьмой 20—27 блока управления, регистр 28 числа, мультиплексор 29, элементы И 30 группы, сумматор 31.

Блок 18 управления содержит триггер 32 ключа (ТгКл), триггер 33 запуска (ТгЗап) первый элемент И 34, первый элемент ИЛИ 35, с первого по четвертый элементы И—НЕ 36—39, второй элемент И 40, с пятого по десятый элементы И—НЕ 41—46, триггер 47 управления (ТгУпр), сдвиговый регистр 48, одиннадцатый элемент И—НЕ 49, генератор 50 тактовых импульсов, вход 51 логической единицы, входы 52 логического нуля, второй элемент ИЛИ 53, триггер 54 чтения-записи (TrWR), триггер 55 выборки кристалла (TrCS), первый триггер 56 разрешения (TrEZ1), второй триггер 57 разрешения (TrEZ2), триггер 58 ответа (ТгОтв).

Вычислительная система работает следующим образом.

После включения питания производится обнуление всех оперативных запоминающих устройств системы, контроль вычислительных устройств 1. Затем по сигналу прерывания с входа 13 инициируется решение задач в вычислительных устройствах 1 (ЦВМ), которые начинают обращаться к оперативному запоминающему устройству 11 (ОЗУ), послав запрос и получив разрешение на захват магистрали от арбитра 7. Одна из ЦВМ 1, захватывающая магистраль, считывает признак головной ЦВМ 1 из ОЗУ 11, если он есть, становится головной и проводит модификацию этого признака за этот же цикл обмена. Далее она обращается к системному оперативному запоминающему устройству (ОЗУ 5) для анализа состояния внешней среды, в зависимости от которого формирует заявки на решение задач и заносит их в ОЗУ 11. ЦВМ 1, обратившись к ОЗУ 11 и выяснив, что она не является головной, обращается к ячейке заявок, выбирает заявку и модифицирует ячейку. Следующая из ЦВМ 1, обратившись к той же ячейке заявок ОЗУ 11, не получит той же информации и начнет решать следующую по приоритету задачу и т. д. Так обеспечивается динамическая балансировка распределения задач между ЦВМ 1.

Системную информацию все ЦВМ 1 получают от системного ОЗУ 5, связанного с внешними устройствами вычислительной системы через информационный вход-выход 12. Для хранения текущей оперативной информации в ЦВМ 1 имеются внутренние ОЗУ. Для хранения копируемой информации используются локальные ОЗУ 2.

Запись информации i-й ЦВМ 1 в i-е локальное ОЗУ 2 производится через внешнюю магистраль. При этом все локальные ОЗУ 2 имеют одинаковый ключевой адрес, поэтому информация от любой ЦВМ 1 записывается во все локальные ОЗУ 2, таким образом во все локальные ОЗУ 2 информация копируется. При этом информация в одну из ЦВМ 1, производящую запись, поступит только после совпадения ответов от всех локальных ОЗУ 2 на элементы И 8. Затем она, пройдя через соответствующий элемент ИЛИ 9 и простробировавшись на соответствующем элементе И 10 сигналом «Обмен», поступает в соответствующую ЦВМ 1. Этим обеспечивается готовность любой из ЦВМ 1 выполнять любую задачу.

Устройство 6 модификации совместно с ОЗУ 11 функционирует следующим образом. По магистрали 3 адреса-данных на первый информационный вход-выход блока 14 поступает адрес. Младшие разряды адреса с его второго информационного входа-выхода поступают на регистр 5 адреса, где фиксируются передним фронтом сигнала «Обмен», поступающим из магистрали 4. Старшие ключевые разряды адреса расшифровываются дешифратором 17 и устанавливают триггер 33 блока 18 управления по сигналу «Обмен». После привязки сигнала запуска на триггере 47 к частоте генератора 50 запускается сдвиговый регистр 48. Одновременно устанавливается триггер 32, разрешая прохождение сигналов «Ввод» или «Вывод» через элементы И 34 и 40 для формирования сигналов управления.

В режиме «Вывод информации» из ЦВМ 1 на триггере 54 формируется импульс, который обеспечивает запись информации в ОЗУ 11. На триггере 55 формируется импульс, обеспечивающий срабатывание ОЗУ 11. В ОЗУ 11 производится запись входных данных, поступающих из устройства 6 модификации.

В режиме «Ввод информации» из ЦВМ 1 сигнал выборки кристалла вырабатывается дважды. Первый раз с высоким уровнем (уровнем чтения) сигнала запись-чтение, второй раз — с низким уровнем этого сигнала (уровнем записи). Информация из ОЗУ 11 записывается и хранится до конца обмена в регистре 28 числа и с него выдается на блок 14. Затем она с выхода сумматора 31 через мультиплексор 29 переписывается в ОЗУ 11. В зависимости от разряда адреса блока 16 постоянной памяти имеется возможность модифицировать информацию следующим образом.

В случае, когда информация не модифицируется, на информационные входы второй группы сумматора 31 выдается нулевая информация, а на первые входы элементов И 30 — полная единичная информация. На выходе сумматора 31 будет присутствовать код регистра 28 числа. Модификации нет.

В случае арифметической модификации на первые входы элементов И 30 выдается полная единичная информация, а на информационных входах первой группы сумматора 31 присутствует информация, считанная в регистр 28 числа. На информационные входы второй группы сумматоров 31 выдается константа в прямом или дополнительном коде. На выходе сумматора 31 будет модифицированный код, который и перепишется через мультиплексор 29 в ОЗУ 11.

В случае логической модификации из блока 16 постоянной памяти на информационные входы второй группы сумматора 31 выдается нулевая информация, а на вторые входы элементов И 30 выдаются единицы в нужных разрядах. На выходе сумматора 31 появится код, являющийся результатом поразрядного логического умножения содержимого регистра 28 на константу. Этот код переписывается в ОЗУ 11.

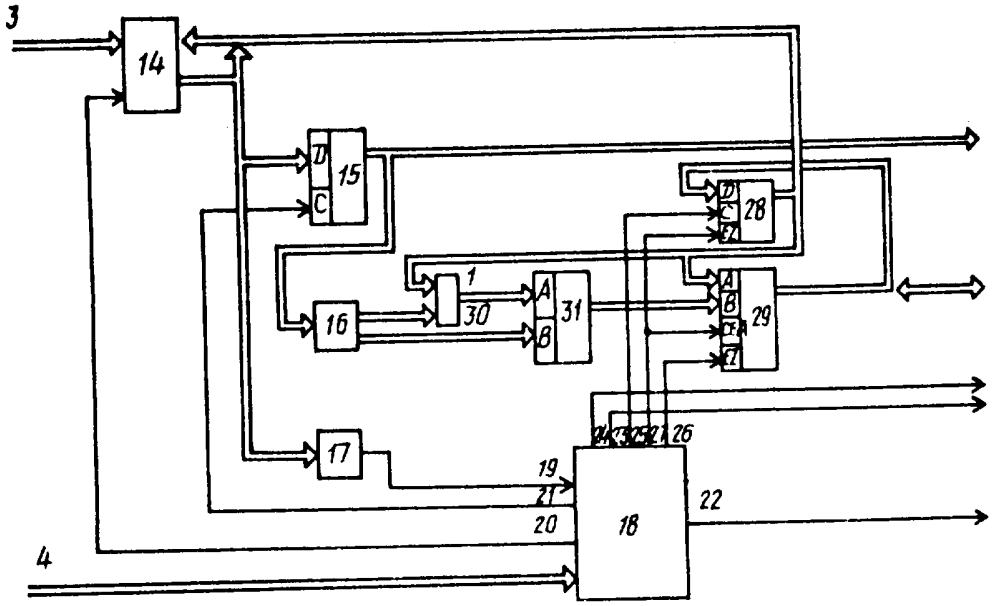
Считывание и модификация осуществляется за один цикл обмена, и эта операция не может быть ничем разделена (прервана). Таким образом, информация во всех локальных ОЗУ 2 копируется, что позволяет любой ЦВМ 1 решить любую задачу системы без специальной подготовки. Обеспечивается динамическая балансировка распределения задач за счет размещения заявок на задачи в ОЗУ 11, из которых может быть произведено считывание информации и ее модификация за один цикл.

## *Формула изобретения*

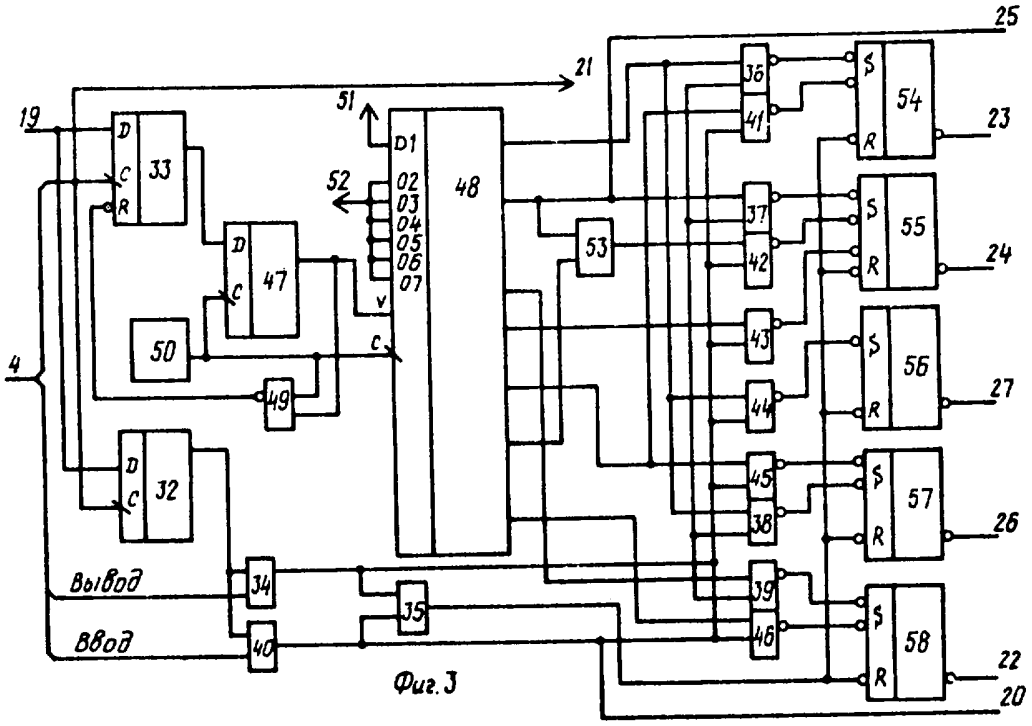
1. Вычислительная система, содержащая m вычислительных устройств, m локальных оперативных запоминающих устройств и системное запоминающее устройство, причем вход признака прерывания системы подключен к входам прерывания всех вычислительных устройств, первый и второй выходы i-го (где i=1,...,m) вычислительного устройства подключены соответственно к адресному входу и к входу считывания i-го локального оперативного запоминающего устройства, первый и второй выходы которого подключены соответственно к информационному входу и к входу признака наличия информации i-го вычислительного устройства, информационный вход-выход системы подключен к первому входу-выходу адреса-данных системного оперативного запоминающего устройства, *отличающаяся* тем, что, с целью упрощения организации вычислительного процесса и отладки математического обеспечения, она содержит устройство модификации, оперативное запоминающее устройство, арбитр магистрали, группу из m элементов И, элемент И и m элементов ИЛИ, причем входы-выходы запроса-разрешения захвата общей шины всех вычислительных устройств и вход-выход арбитра магистрали соединены между собой через магистраль запроса-разрешения, информационные входы-выходы всех вычислительных устройств, входы-выходы адреса-данных всех локальных оперативных запоминающих устройств, второй вход-выход адреса-данных системного оперативного запоминающего устройства и первый информационный вход-выход устройства модификации соединены между собой через магистраль адреса-данных, третьи выходы всех вычислительных устройств, входы записи всех локальных оперативных запоминающих устройств, управляющие входы системного оперативного запоминающего устройства и устройства модификации соединены между собой через магистраль управления, четвертый выход i-го вычислительного устройства подключен к первому входу i-го элемента И группы, выход которого подключен к входу признака получения задачи i-го вычислительного устройства, выход системного оперативного запоминающего устройства подключен к первым входам всех элементов ИЛИ, первый выход устройства модификации подключен к вторым входам всех элементов ИЛИ, третий выход i-го локального оперативного запоминающего устройства подключен к i-му входу элемента И, выход которого подключен к третьим входам всех элементов ИЛИ, выход i-го элемента ИЛИ подключен к второму входу i-го элемента И, второй, третий и четвертый выходы устройства модификации подключены соответственно к входу чтения, входу записи и адресному входу оперативного запоминающего устройства, информационный вход-выход которого подключен к информационному входу-выходу устройства модификации.

2. Система по п. 1, *отличающаяся* тем, что устройство модификации содержит блок передачи данных, блок постоянной памяти, сумматор, мультиплексор, регистр адреса, регистр числа, блок управления, дешифратор

и группу элементов И, причем первый информационный вход-выход устройства подключен к первому информационному входу-выходу блока передачи данных, второй информационный вход-выход которого подключен к выходу регистра числа, к первому информационному входу мультиплексора, к первым входам элементов И группы, к информационному входу регистра адреса и к входу дешифратора, выход которого подключен к входу запуска блока управления, второй информационный вход-выход устройства подключен к выходу мультиплексора и к информационному входу регистра числа, управляющий вход устройства подключен к входу режима блока управления, выходы первого по седьмой которого подключены соответственно к управляющему входу блока передачи данных, к входу записи-считывания регистра адреса, к первому, второму, третьему выходам устройства, к входу записи-считывания регистра числа и к входу разрешения мультиплексора, выход регистра адреса подключен к четвертому выходу устройства и к адресному входу блока постоянной памяти, выходы первой группы которого подключены соответственно к вторым входам элементов И группы, выходы которых подключены к информационным входам первой группы сумматора, информационные входы второй группы которого подключены соответственно к выходам второй группы блока постоянной памяти, выход сумматора подключен к второму информационному входу мультиплексора, восьмой выход блока управления подключен к входу разрешения регистра числа и к управляющему входу мультиплексора.




Фиг. 2




Фиг. 3

Составитель В. Смирнов
Редактор Е. Папп
Техред А. Кравчук
Корректор Н. Король
Заказ 618
Тираж 409
Подписное
ВНИИПИ Государственного комитета по изобретениям и открытиям при ГКНТ СССР
113035, Москва, Ж—35, Раушская наб., д. 4/5
Производственно-издательский комбинат «Патент», г. Ужгород, ул. Гагарина, 101