

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2016 年 4 月 21 日(21.04.2016)



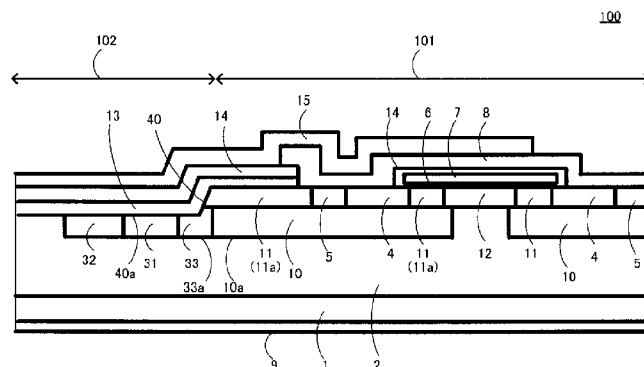
(10) 国際公開番号
WO 2016/059871 A1

- (51) 国際特許分類:
H01L 29/78 (2006.01) *H01L 29/06* (2006.01)
H01L 21/336 (2006.01) *H01L 29/12* (2006.01)
- (21) 国際出願番号: PCT/JP2015/073388
- (22) 国際出願日: 2015 年 8 月 20 日(20.08.2015)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2014-210360 2014 年 10 月 15 日(15.10.2014) JP
- (71) 出願人: 富士電機株式会社(FUJI ELECTRIC CO., LTD.) [JP/JP]; 〒2109530 神奈川県川崎市川崎区田辺新田 1 番 1 号 Kanagawa (JP).
- (72) 発明者: 星 保幸(HOSHI Yasuyuki); 〒2109530 神奈川県川崎市川崎区田辺新田 1 番 1 号 富士電機株式会社内 Kanagawa (JP). 原田 祐一(HARADA Yuichi); 〒2109530 神奈川県川崎市川崎区田辺新田 1 番 1 号 富士電機株式会社内 Kanagawa (JP).
- (74) 代理人: 龍華国際特許業務法人(RYUKA IP LAW FIRM); 〒1631522 東京都新宿区西新宿 1 - 6 - 1 新宿エルタワー 2 2 階 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーロパ (AM, AZ, BY, KG, KZ, RU, TJ, TM), ユーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第 21 条(3))

(54) Title: SILICON CARBIDE SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING SAME

(54) 発明の名称: 炭化珪素半導体装置およびその製造方法

[図1]



(57) Abstract: Provided are a silicon carbide semiconductor device wherein withstand voltage deterioration of a withstand voltage structure is eliminated, and a method for manufacturing the silicon carbide semiconductor device. Disclosed is a silicon carbide semiconductor device wherein: p regions 31, 32 and a p region 33, which is an electric field relaxing region connected to a first p base region 10, are disposed under a step section 40; and the bottom surfaces of respective p regions 31, 32, 33 and the first p base region 10 are connected to each other substantially on a flat plane. The impurity concentration of the first base region is set equal to or higher than $4 \times 10^{17} \text{cm}^{-3}$, and the impurity concentration of the p region 33 is set to a value that is lower than the impurity concentration of the first base region 10 but higher than that of the p regions 31, 32, thereby eliminating withstand voltage deterioration of a withstand voltage structure 102.

(57) 要約:

[続葉有]

WO 2016/059871 A1



耐圧構造部での耐圧低下を防止した炭化珪素半導体装置およびその製造方法を提供する。p領域31、32と第1pベース領域10に接続する電界緩和領域であるp領域33を段差部40下に配置し、p領域31、32、33と第1pベース領域10のそれぞれの底面を略平坦に接続する。第1ベース領域の不純物濃度は $4 \times 10^{17} \text{ cm}^{-3}$ 以上とし、p領域33の不純物濃度を第1ベース領域10より低く、且つp領域31、32よりも高い値に設定することで、耐圧構造部102での耐圧低下を防止できる。

明 細 書

発明の名称：炭化珪素半導体装置およびその製造方法

技術分野

[0001] この発明は、ワイドバンドギャップ基板を用いて形成された炭化珪素半導体装置およびその製造方法に関する。

背景技術

[0002] 従来、高電圧や大電流を制御するパワー半導体装置の構成材料として、シリコン（Si）が用いられている。パワー半導体装置は、バイポーラトランジスタやIGBT（絶縁ゲート型バイポーラトランジスタ）、MOSFET（絶縁ゲート型電界効果トランジスタ）など複数種類あり、これらは用途に合わせて使い分けられている。

[0003] 例えば、バイポーラトランジスタやIGBTは、MOSFETに比べて電流密度は高く大電流化が可能であるが、高速スイッチング動作ができない。具体的には、バイポーラトランジスタは数kHz程度のスイッチング周波数での使用が限界であり、IGBTは数十kHz程度のスイッチング周波数での使用が限界である。一方、パワーMOSFETは、バイポーラトランジスタやIGBTに比べて電流密度が低く大電流化が難しいが、数MHz程度までの高速スイッチング動作が可能である。

[0004] 市場では大電流と高速性とを兼ね備えたパワー半導体装置への要求が強い。このため、IGBTやパワーMOSFETはその改良に力が注がれ、現在ではシリコンの材料限界に近いところまで開発が進んでいる。そこで、低オン電圧、高速特性、高温特性に優れた次世代のパワー半導体装置を作製（製造）可能な半導体材料として炭化珪素（SiC）が注目を集めている（例えば、非特許文献1）。

[0005] 炭化珪素は、化学的に非常に安定した半導体材料であり、バンドギャップが3 eVと広く、高温でも半導体として極めて安定的に使用することができる。また、炭化珪素は、最大電界強度がシリコンより1桁以上大きいため、

高耐圧化と低オン抵抗を図ることができる半導体材料として期待される。このような炭化珪素の特長は、バンドギャップが広い半導体（以下、ワイドバンドギャップ半導体とする）である、例えば窒化ガリウム（GaN）にもあてはまる。このように、ワイドバンドギャップ半導体を用いることにより、高耐圧化を図った半導体装置が開示されている（例えば、非特許文献2）。

[0006] 高耐圧半導体装置では、素子構造が形成された活性領域だけでなく、活性領域の周辺部に設けられ耐圧を保持する耐圧構造部にも高電圧が印加され、耐圧構造部に電界が集中する。高耐圧半導体装置の耐圧は、半導体の不純物濃度、厚さおよび電界強度によって決定され、このように半導体固有の特長によって決定される破壊耐量は活性領域から耐圧構造部にわたって等しい。このため、耐圧構造部に電界が集中することにより、耐圧構造部に破壊耐量を超えた電氣的負荷がかかり破壊に至る虞がある。

[0007] 耐圧構造部の電界を緩和または分散させることで耐圧を向上させた高耐圧半導体装置として、接合終端（JTE: Junction Termination Extension）構造や、フローティングリミッティングリング（FLR: Floating field Limiting Ring）構造などの終端構造を耐圧構造部に形成した半導体装置が開示されている。また、FLRに接するフローティングの金属電極をフィールドプレート（FP: Field Plate）として配置し、耐圧構造部に生じた電荷を放出させることにより信頼性の向上を図った半導体装置が開示されている（例えば、特許文献1，2）。

図22は、従来の炭化珪素半導体装置200の要部断面図である。この炭化珪素半導体装置200は、スイッチングデバイスであるNチャネルのMOSFETを例に挙げた。以下の説明において、炭化珪素をSiCと称することもある。

[0008] この炭化珪素半導体装置200は、n型SiC基板51の表面に配置されるn型SiC層52と、そのn型SiC層52表面に配置される複数のp型領域60と、p型領域60上に配置されるp型SiC層61を備える。更に

p型領域60が形成されていないn型SiC層52上のp型SiC層61に配置されるJFET（接合型電界効果トランジスタ）領域となるn型領域62と、p型SiC層61の表面に配置されるn型ソース領域54とp型コンタクト領域55を備える。n型ソース領域54とp型コンタクト領域55との表面に配置されるソース電極58を備える。

[0009] またn型ソース領域54とn型領域62に挟まれたp型SiC層61の表面にゲート絶縁膜56を介して配置されるゲート電極57と、n型SiC基板51の裏面側に配置されるドレイン電極59を備える。

[0010] この炭化珪素半導体装置200において、ソース電極58に対しドレイン電極59に正の電圧が印加された状態でゲート電極57にゲート閾値以下の電圧が印加される場合には、p型領域60とn型SiC層52或いはp型SiC層61とn型領域62の間のpn接合が逆バイアスされた状態であり、活性領域201の耐圧が確保されて電流は流れない。

[0011] 一方、ゲート電極57にゲート閾値以上の電圧を印加すると、ゲート電極57直下のp型SiC層61の表面には反転層（nチャネル）が形成されて電流が流れる。ゲート電極57に印加する電圧によって炭化珪素半導体装置200がスイッチング動作を行うことができる。

[0012] この炭化珪素半導体装置200の耐圧構造部202は、p型SiC層61の外周部が除去されている分だけ基板が薄くなっており、この基板の薄い部分にp領域81、82を備える。高電圧が印加された際、活性領域201以外での横方向での高電圧はこのp領域81、82とn型SiC層52の接合部分で維持する。尚、耐圧構造部202は、段差部90より外周部に配置される。

先行技術文献

特許文献

[0013] 特許文献1：特開2010-50147号公報

特許文献2：特開2006-165225号公報

非特許文献

[0014] 非特許文献1：ケイ・シェナイ (K. Shenai)、外2名、オプティミウムセミコンダクターズ フォー ハイパワー エレクトロニクス (Optimum Semiconductors for High-Power Electronics)、アイ・トリプル・イー トランザクションズ オン エレクトロン デバイシズ (IEEE Transactions on Electron Devices)、1989年9月、第36巻、第9号、p. 1811-1823

非特許文献2：ビー・ジャヤン・バリガ (B. Jayant Baliga) 著、シリコンカーバイド パワー デバイシズ (Silicon Carbide Power Devices)、(米国)、ワールド パブリッシング カンパニー (World Scientific Publishing Co.)、2006年3月30日、p. 61

発明の概要

発明が解決しようとする課題

[0015] しかし、図22に示す炭化珪素半導体装置200において、ドレイン電極59に高電圧が印加された場合、p型領域60の不純物濃度が低くなると、段差部を挟んでp領域81、82とp型領域60の電界分担が異なり、段差部90で耐圧の低下を招く。また、p型SiC層61をエッチングする際に発生する段差部90の形状とp領域81、82の表面での不純物濃度のばらつきによって耐圧の低下を招く。

[0016] また、図22に示すようにp型領域60の底面よりp領域81、82の底面が深い場合には、p領域81、82下のn型SiC層52の厚さが薄くなるので、p領域81、82でアバランシェが起こり易くなり、活性領域201より耐圧構造部202での耐圧は低下する。また、活性領域201に比べて耐圧構造部202の面積は小さいため、アバランシェによる電流密度が過大になり、アバランシェ破壊が起こり易い。

[0017] また、特許文献1、2の構造では、段差部下のnドリフト層の幅が狭いために、活性領域ではなく段差部を含む耐圧構造部でアバランシェが起こり易

く耐圧低下を招くものと推察される。

[0018] この発明の目的は、前記の課題を解決して、耐圧構造部での耐圧低下を防止した炭化珪素半導体装置およびその製造方法を提供することにある。

課題を解決するための手段

[0019] (発明の一般的開示) 炭化珪素半導体装置は、第1導電型の炭化珪素基板を備えてよい。炭化珪素半導体装置は、第1炭化珪素エピタキシャル層を備えてよい。第1炭化珪素エピタキシャル層は、炭化珪素基板の表面に配置され炭化珪素基板より低濃度の第1導電型の第1ドリフト領域となつてよい。炭化珪素半導体装置は、複数の第2導電型の第1ベース領域を備えてよい。複数の第2導電型の第1ベース領域は、第1炭化珪素エピタキシャル層の表面層に配置されてよい。炭化珪素半導体装置は、第2導電型の第2ベース領域を備えてよく、第1導電型のソース領域を備えてもよく、第2導電型のコンタクト領域を備えてもよい。第2導電型の第2ベース領域、第1導電型のソース領域および第2導電型のコンタクト領域は、第1ベース領域上に配置されてよい。第2導電型のコンタクト領域は、第2ベース領域より高濃度であつてよい。炭化珪素半導体装置は、第1導電型の第2ドリフト領域を備えてよい。第1導電型の第2ドリフト領域は、第1ベース領域に挟まれた第1炭化珪素エピタキシャル層上に第2ベース領域に挟まれて配置されてよい。炭化珪素半導体装置は、ゲート電極を備えてよい。ゲート電極は、ソース領域と第2ドリフト領域に挟まれた第2ベース領域上にゲート絶縁膜を介して配置されてよい。炭化珪素半導体装置は、ソース電極を備えてよい。ソース電極は、ソース領域とコンタクト領域に電氣的に接続してよい。炭化珪素半導体装置は、ドレイン電極を備えてよい。ドレイン電極は、炭化珪素基板に電氣的に接続してよい。炭化珪素半導体装置は、段差部を備えてよい。段差部は、第2ベース領域の外周部に配置され第2ベース領域の底面より深く第1ベース領域の底面より浅くてよい。炭化珪素半導体装置は、第2導電型の第1半導体領域(p領域33)を備えてよい。第2導電型の第1半導体領域(p領域33)は、第1炭化珪素エピタキシャル層の表面層に配置され、段

差部と第2ベース領域と第1ベース領域に接してよい。炭化珪素半導体装置は、第2導電型の第2半導体領域（p領域31）を備えてよい。第2導電型の第2半導体領域（p領域31）は、段差部の底面下の第1炭化珪素エピタキシャル層の表面層に配置され第1半導体領域に接してよい。炭化珪素半導体装置は、第2導電型の第3半導体領域（p領域32）を備えてよい。第2導電型の第3半導体領域（p領域32）は、段差部の底面下の第1炭化珪素エピタキシャル層の表面層に配置され第2半導体領域に接してよい。第1半導体領域の底面と第1ベース領域の底面は略平坦に接続されていてよい。第1半導体領域、第2半導体領域および第3半導体領域の不純物濃度は第1ベース領域より低くてよい。第1半導体領域の不純物濃度は第2半導体領域および第3半導体領域の不純物濃度より高くてよい。第1ベース領域の不純物濃度は $4 \times 10^{17} \text{ cm}^{-3}$ 以上 $1 \times 10^{18} \text{ cm}^{-3}$ 以下であってよい。

[0020] 第1ベース領域、第1半導体領域、第2半導体領域、および第3半導体領域、それぞれの底面の差は $\pm 0.1 \mu\text{m}$ 以内であってよい。第1半導体領域の不純物濃度が $2 \times 10^{16} \text{ cm}^{-3}$ 以上 $1 \times 10^{17} \text{ cm}^{-3}$ 以下であってよい。第2半導体領域および第3半導体領域の不純物濃度が $1 \times 10^{16} \text{ cm}^{-3}$ 以上 $9 \times 10^{16} \text{ cm}^{-3}$ 以下であってよい。

[0021] 炭化珪素半導体装置の製造方法は、複数の第2導電型の第1ベース領域、第2導電型の第1半導体領域、第2導電型の第2半導体領域および第2導電型の第3半導体領域を互いに接するように形成する工程を有してよい。当該工程において、第1ドリフト領域となる第1導電型の第1炭化珪素エピタキシャル層の表面層に選択的にイオン注入してよい。炭化珪素半導体装置の製造方法は、第1半導体領域の底面と第1ベース領域の底面を略平坦に接続して形成する工程を有してよい。炭化珪素半導体装置の製造方法は、第1炭化珪素エピタキシャル層上に第2導電型の第2炭化珪素エピタキシャル層を形成する工程を有してよい。炭化珪素半導体装置の製造方法は、第1導電型のソース領域、第2導電型のコンタクト領域を形成する工程を有してよい。当該工程において、第1ベース領域上の第2炭化珪素エピタキシャル層に選択

的にイオン注入してよい。炭化珪素半導体装置の製造方法は、第1導電型の第2ドリフト領域を形成する工程を有してよい。当該工程において、第1ベース領域に挟まれた第1炭化珪素エピタキシャル層上の第2炭化珪素エピタキシャル層にイオン注入してよい。炭化珪素半導体装置の製造方法は、イオン注入されない個所を第2ベース領域とする工程を有してよい。炭化珪素半導体装置の製造方法は、前記第1半導体領域から、前記第2半導体領域、第3半導体領域および外周部の前記第1炭化珪素エピタキシャル層の上に形成された前記第2炭化珪素エピタキシャル層をエッチングで除去する工程を有してよい。炭化珪素半導体装置の製造方法は、段差部を第1半導体領域の位置に形成する工程を有してよい。段差部は、第2炭化珪素エピタキシャル層の底面より深く、第1ベース領域の底面より浅くてよい。第1半導体領域、第2半導体領域および第3半導体領域の不純物濃度は第1ベース領域の不純物濃度より低くてよい。第1半導体領域の不純物濃度は第2半導体領域および第3半導体領域の不純物濃度より高くてよい。第1ベース領域の不純物濃度を $4 \times 10^{17} \text{ cm}^{-3}$ 以上 $1 \times 10^{18} \text{ cm}^{-3}$ 以下にしてよい。

[0022] 炭化珪素半導体装置の製造方法は、複数の第2導電型の第1ベース領域と、第1ベース領域と離して第2導電型の第2半導体領域および第2半導体領域に隣接した第2導電型の第3半導体領域を形成する工程を有してよい。当該工程において、第1ドリフト領域となる第1導電型の第1炭化珪素エピタキシャル層の表面層に選択的にイオン注入してよい。炭化珪素半導体装置の製造方法は、第1炭化珪素エピタキシャル層上に第2導電型の第2炭化珪素エピタキシャル層を形成する工程を有してよい。炭化珪素半導体装置の製造方法は、第1導電型のソース領域、第2導電型のコンタクト領域を形成する工程を有してよい。当該工程において、第1ベース領域上の第2炭化珪素エピタキシャル層に選択的にイオン注入してよい。炭化珪素半導体装置の製造方法は、第1導電型の第2ドリフト領域を形成する工程を有してよい。当該工程において、第1ベース領域に挟まれた第1炭化珪素エピタキシャル層上の第2炭化珪素エピタキシャル層にイオン注入してよい。炭化珪素半導体装

置の製造方法は、イオン注入されない個所を第2ベース領域とする工程を有してよい。炭化珪素半導体装置の製造方法は、第1ベース領域の端部より外周側の第2炭化珪素エピタキシャル層をエッチングで除去する工程を有してよい。炭化珪素半導体装置の製造方法は、段差部を第1ベースと第2半導体領域との間に形成する工程を有してよい。当該工程において、段差部は、第2炭化珪素エピタキシャル層の底面より深く第1ベース領域の底面より浅くてよい。炭化珪素半導体装置の製造方法は、第1半導体領域を形成する工程を有してよい。当該工程において、第1半導体領域は、段差部下の第1炭化珪素エピタキシャル層の表面層に、第1ベース領域、第2ベース領域および第2半導体領域に接続してよい。第1半導体領域は、第1ベース領域の底部と略平坦に接続してよい。第1半導体領域、第2半導体領域および第3半導体領域の不純物濃度は第1ベース領域の不純物濃度より低くてよい。第1半導体領域の不純物濃度は第2半導体領域および第3半導体領域の不純物濃度より高くてよい。第1ベース領域の不純物濃度は $4 \times 10^{17} \text{ cm}^{-3}$ 以上 $1 \times 10^{18} \text{ cm}^{-3}$ 以下であってよい。

発明の効果

[0023] この発明により、耐圧構造部での耐圧低下を防止した炭化珪素半導体装置およびその製造方法を提供することができる。

図面の簡単な説明

[0024] [図1]この発明の実施の形態1に係る炭化珪素半導体装置100の要部断面図である。

[図2]第1pベース領域の不純物濃度と炭化珪素半導体装置の耐圧の関係を示す図である。

[図3]この発明の実施の形態2に係る炭化珪素半導体装置100の要部製造工程断面図である。

[図4]図3に続く、この発明の実施の形態2に係る炭化珪素半導体装置100の要部製造工程断面図である。

[図5]図4に続く、この発明の実施の形態2に係る炭化珪素半導体装置100

の要部製造工程断面図である。

[図6]図5に続く、この発明の実施の形態2に係る炭化珪素半導体装置100の要部製造工程断面図である。

[図7]図6に続く、この発明の実施の形態2に係る炭化珪素半導体装置100の要部製造工程断面図である。

[図8]図7に続く、この発明の実施の形態2に係る炭化珪素半導体装置100の要部製造工程断面図である。

[図9]図8に続く、この発明の実施の形態2に係る炭化珪素半導体装置100の要部製造工程断面図である。

[図10]図9に続く、この発明の実施の形態2に係る炭化珪素半導体装置100の要部製造工程断面図である。

[図11]図10に続く、この発明の実施の形態2に係る炭化珪素半導体装置100の要部製造工程断面図である。

[図12]図11に続く、この発明の実施の形態2に係る炭化珪素半導体装置100の要部製造工程断面図である。

[図13]図12に続く、この発明の実施の形態2に係る炭化珪素半導体装置100の要部製造工程断面図である。

[図14]図13に続く、この発明の実施の形態2に係る炭化珪素半導体装置100の要部製造工程断面図である。

[図15]図14に続く、この発明の実施の形態2に係る炭化珪素半導体装置100の要部製造工程断面図である。

[図16]図4に続く、この発明の実施の形態3に係る炭化珪素半導体装置100の要部製造工程断面図である。

[図17]図16に続く、この発明の実施の形態3に係る炭化珪素半導体装置100の要部製造工程断面図である。

[図18]図17に続く、この発明の実施の形態3に係る炭化珪素半導体装置100の要部製造工程断面図である。

[図19]図18に続く、この発明の実施の形態3に係る炭化珪素半導体装置1

00の要部製造工程断面図である。

[図20]図19に続く、この発明の実施の形態3に係る炭化珪素半導体装置100の要部製造工程断面図である。

[図21]図20に続く、この発明の実施の形態3に係る炭化珪素半導体装置100の要部製造工程断面図である。

[図22]従来の炭化珪素半導体装置200の要部断面図である。

発明を実施するための形態

[0025] 以下の実施の形態では、第1導電型をn型、第2導電型をp型とした。勿論、これと逆の場合もある。なお、本明細書において、n型炭化珪素基板1の基板平面に垂直な方向であって、ドレイン電極9から保護膜15に向かう方向を「上」と称する。「上」と逆の方向を「下」と称する。また、表面とは、基板、層、領域、電極および膜における上側の面を意味する。またさらに、裏面とは、基板、層、領域、電極および膜における下側の面を意味する。

(実施の形態1)

図1は、この発明の実施の形態1に係る炭化珪素半導体装置100の要部断面図である。ここでは炭化珪素半導体装置100として、縦型プレーナゲート構造のMOSFETを例に挙げた。

[0026] この炭化珪素半導体装置100は、nドレイン層となる高濃度のn型炭化珪素基板1と、n炭化珪素基板1の表面に配置されn型炭化珪素基板1より低濃度の第1nドリフト領域となるn型炭化珪素エピタキシャル層2と、n型炭化珪素エピタキシャル層2の表面層に配置されイオン注入で形成される高濃度である第1pベース領域10を備える。また、第1pベース領域10上に配置される第2pベース領域11、nソース領域4、pコンタクト領域5、第2nドリフト領域12を備える。nソース領域4と第2nドリフト領域12に挟まれた第2pベース領域11上にゲート絶縁膜6を介して配置されるゲート電極7を備える。ゲート電極7上に配置される層間絶縁膜14と、層間絶縁膜14上に配置されnソース領域4およびpコンタクト領域5に

接続するソース電極 8 と、最表面を被覆する表面保護膜 15 を備える。

[0027] 耐圧構造部 102 には、第 2 p ベース領域 11 の外周部に配置され第 2 p ベース領域 11 の底面より深い段差部 40 が設けられる。そして、第 2 p ベース領域 11 から外周部にかけて、厚い絶縁膜 13 を介して層間絶縁膜 14 で覆われている。段差部 40 付近の下部には、前記第 2 p ベース領域 11 と第 1 p ベース領域 10 に接して n 型炭化珪素エピタキシャル層 2 の表面層に配置される p 領域 33 を備える。p 領域 33 に接して段差部 40 の底面 40a 下に配置される p 領域 31 と、p 領域 31 に隣接して底面 40a 下に配置される p 領域 32 を備える。p 領域 33 は、段差部 40 での耐圧低下を防止するとともに、JTE としても機能する電界緩和領域である。また、p 領域 31, 32 は耐圧構造部 102 の JTE (Junction Terminal Extension) を構成する。

[0028] 前記の n 型炭化珪素基板 1 は、例えば、窒素 (N) がドーピングされた炭化珪素単結晶基板である。n 型炭化珪素エピタキシャル層 2 は、n 型炭化珪素基板 1 より不純物濃度が低く、例えば窒素がドーピングされた n 型ドリフト層 (第 1 n ドリフト領域) である。前記の第 1 p ベース領域 10 は、例えば、アルミニウムをドーピングし、その不純物濃度を $4 \times 10^{17} \text{ cm}^{-3}$ 以上 $1 \times 10^{18} \text{ cm}^{-3}$ 以下にする。また、第 1 p ベース領域 10 の深さは、例えば、 $0.5 \mu\text{m}$ 程度である。第 2 p ベース領域 11 は、例えば、アルミニウムがドーピングされた p 型炭化珪素エピタキシャル層 11a であり、その不純物濃度は、例えば、 $2 \times 10^{16} \text{ cm}^{-3}$ 程度、厚さは $0.5 \mu\text{m}$ 程度である。第 2 n ドリフト領域 12 は JFET 領域であり、第 2 p ベース領域 11 である p 型炭化珪素エピタキシャル層 11a に窒素をイオン注入して形成する。第 2 n ドリフト領域 12 の不純物濃度は、例えば、 $5.0 \times 10^{16} \text{ cm}^{-3}$ 程度になるようにドーズ量を調整する。その厚さは、例えば、 $0.6 \mu\text{m}$ 程度である。n ソース領域 4 の不純物濃度は第 2 n ドリフト領域 12 より高く、例えば、 $1 \times 10^{20} \text{ cm}^{-3}$ 程度である。ゲート絶縁膜 6 の厚みは、例えば、 100 nm 程度である。層間絶縁膜 14 はリンガラス膜であり、その厚さ

は、例えば、 $1.0\ \mu\text{m}$ である。ソース電極8は、例えば、1%程度の割合でシリコンを含んだアルミニウム（Al-Si）膜であり、その厚さは、例えば、 $5\ \mu\text{m}$ 程度である。裏面電極であるドレイン電極9は例えば、チタン、ニッケルおよび金（Au）の積層膜である。

[0029] この炭化珪素半導体装置100は、第2 pベース領域11の外周部に配置され第2 pベース領域11の底面より深い段差部40を設ける。例えば、この段差部40の深さは $0.4\ \mu\text{m} \sim 0.7\ \mu\text{m}$ 程度であり、第2 pベース領域11の深さより $0.1\ \mu\text{m}$ 程度深い。そして、この段差部40近傍に電界緩和領域であるp領域33を設ける。p領域33の不純物濃度は第1 pベース領域10より低くし、耐圧構造部102を構成するp領域31, 32より高くする。具体的には、p領域33の好適な不純物濃度範囲は $2 \times 10^{16}\ \text{cm}^{-3} \sim 1 \times 10^{17}\ \text{cm}^{-3}$ であることが好ましい。またp領域31, 32は、隣接するp領域33よりも不純物濃度が低いことが好ましく、好適には $1 \times 10^{16}\ \text{cm}^{-3} \sim 9 \times 10^{16}\ \text{cm}^{-3}$ が好ましい。段差部40を第2 pベース領域11の深さより深く第1 pベース領域10の深さより浅くする目的は、段差部40の底面40aにJTEとなるp領域31, 32を露出させるためである。

[0030] さらに、第1 pベース領域10の底面10aから前記のp領域33の底面33aを経由してp領域31, 32の底面にかけて略平坦に接続する。ここで、略平坦とするためには、それぞれの底面の差を $\pm 0.1\ \mu\text{m}$ 以内とすれば良い。このように、p領域33からp領域31, 32にかけての底面と活性領域に配置される第1 pベース領域10の底面を略平坦化し、p領域33の不純物濃度を第1 pベース領域10より低くする。これにより、耐圧構造部102の耐圧を活性領域101の耐圧よりも高くできるので、アバランシェが必ず第1 pベース領域10で発生するようになる。一般に、第1 pベース領域10はp領域31, 32, 33と比較して面積が広い分だけアバランシェ耐量が多い傾向がある。このため、第1 pベース領域10で破壊するように設計することで、アバランシェ耐量を大きくすることができるという

効果を奏する。また、この第1 pベース領域10の不純物濃度を $4 \times 10^{17} \text{ cm}^{-3}$ 以上、 $1 \times 10^{18} \text{ cm}^{-3}$ 以下とすることで、耐压構造部102での耐压低下は抑制されて、例えば、1200V耐压クラスの高耐压の炭化珪素半導体装置100を製作することができる。

[0031] 図2は、第1 pベース領域の不純物濃度と炭化珪素半導体装置の耐压の関係を示す図である。縦軸は耐压であり、横軸は第1 pベース領域の不純物濃度である。段差部40の深さを $0.6 \mu\text{m}$ 、p領域33の不純物濃度を $1 \times 10^{17} \text{ cm}^{-3}$ 、p領域33と第1 pベース領域10の底面の平坦化などの条件を満たして、第1 pベース領域10の不純物濃度を $4 \times 10^{17} \text{ cm}^{-3}$ 以上 $1 \times 10^{18} \text{ cm}^{-3}$ 以下にすることで、耐压構造部102でのアバランシェが抑制されて、1600V超の高い耐压を得ることができる。その結果、高耐压の炭化珪素半導体装置100を製作することができる。

(実施の形態2)

図3～図15は、この発明の実施の形態2に係る炭化珪素半導体装置100の製造方法について、工程順に示した要部製造工程断面図である。

[0032] まず、図3において、例えば $2 \times 10^{19} \text{ cm}^{-3}$ 程度の不純物濃度で窒素がドーピングされたn型炭化珪素基板1を用意する。n型炭化珪素基板1は、主面が例えば $\langle 11-20 \rangle$ 方向に4度程度のオフ角を有する(1000-1)面であってもよい。

[0033] 次に、図4において、n型炭化珪素基板1の(000-1)面上に、例えば、 $1.0 \times 10^{16} \text{ cm}^{-3}$ 程度の不純物濃度で窒素がドーピングされた厚さ $10 \mu\text{m}$ 程度の第1 nドリフト領域となるn型炭化珪素エピタキシャル層2を成長させる。

[0034] 次に、図5において、フォトリソグラフィおよびイオン注入によって、n型炭化珪素エピタキシャル層2の表面層に、耐压構造部102のp領域31、32と活性領域101の第1 pベース領域10とp領域31と第1 pベース領域10の間にそれぞれに接して電界緩和領域となるp領域33を選択的に形成する。このイオン注入では、例えば、ドーパントをアルミニウムとし

、第1 pベース領域10の不純物濃度が、例えば、 $1.0 \times 10^{18} \text{ cm}^{-3}$ 程度となるようにドーズ量を設定する。p領域31、32の不純物濃度は、例えば、 $1 \times 10^{16} \text{ cm}^{-3} \sim 9 \times 10^{16} \text{ cm}^{-3}$ とし、p領域33の不純物濃度は第1 pベース領域10とp領域31、32の間で、 $2 \times 10^{16} \text{ cm}^{-3} \sim 1 \times 10^{17} \text{ cm}^{-3}$ の範囲にする。第1 pベース領域10深さは、 $0.5 \mu\text{m}$ 程度である。

[0035] 次に、図6において、第1 pベース領域10が形成されたn型炭化珪素エピタキシャル層2の表面に、第2 pベース領域11となるp型炭化珪素エピタキシャル層11aを、例えば $0.5 \mu\text{m}$ 程度の厚さ、 $2.0 \times 10^{16} \text{ cm}^{-3}$ 程度の不純物濃度で成長させる。

[0036] 次に、図7において、フォトリソグラフィおよびイオン注入と図10に示す熱処理によって、第1 pベース領域10で挟まれたn型炭化珪素エピタキシャル層2上の前記のp型炭化珪素エピタキシャル層11aの導電型を反転させて、第2 nドリフト領域12を選択的に形成する。このイオン注入では、例えば、ドーパントを窒素とし、第2 nドリフト領域12の不純物濃度が $5.0 \times 10^{16} \text{ cm}^{-3}$ 程度となるようにドーズ量を設定する。第2 nドリフト領域12の深さは、例えば、 $0.6 \mu\text{m}$ 程度にする。

[0037] 次に、図8において、フォトリソグラフィおよびイオン注入と図10の熱処理によって、pベース領域11となるp型炭化珪素エピタキシャル層11aに、第2 nドリフト領域12と離してnソース領域4を選択的に形成する。続いて、フォトリソグラフィおよびイオン注入によって、nソース領域4に接してpコンタクト領域5を選択的に形成する。これによって、耐压構造部102側から活性領域101に向かって、p型炭化珪素エピタキシャル層11aには、第2 pベース領域11、pコンタクト領域5、nソース領域4、第2 pベース領域11、第2 nドリフト領域12、第2 pベース領域11、nソース領域4、pコンタクト領域5、第2 pベース領域11がそれぞれ接して繰り返して形成される。

[0038] 次に、図9において、耐压構造部102となるp領域31、32および電

界緩和領域であるp領域33の一部に達する深さで、p型炭化珪素エピタキシャル層11a（pベース領域11）をエッチングする。このエッチング深さは、例えば、0.4～0.7μm程度とする。このエッチングで活性領域101の表面高さより、耐圧構造部のp領域31、32および電界緩和領域のp領域33の一部の表面高さが低くなる。段差部40はp領域33の位置に形成され、p領域33は第1pベース領域10と第2pベース領域に接続する。

[0039] 次に、図10において、nソース領域4、pコンタクト領域5、第2nドリフト領域12、第1pベース領域10、耐圧構造部102のp領域31、32および電界緩和領域であるp領域33を同時に活性化させるための熱処理（アニール）を行う。このときの熱処理温度および熱処理時間は、例えば、それぞれ1620℃程度および2分間程度である。nソース領域4、pコンタクト領域5および第2nドリフト領域12を形成する順序は種々変更可能である。尚、この一括熱処理によって各領域が形成される。

[0040] 次に、図11において、第2pベース領域11、nソース領域4、pコンタクト領域5、第2nドリフト領域12が形成されているp型炭化珪エピタキシャル層11aの表面を熱酸化し、ゲート絶縁膜6（ゲート酸化膜）を100nm程度の厚さで形成する。この熱酸化は、酸素と水素の混合雰囲気中において1000℃程度の温度の熱処理によって行う。これにより、各領域はゲート絶縁膜6で覆われる。このとき、絶縁膜13も形成する。

[0041] 次に、図12において、ゲート絶縁膜6上に、例えばリン（P）がドーブされた多結晶シリコン層を形成する。続いて、多結晶シリコン層をパターニングして選択的に除去し、ゲート電極7を形成する。

[0042] 次に、図13において、ゲート電極7を覆うように、層間絶縁膜14として例えばリンガラス（PSG：Phospho Silicate Glass）を1.0μm程度の厚さで成膜する。続いて、層間絶縁膜14およびゲート絶縁膜6をパターニングして選択的に除去してコンタクトホール14aを形成し、nソース領域4およびpコンタクト領域5を露出させる。続いて

、層間絶縁膜 14 を平坦化するための熱処理（リフロー）を行う。

[0043] 次に、図 14 において、フォトリソグラフィにより選択的にソース電極 8 を成膜する。はじめに、コンタクトホール内にコンタクト電極（不図示）として例えばニッケル膜を選択的に成膜し、そして、例えば 970℃程度の温度で熱処理し、n ソース領域 4 および p コンタクト領域 5 とコンタクト電極とのオーミック接合を形成する。続いて、ソース電極 8 を埋め込み、コンタクト電極とソース電極 8 とを接触させる。ソース電極 8 は、裏面のコンタクトアニール後に、例えば、1%程度の割合でシリコンを含んだアルミニウム（Al-Si）で形成し、その厚さは、例えば 5 μm 程度である。

[0044] 次に、図 15 において、n 型炭化珪素基板 1 の裏面に、コンタクト電極として例えばニッケル膜を成膜する。そして、例えば 970℃程度の温度で熱処理し、n 型炭化珪素基板 1 とコンタクト電極とのオーミック接合を形成する。続いて、コンタクト電極の裏面に、例えばチタン、ニッケルおよび金（Au）をこの順に成膜してドレイン電極 9 を形成する。続いて、ソース電極 8 を覆うように表面保護膜 15 を形成する。これにより、図 1 に示した MOSFET である炭化珪素半導体装置 100 が完成する。

（実施の形態 3）

図 16～図 21 は、この発明の実施の形態 3 に係る炭化珪素半導体装置 100 の製造方法について、工程順に示した要部製造工程断面図である。

[0045] 実施の形態 2 との違いは、図 5～図 8 の工程において、第 1 p ベース領域 10 の端部に段差部 40 を形成した後に電界緩和領域となる p 領域 33 を形成する点である。第 1 p ベース領域の底面 10a と p 領域 33 の底面 33a は略平坦に接続する。

[0046] 前記した図 4 の工程の後に図 16～図 21 の工程が続く。

[0047] 図 16 において、フォトリソグラフィおよびイオン注入と図 21 に示す熱処理によって、n 型炭化珪素エピタキシャル層 2 の表面層に、活性領域 101 の第 1 p ベース領域 10 を形成する。

[0048] 次に、図 17 において、第 1 p ベース領域 10 が形成された n 型炭化珪素

エピタキシャル層 2 の表面に、第 2 p ベース領域 1 1 となる p 型炭化珪素エピタキシャル層 1 1 a を形成する。

[0049] 次に、図 1 8 において、フォトリソグラフィおよびイオン注入と図 2 1 に示す熱処理によって、第 1 p ベース領域 1 0 で挟まれた n 型炭化珪素エピタキシャル層 2 上の前記の p 型炭化珪素エピタキシャル層 1 1 a の導電型を反転させて、第 2 n ドリフト領域 1 2 を選択的に形成する。

[0050] 次に、図 1 9 において、フォトリソグラフィおよびイオン注入と図 2 1 の工程の熱処理によって、p 型炭化珪素エピタキシャル層 1 1 a に、第 2 n ドリフト領域 1 2 と離して n ソース領域 4 を選択的に形成する。続いて、フォトリソグラフィおよびイオン注入によって、n ソース領域 4 に接して p コンタクト領域 5 を選択的に形成する。これらの領域が形成されない p 型炭化珪素エピタキシャル層 1 1 a が第 2 p ベース領域 1 1 になる。これによって、耐圧構造部 1 0 2 側から活性領域 1 0 1 に向かって、p 型炭化珪素エピタキシャル層 1 1 a には、第 2 p ベース領域 1 1、p コンタクト領域 5、n ソース領域 4、第 2 p ベース領域 1 1、第 2 n ドリフト領域 1 2、第 2 p ベース領域 1 1、n ソース領域 4、p コンタクト領域 5、第 2 p ベース領域 1 1 がそれぞれ接して繰り返して形成される。

[0051] 次に、図 2 0 において、第 1 p ベース領域 1 0 の端部より外周に向かって、p 型炭化珪素エピタキシャル層 1 1 a (第 2 p ベース領域 1 1) をエッチングして段差部 4 0 を形成する。

[0052] 次に、図 2 1 において、フォトリソグラフィおよびイオン注入と熱処理によって、段差部 4 0 の底面 4 0 a 下に、耐圧構造部 1 0 2 となる p 領域 3 1、3 2 を形成し、p 領域 3 1 と第 1 p ベース領域 1 0 に接続する電界緩和領域である p 領域 3 3 を形成する。このとき第 1 p ベース領域 1 0 の底面 1 0 a と p 領域 3 3 の底面 3 3 a を略平坦に接続する。例えば、段差部 4 0 のテーパ一面に加速電圧を変化させてイオン注入することで、第 1 p ベース領域 1 0 の底面 1 0 a と p 領域 3 3 の底面 3 3 a を略平坦に接続することができる。

[0053] 図 2 1 の工程の後に前記した図 1 1 ～図 1 5 の工程に移行する。

符号の説明

- [0054]
- 1 n 型炭化珪素基板
 - 2 n 型炭化珪素エピタキシャル層
 - 4 n ソース領域
 - 5 p コンタクト領域
 - 6 ゲート絶縁膜
 - 7 ゲート電極
 - 8 ソース電極
 - 9 ドレイン電極
 - 1 0 第 1 p ベース領域
 - 1 0 a, 3 3 a, 4 0 a 底面
 - 1 1 第 2 p ベース領域
 - 1 1 a p 型炭化珪素エピタキシャル層
 - 1 2 第 2 n ドリフト領域
 - 1 3 絶縁膜
 - 1 4 層間絶縁膜
 - 1 5 保護膜
 - 3 1, 3 2 p 領域（耐圧構造部 1 0 1）
 - 3 3 p 領域（電界緩和領域）
 - 4 0 段差部
 - 5 1 n 型 S i C 基板
 - 5 2 n 型 S i C 層
 - 5 4 n 型ソース領域
 - 5 5 p 型コンタクト領域
 - 5 6 ゲート絶縁膜
 - 5 7 ゲート電極
 - 5 8 ソース電極

5 9	ドレイン電極
6 0	p 型領域
6 1	p 型 S i C 層
6 2	n 型領域
8 1	p 領域
8 2	p 領域
9 0	段差部
1 0 0	炭化珪素半導体装置
1 0 1	活性領域
1 0 2	耐压構造部
2 0 0	炭化珪素半導体装置
2 0 1	活性領域
2 0 2	耐压構造部

請求の範囲

[請求項1]

第1導電型の炭化珪素基板と、前記炭化珪素基板の表面に配置され前記炭化珪素基板より低濃度の第1導電型の第1ドリフト領域となる第1炭化珪素エピタキシャル層と、前記第1炭化珪素エピタキシャル層の表面層に配置される複数の第2導電型の第1ベース領域と、

前記第1ベース領域上に配置される第2導電型の第2ベース領域、第1導電型のソース領域、および前記第2ベース領域より高濃度の第2導電型のコンタクト領域と、

前記第1ベース領域に挟まれた前記第1炭化珪素エピタキシャル層上に前記第2ベース領域に挟まれて配置される第1導電型の第2ドリフト領域と、

前記ソース領域と前記第2ドリフト領域に挟まれた前記第2ベース領域上にゲート絶縁膜を介して配置されるゲート電極と、前記ソース領域と前記コンタクト領域に電氣的に接続するソース電極と、前記炭化珪素基板に電氣的に接続するドレイン電極と、

前記第2ベース領域の外周部に配置され前記第2ベース領域の底面より深く前記第1ベース領域の底面より浅い段差部と、

前記第1炭化珪素エピタキシャル層の表面層に配置され、前記段差部と前記第2ベース領域と前記第1ベース領域とに接する第2導電型の第1半導体領域と、

前記段差部の底面下の前記第1炭化珪素エピタキシャル層の表面層に配置され前記第1半導体領域に接する第2導電型の第2半導体領域と、

前記段差部の底面下の前記第1炭化珪素エピタキシャル層の表面層に配置され前記第2半導体領域に接する第2導電型の第3半導体領域と、を備え、

前記第1半導体領域の底面と前記第1ベース領域の底面を略平坦に接続しており、前記第1半導体領域、前記第2半導体領域および前記

3 半導体領域の不純物濃度は前記第1ベース領域より低く、前記第1半導体領域の不純物濃度は前記第2半導体領域および前記第3半導体領域の不純物濃度より高く、前記第1ベース領域の不純物濃度は $4 \times 10^{17} \text{ cm}^{-3}$ 以上 $1 \times 10^{18} \text{ cm}^{-3}$ 以下であることを特徴とする炭化珪素半導体装置。

[請求項2] 前記第1ベース領域、前記第1半導体領域、前記第2半導体領域、および前記第3半導体領域、それぞれの底面の差が $\pm 0.1 \mu\text{m}$ 以内であることを特徴とする請求項1に記載の炭化珪素半導体装置。

[請求項3] 前記第1半導体領域の不純物濃度が $2 \times 10^{16} \text{ cm}^{-3}$ 以上 $1 \times 10^{17} \text{ cm}^{-3}$ 以下であることを特徴とする請求項1に記載の炭化珪素半導体装置。

[請求項4] 前記第2半導体領域および前記第3半導体領域の不純物濃度が $1 \times 10^{16} \text{ cm}^{-3}$ 以上 $9 \times 10^{16} \text{ cm}^{-3}$ 以下であることを特徴とする請求項1に記載の炭化珪素半導体装置。

[請求項5] 第1ドリフト領域となる第1導電型の第1炭化珪素エピタキシャル層の表面層に選択的にイオン注入し複数の第2導電型の第1ベース領域、第2導電型の第1半導体領域、第2導電型の第2半導体領域および第2導電型の第3半導体領域を互いに接するように形成し、さらに前記第1半導体領域の底面と前記第1ベース領域の底面を略平坦に接続して形成する工程と、

前記第1炭化珪素エピタキシャル層上に第2導電型の第2炭化珪素エピタキシャル層を形成する工程と、

前記第1ベース領域上の前記第2炭化珪素エピタキシャル層に選択的にイオン注入し第1導電型のソース領域、第2導電型のコンタクト領域を形成し、前記第1ベース領域に挟まれた前記第1炭化珪素エピタキシャル層上の前記第2炭化珪素エピタキシャル層にイオン注入により第1導電型の第2ドリフト領域を形成し、イオン注入されない個所を第2ベース領域とする工程と、

前記第1半導体領域から、前記第2半導体領域、第3半導体領域および外周部の前記第1炭化珪素エピタキシャル層の上に形成された前記第2炭化珪素エピタキシャル層をエッチングで除去し、前記第2炭化珪素エピタキシャル層の底面より深く、前記第1ベース領域の底面より浅い段差部を前記第1半導体領域の位置に形成する工程とを含み、

前記第1半導体領域、前記第2半導体領域および前記第3半導体領域の不純物濃度が前記第1ベース領域の不純物濃度より低く、前記第1半導体領域の不純物濃度が前記第2半導体領域および前記第3半導体領域の不純物濃度より高く、前記第1ベース領域の不純物濃度が $4 \times 10^{17} \text{ cm}^{-3}$ 以上 $1 \times 10^{18} \text{ cm}^{-3}$ 以下に設定することを特徴とする炭化珪素半導体装置の製造方法。

[請求項6]

第1ドリフト領域となる第1導電型の第1炭化珪素エピタキシャル層の表面層に選択的にイオン注入し複数の第2導電型の第1ベース領域と、前記第1ベースと離して第2導電型の第2半導体領域および前記第2半導体領域に隣接した第2導電型の第3半導体領域を形成する工程と、

前記第1炭化珪素エピタキシャル層上に第2導電型の第2炭化珪素エピタキシャル層を形成する工程と、

前記第1ベース領域上の前記第2炭化珪素エピタキシャル層に選択的にイオン注入し第1導電型のソース領域、第2導電型のコンタクト領域を形成し、前記第1ベース領域に挟まれた前記第1炭化珪素エピタキシャル層上の前記第2炭化珪素エピタキシャル層にイオン注入により第1導電型の第2ドリフト領域を形成し、イオン注入されない個所を第2ベース領域とする工程と、

前記第1ベース領域の端部より外周側の前記第2炭化珪素エピタキシャル層をエッチングで除去し、前記第2炭化珪素エピタキシャル層の底面より深く前記第1ベース領域の底面より浅い段差部を前記第1

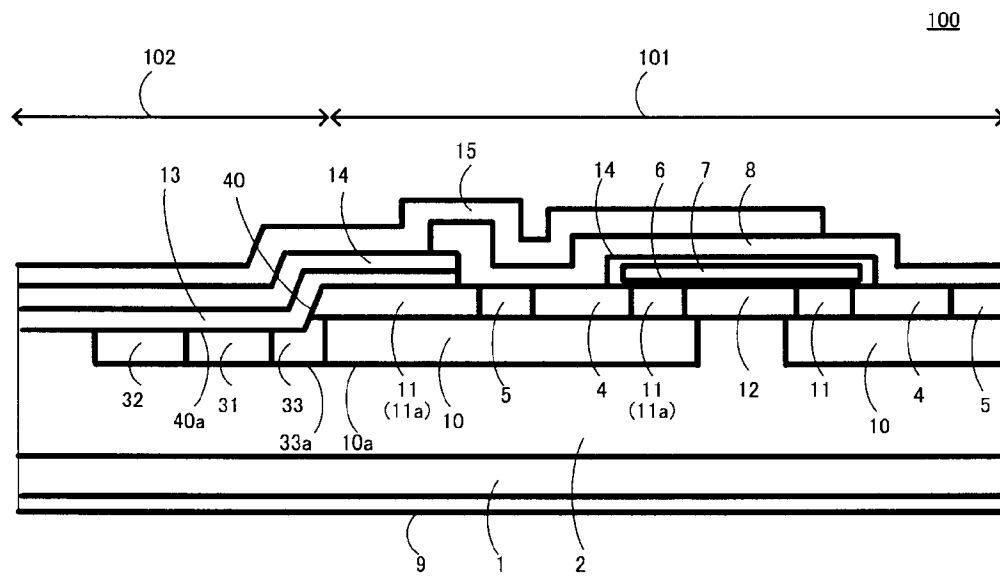
ベースと前記第2半導体領域との間に形成する工程と、

前記段差部下の第1炭化珪素エピタキシャル層の表面層に、前記第1ベース領域、前記第2ベース領域および前記第2半導体領域に接続し、前記第1ベース領域の底部と略平坦に接続する第1半導体領域を形成する工程と

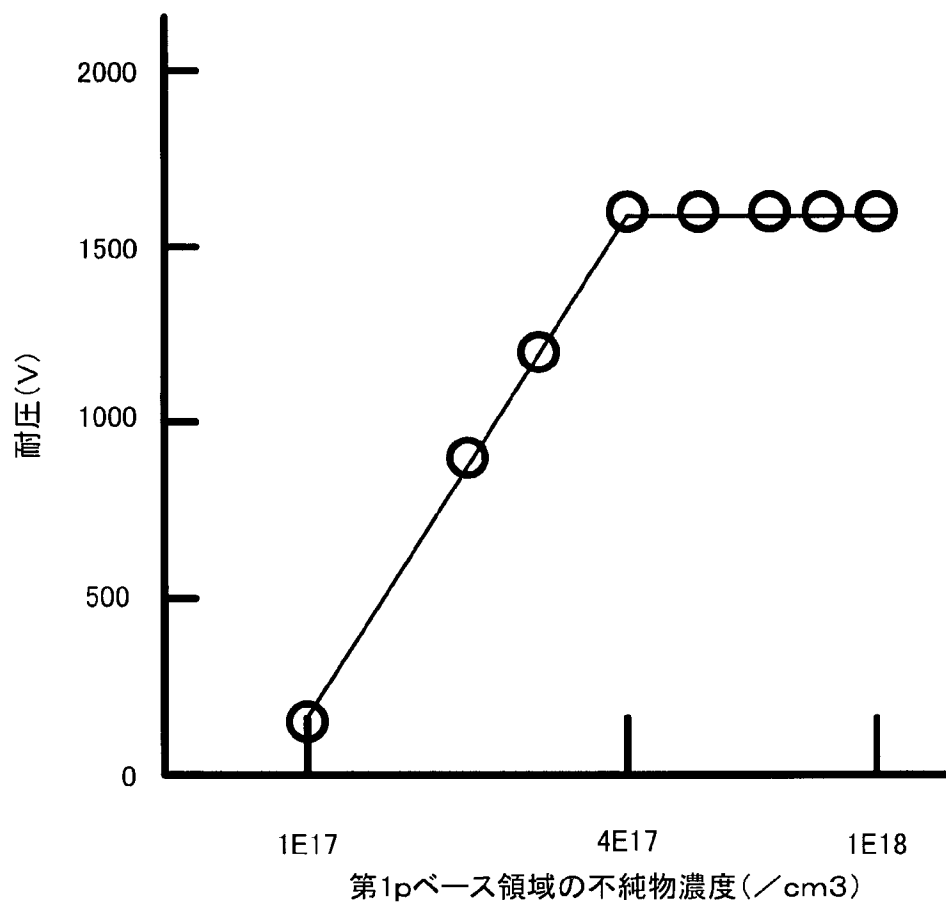
を含み、

前記第1半導体領域、前記第2半導体領域および前記第3半導体領域の不純物濃度が前記第1ベース領域の不純物濃度より低く、前記第1半導体領域の不純物濃度が前記第2半導体領域および前記第3半導体領域の不純物濃度より高く、前記第1ベース領域の不純物濃度が $4 \times 10^{17} \text{ cm}^{-3}$ 以上 $1 \times 10^{18} \text{ cm}^{-3}$ 以下に設定することを特徴とする炭化珪素半導体装置の製造方法。

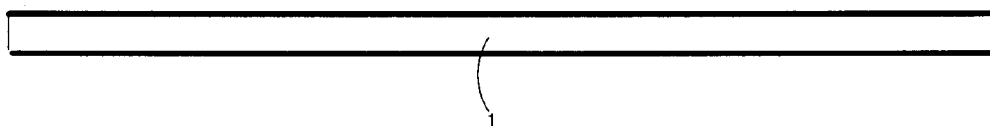
[図1]



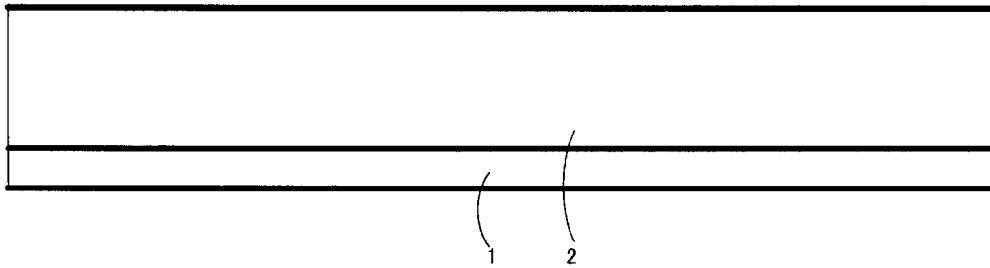
[図2]



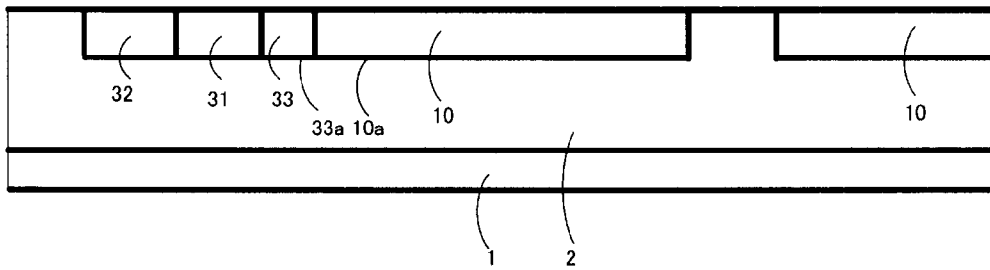
[図3]



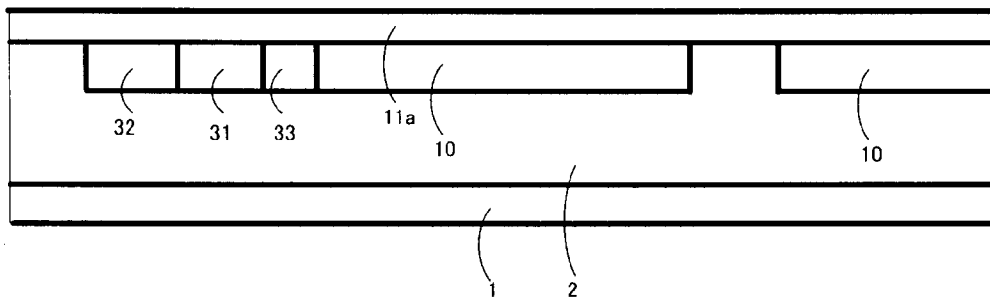
[図4]



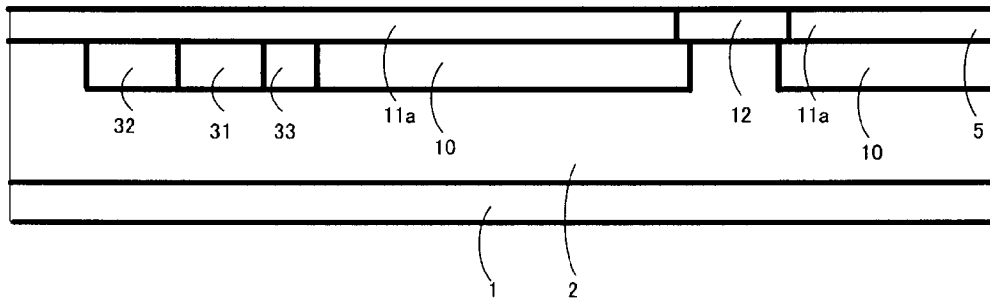
[図5]



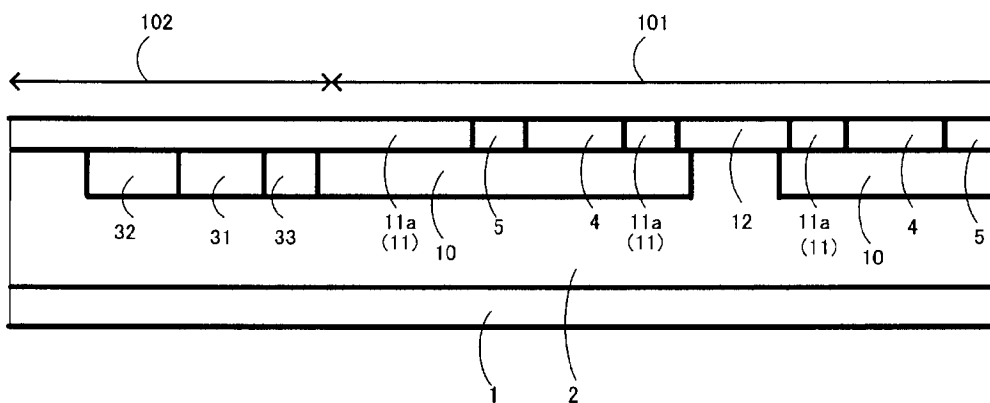
[図6]



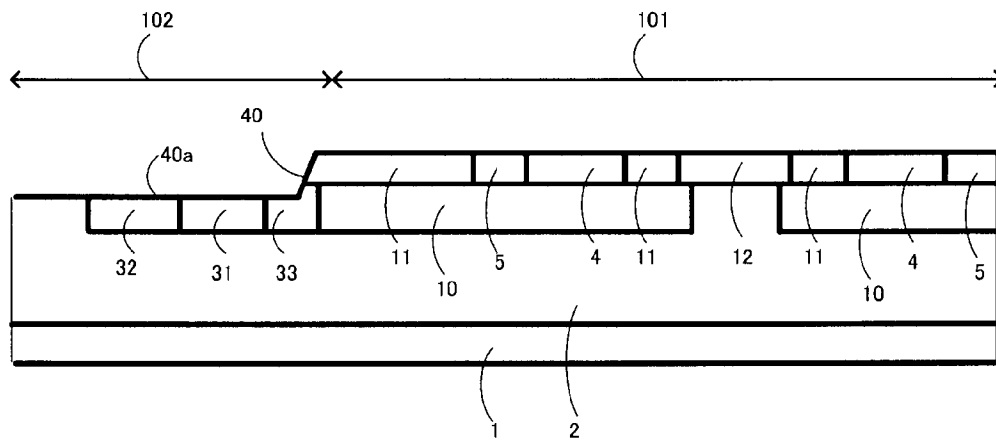
[図7]



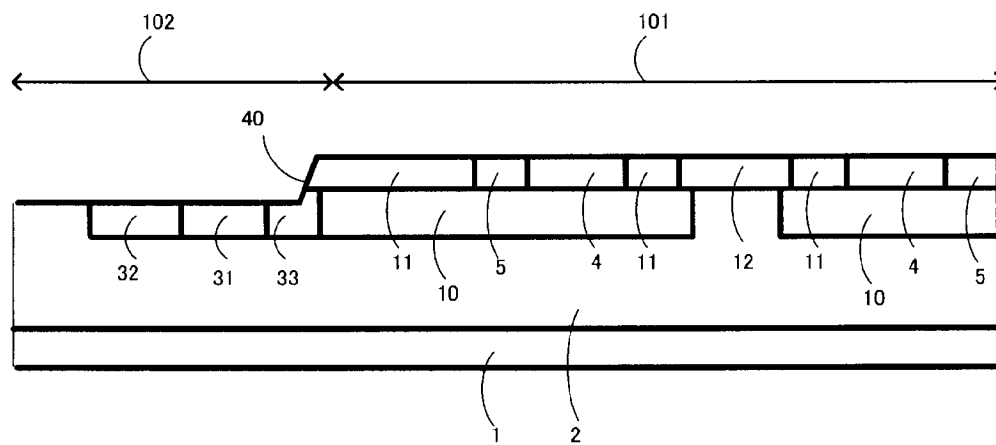
[図8]



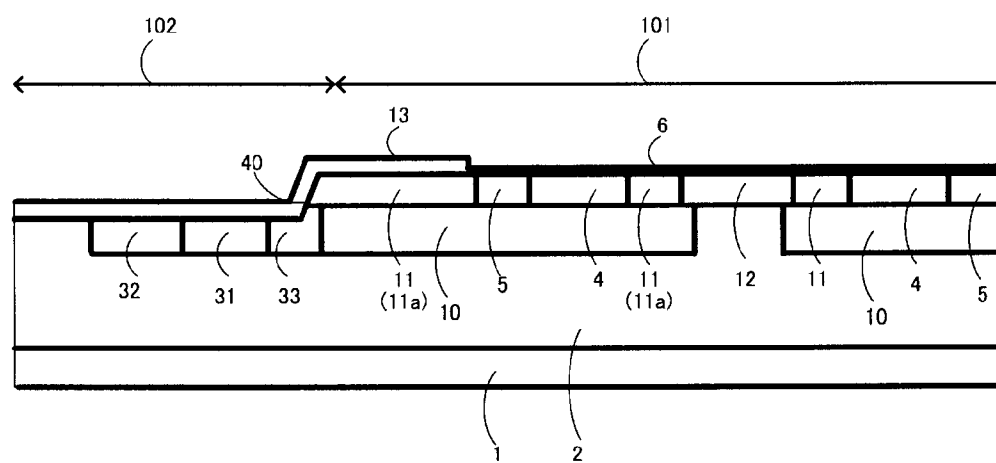
[図9]



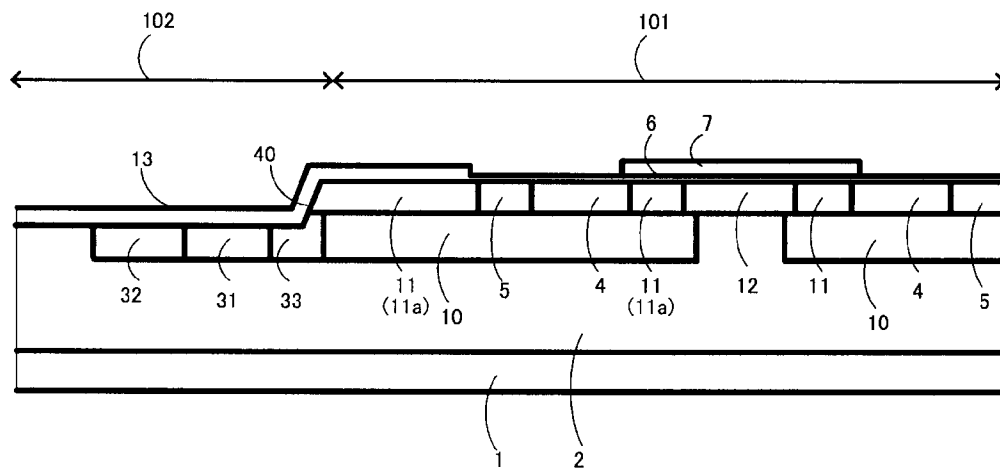
[図10]



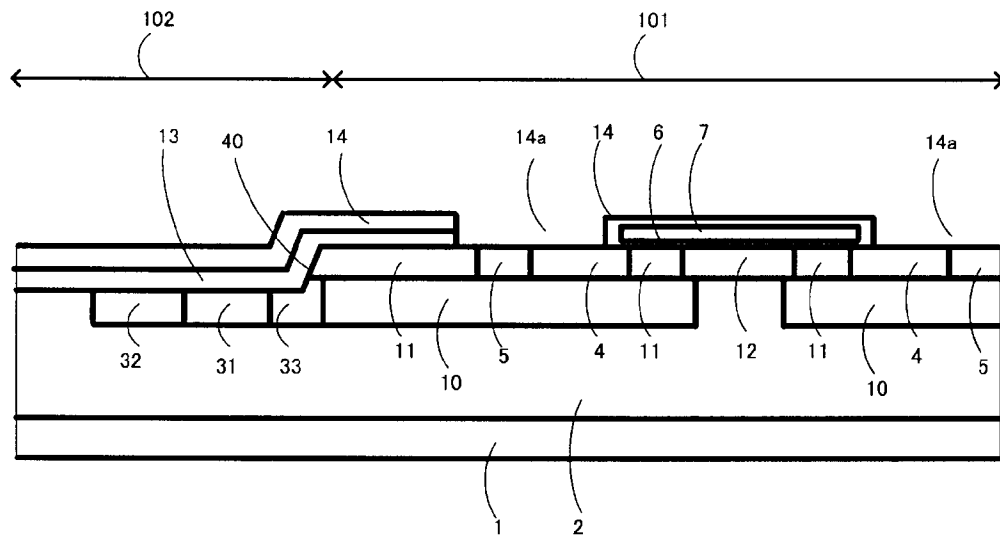
[図11]



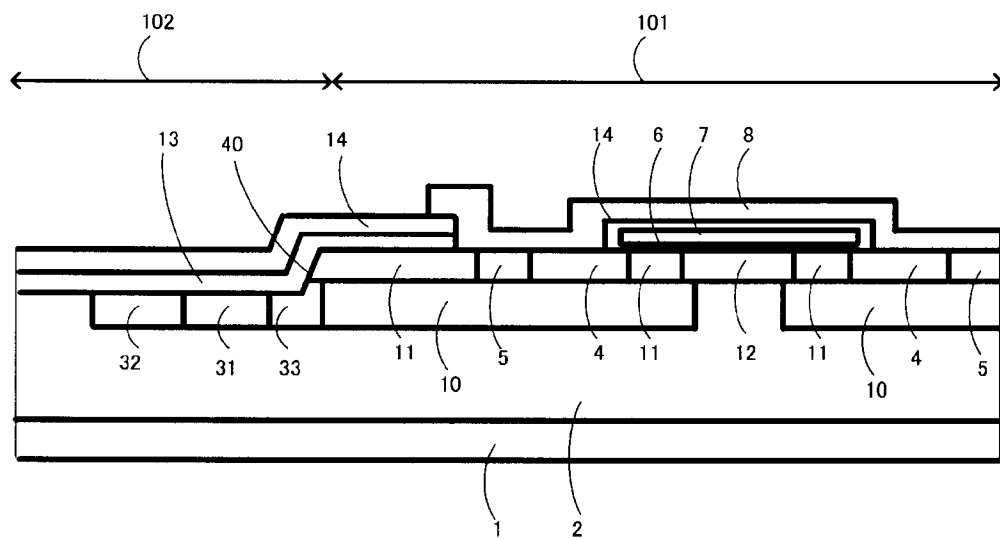
[図12]



[図13]



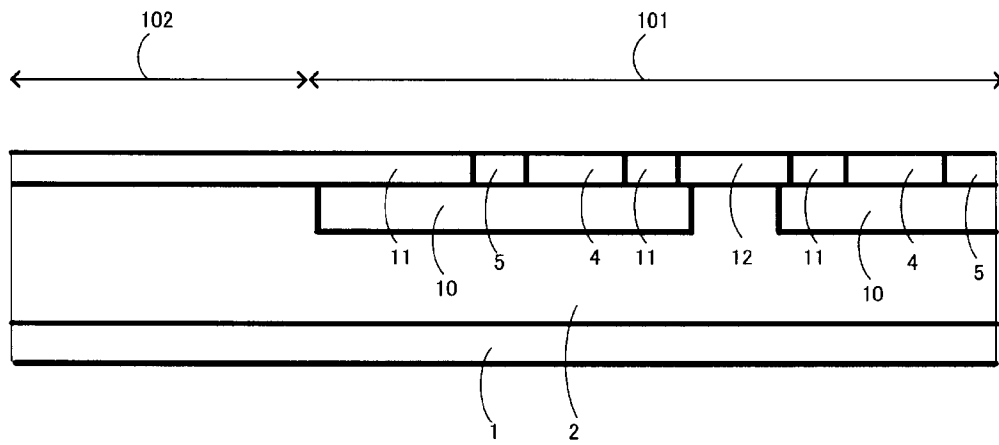
[図14]



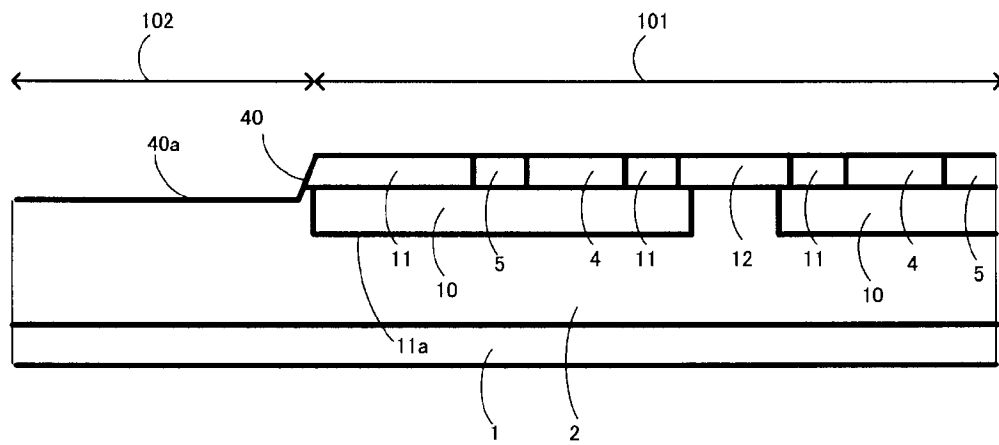
[illegible]

Figure 1 is a schematic cross-sectional view of a semiconductor device. It shows a substrate with a top layer (1) and a bottom layer (2). Two rectangular regions (10) are formed in the top layer, separated by a gap.

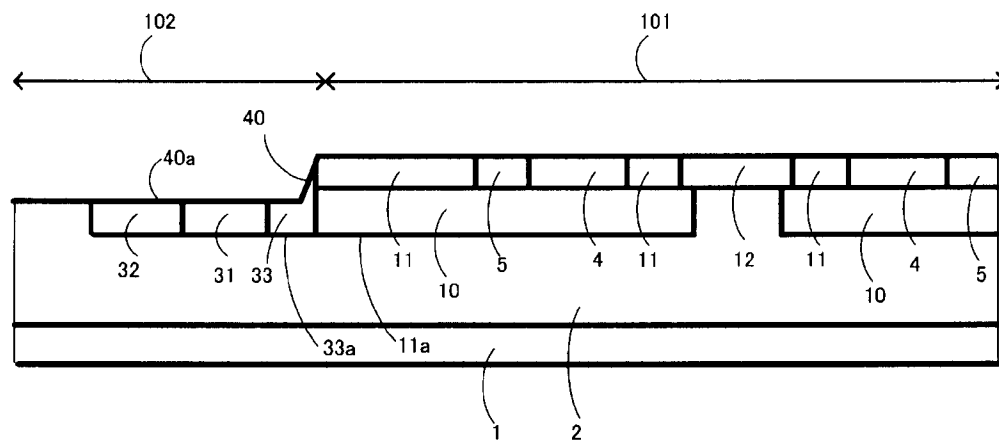
[図19]



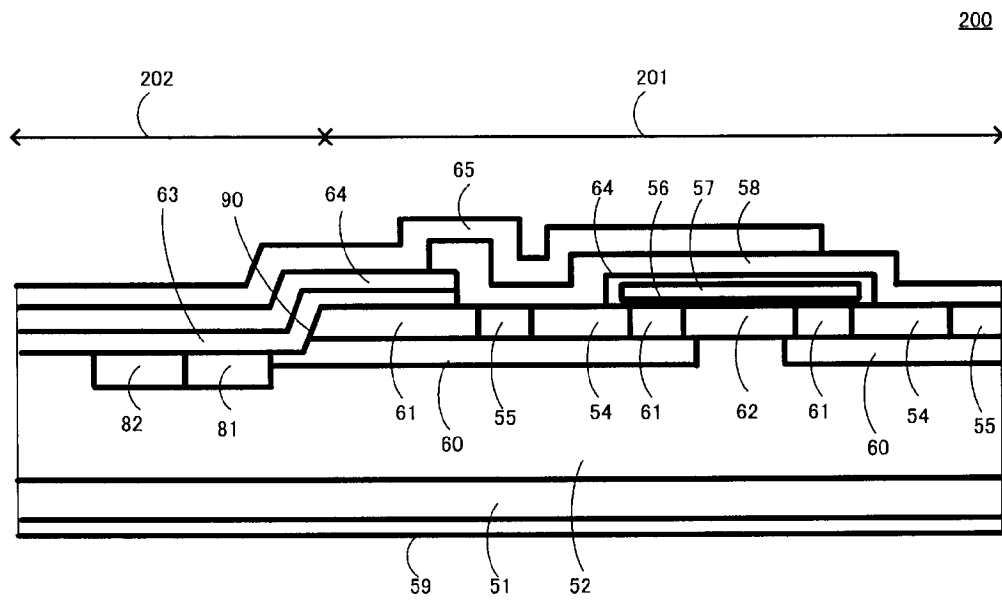
[図20]



[図21]



[図22]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/073388

A. CLASSIFICATION OF SUBJECT MATTER

H01L29/78(2006.01)i, H01L21/336(2006.01)i, H01L29/06(2006.01)i, H01L29/12(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/78, H01L21/336, H01L29/06, H01L29/12

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2015
Kokai Jitsuyo Shinan Koho	1971-2015	Toroku Jitsuyo Shinan Koho	1994-2015

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2013-232564 A (National Institute of Advanced Industrial Science and Technology), 14 November 2013 (14.11.2013), paragraphs [0055] to [0081]; fig. 5 & US 2015/0115285 A1 paragraphs [0066] to [0092]; fig. 5 & WO 2013/161449 A1 & CN 104321873 A	1-6
Y	JP 2010-147222 A (Denso Corp.), 01 July 2010 (01.07.2010), paragraphs [0025] to [0062]; fig. 1 to 6 & US 2009/0200559 A1 paragraphs [0196] to [0236]; fig. 24 to 33E & EP 2091083 A2 & KR 10-2009-0087833 A	1-6

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
06 November 2015 (06.11.15)

Date of mailing of the international search report
17 November 2015 (17.11.15)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/073388

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 11-74524 A (Denso Corp.), 16 March 1999 (16.03.1999), entire text; fig. 6 to 7, 9 to 10, 14 to 16, 28 to 29 & US 6054752 A entire text; fig. 6 to 7, 9 to 10, 14 to 16C, 37 to 38	1-6
A	JP 11-354791 A (Denso Corp.), 24 December 1999 (24.12.1999), entire text; fig. 1 to 5 (Family: none)	1-6

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01L29/78(2006.01)i, H01L21/336(2006.01)i, H01L29/06(2006.01)i, H01L29/12(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L29/78, H01L21/336, H01L29/06, H01L29/12

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 5 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 5 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 5 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2013-232564 A（独立行政法人産業技術総合研究所）2013.11.14, 段落[0055]-[0081], 図 5 & US 2015/0115285 A1, 段落[0066]-[0092], 図 5 & WO 2013/161449 A1 & CN 104321873 A	1-6
Y	JP 2010-147222 A（株式会社デンソー）2010.07.01, 段落[0025]-[0062], 図 1-6 & US 2009/0200559 A1, 段落[0196]-[0236], 図 24-33E & EP 2091083 A2 & KR 10-2009-0087833 A	1-6

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

0 6 . 1 1 . 2 0 1 5

国際調査報告の発送日

1 7 . 1 1 . 2 0 1 5

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）
郵便番号 1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官（権限のある職員）

早川 朋一

5 F

9 7 3 3

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 1 6

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 11-74524 A (株式会社デンソー) 1999. 03. 16, 全文, 図 6-7, 9-10, 14-16, 28-29 & US 6054752 A, 全文, 図 6-7, 9-10, 14-16C, 37-38	1-6
A	JP 11-354791 A (株式会社デンソー) 1999. 12. 24, 全文, 図 1-5 (ファミリーなし)	1-6