

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-59122

(P2009-59122A)

(43) 公開日 平成21年3月19日(2009.3.19)

(51) Int.Cl.	F I	テーマコード (参考)
G06F 13/38 (2006.01)	G06F 13/38 310D	5B077
H04L 29/08 (2006.01)	H04L 13/00 307Z	5K034

審査請求 未請求 請求項の数 16 O L (全 57 頁)

(21) 出願番号 特願2007-225030 (P2007-225030)
 (22) 出願日 平成19年8月31日 (2007.8.31)

(71) 出願人 503121103
 株式会社ルネサステクノロジ
 東京都千代田区大手町二丁目6番2号
 (74) 代理人 100089071
 弁理士 玉村 静世
 (72) 発明者 野々村 到
 東京都国分寺市東恋ヶ窪一丁目280番地
 株式会社日立製作所中央研究所内
 Fターム(参考) 5B077 AA24 BA09 MM02
 5K034 AA01 DD01 EE11 MM11 NN26

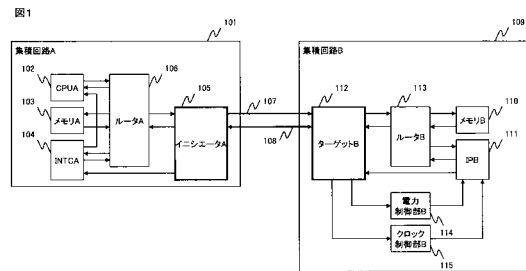
(54) 【発明の名称】 データ処理システム

(57) 【要約】

【課題】アウトスタンディング・ベースの可変フロー制御を可能にする。

【解決手段】イニシエータ(105)を有する第1の半導体集積回路及びターゲット(112)を有する第2の半導体集積回路を備え、イニシエータがリクエストパケットをターゲットに送信し、ターゲットがレスポンスパケットをイニシエータに送信して、スプリットランザクションインタフェースを行う。イニシエータは送信したリクエストパケットの数と受信したレスポンスパケットの数の差分値であるアウトスタンディング数を計数するアウトスタンディング計数回路を備え、前記アウトスタンディング数計数回路の計数値が、ターゲットが対応可能なアウトスタンディング数以下となるようにリクエストパケット送信数を制御する。リクエストパケットの発行からレスポンスパケット受け取りまでの最大レイテンシを抑制するように、アウトスタンディング数を適切な数に動的に変更可能になる。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

イニシエータを有する第1の半導体集積回路と、ターゲットを有する第2の半導体集積回路と、前記イニシエータと前記ターゲットとを接続するインタフェース信号線とを有し、前記イニシエータがリクエスト packets を前記ターゲットに送信し、前記ターゲットがレスポンス packets を前記イニシエータに送信することにより、パケットベースのスプリットトランザクションインタフェースを行うデータ処理システムであって、

前記イニシエータは送信したリクエスト packets の数と受信したレスポンス packets の数の差分値であるアウトスタンディング数を計数するアウトスタンディング計数回路を備え、前記アウトスタンディング数計数回路の計数値が、ターゲットが対応可能なアウトスタンディング数以下となるようにリクエスト packets 送信数を制御する、データ処理システム。

10

【請求項 2】

前記ターゲットは、対応可能なアウトスタンディング数を保持するアウトスタンディングレジスタを備え、

前記イニシエータは、前記アウトスタンディングレジスタの値を読み出し、前記読み出した値が前記アウトスタンディング計数回路の計数値以下となるようにリクエスト packets 送信数を制御する、請求項 1 記載のデータ処理装置。

【請求項 3】

前記ターゲットは、対応可能なアウトスタンディング数を保持するアウトスタンディングレジスタを備え、

前記イニシエータは、前記アウトスタンディングレジスタにアウトスタンディング数を設定し、前記設定した値が前記アウトスタンディング計数回路の計数値以下となるようにリクエスト packets 送信数を制御する、請求項 1 記載のデータ処理システム。

20

【請求項 4】

前記イニシエータは、リクエスト packets と同じ転送経路を用いて割り込み packets を前記ターゲットに送信し、

前記ターゲットは、受信した割り込み packets に基づいて割り込み信号を生成する、請求項 1 記載のデータ処理システム。

【請求項 5】

前記ターゲットは、レスポンス packets と同じ packets 転送経路を用いて割り込み packets を前記イニシエータに送信し、

前記イニシエータは受信した割り込み packets に基づいて割り込み信号を生成する、請求項 1 記載のデータ処理システム。

30

【請求項 6】

前記ターゲットは、前記アウトスタンディングレジスタに保持された最大アウトスタンディング数に対応する数の packets のデータを保持することが可能な複数のバッファを有し、前記アウトスタンディングレジスタに保持されたアウトスタンディング数に対応する数の packets のデータを保持する必要のないバッファへの電力供給を遮断する、請求 2 又は 3 記載のデータ処理システム。

40

【請求項 7】

前記ターゲットは、前記アウトスタンディングレジスタに保持された最大アウトスタンディング数に対応する数の packets のデータを保持することが可能な複数のバッファを有し、前記アウトスタンディングレジスタに保持されたアウトスタンディング数に対応する数の packets のデータを保持する必要のないバッファへのクロック供給を遮断する、請求 2 又は 3 記載のデータ処理システム。

【請求項 8】

前記イニシエータはターゲットに、リクエスト packets を復号するための第 1 の暗号鍵とレスポンス packets を暗号化するための第 2 の暗号鍵を供給し、

前記ターゲットは、受信したリクエスト packets を前記第 1 の暗号鍵を用いて復号し、

50

送信するレスポンス packets を前記第 2 の暗号鍵を用いて暗号化する、請求項 1 記載のデータ処理システム。

【請求項 9】

イニシエータを有する第 1 の半導体集積回路と、ターゲットを有する第 2 の半導体集積回路と、前記イニシエータと前記ターゲットとを接続するインタフェース信号線とを有し、前記イニシエータがリクエスト packets を前記ターゲットに送信し、前記ターゲットがレスポンス packets を前記イニシエータに送信することにより、パケットベースのスプリットトランザクションインタフェースを行うデータ処理システムであって、

前記イニシエータは、送信したリードアクセスのリクエスト packets の数と受信したリードアクセスのレスポンス packets の数の差分値であるリードアウトスタンディング数を計数するリードアウトスタンディング計数回路を備え、前記リードアウトスタンディング数計数回路の計数値が、ターゲットが対応可能なリードアウトスタンディング数以下となるように、リードアクセスのリクエスト packets 送信数を制御する、データ処理システム。

10

【請求項 10】

イニシエータを有する第 1 の半導体集積回路と、ターゲットを有する第 2 の半導体集積回路と、前記イニシエータと前記ターゲットとを接続するインタフェース信号線とを有し、前記イニシエータがリクエスト packets を前記ターゲットに送信し、前記ターゲットがレスポンス packets を前記イニシエータに送信することにより、パケットベースのスプリットトランザクションインタフェースを行うデータ処理システムであって、

前記イニシエータは、送信したライトアクセスのリクエスト packets の数と受信したライトアクセスのレスポンス packets の数の差分値であるライトアウトスタンディング数を計数するライトアウトスタンディング計数回路を備え、前記ライトアウトスタンディング数計数回路の計数値が、ターゲットが対応可能なライトアウトスタンディング数以下となるように、ライトアクセスのリクエスト packets 送信数を制御する、データ処理システム。

20

【請求項 11】

イニシエータを有する第 1 の半導体集積回路と、ターゲットを有する第 2 の半導体集積回路と、前記イニシエータと前記ターゲットとを接続するインタフェース信号線とを有し、前記イニシエータがリクエスト packets を前記ターゲットに送信し、前記ターゲットがレスポンス packets を前記イニシエータに送信することにより、パケットベースのスプリットトランザクションインタフェースを行うデータ処理システムであって、

前記イニシエータは、リクエスト packets の転送タイミングを示すリクエストストロブ信号とリクエスト packets をターゲットに送信し、

前記ターゲットは、レスポンス packets の転送タイミングを示すレスポンスストロブ信号とレスポンス packets をイニシエータに送信する、データ処理システム。

30

【請求項 12】

イニシエータを有する第 1 の半導体集積回路と、ターゲットを有する第 2 の半導体集積回路と、前記イニシエータと前記ターゲットとを接続するインタフェース信号線とを有し、前記イニシエータがリクエスト packets を前記ターゲットに送信し、前記ターゲットがレスポンス packets を前記イニシエータに送信することにより、パケットベースのスプリットトランザクションインタフェースを行うデータ処理システムであって、

前記ターゲットは、リクエスト packets の受信に用いる信号線の本数を保持するリクエストレーン数レジスタとレスポンス packets の送信に用いる信号線の本数を保持するレスポンスレーン数レジスタを備え、

前記イニシエータは、前記リクエストレーン数レジスタにリクエスト packets の送信に用いる信号線の本数を示す値を、前記レスポンスレーン数レジスタにレスポンスリクエスト packets の受信に用いる信号線の本数を示す値をそれぞれ設定する、データ処理システム。

40

【請求項 13】

50

前記イニシエータは、リクエストパケットのビット数を計数するリクエスト計数回路とレスポンスパケットのビット数を計数するレスポンス計数回路を備え、前記リクエスト計数回路の計数結果と前記レスポンス計数回路の計数結果に基づいてリクエストパケットの受信に用いる信号線の本数とレスポンスパケットの受信に用いる信号線の本数を設定する、請求項 1 2 記載のデータ処理システム。

【請求項 1 4】

スプリットランザクションインタフェースにより通信を行うイニシエータとターゲットを夫々が有する第 1 半導体集積回路及び第 2 半導体集積回路を備え、前記第 1 半導体集積回路と前記第 2 半導体集積回路が通信用の信号線で接続されたデータ処理システムであつて、

10

前記第 1 半導体集積回路は、前記第 2 半導体集積回路のイニシエータを停止させた後に前記信号線の本数を変更する、データ処理システム。

【請求項 1 5】

スプリットランザクションインタフェースにより暗号化情報の通信を行うイニシエータとターゲットを夫々が有する第 1 半導体集積回路及び第 2 半導体集積回路を備え、前記第 1 半導体集積回路と前記第 2 半導体集積回路が通信用の信号線で接続されたデータ処理システムであつて、

前記第 1 半導体集積回路は、前記第 2 半導体集積回路のイニシエータを停止させた後に暗号化に使用される暗号鍵を変更する、データ処理システム。

【請求項 1 6】

20

スプリットランザクションインタフェースにより通信を行うイニシエータとターゲットを夫々が有する第 1 半導体集積回路及び第 2 半導体集積回路を備え、前記第 1 半導体集積回路と前記第 2 半導体集積回路が通信用の信号線で接続されたデータ処理システムであつて、

前記第 1 半導体集積回路は、前記第 1 半導体集積回路が備えるターゲットのアウトスタンディング数上限値に基づいて前記第 2 半導体集積回路のイニシエータのアウトスタンディング上限数を設定する、データ処理システム。

【発明の詳細な説明】

【技術分野】

【0001】

30

本発明は、複数個の半導体集積回路をスプリットランザクションインタフェースで接続したデータ処理システムにおけるスプリットランザクションインタフェース制御に関する。

【背景技術】

【0002】

システム・オン・チップ (S o C) に対する要求性能や要求機能は年々上がっており、この傾向は今後も継続する見込みである。これに伴い、S o C に集積される回路量が増加し、増加する回路を搭載するためにさらに微細化技術が高度化するが、これらは相乗効果によって、マスクコストなど、S o C の開発費を急騰させる。したがって、S o C ベンダが収益を上げるために必要な量産数量、つまり採算ラインが、近年急上昇しつつあり、この傾向は継続する見込みである。現在でも S o C を全面的に先端プロセスを用いて開発しては採算ラインに達しない案件があるが、今後はこのような案件の比率がより高まると予想される。

40

【0003】

そこで今後は、先端プロセス製品の採算性確保と、個別顧客対応を同時に実現するために、複数品種に共通する機能を先端プロセスで A S S P として開発し、顧客対応部分を A S I C として安価なプロセスで開発する、A S S P ・ A S I C 分離アーキテクチャが広まる見込みである。A S S P (Application Specific Standard Product) とは特定の分野を対象に機能を特化させた汎用 L S I を意味する。A S I C (Application Specific Integrated Circuit) とはある特定の用途のために設計、製造される専用 L S A I を意味し、

50

カスタムチップなどとも呼ばれる。

【 0 0 0 4 】

A S S P ・ A S I C 分離アーキテクチャでは、チップ間転送の重要度が高い。特に、メインCPUを搭載するA S S Pから周辺機能を搭載するA S I Cへのアクセス性能が重要である。従来、チップ間インタフェースとしては、P C I (Peripheral Components Interconnect) 等の数十メガヘルツ程度で動作するパラレルバスが多く用いられていたが、パラレルバスには、端子数が多いためにチップコストが上がりやすく、必要な配線が多いためにチップを搭載する基板のコストが上がりやすい課題がある。

【 0 0 0 5 】

そこで、数百メガヘルツ以上に動作周波数を高めて端子数を削減したシリアルインタフェースが、チップ間インタフェースとして必要となる。このような周波数で動作するチップ間インタフェースでは、数十メガヘルツで動作するパラレルインタフェースが採用している、ハンドシェイク信号によるフロー制御の実装は困難である。

【 0 0 0 6 】

特許文献1には、バスの高速周波数での動作を可能にするために、発行側L S Iは、受信側L S Iが何個のコマンドを同時に処理できるか、或いは何個のデータを同時に受信できるかを示す値が初期化時にロードされるカウンタを有し、コマンドまたはデータを発行する時に、カウンタをデクリメントし、レディ信号を受信したときにカウンタをインクリメントし、カウンタが0になればコマンドまたはデータの発行を抑止するというインタフェースプロトコルを開示する。これによれば、発行側L S Iは、受信側L S Iからのビジー信号を確認することなく、受信側L S Iに対してコマンドやデータの発行をすることができる。コマンドまたはデータの発行側L S Iが、受信側L S Iのコマンドバッファまたはデータバッファの状態を管理できるので、バスが高速で動作するようになって、ハンドシェイクによらずに、効率よくコマンドまたはデータを発行することができる。

【 0 0 0 7 】

特許文献2に記載の技術において、送信手段11は、応答手段21からの応答確認をとらずに情報フレームを連続送信し、計数手段12からの最大アウトスタンディング数と送信された情報フレームの数との一致結果に基づき次に送信する情報フレームのポールビットを「1」にして送信する。送信手段11は、応答手段からのファイナルビットが「1」のレスポンスフレームを受信し、再び情報フレームをそのポールビットを「0」にしてデータ受信装置の応答確認をとらずに連続送信する。これにより、応答未確認での情報フレームの連続送信ができ、かつ応答確認がすぐに返信されデータ効率を向上できる、とある。

【 0 0 0 8 】

【特許文献1】特開2001-202327号公報

【特許文献2】特開平05-336194号公報

【発明の開示】

【発明が解決しようとする課題】

【 0 0 0 9 】

上記特許文献に記載の技術によれば、ハンドシェイク信号線に依らずにフロー制御を実現することができるため、イニシエータ回路とターゲット回路の間の信号の動作を高速化することができる。これにより、シリアルインタフェースには、従来のハンドシェイク信号によるフロー制御に代えて、アウトスタンディング・ベースのフロー制御が有用であることが理解される。本発明者は更に進んで、リクエストを発行してからレスポンスを受取るまでのレイテンシの抑制と低消費電力に寄与することができるアウトスタンディング・ベースのフロー制御について検討した。更に本発明者は、それに関連してフロー制御の可変性、可変フロー制御に起因して割込み処理が遅延する可能性の回避、インタフェース信号の秘匿性の向上などについて検討し、本発明を完成した。

【 0 0 1 0 】

本発明の目的は、レイテンシの抑制と低消費電力に寄与することができるアウトスタン

10

20

30

40

50

ディング・ベースのフロー制御を実現することにある。

【0011】

本発明の別の目的は、アウトスタンディング・ベースの可変フロー制御を可能にするデータ処理システムを実現することにある。

【0012】

本発明の更に別の目的は、チップ間での割り込み情報の通信に関し、可変フロー制御に起因して割り込み処理が遅延す可能性を回避することにある。

【0013】

本発明の前記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。

【課題を解決するための手段】

【0014】

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

【0015】

〔1〕データ処理システムは、イニシエータを有する第1の半導体集積回路と、ターゲットを有する第2の半導体集積回路と、前記イニシエータと前記ターゲットとを接続するインタフェース信号線とを有し、前記イニシエータがリクエストパケットを前記ターゲットに送信し、前記ターゲットがレスポンスパケットを前記イニシエータに送信することにより、パケットベースのスプリットトランザクションインタフェースを行う。このデータ処理システムにおいて、前記イニシエータは送信したリクエストパケットの数と受信したレスポンスパケットの数の差分値であるアウトスタンディング数を計数するアウトスタンディング計数回路を備え、前記アウトスタンディング数計数回路の計数値が、ターゲットが対応可能なアウトスタンディング数以下となるようにリクエストパケット送信数を制御する。この制御により、リクエストパケットを発行してからレスポンスパケットを受け取るまでの最大レイテンシを抑制するように、アウトスタンディング数を適切な数に動的に変更することが可能になる。

【0016】

〔2〕項1において前記ターゲットが、対応可能なアウトスタンディング数を保持するアウトスタンディングレジスタを備えるとき、前記イニシエータは、前記アウトスタンディングレジスタの値を読み出し、前記読み出した値が前記アウトスタンディング計数回路の計数値以下となるようにリクエストパケット送信数を制御する。これにより、前記アウトスタンディングレジスタに設定された値にしたがって前記リクエストパケット送信数を制御することができる。

【0017】

〔3〕項1において前記ターゲットが、対応可能なアウトスタンディング数を保持するアウトスタンディングレジスタを備えるとき、前記イニシエータは、前記アウトスタンディングレジスタにアウトスタンディング数を設定し、前記設定した値が前記アウトスタンディング計数回路の計数値以下となるようにリクエストパケット送信数を制御する。これにより、イニシエータは、前記アウトスタンディングレジスタに所要の値を設定して前記リクエストパケット送信数を制御することができる。

【0018】

〔4〕項1において前記イニシエータは、リクエストパケットと同じ転送経路を用いて割り込みパケットを前記ターゲットに送信し、前記ターゲットは、受信した割り込みパケットに基づいて割り込み信号を生成する。これにより、イニシエータ側からターゲット側に発行した割り込み要求に対する割り込み応答性のレイテンシについても可変に制御することが可能になる。

【0019】

〔5〕項1において前記ターゲットは、レスポンスパケットと同じパケット転送経路を用いて割り込みパケットを前記イニシエータに送信し、前記イニシエータは受信した割り

10

20

30

40

50

込みパケットに基づいて割り込み信号を生成する。これにより、ターゲット側からイニシエータ側に発行した割り込み要求に対する割り込み応答性のレイテンシについても可変に制御することが可能になる。

【 0 0 2 0 】

〔 6 〕項 2 又は 3 において前記ターゲットは、前記アウトスタンディングレジスタに保持された最大アウトスタンディング数に対応する数のパケットのデータを保持することが可能な複数のバッファを有し、前記アウトスタンディングレジスタに保持されたアウトスタンディング数に対応する数のパケットのデータを保持する必要のないバッファへの電力供給を遮断する。これにより、リクエストパケットに応答するターゲットの低消費電力に寄与することができる。

10

【 0 0 2 1 】

〔 7 〕項 2 又は 3 において、前記ターゲットは、前記アウトスタンディングレジスタに保持された最大アウトスタンディング数に対応する数のパケットのデータを保持することが可能な複数のバッファを有し、前記アウトスタンディングレジスタに保持されたアウトスタンディング数に対応する数のパケットのデータを保持する必要のないバッファへのクロック供給を遮断する。これにより、リクエストパケットに応答するターゲットの低消費電力に寄与することができる。

【 0 0 2 2 】

〔 8 〕項 1 において、前記イニシエータはターゲットに、リクエストパケットを復号するための第 1 の暗号鍵とレスポンスパケットを暗号化するための第 2 の暗号鍵を供給し、前記ターゲットは、受信したリクエストパケットを前記第 1 の暗号鍵を用いて復号し、送信するレスポンスパケットを前記第 2 の暗号鍵を用いて暗号化する。これによりイニシエータとターゲットと野間のインタフェース信号の秘匿性を向上させることができる。

20

【 0 0 2 3 】

〔 9 〕データ処理システムは、イニシエータを有する第 1 の半導体集積回路と、ターゲットを有する第 2 の半導体集積回路と、前記イニシエータと前記ターゲットとを接続するインタフェース信号線とを有し、前記イニシエータがリクエストパケットを前記ターゲットに送信し、前記ターゲットがレスポンスパケットを前記イニシエータに送信することにより、パケットベースのスプリットトランザクションインタフェースを行う。前記イニシエータは、送信したリードアクセスのリクエストパケットの数と受信したリードアクセスのレスポンスパケットの数の差分値であるリードアウトスタンディング数を計数するリードアウトスタンディング計数回路を備え、前記リードアウトスタンディング数計数回路の計数値が、ターゲットが対応可能なリードアウトスタンディング数以下となるように、リードアクセスのリクエストパケット送信数を制御する。この制御により、リードアクセスのリクエストパケットを発行してからレスポンスパケットを受け取るまでの最大レイテンシを抑制するように、アウトスタンディング数を適切な数に動的に変更することが可能になる。

30

【 0 0 2 4 】

〔 1 0 〕データ処理システムは、イニシエータを有する第 1 の半導体集積回路と、ターゲットを有する第 2 の半導体集積回路と、前記イニシエータと前記ターゲットとを接続するインタフェース信号線とを有し、前記イニシエータがリクエストパケットを前記ターゲットに送信し、前記ターゲットがレスポンスパケットを前記イニシエータに送信することにより、パケットベースのスプリットトランザクションインタフェースを行う。前記イニシエータは、送信したライトアクセスのリクエストパケットの数と受信したライトアクセスのレスポンスパケットの数の差分値であるライトアウトスタンディング数を計数するライトアウトスタンディング計数回路を備え、前記ライトアウトスタンディング数計数回路の計数値が、ターゲットが対応可能なライトアウトスタンディング数以下となるように、ライトアクセスのリクエストパケット送信数を制御する。この制御により、ライトアクセスのリクエストパケットを発行してからレスポンスパケットを受け取るまでの最大レイテンシを抑制するように、アウトスタンディング数を適切な数に動的に変更することが可能

40

50

になる。

【 0 0 2 5 】

〔 1 1 〕データ処理システムは、イニシエータを有する第1の半導体集積回路と、ターゲットを有する第2の半導体集積回路と、前記イニシエータと前記ターゲットとを接続するインタフェース信号線とを有し、前記イニシエータがリクエストパケットを前記ターゲットに送信し、前記ターゲットがレスポンスパケットを前記イニシエータに送信することにより、パケットベースのスプリットトランザクションインタフェースを行う。前記イニシエータは、リクエストパケットの転送タイミングを示すリクエストストロブ信号とリクエストパケットをターゲットに送信する。前記ターゲットは、レスポンスパケットの転送タイミングを示すレスポンスストロブ信号とレスポンスパケットをイニシエータに送信する。これにより、ストロブ信号を用いてフロー制御のタイミングを可変制御することができる。

10

【 0 0 2 6 】

〔 1 2 〕データ処理システムは、イニシエータを有する第1の半導体集積回路と、ターゲットを有する第2の半導体集積回路と、前記イニシエータと前記ターゲットとを接続するインタフェース信号線とを有し、前記イニシエータがリクエストパケットを前記ターゲットに送信し、前記ターゲットがレスポンスパケットを前記イニシエータに送信することにより、パケットベースのスプリットトランザクションインタフェースを行う。前記ターゲットは、リクエストパケットの受信に用いる信号線の本数を保持するリクエストレーン数レジスタとレスポンスパケットの送信に用いる信号線の本数を保持するレスポンスレーン数レジスタを備える。前記イニシエータは、前記リクエストレーン数レジスタにリクエストパケットの送信に用いる信号線の本数を示す値を、前記レスポンスレーン数レジスタにレスポンスリクエストパケットの受信に用いる信号線の本数を示す値をそれぞれ設定する。これにより、レーン数レジスタの設定値にしたがってフロー制御に用いる信号線本数を可変制御することができる。

20

【 0 0 2 7 】

〔 1 3 〕項 1 2 において、前記イニシエータは、リクエストパケットのビット数を計数するリクエスト計数回路とレスポンスパケットのビット数を計数するレスポンス計数回路を備え、前記リクエスト計数回路の計数結果と前記レスポンス計数回路の計数結果に基づいてリクエストパケットの受信に用いる信号線の本数とレスポンスパケットの受信に用いる信号線の本数を設定する。

30

【 0 0 2 8 】

〔 1 4 〕データ処理システムは、スプリットトランザクションインタフェースにより通信を行うイニシエータとターゲットを夫々が有する第1半導体集積回路及び第2半導体集積回路を備える。前記第1半導体集積回路と前記第2半導体集積回路が通信用の信号線で接続される。前記第1半導体集積回路は、前記第2半導体集積回路のイニシエータを停止させた後に前記信号線の本数を変更する。これにより、第1半導体集積回路のターゲットがリクエストパケットを正常に受信できなくなる事態を抑制して、信号線本数を可変にできる。

40

【 0 0 2 9 】

〔 1 5 〕データ処理システムは、スプリットトランザクションインタフェースにより暗号化情報の通信を行うイニシエータとターゲットを夫々が有する第1半導体集積回路及び第2半導体集積回路を備える。前記第1半導体集積回路と前記第2半導体集積回路が通信用の信号線で接続される。前記第1半導体集積回路は、前記第2半導体集積回路のイニシエータを停止させた後に暗号化に使用される暗号鍵を変更する。これにより、第1半導体集積回路のターゲットがリクエストパケットを正常に復号できなくなる事態を抑制して、暗号鍵を可変にできる。

【 0 0 3 0 】

〔 1 6 〕データ処理システムは、スプリットトランザクションインタフェースにより通信を行うイニシエータとターゲットを夫々が有する第1半導体集積回路及び第2半導体集

50

積回路を備える。前記第1半導体集積回路と前記第2半導体集積回路が通信用の信号線で接続される。前記第1半導体集積回路は、前記第1半導体集積回路が備えるターゲットのアウトスタンディング数上限値に基づいて前記第2半導体集積回路のイニシエータのアウトスタンディング上限数を設定する。これにより、第1半導体集積回路のターゲットが第2半導体集積回路のイニシエータからのリクエストパケットに正常に応答できなくなる事態を抑制して、アウトスタンディング数を可変にできる。

【発明の効果】

【0031】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記のとおりである。

10

【0032】

レイテンシの抑制と低消費電力に寄与することができるアウトスタンディング・ベースのフロー制御を実現することができる。

【0033】

アウトスタンディング・ベースの可変フロー制御を可能にするデータ処理システムを実現することができる。

【0034】

チップ間での割り込み情報の通信に関し、可変フロー制御に起因して割り込み処理が遅延す可能性を回避することができる。

【発明を実施するための最良の形態】

20

【0035】

《第1の実施の形態》

図1には本発明の一例にかかる集積回路Aおよび集積回路Bが示される。同図に示される集積回路A101および集積回路B109は、公知のCMOS（相補型MOSトランジスタ）やバイポーラトランジスタなどを形成する半導体集積回路技術によって、単結晶シリコンのような半導体基板に形成される。本実施の形態では、本発明による集積回路A101と集積回路B109の間のリードアクセス、ライトアクセスおよび集積回路B109から集積回路A101への割り込み通知について説明する。

【0036】

まず、信号線群AB107と信号線群BA108について図面を参照して説明する。

30

【0037】

図2は、信号線群AB107と信号線群BA108を示す図である。3ステートバッファ201および202は、信号伝送方向を切り替えるための3ステートバッファである。プルアップ抵抗203は、信号線群AB107あるいは信号線群BA108に含まれる情報信号線群が集積回路A101にも集積回路B109にも駆動されていないときに、該情報信号線群の電位をHIGHレベルに固定するためのプルアップ抵抗である。

【0038】

信号線群AB107は、集積回路A101から集積回路B109に情報を伝送する信号線群であり、信号線群BA108は、集積回路B109から集積回路A101に情報を伝送する信号線群である。信号線群AB107および信号線群BA108は、SiP（System in Package）内のボンディングワイヤや bumps やインタポーザ、基板上の配線等によって形成される。

40

【0039】

信号線群AB107は、1本のストローク信号1201と2本の情報信号群AB1202と2本の情報信号群1205を含む。信号線群AB107は、集積回路A101のイニシエータA105に含まれる暗号化送信部A1104によって駆動される。以下、本実施の形態では、情報信号群AB1202および情報信号群1205をリクエストレーンといい、情報信号群AB1202および情報信号群1205の信号線のうち、シリアルパケットの伝送に使用される信号線の本数をリクエストレーン数という。

【0040】

50

信号線群 B A 1 0 8 は、1本のストローク信号 1 2 0 3 と 2本の情報信号群 A B 1 2 0 4 と 2本の情報信号群 B A 1 2 0 5 を含む。信号線群 B A 1 0 8 は、集積回路 B 1 0 9 のターゲット B 1 1 2 に含まれる暗号化送信部 B 1 3 0 2 によって駆動される。以下、本実施の形態では、情報信号群 B A 1 2 0 4 および情報信号群 B A 1 2 0 5 をレスポンスレーンといい、情報信号群 B A 1 2 0 4 および情報信号群 B A 1 2 0 5 のうち、伝送に使用される信号線の本数をレスポンスレーン数という。

【0041】

ただし、情報信号群 A B 1 2 0 5 は、転送方向を切り替えられるように 3 ステートバッファ 2 0 1 および 2 0 2 によって駆動される。該情報信号群 B A 1 2 0 5 は、伝送方向が集積回路 B A 1 0 9 から集積回路 A B 1 0 1 の方向であるときにはリクエストレーンに属して信号線群 A B 1 0 7 に含まれ、伝送方向が集積回路 A B 1 0 1 から集積回路 B A 1 0 9 の方向であるときにはレスポンスレーンに属して信号線群 B A 1 0 8 に含まれる。

10

【0042】

つづいて、集積回路 A 1 0 1 に含まれるモジュールについて、再び図 1 を参照して説明する。

【0043】

集積回路 A 1 0 1 は、CPU A 1 0 2 と、メモリ A 1 0 3 と、INTCA 1 0 4 と、イニシエータ A 1 0 5 と、ルータ A 1 0 6 の各モジュールを備えて構成される。また、集積回路 A 1 0 1 には、信号線群 A B 1 0 7 と信号線群 B A 1 0 8 が接続される。CPU A 1 0 2 は、ルータ A 1 0 6 を介してメモリ A 1 0 3 にアクセスし、該メモリに保持されているプログラムを実行することによって、集積回路 A 1 0 1 および集積回路 B 1 0 9 の制御を行うプロセッサである。

20

【0044】

ここで、本発明によるアクセスに用いられるスプリットトランザクションインタフェースプロトコル(スプリットプロトコル)を説明する。

【0045】

集積回路 A 1 0 1 内のアクセスは、アクセスを要求するモジュールがアクセス要求を送信し、アクセス要求を受信したモジュールが、アクセスを要求したモジュールに対してアクセス応答を送信することによって完結するスプリットプロトコルにて行われる。

【0046】

本明細書においては、アクセスを要求するモジュールをイニシエータといい、アクセスに応答する回路若しくはモジュールをターゲットという。一つの回路でイニシエータとターゲットの機能を持つ場合もある。また、本明細書においては、アクセス要求の数とアクセス応答の数の差分をアウトスタンディング数という。アウトスタンディング数が 1 であれば、イニシエータが送信したアクセス要求に対してターゲットがアクセス応答を返信するまで、イニシエータは別のアクセス要求を送信しない。アウトスタンディングが 2 以上であれば、イニシエータは、送信したアクセス要求に対するアクセス応答を受信する前に別のアクセス要求を送信することができ、ターゲットは受信したアクセス要求に対してアクセス応答を返信する前に、別のアクセス要求を受信することができる。

30

【0047】

アウトスタンディング数の上限値が大きければ、単位時間内に多くのアクセス要求やアクセス応答を処理できるため、転送スループットを高め易い。しかしながら、大きなアウトスタンディング数は、多くのアクセスを同時に処理するために多くの回路が必要であることを意味し、回路コストが増大することを意味する。

40

【0048】

つづいて、集積回路 A 1 0 1 内におけるアクセスを、図面を参照して説明する。

【0049】

図 3 は、集積回路 A 1 0 1 内部において、ライトアクセスとリードアクセスをそれぞれ 1 回行う場合を示すタイミングチャートである。図 3 の時刻 T 1 から T 5 までがライトアクセスである。ライトアクセスでは、イニシエータがアクセス要求の内容であるアドレス

50

“ A 1 ”、コマンド“ C 1 ”、ライトデータ“ D 1 ”、リクエストID“ R 1 ”を出力し、アクセス要求が送信されていることを示すリクエストバリッド信号をハイ（HIGH）レベルに遷移させる（時刻 T 1）。リクエストIDは、ターゲットがアクセス応答をイニシエータに送信するときに、該アクセス応答を中継するルータ A 1 0 6 が送信先のイニシエータを特定できるように、イニシエータがアクセス要求に含める識別情報である。

【 0 0 5 0 】

ルータ A 1 0 6 は、アドレスによって送信先のターゲットを特定し、該特定されたターゲットにイニシエータが送信したアドレス、コマンド、ライトデータ、リクエストIDを再送信する。このとき、該ターゲットに対してリクエストバリッド信号をアサートしてアクセス要求が送信されていることを通知する。

10

【 0 0 5 1 】

以下、本明細書では、前記リクエストバリッド信号などの1ビットの制御信号を出力するモジュールが、前記制御信号を有意な状態であることを示す値に遷移させることを「アサートする」と表現し、有意ではない状態であることを示す値に遷移させることを「ディアサートする」と表現する。また、1ビットの制御信号が有意な状態であることを示す値であることを「アサート状態」と表現し、1ビットの制御信号が有意な状態でないことを示す値であることを「ディアサート状態」と表現する。さらに、本明細書では、アドレス、コマンド、ライトデータ、リクエストIDなど、アクセス要求内容を示す情報をリクエストパケットといい、ステータス、リードデータ、レスポンスバリッドなど、アクセス応答内容を示す情報をレスポンスパケットという。

20

【 0 0 5 2 】

さらに、集積回路 A 1 0 1 を転送されるリクエストパケット、レスポンスパケットを、後述の集積回路 A 1 0 1 と集積回路 B 1 0 9 の間で転送されるリクエストパケット、レスポンスパケットと区別するために、それぞれパラレルリクエストパケット、パラレルレスポンスパケットという。

【 0 0 5 3 】

一方、集積回路 A 1 0 1 と集積回路 B 1 0 9 の間を転送されるリクエストパケット、レスポンスパケットは、それぞれシリアルリクエストパケット、シリアルレスポンスパケットという。

【 0 0 5 4 】

集積回路 A 1 0 1 内部のアクセスの説明に戻る。

30

【 0 0 5 5 】

ターゲットは、時刻 T 1 においてリクエストバリッドがアサートされていることを検出し、アドレス、コマンド、ライトデータ、リクエストIDを取り込む。そして、アドレス“ A 1 ”にライトデータ“ D 1 ”を書き込む。ライトアクセスの場合、アクセス応答はアクセスが正常に行われたか否かを示す1ビットの情報である。そして、ターゲットはライトアクセスが完了した時刻 T 5 においては、アクセス応答が送信されていることを示すレスポンスバリッド信号をアサートし、同時にステータス“ S 1 ”とリクエストID“ R 1 ”を出力する。なお、このアクセスはライトアクセスであるので、リードデータを示す信号は無効である。

40

【 0 0 5 6 】

ルータ A 1 0 6 は、リクエストIDによってアクセス応答の送信先のイニシエータを特定し、該特定されたイニシエータにターゲットが送信したステータス、リクエストID、リードデータを再送信する。このとき、該イニシエータに対してレスポンスバリッド信号をアサートしてアクセス応答が送信されていることを通知する。

【 0 0 5 7 】

次に、リードアクセスについて説明する。図3の T 9 から T 1 5 までがリードアクセスである。リードアクセスでは、イニシエータがアクセス要求の内容であるアドレス“ A 2 ”、コマンド“ C 2 ”、リクエストID“ R 2 ”を出力し、アクセス要求が送信されていることを示すリクエストバリッド信号をハイレベルに遷移させる（時刻 T 9）。

50

【 0 0 5 8 】

ターゲットは、時刻 T 9 においてリクエストバリッドがアサートされていることを検出し、アドレス、コマンド、リクエスト ID を取り込む。そして、アドレス “ A 2 ” からリードデータ “ D 2 ” を読み出す。リードアクセスの場合、アクセス応答はリードデータと前記ステータス情報である。そして、ターゲットはリードアクセスが完了した時刻 T 1 5 においては、アクセス応答が送信されていることを示すレスポンスバリッド信号をアサートし、同時にステータス “ S 1 ” とリクエスト ID “ R 2 ” を出力する。

【 0 0 5 9 】

ルータ A 1 0 6 は、リクエスト ID によってアクセス応答の送信先のイニシエータを特定し、該特定されたイニシエータにターゲットが送信したステータス、リクエスト ID、リードデータを再送信する。このとき、該イニシエータに対してレスポンスバリッド信号をアサートしてアクセス応答が送信されていることを通知する。

10

【 0 0 6 0 】

集積回路 A 1 0 1 に含まれるモジュールの説明に戻る。

【 0 0 6 1 】

メモリ A 1 0 3 は、ルータ A 1 0 6 からリクエストパケットを受信し、該リクエストパケットの内容にしたがってリードあるいはライトアクセスを実行し、レスポンスパケットをルータ A 1 0 6 に送信する記憶装置である。 I N T C A 1 0 4 は、イニシエータ A 1 0 5 から割り込み情報を取り込み、該割り込み情報を C P U A 1 0 2 に中継する割り込みコントローラである。イニシエータ A 1 0 5 は、ルータ A 1 0 6 と集積回路 B 1 0 9 の間のアクセス要求およびアクセス応答の中継を行うブリッジ回路であると同時に、集積回路 B 1 0 9 からの割り込み要求を I N T C A 1 0 4 に中継する割り込み中継回路である。ルータ A 1 0 6 は、 C P U A 1 0 2、メモリ A 1 0 3、 I N T C A 1 0 4、イニシエータ A 1 0 5 が送受信するリクエストパケットおよびレスポンスパケットを中継する中継回路である。

20

【 0 0 6 2 】

つづいて、集積回路 B 1 0 9 に含まれるモジュールについて説明する。

【 0 0 6 3 】

集積回路 B 1 0 9 は、メモリ B 1 1 0 と、 I P B 1 1 1 と、ターゲット B 1 1 2 と、ルータ B 1 1 3 と、電力制御部 B 1 1 4 と、クロック制御部 B 1 1 5 を備えて構成される。また、集積回路 B 1 0 9 には、前記信号線群 A B 1 0 7 と前記信号線群 B A 1 0 8 が接続される。集積回路 B 1 0 9 内のアクセスは、前記集積回路 A 1 0 1 内のアクセスと同様のスプリットプロトコルによって行われる。集積回路 B 1 0 9 内においては、ターゲット B 1 1 2 と I P B 1 1 1 がイニシエータであり、メモリ B 1 1 0 がターゲットである。

30

【 0 0 6 4 】

メモリ B 1 1 0 は、ルータ B 1 1 3 からリクエストパケットを受信し、該リクエストパケットの内容にしたがってリードあるいはライトアクセスを実行し、レスポンスパケットをルータ B 1 1 3 に送信する記憶装置である。

【 0 0 6 5 】

I P B 1 1 1 は、ルータ B 1 1 3 を介してメモリ B 1 1 0 にアクセスすることによって所定の処理を実行し、該処理によって得られた結果をメモリ B 1 1 0 に書き込み、さらに該処理の終了を割り込み信号としてターゲット B 1 1 2 に通知する I P (I n t e l l e c t u a l P r o p e r t y) モジュールと称される回路である。

40

【 0 0 6 6 】

ターゲット B 1 1 2 は、信号線群 A B 1 0 7 を介して集積回路 A 1 0 1 からシリアルリクエストパケットを受信し、該シリアルリクエストパケットをパラレルリクエストパケットに変換し、該パラレルリクエストパケットをルータ B 1 1 3 に送信するブリッジ回路である。ターゲット B 1 1 2 は、ルータ B 1 1 3 からパラレルレスポンスパケットを受信し、該パラレルレスポンスパケットをシリアルレスポンスパケットに変換し、該シリアルレスポンスパケットを信号線群 B A 1 0 8 を介して集積回路 A 1 0 1 に送信するブリッジ回

50

路である。ターゲット B 1 1 2 は、I P B 1 1 1 から割り込み情報を取り込み、該割り込み情報を信号線群 B A 1 0 8 を介して集積回路 A 1 0 1 に送信する割り込み中継回路である。さらに、ターゲット B 1 1 2 は、信号線群 A B 1 0 7 を介して集積回路 A 1 0 1 からシリアルリクエストパケットを受信し、該シリアルリクエストパケットに基づいて電力要求信号とクロック要求信号を生成し、それぞれ電力制御部 B 1 1 4 とクロック制御部 B 1 1 5 に供給する制御回路である。

【 0 0 6 7 】

ルータ B 1 1 3 は、メモリ B 1 1 0、I P B 1 1 1、ターゲット B 1 1 2 が送受信するパラレルリクエストパケットおよびパラレルレスポンスパケットを中継する中継回路である。

10

【 0 0 6 8 】

電力制御部 B 1 1 4 は、ターゲット B 1 1 2 から供給される電力制御信号に基づいて、I P B 1 1 1 に対する電力を供給あるいは遮断する電力制御回路である。クロック制御部 B 1 1 5 は、前記ターゲット B 1 1 2 から供給されるクロック制御信号に基づいて、I P B 1 1 1 に対するクロックを供給あるいは遮断するクロック制御回路である。

【 0 0 6 9 】

つづいて、集積回路 A 1 0 1 と集積回路 B 1 0 9 の間の転送処理について説明する。以下、本実施の形態では、集積回路 A 1 0 1 と集積回路 B 1 0 9 の間の、信号線群 A B 1 0 7 と信号線群 B A 1 0 8 によって構成されたインタフェースを、シリアルインタフェースという。該シリアルインタフェースを経由するアクセスは、前記集積回路 A 1 0 1 内のアクセスと類似したスプリットプロトコルにて行われる。ただし、シリアルインタフェース上を転送されるリクエストパケットおよびレスポンスパケットは、前述のパラレルリクエストパケットやパラレルレスポンスパケットとは異なるフォーマットを持つ、シリアルリクエストパケットおよびシリアルレスポンスパケットである。さらに、シリアルインタフェース上には、割り込み情報などを含むシリアルコントロールパケットが転送される。以下、シリアルリクエストパケット、シリアルレスポンスパケット、シリアルコントロールパケットを総称してシリアルパケットという。

20

【 0 0 7 0 】

また、本発明のシリアルインタフェースにおいて、アウトスタンディング数算出の対象とするのは、シリアルリクエストパケットとシリアルレスポンスパケットであり、シリアルコントロールパケットはアウトスタンディング数算出の対象としない。

30

【 0 0 7 1 】

つづいて、図面を参照してシリアルリクエストパケットとシリアルレスポンスパケットを説明する。

【 0 0 7 2 】

図 4 は、シリアルリクエストパケットのフォーマットを示す図である。シリアルリクエストパケットは、start、basic、reqrsp、rw、sid、tid、alen、lasz、uadd、tid、wdata の各フィールドによって構成される。各フィールドを説明する。

【 0 0 7 3 】

startフィールドは、シリアルパケットの先頭位置を示す 1 ビットのフィールドである。startフィールドが ' 1 ' である位置が、シリアルパケットの先頭である。

40

【 0 0 7 4 】

basicフィールドは、シリアルパケットの種類を示す 1 ビットのフィールドである。basicフィールドが ' 1 ' であるパケットはシリアルリクエストパケットあるいはシリアルレスポンスパケットであり、basicフィールドが ' 0 ' であるパケットは、シリアルコントロールパケットである。

【 0 0 7 5 】

reqrspは、シリアルパケットがリクエストパケットであるかレスポンスパケットであるかを示す 1 ビットのフィールドである。reqrspフィールドが ' 1 ' であるパケットが、リクエストパケットである。

50

【 0 0 7 6 】

rwは、リードアクセスであるかライトアクセスであることを示す1ビットのフィールドである。rwフィールドが‘1’であるシリアルリクエストパケットは、リードアクセスのシリアルリクエストパケットであり、rwフィールドが‘0’であるリクエストパケットは、ライトアクセスのシリアルリクエストパケットである。

【 0 0 7 7 】

sidは、ストリームIDを示す2ビットのフィールドである。sidフィールドの存在理由と、イニシエータおよびターゲットによるsidフィールドの取り扱いを説明する。一般に、連続的に実行される一連のアクセスは、高い空間的局所性を有する。空間的局所性を有する一連のアクセスを実行するとき、アクセス毎に転送しなければならないアドレスは下位ビット（例えば4キロバイト分を示す、アドレスのビット11からビット0まで）のみであり、アドレス上位ビットは最初に一回だけ転送すればよい。ただし、このようにアドレスの一部を省略する場合には、ターゲット側で省略されたアドレスを補完しなければならない。また、現在では一つのプロセッサが時分割で複数の処理を並列実行するマルチタスク処理が一般的であるので、集積回路においては、空間的局所性を有する一連のアクセスからなるアクセス群が、複数並列に実行されることが多い。そこで、本明細書のシリアルインタフェースでは、上記アクセス群を識別するためのフィールドとして、sidフィールドを備える。イニシエータは、高い空間的局所性を有する一連のシリアルリクエストパケット群のsidフィールドに同一の値を設定し、後述のalenフィールドを用いてアドレス上位ビットの転送を阻止してシリアルリクエストパケットのビット数を削減し、シリアルインタフェースのレイテンシならびにスループットを向上させる。ターゲットは、シリアルリクエストパケット受信時にsidフィールドの値を保存し、sidフィールドの値に基づいてアドレス補完を行い、さらに対応するシリアルレスポンスパケットを送信する際にr_sidフィールド（後述）として出力する。

10

20

【 0 0 7 8 】

alenは、アドレス長を示す1ビットのフィールドである。alenフィールドが‘1’である場合、アドレス長は32ビットであり、alenフィールドが‘0’である場合、アドレス長は12ビットである。laszフィールドは、アドレス下位ビットと転送サイズを示す6ビットのフィールドである。

【 0 0 7 9 】

laszフィールドと、アクセス対象アドレスの下位ビットおよび転送サイズの関係を、図面を参照して説明する。

30

【 0 0 8 0 】

図5は、laszフィールドと、アクセス対象アドレスの下位ビットおよび転送サイズの関係図である。

【 0 0 8 1 】

laszフィールドの最下位ビットの値が‘1’である場合、転送サイズは1バイトであり、アクセス対象アドレスのビット4からビット0まではlaszフィールドのビット5からビット1までである。

【 0 0 8 2 】

laszフィールドの下位2ビットの値が“10”である場合、転送サイズは2バイトであり、アクセス対象アドレスのビット4からビット1まではlaszフィールドのビット5からビット2までであり、アクセス対象アドレスのビット0は‘0’である。

40

【 0 0 8 3 】

laszフィールドの下位3ビットの値が“100”である場合、転送サイズは4バイトであり、アクセス対象アドレスのビット4からビット2まではlaszフィールドのビット5からビット3までであり、アクセス対象アドレスのビット1から0までは“00”である。

【 0 0 8 4 】

laszフィールドの下位4ビットの値が“1000”である場合、転送サイズは8バイトであり、アクセス対象アドレスのビット4からビット3まではlaszフィールドのビット5

50

からビット 4 までであり、アクセス対象アドレスのビット 2 からビット 0 までは “ 0 0 0 ” である。

【 0 0 8 5 】

laszフィールドの下位 4 ビットの値が “ 0 0 0 0 ” である場合、転送サイズは 3 2 バイトであり、アクセス対象アドレスのビット 4 から 3 までは laszフィールドのビット 5 からビット 4 までであり、アクセス対象アドレスのビット 2 から 0 は “ 0 0 0 ” までである。

【 0 0 8 6 】

uaddフィールドはアクセス対象アドレスの上位ビットを示す 7 ビットあるいは 2 7 ビットのフィールドである。uaddフィールドは、alenフィールドの値によってビット数が異なる。alenフィールドが ‘ 0 ’ であるとき、アドレス長は 1 2 ビットである。このとき、uaddフィールドは 7 ビットであり、アクセス対象アドレスのビット 1 1 からビット 5 までを示す。alenフィールドが ‘ 1 ’ であるとき、アドレス長は 3 2 ビットである。このとき、uaddフィールドは、2 7 ビットであり、アクセス対象アドレスのビット 3 1 からビット 5 までを示す。

10

【 0 0 8 7 】

tidフィールドは、シリアルリクエストパケットとシリアルレスポンスパケットを対応付けるための 3 ビットのフィールドである。

【 0 0 8 8 】

本明細書のシリアルインタフェースは、パイプライン処理をサポートする。すなわち、イニシエータである集積回路 A 1 0 1 は、送信したシリアルリクエストパケットに対するシリアルレスポンスパケットを受信する前に、前記シリアルリクエストパケットとは別のシリアルリクエストパケットを送信できる。ターゲットである集積回路 B 1 0 9 は、受信したシリアルリクエストパケットに対するシリアルレスポンスパケットを送信する前に、前記シリアルリクエストパケットとは別のシリアルリクエストパケットを受信して処理することもできるが、シリアルリクエストパケットの受信順と、それらに対応するシリアルレスポンスパケットの送信順が同一であることを保証しない。ターゲットがシリアルレスポンスパケットの送信順を保証しない理由は、イニシエータのシリアルレスポンス受信待ち時間を短くするためである。例えば、シリアルレスポンスパケットの生成に時間がかかるシリアルリクエストパケットにつづいて、シリアルレスポンスパケットの生成に時間がかからないシリアルリクエストパケットを受信した場合、後に受信したシリアルリクエストパケットに対するシリアルレスポンスパケットを、先に受信したシリアルリクエストパケットに対するシリアルレスポンスパケットよりも先に送信することによって、イニシエータのシリアルレスポンスパケット受信待ち時間を短くすることができる。

20

30

【 0 0 8 9 】

集積回路 B 1 0 9 は、シリアルリクエストパケット受信時に tidフィールドの値を保存し、対応するシリアルレスポンスパケットを送信する際に r_tidフィールド（後述）として出力する。集積回路 A 1 0 1 は、r_tidフィールドによってシリアルリクエストパケットとシリアルレスポンスパケットを対応付ける。

【 0 0 9 0 】

wdataフィールドは、集積回路 A 1 0 1 から集積回路 B 1 0 9 に転送されるライトデータを含むフィールドである。wdataフィールドは、ライトアクセスのシリアルリクエストパケットのみに存在し、リードアクセスのシリアルリクエストパケットには存在しない。

40

【 0 0 9 1 】

つづいて、シリアルレスポンスパケットのフォーマットを図面を参照して説明する。

【 0 0 9 2 】

図 6 は、シリアルレスポンスパケットフォーマットを示す図である。シリアルレスポンスパケットは、start、basic、reqrsp、dss、r_sid、r_tid、rdataの各フィールドを含む。

【 0 0 9 3 】

startフィールドは、シリアルパケットの先頭ビットの位置を示す 1 ビットのフィール

50

ドである。startフィールドが ' 1 ' である位置が、シリアルパケットの先頭である。

【 0 0 9 4 】

basicフィールドは、シリアルパケットの種類を示す1ビットのフィールドである。basicフィールドが ' 1 ' であるパケットは、シリアルリクエストパケットあるいはシリアルレスポンスパケットであり、basicフィールドが ' 0 ' であるパケットは、シリアルコントロールパケットである。

【 0 0 9 5 】

reqrspは、パケットがリクエストパケットであるかレスポンスパケットであるかを示す1ビットのフィールドである。reqrspフィールドが ' 0 ' であるパケットがレスポンスパケットである。

【 0 0 9 6 】

dssフィールドは、アクセスの成否とシリアルレスポンスパケットに含まれるリードデータの量を示す3ビットのフィールドである。dssフィールドの値と、アクセス成否およびリードデータ量の関係を図面を参照して説明する。

【 0 0 9 7 】

図7は、dssフィールドの値と、アクセス成否およびリードデータ量の関係を示す関係図である。

【 0 0 9 8 】

dssフィールドの値が " 0 0 0 " であるとき、シリアルレスポンスパケットに含まれるリードデータの量は0バイトであり、アクセスは成功である。すなわち、" 0 0 0 " は、ライトアクセスに成功したときのdssフィールドの値である。

【 0 0 9 9 】

dssフィールドの値が " 0 0 1 " であるとき、シリアルレスポンスパケットに含まれるリードデータの量は1バイトであり、アクセスは成功である。すなわち、" 0 0 1 " は、転送サイズ1バイトのリードアクセスに成功したときのdssフィールドの値である。

【 0 1 0 0 】

dssフィールドの値が " 0 1 0 " であるとき、シリアルレスポンスパケットに含まれるリードデータの量は2バイトであり、アクセスは成功である。すなわち、" 0 1 0 " は、転送サイズ2バイトのリードアクセスに成功したときのdssフィールドの値である。

【 0 1 0 1 】

dssフィールドの値が " 0 1 1 " であるとき、シリアルレスポンスパケットに含まれるリードデータの量は4バイトであり、アクセスは成功である。すなわち、" 0 1 1 " は、転送サイズ4バイトのリードアクセスに成功したときのdssフィールドの値である。

【 0 1 0 2 】

dssフィールドの値が " 1 0 0 " であるとき、シリアルレスポンスパケットに含まれるリードデータの量は8バイトであり、アクセスは成功である。すなわち、" 1 0 0 " は、転送サイズ8バイトのリードアクセスに成功したときのdssフィールドの値である。

【 0 1 0 3 】

dssフィールドの値が " 1 0 1 " であるとき、シリアルレスポンスパケットに含まれるリードデータの量は32バイトであり、アクセスは成功である。すなわち、" 1 0 1 " は、転送サイズ32バイトのリードアクセスに成功したときのdssフィールドの値である。

【 0 1 0 4 】

dssフィールドの値が " 1 1 0 " であるとき、シリアルレスポンスパケットに含まれるリードデータの量は0バイトであり、アクセスは失敗である。すなわち、" 1 1 0 " は、リードアクセスあるいはライトアクセスに失敗したときのdssフィールドの値である。

【 0 1 0 5 】

なお、ターゲットである集積回路B 1 0 9がdssフィールドの値として " 1 1 1 " を出力することは、本明細書のシリアルインタフェースでは禁止されている。

【 0 1 0 6 】

r_sidフィールドは、シリアルリクエストパケットとシリアルレスポンスパケットを対

10

20

30

40

50

応付けるための2ビットのフィールドである。ターゲットである集積回路B109は、リアルリクエストパケット受信時にsidフィールドの値を保存し、対応するリアルレスポンスパケットを送信する際にr_sidフィールドの値として出力する。イニシエータである集積回路A101はr_sidフィールドの値と後述するr_tidフィールドの値によって、リアルリクエストパケットとリアルレスポンスパケットの対応付けを行う。

【0107】

r_tidフィールドは、リアルリクエストパケットとリアルレスポンスパケットを対応付けるための3ビットのフィールドである。ターゲットである集積回路B109は、リアルリクエストパケット受信時にtidフィールドの値を保存し、対応するリアルレスポンスパケットを送信する際にr_tidフィールドの値として出力する。イニシエータである集積回路A101はr_tidフィールドの値とr_sidフィールドの値によって、リアルリクエストパケットとリアルレスポンスパケットの対応付けを行う。

10

【0108】

rdataフィールドは、ターゲットである集積回路B109からイニシエータである集積回路A101に転送されるデータである。リアルレスポンスパケットにrdataフィールドが存在するのは、リードアクセスが成功した場合のみである。

【0109】

つづいて、リアルコントロールパケットのフォーマットを説明する。

【0110】

図8は、リアルコントロールパケットのフォーマットを示す図である。リアルコントロールパケットは、start、basic、reqrsp、reccc、intcodeの各フィールドを含む。

20

【0111】

startフィールドは、リアルパケットの先頭ビットの位置を示す1ビットのフィールドである。startフィールドが‘1’である位置が、リアルパケットの先頭である。

【0112】

basicフィールドは、リアルパケットの種類を示す1ビットのフィールドである。basicフィールドが‘1’であるパケットは、リアルリクエストパケットあるいはリアルレスポンスパケットであり、basicフィールドが‘0’であるパケットは、リアルコントロールパケットである。

【0113】

reqrspは、パケットがリクエストパケットであるかレスポンスパケットであるかを示す1ビットのフィールドである。

30

【0114】

recccフィールドは、リアルコントロールパケットの種類と割り込みレベルを示す7ビットのフィールドである。recccフィールドの上位3ビットはリアルコントロールパケットの種類を示す。

【0115】

recccフィールドの上位3ビットが“100”であるリアルコントロールパケットは、割り込み情報を含むリアルコントロールパケットである。以下、本明細書では、割り込み情報を含むリアルコントロールパケットを割り込みパケットという。

40

【0116】

割り込みパケットにおいては、reqccフィールドの下位4ビットは割り込みレベルである。割り込みレベルは16段階であり、最も高い割り込みレベルではreqccフィールドの下位4ビットは“1111”であり、最も低い割り込みレベルではreqccフィールドの下位4ビットは“0000”である。なお、割り込みパケットはリクエストパケットのみであり、レスポンスパケットは存在しない。

【0117】

recccフィールドの上位3ビットが“000”であるリアルコントロールパケットは、リアルインタフェースのイニシエータを停止させるリアルコントロールパケットである。以下、本明細書では、リアルインタフェースのイニシエータを停止させるシリア

50

ルコントロールパケットをイニシエータストップパケットという。

【 0 1 1 8 】

recccフィールドの上位3ビットが“001”であるシリアルコントロールパケットは、シリアルインタフェースのイニシエータの停止を解除するシリアルコントロールパケットである。以下、本明細書では、シリアルインタフェースのイニシエータの停止を解除するシリアルコントロールパケットをイニシエータストップ解除パケットという。

【 0 1 1 9 】

intcodeフィールドは、割り込みパケットにのみ存在する16ビットのフィールドであり、割り込みの属性情報を含む。

【 0 1 2 0 】

ここで、シリアルインタフェースにおけるシリアルパケット転送の様子を図面を参照して説明する。

【 0 1 2 1 】

図9は、シリアルインタフェースにおけるシリアルリクエストパケットおよびシリアルコントロールパケットの転送の様子を示す図であり、図10はシリアルインタフェースにおけるシリアルレスポンスパケットの転送の様子を示す図である。本発明のシリアルインタフェースは、情報を送信する側が情報を示す信号とその情報のタイミングを示す信号を両方出力する、ソース同期式のインタフェースである。

【 0 1 2 2 】

シリアルリクエストパケットは、リクエストストロープの立ち上がりエッジに同期して転送される。リクエストストロープは、信号線群A B 1 0 7のストロープ信号1 2 0 1によって集積回路A 1 0 1から集積回路B 1 0 9に供給される。リクエストレーンにおいては、先に説明したシリアルリクエストパケットが、startフィールドから順に、かつリクエストレーンのMSB (Most Significant Bit) から順に転送される。図9においては、startフィールドを「0」で示している。startフィールドは必ずリクエストレーンのMSBを用いて転送される。このため、本発明のシリアルインタフェースにおいては、先に説明した集積回路A 1 0 1におけるパラレルリクエストパケットの転送とは異なり、リクエストバリッド信号に相当する信号を必要としない。これはシリアルインタフェースの信号線数を少なくするためである。本発明のシリアルインタフェースのターゲットは、リクエストレーンのMSBを監視し、リクエストレーンのMSBが‘0’となった時刻からシリアルリクエストパケットあるいはシリアルコントロールパケットの受信を開始し、受信したシリアルパケットの内容を解析することにより該シリアルパケットの最終ビット(図9の「F」(Final))で示されたビット)および次のシリアルパケットの先頭位置を検出する。シリアルリクエストパケットやシリアルコントロールパケットのビット数がリクエストレーン数の倍数以外の場合には、リクエストレーンのMSB以外の信号線にダミーデータが出力される。

【 0 1 2 3 】

同様に、シリアルレスポンスパケットあるいはシリアルコントロールパケットは、startフィールドがレスポンスレーンのMSBによって転送され、以下、basic、reqrspの順にレスポンスレーンのMSB側を先にして順次転送される。

【 0 1 2 4 】

また、図9では一本のストロープ信号を用いたが、ストロープ信号として2本のLVDS (Low Voltage Differential Signaling) からなる信号群を用いることもできる。この場合、信号線数はシリアルインタフェース全体で2本増加するが、他の信号の倍の頻度で変化するストロープ信号が低振幅化され、動作周波数上限が高めやすくなる。たとえば、LVDS信号でストロープを伝送するDDR2 SDRAMコントローラの物理層回路を本発明のシリアルインタフェースの物理層回路として用いれば、リクエストレーンあるいはレスポンスレーンの信号線一本あたりのデータレートを毎秒800メガビットまで容易に高めることができる。この場合、本実施の形態におけるシリアルインタフェースの転送スループットは、リクエストレーンとレスポンスレ

10

20

30

40

50

ーの合計で毎秒600メガバイトとなる。

【0125】

集積回路A101の説明に戻る。集積回路A101に含まれるイニシエータA105について図面を参照して説明する。

【0126】

図11は、イニシエータA105の構成を示すブロック図である。

【0127】

イニシエータA105は、リクエスト送信制御部A1101と、レスポンス受信制御部A1102と、割り込み受信制御部A1103と、暗号化送信部A1104と、パケット計数部A1105と、復号受信部A1106と、レジスタA1107と、3ステートバッファ201と、プルアップ抵抗203とを備えて構成される。

【0128】

リクエスト送信制御部A1101は、ルータA106からパラレルリクエストパケットを受信し、該パラレルリクエストパケットのアドレスがレジスタA1107を示すときには該パラレルリクエストパケットをレジスタA1107に送信し、該パラレルリクエストパケットのアドレスがレジスタA1107を示さないときには該パラレルリクエストパケットを暗号化送信部A1104に送信する中継回路である。

【0129】

レスポンス受信制御部A1102は、復号受信部A1106およびレジスタA1107からパラレルレスポンスパケットを受信し、該パラレルレスポンスパケットをルータA106に送信する中継回路である。

【0130】

割り込み受信制御部A1103は、復号受信部A1106から割り込みパケットを受信して該割り込みパケットの内容を解析し、解析結果に基づいてINTCA104に対する割り込み信号を生成する割り込み情報中継回路である。

【0131】

暗号化送信部A1104は、リクエスト送信制御部A1101からパラレルリクエストパケットを受信し、該パラレルリクエストパケットをシリアルリクエストパケットに変換し、さらに該シリアルリクエストパケットを暗号化して信号線群AB107を介して集積回路B109に送信する中継回路である。暗号化送信部A1104はシリアルリクエストパケットを中継するとき、合わせて以下の処理を行う。暗号化送信部A1104は、パケット計数部A1105から供給されるシリアルリクエストパケット送信許可信号がディassert状態であるときには、集積回路B109へのシリアルリクエストパケット送信を行わない。暗号化送信部A1104は、集積回路B109へのシリアルリクエストパケット送信が完了するたびに、シリアルリクエストパケットの送信が完了した旨と、送信したシリアルリクエストパケットのrwフィールドの値を、パケット計数部A1105に通知する。暗号化送信部A1104は、後述のリクエストレーン数レジスタAを参照し、該レジスタの値によって指定された数の信号線群AB107に含まれる情報信号線群を用いてシリアルリクエストパケットを送信する。暗号化送信部A1104は、後述の暗号機能イネーブルレジスタAの値と暗号化暗号鍵レジスタAの値をそれぞれ参照し、該暗号機能イネーブルレジスタAの値が暗号化機能が有効であることを示す値である場合には、該暗号化暗号鍵レジスタAによって指定された暗号鍵を用いてシリアルリクエストパケットの暗号化を行う。

【0132】

パケット計数部A1105は、アウトスタンディングカウンタ、リードアウトスタンディングカウンタ、ライトアウトスタンディングカウンタを備える。

【0133】

アウトスタンディングカウンタは、暗号化送信部A1105からシリアルリクエストパケットの送信が完了したことを通知されるたびにカウント値を1増加させ、復号受信部A1106からシリアルレスポンスパケットの受信が完了したことを通知されるたびにカウ

10

20

30

40

50

ント値を1減少させる。ただし、アウトスタンディングカウンタはシリアルリクエストパケット送信とシリアルレスポンスパケット受信が同時に完了したときにはカウント値を変化させない。また、アウトスタンディングカウンタは、集積回路A101の初期化時に0となる。

【0134】

リードアウトスタンディングカウンタは、暗号化送信部A1105からrwフィールドが‘1’であるシリアルリクエストパケットの送信が完了したことを通知されるたびにカウント値を1増加させ、復号受信部A1106から前記シリアルリクエストパケットに対応するシリアルレスポンスパケットの受信が完了したことを通知されるたびにカウント値を1減少させる。ただし、リードアウトスタンディングカウンタはrwフィールドが‘1’であるシリアルリクエストパケットの送信と該シリアルリクエストパケットに対応するシリアルレスポンスパケットの受信が同時に行われたときにはカウント値を変化させない。また、リードアウトスタンディングカウンタは、集積回路A101の初期化時に0となる。

10

【0135】

ライトアウトスタンディングカウンタは、暗号化送信部A1105からrwフィールドが‘0’であるシリアルリクエストパケットの送信が完了したことを通知されるたびにカウント値を1増加させ、復号受信部A1106から前記シリアルリクエストパケットに対応するシリアルレスポンスパケットの受信が完了したことを通知されるたびにカウント値を1減少させる。ただし、ライトアウトスタンディングカウンタは、rwフィールドが‘1’であるシリアルリクエストパケット送信と該シリアルリクエストパケットに対応するシリアルレスポンスパケットの受信が同時に行われたときにはカウント値を変化させない。また、ライトアウトスタンディングカウンタは、集積回路A101の初期化時に0となる。

20

【0136】

パケット計数部A1105は、後述の最大アウトスタンディングレジスタAの値と、後述の最大リードアウトスタンディングレジスタAの値と、後述の最大ライトアウトスタンディングレジスタAの値を参照する。パケット計数部A1105は、該最大アウトスタンディングレジスタAの値が前記アウトスタンディングカウンタの値より大きく、かつ、該最大リードアウトスタンディングレジスタAの値が前記リードアウトスタンディングカウンタの値より大きく、かつ、該最大ライトアウトスタンディングレジスタAの値が前記ライトアウトスタンディングカウンタの値より大きいときに、暗号化送信部A1105に対するシリアルリクエストパケット送信許可信号をアサート状態に保持する。

30

【0137】

復号受信部A1106は、信号線群BA108を介して集積回路B109からシリアルパケットを受信し、レスポンス受信制御部A1102あるいは割り込み受信制御部A1103に送信する中継回路である。復号受信部A1106は、シリアルパケットを中継するときに、合わせて以下の処理を行う。復号受信部A1106は、後述のレスポンスレーン数レジスタAの値を参照し、該レジスタによって指定された数の信号線群BA108に含まれる情報信号群を用いて、シリアルパケットを受信する。復号受信部A1106は、集積回路B109から受信したシリアルパケットの内容を解析し、該シリアルパケットがシリアルレスポンスパケットであるか割り込みパケットであるかを判断する。復号受信部A1106は、受信したシリアルパケットがシリアルレスポンスパケットである場合には、パラレルレスポンスパケットに変換し、該パラレルレスポンスパケットをレスポンス受信制御部A1102に送信する。このとき、復号受信部A1106は、後述の暗号機能イネーブルレジスタAと後述の復号暗号鍵レジスタAの値をそれぞれ参照し、該暗号機能イネーブルレジスタAの値が暗号化機能が有効であることを示す値である場合には、前記レジスタAによって指定された暗号鍵を用いて復号を行う。

40

【0138】

復号受信部A1106は、受信したシリアルパケットが割り込みパケットであると判断した場合には、該割り込みパケットを割り込み受信制御部A1103に送信する。

【0139】

50

レジスタ A 1 1 0 7 は、集積回路 A 1 0 1 がシリアルインタフェースによって集積回路 B 1 0 9 との間で通信を行うために必要な制御情報を保持するための記憶装置である。レジスタ A 1 1 0 7 は、リクエスト送信制御部 A 1 1 0 1 から受信したパラレルリクエストパケットを解析し、解析結果に基づいて後述する各レジスタに対する処理を行い、処理結果に基づいてパラレルレスポンスパケットを生成し、該パラレルレスポンスパケットを暗号化送信部 A 1 1 0 2 に送信する。

【 0 1 4 0 】

つづいて、図面を参照してレジスタ A 1 1 0 7 に含まれるレジスタ群を説明する。図 1 2 はレジスタ A 1 1 0 7 に含まれるレジスタ群を示す図である。

【 0 1 4 1 】

レジスタ A 1 1 0 7 は、最大アウトスタンディングレジスタ A、最大リードアウトスタンディングレジスタ A、最大ライトアウトスタンディングレジスタ A、暗号機能イネーブルレジスタ A、暗号化暗号鍵レジスタ A、復号暗号鍵レジスタ A、リクエストレーン数レジスタ A、レスポンスレーン数レジスタ A を備えて構成される。

【 0 1 4 2 】

最大アウトスタンディングレジスタ A は、イニシエータ A 1 0 5 の最大アウトスタンディング数が保持されるレジスタである。最大アウトスタンディングレジスタ A の値は、集積回路 A 1 0 1 の初期化時に 1 となり、C P U A 1 0 2 によるライトアクセスによって値が更新される。

【 0 1 4 3 】

最大リードアウトスタンディングレジスタ A は、イニシエータ A 1 0 5 のリードアクセスの最大アウトスタンディング数が保持されるレジスタである。最大リードアウトスタンディングレジスタ A の値は、集積回路 A 1 0 1 の初期化時に 1 となり、C P U A 1 0 2 によるライトアクセスによって値が更新される。

【 0 1 4 4 】

最大ライトアウトスタンディングレジスタ A は、イニシエータ A 1 0 5 のライトアクセスの最大アウトスタンディング数が保持されるレジスタである。最大ライトアウトスタンディングレジスタ A の値は、集積回路 A 1 0 1 の初期化時に 1 となり、C P U A 1 0 2 によるライトアクセスによって値が更新される。

【 0 1 4 5 】

暗号機能イネーブルレジスタ A は、イニシエータ A 1 0 5 が送受信するシリアルリクエストパケットとシリアルレスポンスパケットが、暗号化されるか否かを設定するレジスタである。暗号機能イネーブルレジスタ A の値が ' 1 ' である場合、暗号化機能は有効であり、シリアルリクエストパケットおよびシリアルレスポンスパケットはそれぞれシリアルインタフェース上を暗号化された状態で送受信される。

【 0 1 4 6 】

復号暗号鍵レジスタ A は、復号受信部 A 1 1 0 6 が暗号を復号するときに使用する暗号鍵が保持されるレジスタである。暗号化暗号鍵レジスタ A は、暗号化送信部 A 1 1 0 4 がシリアルリクエストパケットを暗号化するときに使用する暗号鍵が保持されるレジスタである。

【 0 1 4 7 】

リクエストレーン数レジスタ A は、信号線群 A B 1 0 7 に含まれる情報信号線群の本数を示すレジスタである。リクエストレーン数レジスタ A の値は、集積回路 A 1 0 1 の初期化時に 1 となり、C P U A 1 0 2 によるライトアクセスによって更新される。レスポンスレーン数レジスタ A は、信号線群 B A 1 0 8 に含まれる情報信号線群の本数を示すレジスタである。レスポンスレーン数レジスタの値は、集積回路 A 1 0 1 の初期化時に 1 となり、C P U A 1 0 2 によるライトアクセスによって更新される。

【 0 1 4 8 】

続いて、ターゲット B 1 1 2 の構成について図面を参照して説明する。

【 0 1 4 9 】

10

20

30

40

50

図13は、ターゲットB112の構成を示すブロック図である。

【0150】

ターゲットB112は、復号受信部B1301と、暗号化送信部B1302と、リクエスト受信制御部B1303と、レジスタB1304と、レスポンス送信制御部B1305と、割り込み送信制御部B1306と、3ステータバッファ202とを備えて構成される。

【0151】

復号受信部B1301は、後述のリクエストレーン数レジスタBの値を参照し、該レジスタによって指定された数の信号線群AB107に含まれる情報信号群を介して集積回路A101からシリアルリクエストパケットを受信する受信回路であり、受信したシリアルリクエストパケットをパラレルリクエストパケットに変換した上で、さらに以下の処理を行う。復号受信部B1301は、後述の暗号機能イネーブルレジスタBと後述の復号暗号鍵レジスタBの値をそれぞれ参照し、該暗号機能イネーブルレジスタBの値が暗号化機能が有効であることを示す値である場合には、前記レジスタBによって指定された暗号鍵を用いてシリアルリクエストパケットの復号を行う。復号受信部B1301は、該パラレルリクエストパケットの内容を解析し、該パラレルリクエストパケットがレジスタB1304に対するアクセス要求を含むパラレルリクエストパケットであるか、メモリB110やIPB111に対するアクセス要求を含むパラレルリクエストパケットであるかを判断する。復号受信部B1301は、該パラレルリクエストパケットがレジスタB1304に対するアクセス要求を含むパラレルリクエストパケットであれば、該パラレルリクエストパケットをレジスタB1304に送信し、該パラレルリクエストパケットがメモリB110やIPB111に対するアクセス要求を含むパラレルリクエストパケットであれば、該パラレルリクエストパケットをルータB113に送信する。

【0152】

リクエスト受信制御部B1303は、復号受信部B1301からパラレルリクエストパケットを受信し、該パラレルリクエストパケットをルータB113に送信する中継回路である。

【0153】

レジスタB1304は、集積回路B109がシリアルインタフェースによって集積回路A101と通信するために必要な制御情報を保持する記憶装置である。レジスタB1304は、リクエスト受信制御部B1303から受信したパラレルリクエストパケットに基づいて後述するレジスタ群にアクセスし、アクセスに基づいてパラレルレスポンスパケットを生成し、該パラレルレスポンスパケットをレスポンス送信制御部B1305に送信する記憶装置である。

【0154】

つづいて、図14を用いてレジスタB1304に含まれるレジスタ群について説明する。

【0155】

図14は、レジスタB1304に含まれるレジスタ群を示す図である。レジスタB1304は、最大アウトスタンディングレジスタB、最大リードアウトスタンディングレジスタB、最大ライトアウトスタンディングレジスタB、暗号機能イネーブルレジスタB、復号暗号鍵レジスタB、暗号化暗号鍵レジスタB、リクエストレーン数レジスタB、レスポンスレーン数レジスタB、モジュール電力制御レジスタB、モジュールクロック制御レジスタB、割り込み送信イネーブルレジスタBを備えて構成される。

【0156】

最大アウトスタンディングレジスタBは、ターゲットB112が対応可能な最大アウトスタンディング数が保持されるレジスタである。最大アウトスタンディングレジスタBの値は、集積回路B109の初期化時に4となり、ライトアクセスによって更新される。ただし、該ライトアクセスのライトデータの値が5以上である場合には、最大アウトスタンディングレジスタBの値は更新されず、暗号化送信部B1302にはアクセス失敗が通知

10

20

30

40

50

される。

【0157】

最大リードアウトスタンディングレジスタ B は、ターゲット B 1 1 2 が対応可能なリードアクセスの最大アウトスタンディング数が保持されるレジスタである。最大リードアウトスタンディングレジスタ B の値は、集積回路 B 1 0 9 の初期化時に 2 となり、ライトアクセスによって更新される。ただし、該ライトアクセスのライトデータの値が 3 以上である場合には、最大リードアウトスタンディングレジスタ B の値は更新されず、暗号化送信部 B 1 3 0 2 にはアクセス失敗が通知される。

【0158】

最大ライトアウトスタンディングレジスタ B は、ターゲット B 1 1 2 が対応可能なライトアクセスの最大アウトスタンディング数が保持されるレジスタである。最大ライトアウトスタンディングレジスタ B の値は、集積回路 B 1 0 5 の初期化時に 2 となり、ライトアクセスによって値が更新される。ただし、該ライトアクセスのライトデータの値が 3 以上である場合には、最大ライトアウトスタンディングレジスタ B の値は更新されず、暗号化送信部 B 1 3 0 2 にはアクセス失敗が通知される。

10

【0159】

暗号機能イネーブルレジスタ B は、ターゲット B 1 1 2 が送受信するシリアルリクエストパケットおよびシリアルレスポンスパケットが暗号化されるか否かが設定されるレジスタである。暗号機能イネーブルレジスタ B の値が ' 1 ' である場合、シリアルリクエストパケットおよびシリアルレスポンスパケットはそれぞれシリアルインタフェースを暗号化された状態で送受信される。

20

【0160】

復号暗号鍵レジスタ B は、復号受信部 B 1 3 0 1 がシリアルリクエストパケットを復号するときに使用する暗号鍵が保持されるレジスタである。暗号化暗号鍵レジスタ B は、暗号化送信部 B 1 3 0 2 がシリアルレスポンスパケットを暗号化するときに使用する暗号鍵が保持されるレジスタである。

【0161】

リクエストレーン数レジスタ B は、信号線群 A B 1 0 7 に含まれる情報信号線群の本数を示すレジスタである。リクエストレーン数レジスタ B の値は、集積回路 B 1 0 9 の初期化時に 1 となり、ライトアクセスによって更新される。レスポンスレーン数レジスタ B は、信号線群 B A 1 0 8 に含まれる情報信号線群の本数を示すレジスタである。レスポンスレーン数レジスタ B の値は、集積回路 B 1 0 9 の初期化時に 1 となり、ライトアクセスによって更新される。

30

【0162】

モジュール電力制御レジスタ B は、I P B 1 1 1 に電力供給を行うか否かを示すレジスタである。モジュール電力制御レジスタ B の値が ' 1 ' である場合、電力制御部 B 1 1 4 に対する電力供給信号がアサート状態に保持され、モジュール電力制御レジスタ B の値が ' 0 ' である場合、電力制御部 B 1 1 4 に対する電力供給信号がディアサート状態に保持される。モジュール電力制御レジスタ B の値は、集積回路 B 1 0 9 の初期化時に 1 となり、ライトアクセスによって更新される。

40

【0163】

モジュールクロック制御レジスタ B は、I P B 1 1 1 にクロック供給を行うか否かを示すレジスタである。モジュールクロック制御レジスタ B の値が ' 1 ' である場合、クロック制御部 B 1 1 5 に対するクロック供給信号がアサート状態に保持され、モジュールクロック制御レジスタ B の値が ' 0 ' である場合、クロック制御部 B 1 1 5 に対するクロック供給信号がディアサート状態に保持される。モジュールクロック制御レジスタ B の値は、集積回路 B 1 0 9 の初期化時に 1 となり、ライトアクセスによって更新される。

【0164】

割り込み送信イネーブルレジスタ B は、集積回路 A 1 0 1 への割り込みパケット送信が許可されているか否かを示すレジスタである。割り込み送信イネーブルレジスタ B の値が

50

‘ 0 ’ である場合、集積回路 A 1 0 1 への割り込みパケット送信は禁止であり、割り込み送信イネーブルレジスタ B の値が ‘ 1 ’ である場合、集積回路 A 1 0 1 への割り込みパケット送信は許可されている。割り込み送信イネーブルレジスタ B の値は、集積回路 B 1 0 9 の初期化時に ‘ 0 ’ となり、ライトアクセスによって更新される。

【 0 1 6 5 】

レスポンス送信制御部 B 1 3 0 5 は、ルータ B 1 1 3 からパラレルレスポンスパケットを受信し、該パラレルレスポンスパケットを暗号化送信部 B 1 3 0 5 に送信する中継回路である。

【 0 1 6 6 】

割り込み送信制御部 B 1 3 0 6 は、IP B 1 1 1 から割り込み送信要求を取り込み、該割り込み送信要求に基づいて割り込みパケットを生成し、該割り込みパケットを暗号化送信部 B 1 3 0 2 に送信する割り込み中継回路である。

【 0 1 6 7 】

ターゲット B 1 1 2 の構成要素の説明に戻る。

【 0 1 6 8 】

暗号化送信部 B 1 3 0 2 は、レジスタ B 1 3 0 4 およびレスポンス送信制御部 B 1 3 0 5 からパラレルレスポンスパケットを、割り込み送信制御部 B 1 3 0 6 から割り込みパケットを受信し、受信したパケットをシリアルパケットに変換して信号線群 B A 1 0 8 を介して集積回路 A 1 0 1 に送信する中継回路であり、合わせて以下の処理を行う。

【 0 1 6 9 】

暗号化送信部 B 1 3 0 2 は、レスポンスレーン数レジスタ B を参照し、該レジスタの値によって指定された数の信号線群 B A 1 0 8 に含まれる情報信号線群を用いてシリアルレスポンスパケットを送信する。暗号化送信部 B 1 3 0 2 は、暗号機能イネーブルレジスタ B の値と暗号化暗号鍵レジスタ B の値をそれぞれ参照し、該暗号機能イネーブルレジスタ B の値が暗号化機能が有効であることを示す値である場合には、該暗号化暗号鍵レジスタ B によって指定された暗号鍵を用いてシリアルレスポンスパケットの暗号化を行う。暗号化送信部 B 1 3 0 2 は、割り込み送信イネーブルレジスタ B の値を参照し、該レジスタの値が割り込みパケット送信を許可しない値であるときには、割り込みパケット送信を行わない。

【 0 1 7 0 】

以下、本発明によるシリアルインタフェースを用いて、集積回路 A 1 0 1 と集積回路 B 1 0 9 の間で実行されるアクセスと、割り込み処理について説明する。

【 0 1 7 1 】

まず、シリアルインタフェースの初期設定を図面を参照して説明する。

【 0 1 7 2 】

図 1 5 は、集積回路 A 1 0 1 および集積回路 B 1 0 9 の使用開始から、シリアルインタフェースの初期化完了までの一連の初期設定処理を示すフローチャートである。集積回路 A 1 0 1 および集積回路 B 1 0 9 の使用開始時には、集積回路 A 1 0 1 および集積回路 B 1 0 9 に電力を供給し（ステップ 1 5 0 1 ）、つづいてリセット信号などを用いて回路の初期化を行う（ステップ 1 5 0 2 ）。

【 0 1 7 3 】

ステップ 1 5 0 2 完了時におけるレジスタ A 1 1 0 7 およびレジスタ B 1 3 0 4 に含まれる各レジスタの値を図 1 6 に示す。図 1 6 は、初期化完了時のレジスタ A 1 1 0 7 およびレジスタ B 1 3 0 4 に含まれる各レジスタの値である。

【 0 1 7 4 】

最大アウトスタンディングレジスタ A、最大リードアウトスタンディングレジスタ A および最大ライトアウトスタンディングレジスタ A の各値は 1 であり、集積回路 A 1 0 1 がリードアクセスあるいはライトアクセスを最大アウトスタンディング数 1 で実行することを示している。一方、最大アウトスタンディングレジスタ B、最大リードアウトスタンディングレジスタ B、最大ライトアウトスタンディングレジスタ B の各値は 1 であり、集積

10

20

30

40

50

回路 B 1 0 9 がリードアクセスあるいはライトアクセスを最大アウトスタンディング数 1 で受け付けることを示している。

【 0 1 7 5 】

暗号機能イネーブルレジスタ A および暗号機能イネーブルレジスタ B の値は、それぞれパケットが暗号化されないことを示す ' 0 ' である。

【 0 1 7 6 】

リクエストレーン数レジスタ A およびリクエストレーン数レジスタ B は、いずれもリクエストレーン数が 1 であることを示し、レスポンスレーン数レジスタ A およびレスポンスレーン数レジスタ B は、いずれもレスポンスレーン数が 1 であることを示している。

【 0 1 7 7 】

すなわち、ステップ 1 5 0 2 完了時点では、集積回路 A 1 0 1 は、アウトスタンディング 1 で、リクエストレーンおよびレスポンスレーンをそれぞれ 1 本用いて、暗号化されていない状態で集積回路 B 1 0 9 に対してアクセスしなければならない。この状態では、シリアルインタフェースの転送能力は低く、外部からのアクセス情報取得を暗号化によって阻止することもできない。そこでステップ 1 5 0 3 からステップ 1 5 0 7 までに示す各処理を実行して転送能力を高め、外部からのアクセス情報取得を阻止できるようにする。まず、使用可能なリクエストレーン数および使用可能なレスポンスレーン数を増加させ、シリアルインタフェースの転送能力を高める。なお、初期化完了時にリクエストレーン数およびレスポンスレーン数がそれぞれ 1 に初期化されるのは、リクエストレーン数およびレスポンスレーン数を最小限とした、基板や S i P (S y s t e m i n P a c k a g e) 実装コストが低い実装形態を許容するためである。

【 0 1 7 8 】

本実施の形態において、使用可能なリクエストレーン数およびレスポンスレーン数はそれぞれ 2 および 4 である。このため、C P U A 1 0 2 は、レジスタ A 1 1 0 7 のリクエストレーン数レジスタ A とレジスタ B 1 3 0 4 のリクエストレーン数レジスタ B には 2 を、レジスタ A 1 1 0 7 のレスポンスレーン数レジスタ A とレスポンスレーン数レジスタ B には 4 を、それぞれライトアクセスにより書き込む。(ステップ 1 5 0 3)。

【 0 1 7 9 】

ステップ 1 5 0 3 実行開始時において、シリアルインタフェースの最大アウトスタンディング数は 1 である。このため、C P U A 1 0 2 は、リクエストレーン数レジスタ B に 2 を書き込む第 1 のライトアクセスに対するシリアルレスポンスパケットの受信が完了した後に、レスポンスレーン数レジスタ B に 4 を書き込むための第 2 のライトアクセスのシリアルリクエストパケットを送信する。

【 0 1 8 0 】

前記第 1 のライトアクセスのシリアルリクエストパケットを集積回路 A 1 0 1 が送信する時点では、リクエストレーン数は 1 であるので、集積回路 A 1 0 1 は、1 本のリクエストレーンを用いて前記シリアルリクエストパケットを送信する。さらに集積回路 B 1 0 9 は、この時点ではレスポンスレーン数が 1 であるので、1 本のレスポンスレーンを用いて前記第 1 のライトアクセスのシリアルレスポンスパケットを送信する。

【 0 1 8 1 】

C P U A 1 0 2 は、前記第 1 のライトアクセスのレスポンスパケットをイニシエータ A 1 0 5 が受信した後に、リクエストレーン数レジスタ A に 2 を書き込み、後述の第 2 のライトアクセスのシリアルリクエストパケットがリクエストレーンを 2 本使って転送されるようにする。

【 0 1 8 2 】

第 2 のシリアルリクエストパケットを集積回路 A 1 0 1 が送信する時点では利用可能なリクエストレーン数は 2 であるので、集積回路 A 1 0 1 は、2 本のリクエストレーン数を用いて前記第 2 のライトアクセスのシリアルリクエストパケットを送信する。さらに集積回路 B 1 0 9 は、レスポンスレーンの本数が 1 本であるので、1 本のレスポンスレーンを用いて前記第 2 のライトアクセスのシリアルレスポンスパケットを送信する。

10

20

30

40

50

【0183】

CPUA102は、前記第2のライトアクセスのレスポンス packets をイニシエータA105が受信した後に、レスポンスレーン数レジスタAに4を書き込み、後述の第2のライトアクセスにつづくアクセスのシリアルレスポンス packets がレスポンスレーンを4本使って転送されるようにする。

【0184】

つづいて、集積回路A101および集積回路B109の暗号化機能を有効化し、外部からのアクセス情報取得を阻止する。まず、集積回路A101は、第3のライトアクセスを実施してレジスタB1304の復号暗号鍵レジスタBに、第4のライトアクセスを実施してレジスタB1304の暗号化暗号鍵レジスタBに、それぞれ値を書き込む。さらに、集積回路A101内部では、CPUA102が、レジスタA1107の復号暗号鍵レジスタAに前記復号暗号鍵レジスタBに書き込まれる値と同じ値を書き込み、暗号化暗号鍵レジスタAに、前記暗号化暗号鍵レジスタBに書き込まれる値と同じ値を書き込む（ステップ1504）。

10

【0185】

なお、本実施の形態においては、復号暗号鍵レジスタAおよび復号暗号鍵レジスタBに書き込まれる値は“01234567”（16進数）とし、暗号化暗号鍵レジスタAおよび暗号化暗号鍵レジスタBに書き込まれる値は“89ABCDEF”（16進数）とする。なお、ステップ1504実施時においては、利用可能なリクエストレーン数と、利用可能なレスポンスレーン数は、それぞれ2、4であり、ステップ1504の2回のシリアルインタフェース上のライトアクセスは、これらのレーン数で実行される。

20

【0186】

つづいて、集積回路A101は、第5のライトアクセスを実行し、レジスタB1304の暗号化イネーブルレジスタBに‘1’を書き込む。一方、集積回路A101内部では、CPUA102が、該第5のライトアクセスのレスポンス packets を受信した後にレジスタA1107の暗号化イネーブルレジスタAに‘1’を書き込む（ステップ1505）。

【0187】

第5のライトアクセスを開始する時点では、集積回路B109の暗号化機能は無効である。このため、第5のライトアクセスを形成するシリアルリクエスト packets およびシリアルレスポンス packets は暗号化されない状態でシリアルインタフェース上を転送される。

30

【0188】

第5のライトアクセスのシリアルレスポンス packets を集積回路A101が受信した後は、シリアルリクエスト packets は暗号鍵“01234567”（16進数）を用いて暗号化された状態でシリアルインタフェース上を転送され、シリアルレスポンス packets は暗号鍵“89ABCDEF”（16進数）を用いて暗号化された状態でシリアルインタフェース上を転送される。

【0189】

初期設定の最後に、アウトスタンディング数上限値を増加させて集積回路A101のアクセス実行能力と集積回路B109のアクセス受け付け能力を高め、シリアルインタフェースの転送能力を高める。

40

【0190】

アウトスタンディング数設定を一連の初期設定シーケンスの最後に行うのは、アウトスタンディング数が複数であると、集積回路A101がシリアルレスポンス packets の受信を完了する瞬間にシリアルリクエスト packets や別のシリアルレスポンス packets の転送処理が行われている可能性があり、集積回路A101がシリアルレスポンス packets の受信を完了する瞬間にシリアルリクエスト packets や別のシリアルレスポンス packets の転送処理が行われていると、先に述べたレーン数変更処理や暗号化機能有効化処理に伴い、転送が破綻する危険があるためである。例えば、シリアルリクエスト packets を集積回路A101が送信しているときにリクエストレーン数変更処理に伴うシリアルレスポンスパ

50

ケットが集積回路 A 1 0 1 によって受信されると、集積回路 A 1 0 1 は、リクエストレーン数変更処理に伴うシリアルレスポンスパケットを受信した直後にシリアルリクエストパケット送信途中でリクエストレーン数を切り替えるが、集積回路 B 1 0 9 は、リクエストレーン数が切り替わったタイミングを知ることができないため、シリアルリクエストパケットの受信を正常に行えなくなるためである。

【 0 1 9 1 】

このため、ステップ 1 5 0 3 およびステップ 1 5 0 5 はアウトスタンディング 1 の状態で実行しなければならない。また、ステップ 1 5 0 4 はアウトスタンディング数が 2 以上の状態でも実行できるが、ステップ 1 5 0 4 はステップ 1 5 0 5 開始前に完了していなければならないことから、ステップ 1 5 0 4 もアウトスタンディング数 1 の状態で実施する。

10

【 0 1 9 2 】

初期設定シーケンスの説明に戻る。集積回路 A 1 0 1 は、レジスタ B 1 3 0 4 の最大アウトスタンディングレジスタ B、最大リードアウトスタンディングレジスタ B、最大ライトアウトスタンディングレジスタ B の値を、第 1、第 2 および第 3 のリードアクセスによって順次読み出し、それぞれのレジスタからそれぞれ値 4、値 2、値 2 を得る（ステップ 1 5 0 6）。

【 0 1 9 3 】

そして、C P U A 1 0 2 は、第 1 のリードアクセスによって得られた値 4 をレジスタ A 1 1 0 7 の最大アウトスタンディングレジスタ A に設定し、第 2 のリードアクセスによって得られた値 2 をレジスタ A 1 1 0 7 の最大リードアウトスタンディングレジスタ A に設定し、第 3 のリードアクセスによって得られた値 2 をレジスタ A 1 1 0 7 の最大ライトアウトスタンディングレジスタ A に設定する（ステップ 1 5 0 7）。

20

【 0 1 9 4 】

以上で、本実施の形態の初期設定シーケンスは完了である。初期設定シーケンスの実行により、シリアルインタフェースの転送能力は高まり、外部からのアクセス情報取得は阻止される。

【 0 1 9 5 】

ここで、集積回路 B 1 0 9 が、最大アウトスタンディングレジスタ B、前記最大リードアウトスタンディングレジスタ B、前記最大ライトアウトスタンディングレジスタ B によって示すアウトスタンディング数をサポートするためにターゲット B 1 1 2 に搭載するデータ格納回路の量について説明する。

30

【 0 1 9 6 】

集積回路 B 1 0 9 のターゲット B 1 1 2 は、シリアルリクエストパケットから得られたアクセス対象アドレスおよびライトデータと、シリアルレスポンスパケットを生成するために必要なリードデータを格納するためのバッファを搭載する。前記アドレス及びライトデータバッファは復号受信部 B 1 3 0 1 に設けられ、前記リードデータバッファは暗号化送信部 1 3 0 2 に設けられている。夫々のバッファの数は、対応するアウトスタンディングレジスタに設定可能な最大値の数に対応される。

【 0 1 9 7 】

シリアルリクエストパケットから得られたアクセス対象アドレスおよびライトデータを保持するのは、本実施の形態において、ルータ B 1 1 3 はターゲット B 1 1 2 だけではなく、I P B 1 1 1 からのパラレルリクエストパケットも受け付けるため、ターゲット B 1 1 2 が送信するパラレルリクエストパケットを常時無条件で受け付けることはできないためである。

40

【 0 1 9 8 】

シリアルレスポンスパケットを生成するために必要なリードデータを保持するのは、シリアルインタフェースの最大転送スループットが、ターゲット B 1 1 2 とルータ B 1 1 3 の間の転送スループットよりも低いためである。

【 0 1 9 9 】

50

集積回路 B 1 0 9 の最大アウトスタンディング数は 4 であるので、ターゲット B 1 1 2 は、シリアルリクエストパケットから抽出したアドレス情報を 4 パケット分保持する。集積回路 B 1 0 9 の最大ライトアウトスタンディング数は 2 であるので、ターゲット B 1 1 2 は、シリアルリクエストパケットから抽出したライトデータを 2 パケット分保持する。集積回路 B 1 0 9 の最大リードアウトスタンディング数は 2 であるので、ターゲット B 1 1 2 は、シリアルレスポンスパケット生成に用いるリードデータを 2 パケット分保持する。

【 0 2 0 0 】

すなわち、本実施の形態においては、最大アウトスタンディング数とは別に最大ライトアウトスタンディング数を設定することにより、ライトデータを格納するためのバッファを 2 パケット分に節約し、最大アウトスタンディング数とは別に最大リードアウトスタンディング数を設定することにより、リードデータを格納するためのバッファを 2 パケット分に節約している。

10

【 0 2 0 1 】

つづいて、集積回路 B 1 0 9 に搭載された I P B 1 1 1 が生成した割り込み要求に基づいて、集積回路 A 1 0 1 に搭載された C P U A 1 0 2 が割り込み処理を実行する過程を説明する。

【 0 2 0 2 】

まず、集積回路 B 1 0 9 側の割り込み処理を説明する。I P B 1 1 1 は、動作設定レジスタを内蔵し、該動作設定レジスタに対してライトアクセスを受けると、あらかじめ決められた処理を実行する。そして I P B 1 1 1 は、該処理が完了すると割り込み信号をアサートしてターゲット B 1 1 2 の割り込み送信制御部 B 1 3 0 6 に処理が完了した旨を通知し、再度該動作設定レジスタにライトアクセスを受けるまで動作を停止する。

20

【 0 2 0 3 】

I P B 1 1 1 が割り込み要求信号をアサートすると、ターゲット B 1 1 2 の割り込み送信制御部 B 1 3 0 6 は割り込みパケットを生成し、該割り込みパケットを暗号化送信部 B 1 3 0 2 に送信する。

【 0 2 0 4 】

暗号化送信部 B 1 3 0 2 は、割り込みパケットをシリアルインタフェースを介してイニシエータ A 1 0 5 に送信する。このとき、暗号化送信部 B 1 3 0 2 は、暗号機能イネーブルレジスタ B の状態とは無関係に割り込みパケットを暗号化せずに送信する。また、暗号化送信部 B 1 3 0 2 は、割り込み送信制御部 B 1 3 0 6 からの割り込みパケットと、レスポンス送信制御部 B 1 3 0 5 からのパラレルレスポンスパケットを両方受信していた場合、割り込みパケットを先に送信する。暗号化送信部 B 1 3 0 2 が割り込みパケットを暗号化しない理由は、後述の暗号鍵変更シーケンスの実施中に I P B 1 1 1 からの割り込み要求が発生した場合に、割り込みパケットの送信が遅れるのを防ぐためである。また、暗号化送信部 B 1 3 0 2 が割り込みパケットをシリアルレスポンスパケットよりも先に送信するのは、割り込みパケットを早く集積回路 A 1 0 1 に転送することによって、C P U A 1 0 2 の割り込み処理を早く起動するためである。

30

【 0 2 0 5 】

つづいて、集積回路 A 1 0 1 側の割り込み処理について説明する。イニシエータ A 1 0 5 の復号受信部 A 1 1 0 6 は、集積回路 B 1 0 9 からシリアルパケットを受信し、該シリアルパケットを解析して該シリアルパケットが割り込みパケットであることを特定し、割り込み受信制御部 A 1 1 0 3 に対して該割り込みパケットを再送信する。

40

【 0 2 0 6 】

割り込み受信制御部 A 1 1 0 3 は、復号受信部 A 1 1 0 6 から受信した割り込みパケットを解析し、割り込み信号をアサートして I N T C A 1 0 4 に割り込みを通知する。このとき、割り込みパケットの reqcc フィールドのビット 3 からビット 0 までに基づいて割り込みレベル情報を生成し、割り込みパケットの intcode フィールドに基づいて割り込みコード情報を生成し、該レベル情報と該コード情報を I N T C A 1 0 4 に合わせて供給する

50

。

【0207】

INTCA104は、割り込み信号をアサートしCPUA102に割り込みが発生した旨を通知する。CPUA102は、割り込み信号がアサート状態であることを検出し、現在実行中の処理を中断して割り込み処理プログラムを実行する。割り込み処理プログラムをCPUA102が実行することにより、IPB111が生成したデータのメモリB110からメモリA103へのコピーと、IPB111の動作設定レジスタの再設定が行われる。

【0208】

以上のように、集積回路A101に搭載されたCPUA102による制御によって、集積回路B109のIPB111を反復動作させることができる。

10

【0209】

つづいて、集積回路A101による集積回路B109の省電力機能の制御について説明する。本発明の集積回路B109は、以下の3つの省電力機構を備える。第1の省電力機構はIPB111への電力供給遮断であり、第2の省電力機構はIPB111へのクロック供給遮断であり、第3の省電力機構は、ターゲットB112の packets 格納バッファへの電力およびクロック供給遮断である。

【0210】

まず、第1の省電力機構を説明する。第1の省電力機構は、集積回路A101が、集積回路B109のモジュール電力制御レジスタBに値を書き込むことによって起動および停止される。

20

【0211】

ターゲットB112は、モジュール電力制御レジスタBに‘0’が保持されているときには、電力制御部114に対する電力供給信号をディアサート状態としてIPB111に対する電力供給を停止し、モジュール電力制御レジスタBに‘1’が保持されているときには、電力制御部114に対する電力供給信号をアサート状態としてIPB111に対する電力供給を行う。CPUA102は、該モジュール電力制御レジスタBに対して、シリアルインタフェース経由でライトアクセスを行って‘0’を書き込むことによってIPB111に対する電力供給を停止し、‘1’を書き込むことによってIPB111に対する電力供給を行う。

30

【0212】

次に、第2の省電力機構を説明する。第2の省電力機構は、集積回路A101が、集積回路B109のモジュールクロック制御レジスタBに値を書き込むことによって起動および停止される。ターゲットB112は、モジュールクロック制御レジスタBに‘0’が保持されているときには、クロック制御部115に対するクロック供給信号をディアサート状態としてIPB111に対するクロック供給を停止し、モジュールクロック制御レジスタBに‘1’が保持されているときには、クロック制御部115に対するクロック供給信号をアサート状態としてIPB111に対するクロック供給を行う。CPUA102は、該モジュールクロック制御レジスタBに対して、シリアルインタフェース経由でライトアクセスを行って‘0’を書き込むことによってIPB111に対するクロック供給を停止し、‘1’を書き込むことによってIPB111に対するクロック供給を行う。

40

【0213】

次に、第3の省電力機構を説明する。第3の省電力機構は、集積回路A101が、集積回路B109の最大アウトスタンディング数設定レジスタB、最大ライトアウトスタンディングレジスタBおよび最大リードアウトスタンディング数設定レジスタBに、該レジスタ群が保持している値よりも小さな値を書き込むことによって実行される。ターゲットB112は、最大アウトスタンディングレジスタBに対応するために必要な量のアドレスバッファにのみ電力およびクロックを供給する。ターゲットB112は、最大アウトスタンディングレジスタBと最大ライトアウトスタンディングレジスタBの値のうち、小さい方の値に対応するために必要な量のライトデータバッファにのみ電力およびクロックを供給

50

する。ターゲット B 1 1 2 は、最大アウトスタンディングレジスタ B と最大リードアウトスタンディングレジスタ B の値のうち、小さい方の値に対応するために必要な量のリードデータバッファにのみ電力およびクロックを供給する。

【 0 2 1 4 】

本実施の形態において、シリアルインタフェースの初期化が完了した時点における最大アウトスタンディングレジスタ B の値は 4 であり、最大ライトアウトスタンディングレジスタ B の値は 2 であり、最大リードアウトスタンディングレジスタ B の値は 2 である。よって、シリアルインタフェースの初期化が完了した時点のターゲット B 1 1 2 内部では、2 パケット分のライトデータバッファに電力およびクロックが供給され、4 パケット分のアドレスバッファに電力およびクロックが供給され、2 パケット分のリードデータバッファに電力およびクロックが供給されている。

10

【 0 2 1 5 】

この状態から最大アウトスタンディングレジスタ B に 1 を書き込むと、ターゲット B 1 1 2 のアドレスバッファ、ライトデータバッファおよびリードデータバッファにはそれぞれ 1 パケット分のバッファに電力およびクロックが供給されている状態となり、初期化が完了した時点よりも各バッファが消費する電力が削減される。

【 0 2 1 6 】

なお、C P U A 1 0 2 は、集積回路 A 1 0 1 と集積回路 B 1 0 9 の間のアウトスタンディング数の齟齬に伴うシリアルインタフェースの不具合発生を回避するために、最大アウトスタンディングレジスタ B の値を最大アウトスタンディングレジスタ A に、最大リードアウトスタンディングレジスタ B の値を最大リードアウトスタンディングレジスタ A に、最大ライトアウトスタンディングレジスタ B の値を最大ライトアウトスタンディングレジスタ A にそれぞれ設定する。

20

【 0 2 1 7 】

つづいて、レーン数変更処理について説明する。レーン数変更を行う理由は、以下の通りである。ライトアクセスでは、ライトデータが集積回路 A 1 0 1 から集積回路 B 1 0 9 に転送される。このため、リクエストレーン数が多い方が転送時間が短いため望ましい。一方、リードアクセスでは、リードデータが集積回路 B 1 0 9 から集積回路 A 1 0 1 に転送される。このため、レスポンスレーン数が多い方が転送時間が短いため望ましい。

【 0 2 1 8 】

しかしながら、リクエストレーン数やレスポンスレーン数は、集積回路や集積回路を搭載する基板のコストに直結するので、コストの観点ではリクエストレーン数やレスポンスレーン数は少ないほうが望ましい。

30

【 0 2 1 9 】

さらに、集積回路の動作に着目すれば、集積回路には、リードアクセスを主に実行する時間帯とライトアクセスを主に実行する時間帯がある。本実施の形態では、集積回路 A 1 0 1 は、I P B 1 1 1 のレジスタにデータを設定して起動するときにはシリアルインタフェース上でライトアクセスを実行し、I P B 1 1 1 の処理が完了して I P B 1 1 1 が生成したデータをメモリ B 1 1 0 から読み出すときには、シリアルインタフェース上でリードアクセスを実行する。

40

【 0 2 2 0 】

このため、リクエストレーンやレスポンスレーンを、伝送方向が変えられるように設計し、動作状況に合わせて伝送方向を設定し、該設定に合わせて集積回路 A 1 0 1 のリクエストレーン数レジスタ A およびレスポンスレーン数レジスタ A、集積回路 B 1 0 9 のリクエストレーン数レジスタ B およびレスポンスレーン数レジスタ B を設定すれば、コスト制約の範囲で転送性能を高められる。

【 0 2 2 1 】

以下、集積回路 A 1 0 1 が、リクエストレーン数を 4 に、レスポンスレーン数を 2 に変更し、ライトアクセスの転送性能を改善するときの動作を図面を参照して説明する。

【 0 2 2 2 】

50

図17はレーン数変更シーケンスの流れを示すフローチャートである。CPUA102は、レーン数変更先立って、発行済みのパラレルリクエストパケットに対するパラレルレスポンスパケットを全て受信するまで新規パラレルリクエストパケット送信を停止し、CPUA102のアウトスタンディング数をゼロにする(ステップ1701)。本実施の形態においては、割り込みパケットの転送を除くシリアルインタフェース上のアクセスは、全てCPUA102のアクセスによるものであるため、CPUA102のアウトスタンディングをゼロとすれば、シリアルインタフェースのアウトスタンディングはゼロになる。

【0223】

次に、集積回路A101は、割り込み送信イネーブルレジスタBに'0'を書き込み、集積回路B109から集積回路A101への割り込みパケット転送を停止する(ステップ1702)。次に、集積回路A101は、レスポンスレーン数レジスタBに2を書き込むためのシリアルリクエストパケットを、集積回路B109に送信する(ステップ1703)。

10

【0224】

集積回路B109は、該シリアルリクエストパケットに対するシリアルレスポンスパケットを送信し、送信が完了した直後にレスポンスレーンのうちの2本の駆動を停止し、ハイインピーダンスにする。集積回路A101内部においては、CPUA102が、該シリアルレスポンスパケットの受信が完了した後にレスポンスレーン数レジスタAに2を設定する(ステップ1704)。

20

【0225】

ステップ1504完了時点において、リクエストレーン数およびレスポンスレーン数はそれぞれ2である。リクエストレーンにもレスポンスレーンにも含まれない2本の信号線は、プルアップ抵抗203の作用によりHIGHレベルへの遷移を開始する。

【0226】

次に、集積回路A101は、リクエストレーン数レジスタBに値4を書き込むためのシリアルリクエストパケットを、集積回路B109に送信する(ステップ1705)。集積回路B109は、該シリアルリクエストパケットに対するシリアルレスポンスパケットを送信する。集積回路A101内部においては、CPUA102が、該シリアルレスポンスパケットの受信が完了した後に、リクエストレーン数レジスタAに4を設定する(ステップ1706)。なお、該シリアルレスポンスパケットは、2本のレスポンスレーンによって転送される。

30

【0227】

集積回路A101は、ステップ1506でシリアルレスポンスパケットを受信した直後に、ステップ1504において集積回路B109が駆動を停止した2本の信号線の駆動を開始する(ステップ1707)。

【0228】

ステップ1507完了時点においては、リクエストレーン数が4であり、レスポンスレーン数が2である。これにより、初期設定シーケンス完了直後に比して、ライトアクセスを高速に処理できる。

40

【0229】

最後に、集積回路A101は、割り込み送信イネーブルレジスタBに'1'を書き込み、集積回路B109に、集積回路A101への割り込みパケット送信を許可する(ステップ1708)。

【0230】

レーン数変更シーケンスにおいて、レーン数減少処理(ステップ1703、ステップ1704)を、レーン数増加処理(ステップ1705、ステップ1706)よりも先に実行するのは、シリアルインタフェースにおける信号衝突を回避するためである。

【0231】

同様の理由により、例えばリクエストレーン数とレスポンスレーン数を前記ステップ1

50

707完了時点の状態（リクエストレーン数4、レスポンスレーン数2）から初期設定完了時点の状態（リクエストレーン数2、レスポンスレーン数4）に戻すときには、先にレスポンスレーン数を減少させて、その後にリクエストレーン数を増加させる。

【0232】

以下、リクエストレーン数とレスポンスレーン数を前記ステップ1707完了時点の状態から初期設定完了時点の状態に戻すときの処理を図面を参照して説明する。

【0233】

図18はレーン数変更シーケンスの処理の流れを示すフローチャートである。CPUA102は、レーン数変更在先立って、発行済みのパラレルリクエストパケットに対するパラレルレスポンスパケットを全て受信するまで新規パラレルリクエストパケット送信を停止し、CPUA102のアウトスタンディング数をゼロにする（ステップ1801）。

10

【0234】

次に、集積回路A101は、割り込み送信イネーブルレジスタに‘0’を書き込み、集積回路B109から集積回路A101への割り込みパケット転送を停止する（ステップ1802）。

【0235】

次に、集積回路A101は、リクエストレーン数レジスタBに2を書き込むためのシリアルリクエストパケットを、集積回路B109に送信する（ステップ1803）。集積回路B109は、該シリアルリクエストパケットに対するシリアルレスポンスパケットを送信する。集積回路A101は該シリアルレスポンスパケットの受信が完了した直後にリクエストレーンのうちの2本の駆動を停止し、ハイインピーダンスにする。

20

【0236】

集積回路A101内部においては、CPUA102が、該シリアルレスポンスパケットの受信が完了した後にリクエストレーン数レジスタAに2を設定する（ステップ1804）。

【0237】

ステップ1604完了時点において、リクエストレーン数およびレスポンスレーン数はそれぞれ2である。リクエストレーンにもレスポンスレーンにも含まれない2本の信号線は、プルアップ抵抗203の作用によりHIGHレベルへの遷移を開始する。

【0238】

次に、集積回路A101は、レスポンスレーン数レジスタBに値4を書き込むためのシリアルリクエストパケットを集積回路B109に送信する（ステップ1805）。集積回路B109は、該シリアルリクエストパケットに対するシリアルレスポンスパケットを送信する。集積回路A101内部においては、CPUA102が、該シリアルレスポンスパケットの受信が完了した後にレスポンスレーン数レジスタAに4を設定する（ステップ1806）。なお、該シリアルレスポンスパケットは、2本のレスポンスレーンによって転送される。

30

【0239】

集積回路B109は、前記シリアルレスポンスパケットを送信した直後にステップ1604において集積回路A101が駆動を停止した2本の信号線の駆動を開始する（ステップ1807）。

40

【0240】

ステップ1607完了時点においては、リクエストレーン数が2であり、レスポンスレーン数が4である。これにより、初期設定シーケンス完了直後と同様に、リードアクセスを高速に処理できる。

【0241】

最後に、集積回路A101は、割り込み送信イネーブルレジスタBに‘1’を書き込み、集積回路B109から集積回路A101への割り込みパケット送信を許可する（ステップ1808）。

【0242】

50

つづいて、CPU A 1 0 2 による制御によらず、集積回路 A 1 0 1 内部のイニシエータ A 1 0 5 が自律的にレーン数を変更する処理について説明する。

【 0 2 4 3 】

ここで、自律的なレーン数制御が望まれる理由を簡単に説明する。近年は、複数の処理（タスク）が時分割で並行処理されるマルチタスク処理が、集積回路搭載機器において広く行われている。マルチタスク処理においては、タスクを実行するプロセッサによってレーン数を切り替えることは困難である。これは、あるタスクにとって適正なレーン数が、別のタスクにとって適正である保障がないためである。また、ソフトウェア開発時に最適なリクエストレーン数とレスポンスレーン数を把握できる保障もない。これは集積回路の開発時期とソフトウェアの開発時期が必ずしも一致しないことや、ソフトウェアが多くの場合複数の集積回路を対象として開発されることによる。したがって、マルチタスクのシステムでは、タスクによらず適切なレーン数でシリアルインタフェース上のアクセスを処理するために、シリアルインタフェース上の全てのアクセスを中継する回路がリクエストレーンおよびレスポンスレーンの使用状況を監視し、該使用状況に応じて動的にレーン数を変更することが望ましい。以下、イニシエータ A 1 0 5 による自律的なレーン数変更処理について説明する。

10

【 0 2 4 4 】

自律的レーン数変更制御においては、イニシエータ A 1 0 5 のパケット係数部 A 1 1 0 4 が、単位時間当たりのシリアルリクエストパケットを構成するビット数の量と、シリアルレスポンスパケットを構成するビット数の量を計数する。さらにパケット係数部 A 1 1 0 4 は、シリアルリクエストパケットを構成するビット数をシリアルレスポンスパケットを構成するビット数で除算し、除算により得られた値に応じて、図 1 9 に示す数表にしたがってリクエストレーン数とレスポンスレーン数を設定する。

20

【 0 2 4 5 】

図 1 9 に示す数表にしたがって制御すれば、シリアルリクエストパケットの転送にかかる時間とシリアルレスポンスパケットの時間の和を小さくすることができる。

【 0 2 4 6 】

このとき、リクエストレーン数を増加させてレスポンスレーン数を減少させる場合には、図 1 7 記載のステップ 1 7 0 1 ~ 1 7 0 8 を実行し、先にレスポンスレーン数を減少させたのちにリクエストレーン数を増加させる。同様に、レスポンスレーン数を増加させてリクエストレーン数を減少させる場合には、図 1 8 記載のステップ 1 8 0 1 ~ 1 8 0 8 を実行し、先にレスポンスレーン数を減少させたのちにリクエストレーン数を増加させる。ただし、いずれの場合においても、CPU A 1 0 2 が実行した処理をイニシエータ A 1 0 5 が実行する。

30

【 0 2 4 7 】

また、図 1 9 の数表に代えて、シリアルリクエストパケットを構成するビット数の量と、シリアルレスポンスパケットを構成するビット数の量からレーン数を設定することも可能である。例えば、シリアルリクエストパケットを構成するビット数の量が所定の閾値を下回る場合には、レスポンスレーン数を変更することなくリクエストレーン数を減少させて消費電力を削減することが可能である。

40

【 0 2 4 8 】

最後に、シリアルインタフェースの情報秘匿をより厳重にするために、暗号鍵を変更するときの手順を図面を参照して説明する。

【 0 2 4 9 】

図 2 0 は、暗号鍵変更シーケンスの処理の流れを示すフローチャートである。CPU A 1 0 2 は、暗号鍵変更先立って、発行済みのパラレルリクエストパケットに対するパラレルレスポンスパケットを全て受信するまで新規パラレルリクエストパケット送信を停止し、CPU A 1 0 2 のアウトスタンディング数をゼロにする（ステップ 2 0 0 1）。

【 0 2 5 0 】

次に、集積回路 A 1 0 1 は、暗号化機能イネーブルレジスタ B に ' 0 ' を書き込み、集

50

積回路 B 1 0 9 のシリアルリクエストパケット復号機能とシリアルレスポンスパケット暗号化機能を停止する。

【 0 2 5 1 】

集積回路 A 1 0 1 内部においては、CPU A 1 0 2 が暗号化機能イネーブルレジスタ A に ' 0 ' を書き込み、集積回路 A 1 0 1 のシリアルリクエストパケット暗号化機能とシリアルレスポンスパケット復号機能を停止する。(ステップ 2 0 0 2)。

【 0 2 5 2 】

次に、集積回路 A 1 0 1 は、暗号化暗号鍵レジスタ B と復号暗号鍵レジスタ B に新しい値を書き込むためのシリアルリクエストパケットを集積回路 B 1 0 9 に送信する。集積回路 A 1 0 1 内部においては、CPU A 1 0 2 が、暗号化暗号鍵レジスタ A には前記復号暗号鍵レジスタ B に書き込んだ値と同じ値を設定し、復号暗号鍵レジスタ A には前記暗号化暗号鍵レジスタ B に書き込んだ値と同じ値を設定する(ステップ 2 0 0 3)。集積回路 B 1 0 9 は、該シリアルリクエストパケットに対するシリアルレスポンスパケットを送信する(ステップ 2 0 0 4)。

10

【 0 2 5 3 】

次に、集積回路 A 1 0 1 は、暗号化機能イネーブルレジスタ B に ' 1 ' を書き込み、集積回路 B 1 0 9 のシリアルリクエストパケット復号機能とシリアルレスポンスパケット暗号化機能を有効化する。集積回路 A 1 0 1 内部においては、CPU A 1 0 2 が暗号化機能イネーブルレジスタ A に ' 1 ' を書き込み、集積回路 A 1 0 1 のシリアルリクエストパケット暗号化機能とシリアルレスポンスパケット復号機能を有効化する(ステップ 2 0 0 5)。

20

【 0 2 5 4 】

以上のシーケンスを実行することにより、集積回路 A 1 0 1 および集積回路 B 1 0 9 の処理を停止させることなく暗号鍵を変更できる。なお、この一連の処理を実行している間にも、割り込みパケットの転送を行うことができる。

【 0 2 5 5 】

以上説明した第 1 の実施の形態によれば、本発明の以下の特徴を実現できる。

【 0 2 5 6 】

第 1 に、少ない信号線数で低コストにシリアルインタフェースが構築できる。

【 0 2 5 7 】

第 2 に、暗号化によってシリアルインタフェース上の伝送情報を外部から取得することを阻止できる。

30

【 0 2 5 8 】

第 3 に、不要な電力およびクロック供給を停止できるため、消費電力を抑制できる。また、この消費電力抑制は、電力を消費する側の集積回路ではなく、該集積回路とは別の集積回路により、あたかも 2 つの集積回路が一つの集積回路として実現されているかのように実現できる。

【 0 2 5 9 】

第 4 に、信号線が許す限りの転送性能を実現できる。さらに、転送性能改善をソフトウェアによる処理を介在させることなく実行可能である。

40

【 0 2 6 0 】

第 5 に、リードおよびライトアクセスに使用されるシリアルインタフェースで割り込み情報を転送することにより、割り込み専用のインタフェースを廃止することができ、集積回路のコストを削減できる。また、この割り込み情報の転送は、暗号機能の停止および起動、暗号鍵の変更に影響されることなく常時実行可能である。

【 0 2 6 1 】

第 6 に、アウトスタンディングをリードとライトで個別に指定できるため、ターゲットに搭載するバッファ量を最小限にでき、集積回路のトランジスタ集積コストを下げられる。

【 0 2 6 2 】

50

《第2の実施の形態》

以下、本発明の第2の実施の形態を図面を参照して説明する。

【0263】

図21には本発明の一例にかかる集積回路Aおよび集積回路Bが示される。同図に示される集積回路A2101および集積回路B2111は、公知のCMOS（相補型MOSトランジスタ）やバイポーラトランジスタなどを形成する半導体集積回路技術によって、単結晶シリコンのような半導体基板に形成される。本実施の形態では、本発明による集積回路A2101と集積回路B2111が双方ともイニシエータとしてアクセスするときの両集積回路間のリードアクセス、ライトアクセスおよび割り込み通知について説明する。

【0264】

信号線群AB2121は、集積回路A2101から集積回路B2111に情報を伝送する信号線群であり、信号線群BA2122は、集積回路B2111から集積回路A2101に情報を伝送する信号線群である。信号線群AB2121および信号線群BA2122は、それぞれ第1の実施の形態の信号線群AB107および信号線群BA108と同一である。

【0265】

まず、集積回路A2101に含まれるモジュールについて説明する。集積回路A2101は、CPUA2102と、メモリA2103と、INTCA2104と、IPA2105と、コントローラA2106と、ルータA2107の各モジュールを備えて構成される。また、集積回路A2101には、信号線群AB2121と信号線群BA2122が接続される。

【0266】

CPUA2102は、ルータA2107を介してメモリA2103にアクセスし、該メモリに保持されているプログラムを実行することによって、集積回路A2101および集積回路B2111の制御を行うプロセッサである。集積回路A2101内のアクセスは、第1の実施の形態の集積回路A101内のアクセスと同様にスプリットプロトコルで行われる。

【0267】

メモリA2103は、ルータA2107からリクエストパケットを受信し、該リクエストパケットの内容にしたがってリードあるいはライトアクセスを実行し、レスポンスパケットをルータA2107に送信する記憶装置である。

【0268】

INTCA2104は、コントローラA2106およびIPA2105から割り込み情報を取り込み、該割り込み情報をCPUA2102に中継する割り込みコントローラである。

【0269】

IPA2105は、ルータA2107を介してメモリA2103にアクセスすることによって所定の処理を実行し、該処理によって得られた結果をメモリA2103に書き込み、さらに該処理の終了を割り込み信号としてコントローラA2106あるいはINTCA2104に通知するIPである。

【0270】

コントローラA2106は、ルータA2107及びINTCA2104と、集積回路B2111との間の情報の中継を行う中継回路であり、イニシエータとターゲットの機能を備える。コントローラA2106は、以下の処理を行う。コントローラA2106は、ルータA2107からパラレルリクエストパケットを受信し、該パラレルリクエストパケットをシリアルリクエストパケットに変換し、該シリアルリクエストパケットを信号線群AB2121を介して集積回路B2111に送信する。コントローラA2106は、ルータA2107からパラレルレスポンスパケットを受信し、該パラレルレスポンスパケットをシリアルレスポンスパケットに変換し、該シリアルレスポンスパケットを信号線群AB2121を介して集積回路B2111に送信する。コントローラA2106は、信号線群B

10

20

30

40

50

A 2 1 2 2 を介して集積回路 B 2 1 1 1 からシリアルリクエストパケットを受信し、該シリアルリクエストパケットをパラレルリクエストパケットに変換し、該パラレルリクエストパケットをルータ A 2 1 0 7 に送信する。コントローラ A 2 1 0 6 は、信号線群 B A 2 1 2 2 を介して集積回路 B 2 1 1 1 からのシリアルレスポンスパケットを受信し、該シリアルレスポンスパケットをパラレルレスポンスパケットに変換してルータ A 2 1 1 7 に送信する。コントローラ A 2 1 0 6 は、I P A 2 1 0 5 から割り込み情報を取り込み、該割り込み情報を信号線群 B A 2 1 2 2 を介して集積回路 B 2 1 1 1 に送信する。コントローラ A 2 1 0 6 は、信号線群 B A 2 1 2 2 を介して集積回路 B 2 1 1 1 からの割り込みパケットを受信し、該割り込みパケットから割り込み情報を生成し、該割り込み情報を I N T C A 2 1 0 4 に供給する。

10

【 0 2 7 1 】

ルータ A 2 1 0 7 は、C P U A 2 1 0 2、メモリ A 2 1 0 3、I N T C A 2 1 0 4、I P A 2 1 0 5、コントローラ A 2 1 0 6 が送受信するパラレルリクエストパケットおよびパラレルレスポンスパケットを中継する中継回路である。

【 0 2 7 2 】

つづいて、集積回路 B 2 1 1 1 に含まれるモジュールについて説明する。集積回路 B 2 1 1 1 は、C P U B 2 1 1 2 と、メモリ B 2 1 1 3 と、I N T C B 2 1 1 4 と、I P B 2 1 1 5 と、デバイス B 2 1 1 6 と、ルータ B 2 1 1 7 と、電力制御部 B 2 1 1 8 と、クロック制御部 B 2 1 1 9 を備えて構成される。また、集積回路 B 2 1 1 1 には、前記信号線群 A B 2 1 2 1 と前記信号線群 B A 2 1 2 2 が接続される。集積回路 B 2 1 1 1 内のアクセスは、集積回路 A 2 1 0 1 内のアクセスと同様に、スプリットプロトコルにて行われる。

20

【 0 2 7 3 】

C P U B 2 1 1 2 は、ルータ B 2 1 1 7 を介してメモリ B 2 1 1 3 にアクセスし、該メモリに保持されているプログラムを実行することによって、集積回路 A 2 1 0 1 および集積回路 B 2 1 1 1 の制御を行うプロセッサである。

【 0 2 7 4 】

メモリ B 2 1 1 3 は、ルータ B 2 1 1 7 からリクエストパケットを受信し、該リクエストパケットの内容にしたがってリードあるいはライトアクセスを実行し、レスポンスパケットをルータ B 2 1 1 7 に送信する記憶装置である。

30

【 0 2 7 5 】

I N T C B 2 1 1 4 は、デバイス B 2 1 1 6 および I P B 2 1 1 5 から割り込み情報を取り込み、該割り込み情報を C P U B 2 1 0 2 に中継する割り込みコントローラである。

【 0 2 7 6 】

I P B 2 1 1 5 は、ルータ B 2 1 1 7 を介してメモリ B 2 1 1 3 にアクセスすることにより所定の処理を実行し、該処理によって得られた結果をメモリ B 2 1 1 3 に書き込み、さらに該処理の終了を割り込み信号としてデバイス B 2 1 1 6 あるいは I N T C B 2 1 1 4 に通知する I P である。

【 0 2 7 7 】

デバイス B 2 1 1 6 は、ルータ B 2 1 1 7、I N T C B 2 1 1 4、電力制御部 B 2 1 1 8 及びクロック制御部 B 2 1 1 9 と、集積回路 B 2 1 0 1 との間の情報の中継を行う中継回路であり、イニシエータとターゲットの機能を備える。デバイス B 2 1 1 6 は、以下の処理を行う。デバイス B 2 1 1 6 は、ルータ B 2 1 1 7 からパラレルリクエストパケットを受信し、該パラレルリクエストパケットをシリアルリクエストパケットに変換し、該シリアルリクエストパケットを信号線群 B A 2 1 2 2 を介して集積回路 A 2 1 0 1 に送信する。デバイス B 2 1 1 6 は、ルータ B 2 1 1 7 からパラレルレスポンスパケットを受信し、該パラレルレスポンスパケットをシリアルレスポンスパケットに変換し、該シリアルレスポンスパケットを信号線群 B A 2 1 2 2 を介して集積回路 A 2 1 0 1 に送信する。デバイス B 2 1 1 6 は、信号線群 A B 2 1 2 1 を通じて集積回路 A 2 1 0 1 からシリアルリクエストパケットを受信し、該シリアルリクエストパケットをパラレルリクエストパケット

40

50

に変換し、該パラレルリクエストパケットをルータ B 2 1 1 7 に送信する。デバイス B 2 1 1 6 は、信号線群 A B 2 1 2 1 を通じて集積回路 A 2 1 0 1 からのシリアルレスポンスパケットを受信し、該シリアルレスポンスパケットをパラレルレスポンスパケットに変換してルータ B 2 1 1 7 に送信する。デバイス B 2 1 1 6 は、I P B 2 1 1 5 から割り込み情報を取り込み、該割り込み情報を信号線群 A B 2 1 2 1 を介して集積回路 A 2 1 0 1 に送信する。デバイス B 2 1 1 6 は、信号線群 A B 2 1 2 1 を介して集積回路 A 2 1 0 1 から割り込みパケットを受信し、該割り込みパケットに基づいて割り込み信号を生成し、該割り込み信号を I N T C B 2 1 1 4 に供給する。デバイス B 2 1 1 6 は、信号線群 A B 2 1 2 1 を通じて集積回路 A 2 1 0 1 からシリアルリクエストパケットを受信し、該シリアルリクエストパケットの内容に基づいて電力制御部 B 2 1 1 8 およびクロック制御部 B 2 1 1 9 に制御信号を供給する。 10

【 0 2 7 8 】

ルータ B 2 1 1 7 は、C P U B 2 1 1 2、メモリ B 2 1 1 3、I N T C B 2 1 1 4、I P B 2 1 1 5、デバイス B 2 1 1 6 が送受信するパラレルリクエストパケットおよびパラレルレスポンスパケットを中継する中継回路である。

【 0 2 7 9 】

電力制御部 B 2 1 1 8 は、デバイス B 2 1 1 6 から供給される電力供給信号に基づいて I P B 2 1 1 5 に対する電力を供給あるいは遮断する電力制御回路である。

【 0 2 8 0 】

クロック制御部 B 2 1 1 9 は、前記デバイス B 2 1 1 6 から供給されるクロック供給信号に基づいて I P B 2 1 1 5 に対するクロックを供給あるいは遮断するクロック制御回路である。 20

【 0 2 8 1 】

つづいて、集積回路 A 2 1 0 1 と集積回路 B 2 1 1 1 の間の転送処理について説明する。以下、本実施の形態では、集積回路 A 2 1 0 1 と集積回路 B 2 1 1 1 の間の、信号線群 A B 2 1 2 1 と信号線群 B A 2 1 2 2 によって構成されたインタフェースを、シリアルインタフェースという。該シリアルインタフェースを経由するアクセスは、第 1 の実施の形態において説明したスプリットプロトコルにて行われる。本実施の形態における、シリアルインタフェース上を転送されるリクエストパケットおよびレスポンスパケットは、第 1 の実施の形態において説明したシリアルパケットである。ただし、本実施の形態では、集積回路 A 2 1 0 1 および集積回路 B 2 1 1 1 が、イニシエータにもターゲットとしても動作する。 30

【 0 2 8 2 】

つづいて、集積回路 A 2 1 0 1 に含まれるコントローラ A 2 1 0 6 について図面を参照して説明する。

【 0 2 8 3 】

図 2 2 は、コントローラ A 2 1 0 6 の構成を示すブロック図である。コントローラ A 2 1 0 6 は、リクエスト送信制御部 A 2 2 0 1 と、レスポンス送信制御部 A 2 2 0 2 と、割り込み送信制御部 A 2 2 0 3 と、暗号化送信部 A 2 2 0 4 と、レスポンス受信制御部 A 2 2 0 5 と、リクエスト受信制御部 A 2 2 0 6 と、割り込み受信制御部 A 2 2 0 7 と、パケット計数部 A 2 2 0 8 と、復号受信部 A 2 2 0 9 と、レジスタ A 2 2 1 0 と、3 ステートバッファ A 2 2 1 1 と、プルアップ抵抗 2 2 1 2 を備えて構成される。 40

【 0 2 8 4 】

リクエスト送信制御部 A 2 2 0 1 は、ルータ A 2 1 0 6 からパラレルリクエストパケットを受信し、該パラレルリクエストパケットのアドレスがレジスタ A 2 2 1 0 を示すときには該パラレルリクエストパケットをレジスタ A 2 2 1 0 に送信し、該パラレルリクエストパケットのアドレスがレジスタ A 2 2 1 0 を示さないときには該パラレルリクエストパケットを暗号化送信部 A 2 2 0 4 に送信する中継回路である。

【 0 2 8 5 】

レスポンス送信制御部 A 2 2 0 2 は、ルータ A 2 1 0 6 からパラレルレスポンスパケッ 50

トを受信し、該パラレルレスポンスパケットを暗号化送信部 2 2 0 4 に送信する中継回路である。

【 0 2 8 6 】

割り込み送信制御部 A 2 2 0 3 は、I P A 2 1 0 5 から割り込み送信要求を取り込み、該割り込み送信要求に基づいて割り込みパケットを生成し、該割り込みパケットを暗号化送信部 2 2 0 4 に送信する割り込み情報中継回路である。

【 0 2 8 7 】

暗号化送信部 A 2 2 0 4 は、リクエスト送信制御部 A 2 2 0 1 からパラレルリクエストパケットを受信し、該パラレルリクエストパケットをシリアルリクエストパケットに変換した上で暗号化して信号線群 A B 2 1 2 1 を介して集積回路 B 2 1 1 1 に送信する中継回路である。また、暗号化送信部 A 2 2 0 4 は、レスポンス送信制御部 A 2 2 0 2 および割り込み送信制御部 A 2 2 0 3 からパラレルレスポンスパケットを受信し、該パラレルレスポンスパケットをシリアルレスポンスパケットに変換した上で暗号化して信号線群 A B 2 1 2 1 を介して集積回路 B 2 1 1 1 に送信する中継回路である。さらにまた、暗号化送信部 A 2 2 0 4 は、割り込み送信制御部 A 2 2 0 3 から割り込みパケットを受信し、該割り込みパケットを信号線群 A B 2 1 2 1 を介して集積回路 B 2 1 1 1 に送信する割り込み中継回路である。

【 0 2 8 8 】

暗号化送信部 A 2 2 0 4 は上記中継処理実行時に合わせて以下の処理を行う。暗号化送信部 A 2 2 0 4 は、パケット計数部 A 2 2 0 8 から供給されるリクエストパケット送信許可信号がディアサート状態である場合、集積回路 B 2 1 1 1 へのシリアルリクエストパケット送信を行わない。暗号化送信部 A 2 2 0 4 は、集積回路 B 2 1 1 1 へのシリアルリクエストパケット送信が完了するたびに、シリアルリクエストパケットの送信が完了した旨と送信したシリアルリクエストパケットのrwフィールドの値を、パケット計数部 A 2 2 0 8 に通知する。暗号化送信部 A 2 2 0 4 は、後述のダウンレーン数レジスタ A を参照し、該レジスタの値によって指定された数の信号線群 A B 2 1 2 1 に含まれる情報信号線群を用いてシリアルパケットを送信する。暗号化送信部 A 2 2 0 4 は、後述の暗号機能イネーブルレジスタ A の値と暗号化暗号鍵レジスタ A の値をそれぞれ参照し、該暗号機能イネーブルレジスタ A の値が暗号化機能が有効であることを示す値である場合には、該暗号化暗号鍵レジスタ A によって指定された暗号鍵を用いてシリアルリクエストパケットおよびシリアルレスポンスパケットの暗号化を行う。

【 0 2 8 9 】

レスポンス受信制御部 A 2 2 0 5 は、復号受信部 A 2 2 0 8 からパラレルレスポンスパケットを受信し、該パラレルレスポンスパケットをルータ A 2 1 0 7 に送信する中継回路である。

【 0 2 9 0 】

リクエスト受信制御部 A 2 2 0 6 は、復号受信部 A 2 2 0 8 からパラレルリクエストパケットを受信し、該パラレルリクエストパケットをルータ A 2 1 0 7 に送信する中継回路である。

【 0 2 9 1 】

割り込み受信制御部 A 2 2 0 7 は、復号受信部 A 2 2 0 8 から割り込みパケットを受信し、該割り込みパケットの内容を解析し、解析結果に基づいて I N T C A 2 1 0 4 に対する割り込み信号を生成する割り込み情報中継回路である。

【 0 2 9 2 】

復号受信部 A 2 2 0 8 は、信号線群 B A 2 1 2 2 を介して集積回路 B 2 1 1 1 からシリアルパケットを受信し、レスポンス受信制御部 A 2 2 0 5 およびレスポンス受信制御部 A 2 2 0 6 および割り込み受信制御部 A 2 2 0 7 およびレジスタ A 2 2 1 0 に送信する中継回路である。復号受信部 A 2 2 0 8 は、シリアルパケットを中継するとき、合わせて以下の処理を行う。

【 0 2 9 3 】

復号受信部 A 2 2 0 8 は、集積回路 B 2 1 1 1 から受信したシリアルパッケージの内容を解析し、該シリアルパッケージがシリアルリクエストパッケージであるかシリアルレスポンスパッケージであるか割り込みパッケージであるかを判断する。復号受信部 A 2 2 0 8 は、集積回路 B 2 1 1 1 から受信したシリアルパッケージがシリアルレスポンスパッケージである場合には、該シリアルレスポンスパッケージを復号した上でパラレルレスポンスパッケージを生成し、該パラレルレスポンスパッケージをレスポンス受信制御部 A 2 2 0 5 に送信する。復号受信部 A 2 2 0 8 は、集積回路 B 2 1 1 1 から受信したシリアルパッケージがシリアルリクエストパッケージである場合には、該シリアルレスポンスパッケージを復号した上でパラレルリクエストパッケージを生成する。さらに該パラレルリクエストパッケージの内容を解析し、該パラレルリクエストパッケージがレジスタ A 2 2 1 0 に対するアクセス要求を含むパラレルリクエストパッケージであるか、メモリ A 2 1 0 2 あるいは I P A 2 1 0 5 に対するアクセス要求を含むパラレルリクエストパッケージであるかを判断する。復号受信部 A 2 2 0 8 は、該パラレルリクエストパッケージがレジスタ A 2 2 1 0 に対するアクセス要求を含むパラレルリクエストパッケージであれば、該パラレルリクエストパッケージをレジスタ A 2 2 1 0 に送信し、該パラレルリクエストパッケージがメモリ A 2 1 0 2 あるいは I P A 2 1 0 5 に対するアクセス要求を含むパラレルリクエストパッケージであれば、該パラレルリクエストパッケージをリクエスト受信制御部 A 2 2 0 6 に送信する。復号受信部 A 2 2 0 8 は、集積回路 B 1 0 9 から受信したパッケージが割り込みパッケージである場合には、該割り込みパッケージを割り込み受信制御部 A 2 2 0 7 に送信する。

10

20

【 0 2 9 4 】

パッケージ計数部 A 2 2 0 9 は、アウトスタンディングカウンタ A、リードアウトスタンディングカウンタ A、ライトアウトスタンディングカウンタ A を備え、該カウンタの値を参照して暗号化送信部 A 2 2 0 4 へのシリアルリクエストパッケージ送信許可信号を生成する制御回路である。

【 0 2 9 5 】

アウトスタンディングカウンタ A は、暗号化送信部 A 2 2 0 4 からシリアルリクエストパッケージの送信が完了したことを通知されるたびにカウント値を 1 増加させ、復号受信部 A 2 2 0 9 からシリアルレスポンスパッケージの受信が完了したことを通知されるたびにカウント値を 1 減少させる。ただし、アウトスタンディングカウンタ A はシリアルリクエストパッケージ送信とシリアルレスポンスパッケージ受信が同時に完了したときにはカウント値を変化させない。また、アウトスタンディングカウンタ A は、集積回路 A 2 1 0 1 の初期化時に 0 となる。

30

【 0 2 9 6 】

リードアウトスタンディングカウンタ A は、暗号化送信部 A 2 2 0 4 から rw フィールドが ' 1 ' であるシリアルリクエストパッケージの送信が完了したことを通知されるたびにカウント値を 1 増加させ、復号受信部 A 2 2 0 9 から前記シリアルリクエストパッケージに対応するシリアルレスポンスパッケージの受信が完了したことを通知されるたびにカウント値を 1 減少させる。ただし、リードアウトスタンディングカウンタ A は rw フィールドが ' 1 ' であるシリアルリクエストパッケージの送信と該シリアルリクエストパッケージに対応するシリアルレスポンスパッケージの受信が同時に行われたときにはカウント値を変化させない。また、リードアウトスタンディングカウンタ A は、集積回路 A 2 1 0 1 の初期化時に 0 となる。

40

【 0 2 9 7 】

ライトアウトスタンディングカウンタ A は、暗号化送信部 A 2 2 0 4 から rw フィールドが ' 0 ' であるシリアルリクエストパッケージの送信が完了したことを通知されるたびにカウント値を 1 増加させ、復号受信部 A 2 2 0 9 から前記シリアルリクエストパッケージに対応するシリアルレスポンスパッケージの受信が完了したことを通知されるたびにカウント値を 1 減少させる。ただし、ライトアウトスタンディングカウンタ A は rw フィールドが ' 0 ' であるシリアルリクエストパッケージの送信と該シリアルリクエストパッケージに対応するシリアルレスポンスパッケージの受信が同時に行われたときにはカウント値を変化させない

50

。また、ライトアウトスタンディングカウンタ A は、集積回路 A 2 1 0 1 の初期化時に 0 となる。

【 0 2 9 8 】

パケット計数部 A 2 2 0 8 は、後述の最大アウトスタンディングレジスタ A の値と、後述の最大リードアウトスタンディングレジスタ A の値と、後述の最大ライトアウトスタンディングレジスタ A の値を参照する。パケット計数部 A 2 2 0 8 は、該最大アウトスタンディングレジスタ A の値が前記アウトスタンディングカウンタ A の値より大きく、かつ、該最大リードアウトスタンディングレジスタ A の値が前記リードアウトスタンディングカウンタ A の値より大きく、かつ、該最大ライトアウトスタンディングレジスタ A の値が前記ライトアウトスタンディングカウンタ A の値より大きいときに、暗号化送信部 A 2 2 0 4 に対するシリアルリクエストパケット送信許可信号をアサート状態に保持する。

10

【 0 2 9 9 】

つづいて、図面を参照してレジスタ A 2 2 1 0 に含まれるレジスタ群を説明する。図 2 3 はレジスタ 2 2 1 0 に含まれるレジスタ群を示す図である。

【 0 3 0 0 】

レジスタ A 2 2 1 0 は、最大ターゲットアウトスタンディングレジスタ A、最大ターゲットリードアウトスタンディングレジスタ A、最大ターゲットライトアウトスタンディングレジスタ A、最大イニシエータアウトスタンディングレジスタ A、最大イニシエータリードアウトスタンディングレジスタ A、最大イニシエータライトアウトスタンディングレジスタ A、暗号機能イネーブルレジスタ A、復号暗号鍵レジスタ A、暗号化暗号鍵レジスタ A、ダウンレーン数レジスタ A、アップレーン数レジスタ A を備えて構成される。

20

【 0 3 0 1 】

最大ターゲットアウトスタンディングレジスタ A は、コントローラ A 2 1 0 6 がターゲットとしてサポートする最大アウトスタンディング数が保持されるレジスタである。最大ターゲットアウトスタンディングレジスタ A の値は、集積回路 A 2 1 0 1 の初期化時に 1 となり、ライトアクセスによって値が更新される。最大ターゲットリードアウトスタンディングレジスタ A は、コントローラ A 2 1 0 6 がターゲットとしてサポートするリードアクセスの最大アウトスタンディング数が保持されるレジスタである。最大ターゲットリードアウトスタンディングレジスタ A の値は、集積回路 A 2 1 0 1 の初期化時に 1 となり、CPU A 2 1 0 2 によるライトアクセスによって値が更新される。最大ターゲットライトアウトスタンディングレジスタ A は、コントローラ A 2 1 0 6 がターゲットとしてサポートするライトアクセスの最大アウトスタンディング数が保持されるレジスタである。最大ターゲットライトアウトスタンディングレジスタ A の値は、集積回路 A 2 1 0 1 の初期化時に 1 となり、CPU A 2 1 0 2 によるライトアクセスによって値が更新される。最大イニシエータアウトスタンディングレジスタ A は、コントローラ A 2 1 0 6 がイニシエータとしてサポートする最大アウトスタンディング数が保持されるレジスタである。最大イニシエータアウトスタンディングレジスタ A の値は、集積回路 A 2 1 0 1 の初期化時に 1 となり、CPU A 2 1 0 2 によるライトアクセスによって値が更新される。最大イニシエータリードアウトスタンディングレジスタ A は、コントローラ A 2 1 0 6 がイニシエータとしてサポートするリードアクセスの最大アウトスタンディング数が保持されるレジスタである。最大イニシエータリードアウトスタンディングレジスタ A の値は、集積回路 A 2 1 0 1 の初期化時に 1 となり、CPU A 2 1 0 2 によるライトアクセスによって値が更新される。最大イニシエータライトアウトスタンディングレジスタ A は、コントローラ A 2 1 0 6 がイニシエータとしてサポートするライトアクセスの最大アウトスタンディング数が保持されるレジスタである。最大イニシエータライトアウトスタンディングレジスタ A の値は、集積回路 A 2 1 0 1 の初期化時に 1 となり、CPU A 2 1 0 2 によるライトアクセスによって値が更新される。

30

40

【 0 3 0 2 】

暗号機能イネーブルレジスタ A は、コントローラ A 2 1 0 5 が送受信するシリアルリクエストパケットと、シリアルレスポンスパケットが暗号化されるか否かを設定するレジス

50

タである。暗号機能イネーブルレジスタAの値が‘1’である場合、シリアルリクエストパケットおよびシリアルレスポンスパケットはそれぞれ信号線群A B 2 1 2 1および信号線群B A 2 1 2 2上を暗号化された状態で送信される。

【0303】

復号暗号鍵レジスタAは、復号受信部A 2 2 0 9が暗号を復号するときに使用する暗号鍵が保持されるレジスタである。暗号化暗号鍵レジスタAは、暗号化送信部A 2 2 0 4がパケットを暗号化するときに使用する暗号鍵を保持するレジスタである。

【0304】

ダウンレーン数レジスタAは、信号線群A B 2 1 2 1に含まれる情報信号線群の本数を示すレジスタである。ダウンレーン数レジスタAの値は、集積回路A 2 1 0 1の初期化時に‘1’となり、CPU A 2 1 0 2によるライトアクセスによって更新される。

10

【0305】

アップレーン数レジスタAは、信号線群B A 2 1 2 2に含まれる情報信号線群の本数を示すレジスタである。アップレーン数レジスタの値は、集積回路A 2 1 0 1の初期化時に1となり、CPU A 2 1 0 2によるライトアクセスによって更新される。

【0306】

イニシエータストップレジスタAは、コントローラAに集積回路B 2 1 1 1のイニシエータ機能を停止させ、集積回路B 2 1 1 1のイニシエータのアウトスタンディング数をゼロにするシリアルコントロールパケットであるイニシエータストップパケットと、集積回路B 2 1 1 1のイニシエータの動作を再開させるイニシエータストップ解除パケットを送信するためのレジスタである。イニシエータストップレジスタAに‘1’をライトすると、レジスタA 2 2 1 0は暗号化送信部2 2 0 4にイニシエータストップパケットを送信し、イニシエータストップレジスタAに‘0’をライトすると、レジスタA 2 2 1 0は暗号化送信部2 2 0 4にイニシエータストップ解除パケットを送信する。

20

【0307】

3ステートバッファA 2 1 1 1は、第1の実施の形態における3ステートバッファ2 0 1と同様の機能を持つ3ステートバッファであり、信号線群A B 2 1 2 1あるいは信号線群B A 2 1 2 2に含まれる情報信号線群の方向を切り替える。

【0308】

プルアップ抵抗2 1 1 2は、信号線群A B 2 1 2 1あるいは信号線群B A 2 1 2 2に含まれる情報信号線群が集積回路A 2 1 0 1にも集積回路B 2 1 1 1にも駆動されていないときに、該情報信号線群の電位をHIGHレベルに固定するためのプルアップ抵抗である。

30

【0309】

つづいて、デバイスB 2 1 1 6を図面を参照して説明する。

【0310】

図2 4は、デバイスB 2 1 1 6の構成を示すブロック図である。デバイスB 2 1 1 6は、復号受信部B 2 4 0 1と、暗号化送信部B 2 4 0 2と、割り込み受信制御部B 2 4 0 3と、レスポンス受信制御部B 2 4 0 4と、リクエスト受信制御部B 2 4 0 5と、レジスタB 2 4 0 6と、レスポンス送信制御部B 2 4 0 7と、リクエスト送信制御部B 2 4 0 8と、割り込み送信制御部B 2 4 0 9と、パケット計数部B 2 4 1 0と、3ステートバッファB 2 4 1 1とを備えて構成される。

40

【0311】

復号受信部B 2 4 0 1は、信号線群B A 2 1 2 2を介して集積回路A 2 1 0 1からシリアルパケットを受信し、該シリアルパケットを割り込み受信制御部B 2 4 0 3およびレスポンス受信制御部B 2 4 0 4およびリクエスト受信制御部2 4 0 5およびレジスタB 2 4 0 6に送信する中継回路である。復号受信部B 2 4 0 1は上記中継処理実行時に、合わせて以下の処理を行う。

【0312】

復号受信部B 2 4 0 1は、後述のリクエストレーン数レジスタBの値を参照し、該レジ

50

スタによって指定された数の信号線群 A B 2 1 2 1 に含まれる情報信号線群を介してシリアルパケットを受信する。復号受信制御部 B 2 4 0 1 は、受信したシリアルパケットを解析し、該シリアルパケットがシリアルリクエストパケットであるかシリアルレスポンスパケットであるかシリアルコントロールパケットであるかを判断する。復号受信部 B 2 4 0 1 は、後述の暗号機能イネーブルレジスタ B と後述の復号暗号鍵レジスタ B の値をそれぞれ参照し、該暗号機能イネーブルレジスタ B の値が暗号化機能が有効であることを示す値である場合には、前記レジスタ B によって指定された暗号鍵を用いてシリアルリクエストパケットおよびシリアルレスポンスパケットの復号を行う復号受信部 B 2 4 0 1 は、受信したシリアルパケットがシリアルレスポンスパケットである場合には、パラレルレスポンスパケットに変換し、該パラレルレスポンスパケットをレスポンス受信制御部 B 2 4 0 4 に送信する。復号受信部 B 2 4 0 1 は、集積回路 A 2 1 0 1 から受信したパケットがシリアルリクエストパケットである場合には、該レスポンスパケットを復号した上でパラレルリクエストパケットを生成する。復号受信部 B 2 4 0 1 は、該パラレルリクエストパケットのアドレスを解析し、該パラレルリクエストパケットがレジスタ B 2 4 0 6 に対するアクセス要求を含むパラレルリクエストパケットであれば、該パラレルリクエストパケットをレジスタ B 2 4 0 6 に送信する。復号受信部 B 2 4 0 1 は、該パラレルリクエストパケットのアドレスを解析し、該パラレルリクエストパケットがレジスタメモリ B 2 1 1 3 あるいは I P B 2 1 1 5 に対するアクセス要求を含むパラレルリクエストパケットであれば、該パラレルリクエストパケットをリクエスト受信制御部 B 2 4 0 5 に送信する。復号受信部 B 2 4 0 1 は、受信したシリアルパケットが割り込みパケットである場合には、該シリアルコントロールパケットを割り込み受信制御部 B 2 4 0 3 に送信する。復号受信部 B 2 4 0 1 は、受信したシリアルパケットがイニシエータストップパケットあるいはイニシエータストップ解除パケットである場合には、該イニシエータストップパケットあるいはイニシエータストップ解除パケットをレジスタ B 2 4 0 6 に送信する。

10

20

30

40

50

【 0 3 1 3 】

暗号化送信部 B 2 4 0 2 は、リクエスト送信制御部 B 2 4 0 8 からパラレルリクエストパケットを受信し、レスポンス送信制御部 B 2 4 0 7 およびレジスタ B 2 4 0 6 からパラレルレスポンスパケットを受信し、割り込み送信制御部 B 2 4 0 9 から割り込みパケットを受信し、これらの受信したパケットを信号線群 B A 2 1 2 2 を介して集積回路 A 2 1 0 1 に送信する中継回路である。暗号化送信部 B 2 4 0 2 は、上記中継処理実行時に合わせて以下の処理を行う。暗号化送信部 B 2 4 0 2 は受信したパラレルリクエストパケットをシリアルリクエストパケットに、パラレルレスポンスパケットをシリアルレスポンスパケットにそれぞれ変換する。暗号化送信部 B 2 4 0 2 は、パケット計数部 B 2 4 1 0 から供給されるシリアルリクエストパケット送信許可信号がディアサート状態であるときには、集積回路 A 2 1 0 1 へのシリアルリクエストパケット送信を行わない。暗号化送信部 B 2 4 0 2 は、集積回路 A 2 1 0 1 へのシリアルリクエストパケット送信が完了するたびに、シリアルリクエストパケットの送信が完了した旨と、送信したシリアルリクエストパケットの rw フィールドの値を、パケット計数部 B 2 4 1 0 に通知する。暗号化送信部 B 2 4 0 2 は、後述のアップレーン数レジスタ B を参照し、該レジスタの値によって指定された数の信号線群 A B 2 1 2 1 に含まれる情報信号線群を用いてシリアルパケットを送信する。暗号化送信部 B 2 4 0 2 は、後述の暗号機能イネーブルレジスタ B の値と暗号化暗号鍵レジスタ B の値をそれぞれ参照し、該暗号機能イネーブルレジスタ B の値が暗号化機能が有効であることを示す値である場合には、該暗号化暗号鍵レジスタ A によって指定された暗号鍵を用いてシリアルリクエストパケットおよびシリアルレスポンスパケットの暗号化を行う。

【 0 3 1 4 】

割り込み受信制御部 B 2 4 0 3 は、復号受信部 B 2 4 0 1 から割り込みパケットを受信して該割り込みパケットの内容を解析し、解析結果に基づいて I N T C B 2 1 1 4 に対する割り込み信号を生成する割り込み情報中継回路である。

【 0 3 1 5 】

レスポンス受信制御部 B 2 4 0 4 は、復号受信部 B 2 4 0 1 からパラレルレスポンスパケットを受信し、該パラレルレスポンスパケットをルータ B 2 1 1 7 に送信する中継回路である。

【 0 3 1 6 】

リクエスト受信制御部 B 2 4 0 5 は、復号受信部 B 2 4 0 1 からパラレルリクエストパケットを受信し、該パラレルリクエストパケットをルータ B 2 1 1 7 に送信する中継回路である。

【 0 3 1 7 】

レジスタ B 2 4 0 6 は、集積回路 B 2 1 1 1 がシリアルインタフェースによって集積回路 A 2 1 0 1 との間で通信を行うために必要な制御情報を保持するための記憶装置である。レジスタ B 2 4 0 6 は、リクエスト受信制御部 B 2 4 0 5 から受信したパラレルリクエストパケットおよびシリアルコントロールパケットを解析し、解析結果に基づいて後述する各レジスタに対する処理を行い、処理結果に基づいてパラレルレスポンスパケットを生成し、該パラレルレスポンスパケットを暗号化送信部 B 2 4 0 2 に送信する。レジスタ B 2 4 0 6 はイニシエータストップリクエストを受信した場合、暗号化送信部 B 2 4 0 2 に対するイニシエータストップ信号をアサートし、イニシエータストップ解除リクエストを受信した場合、該イニシエータストップ信号をディアサートする。また、レジスタ B 2 4 0 6 は、イニシエータストップリクエストを受信した場合、後述のアウトスタンディングカウンタ B のカウント値を参照し、該カウント値が 0 になるまでイニシエータストップリクエストに対するパラレルレスポンスパケットの送信を遅らせる。

【 0 3 1 8 】

続いて、図 2 5 を用いてレジスタ B 2 4 0 6 に含まれるレジスタ群について説明する。

【 0 3 1 9 】

図 2 5 は、レジスタ B 2 4 0 6 に含まれるレジスタ群を示す図である。レジスタ B 2 4 0 6 は、最大ターゲットアウトスタンディングレジスタ B、最大ターゲットリードアウトスタンディングレジスタ B、最大ターゲットライトアウトスタンディングレジスタ B、最大イニシエータアウトスタンディングレジスタ B、最大イニシエータリードアウトスタンディングレジスタ B、最大イニシエータライトアウトスタンディングレジスタ B、暗号機能イネーブルレジスタ B、復号暗号鍵レジスタ B、暗号化暗号鍵レジスタ B、ダウンレーン数レジスタ B、アップレーン数レジスタ B、モジュール電力制御レジスタ B、モジュールクロック制御レジスタ B、割り込み送信イネーブルレジスタ B、イニシエータイネーブルレジスタ B を備えて構成される。

【 0 3 2 0 】

最大ターゲットアウトスタンディングレジスタ B は、デバイス B 2 1 1 6 がターゲットとして対応可能な最大アウトスタンディング数が保持されるレジスタである。最大ターゲットアウトスタンディングレジスタ B の値は、集積回路 B 2 1 1 1 の初期化時に 1 となり、集積回路 A 2 1 0 1 によるライトアクセスによって更新される。ただし、該ライトアクセスのライトデータの値が 5 以上である場合には、最大アウトスタンディングレジスタ B の値は更新されず、暗号化送信部 B 2 4 0 2 にはアクセス失敗が通知される。

【 0 3 2 1 】

最大ターゲットリードアウトスタンディングレジスタ B は、デバイス B 2 1 1 6 がターゲットとして対応可能なリードアクセスの最大アウトスタンディング数が保持されるレジスタである。最大ターゲットリードアウトスタンディングレジスタ B の値は、集積回路 B 2 1 1 1 の初期化時に 1 となり、集積回路 A 2 1 0 1 によるライトアクセスによって更新される。ただし、ライトデータの値が 5 以上である場合には、最大ターゲットリードアウトスタンディングレジスタ B の値は更新されず、暗号化送信部 B 2 4 0 2 にはアクセス失敗が通知される。

【 0 3 2 2 】

最大ターゲットライトアウトスタンディングレジスタ B は、デバイス B 2 1 1 6 がターゲットとして対応可能なライトアクセスの最大アウトスタンディング数が保持されるレジ

10

20

30

40

50

スタである。最大ターゲットライトアウトスタンディングレジスタ B の値は、集積回路 B 2 1 1 1 の初期化時に 1 となり、集積回路 A 2 1 0 1 によるライトアクセスによって更新される。ただし、ライトアクセスによって更新される値が 5 以上である場合には、最大ライトアウトスタンディングレジスタ B の値は更新されず、暗号化送信部 B 2 4 0 2 にはアクセス失敗が通知される。

【 0 3 2 3 】

最大イニシエータアウトスタンディングレジスタ B は、デバイス B 2 1 1 6 がイニシエータとして実行する最大アウトスタンディング数が保持されるレジスタである。最大イニシエータアウトスタンディングレジスタ B の値は、集積回路 B 2 1 1 1 の初期化時に 1 となり、集積回路 A 2 1 0 1 によるライトアクセスによって値が更新される。

10

【 0 3 2 4 】

最大イニシエータリードアウトスタンディングレジスタ B は、デバイス 2 1 1 6 がイニシエータとして実行するリードアクセスの最大アウトスタンディング数が保持されるレジスタである。最大イニシエータリードアウトスタンディングレジスタ B の値は、集積回路 B 2 1 1 1 の初期化時に 1 となり、集積回路 A 2 1 0 1 によるライトアクセス B によって値が更新される。

【 0 3 2 5 】

最大イニシエータライトアウトスタンディングレジスタ B は、デバイス B 2 1 1 6 がイニシエータとして実行するライトアクセスの最大アウトスタンディング数が保持されるレジスタである。最大イニシエータライトアウトスタンディングレジスタ B の値は、集積回路 B 2 1 1 1 の初期化時に 1 となり、集積回路 A 2 1 0 1 によるライトアクセスによって値が更新される。

20

【 0 3 2 6 】

暗号機能イネーブルレジスタ B は、デバイス B 2 1 1 6 が送受信するシリアルリクエストパケットとシリアルレスポンスパケットが、暗号化されるか否かを設定するレジスタである。暗号機能イネーブルレジスタ B の値が ' 1 ' である場合、シリアルリクエストパケットおよびシリアルレスポンスパケットはそれぞれシリアルインタフェース上を暗号化された状態で送受信される。

【 0 3 2 7 】

復号暗号鍵レジスタ B は、復号受信部 B 2 4 0 1 が暗号を復号するとき使用する暗号鍵が保持されるレジスタである。

30

【 0 3 2 8 】

暗号化暗号鍵レジスタ B は、暗号化送信部 B 2 4 0 2 がシリアルリクエストパケットおよびシリアルレスポンスパケットを暗号化するとき使用する暗号鍵を保持するレジスタである。

【 0 3 2 9 】

ダウンレーン数レジスタ B は、信号線群 A B 2 1 2 1 に含まれる情報信号線群の本数を示すレジスタである。ダウンレーン数レジスタの値は、集積回路 B 2 1 1 1 の初期化時に 1 となり、集積回路 A 2 1 0 1 によるライトアクセスによって更新される。

【 0 3 3 0 】

アップレーン数レジスタは、信号線群 B A 2 1 2 2 に含まれる情報信号線群の本数を示すレジスタである。アップレーン数レジスタの値は、集積回路 B 2 1 1 1 の初期化時に 1 となり、集積回路 A 2 1 0 1 によるライトアクセスによって更新される。

40

【 0 3 3 1 】

モジュール電力制御レジスタ B は、I P B 2 1 1 5 に電力供給を行うか否かを示すレジスタである。モジュール電力制御レジスタ B の値が ' 1 ' である場合、電力制御部 B 2 1 1 8 に対する電力供給信号がアサート状態に保持され、モジュール電力制御レジスタ B の値が ' 0 ' である場合、電力制御部 B 2 1 1 8 に対する電力供給信号がディアサート状態に保持される。モジュール電力制御レジスタ B の値は、集積回路 B 2 1 1 1 の初期化時に 1 となり、ライトアクセスによって更新される。

50

【0332】

モジュールクロック制御レジスタBは、IPB2115にクロック供給を行うか否かを示すレジスタである。モジュールクロック制御レジスタBの値が‘1’である場合、クロック制御部B2119に対するクロック供給信号がアサート状態に保持され、モジュールクロック制御レジスタBの値が‘0’である場合、クロック制御部B2119に対するクロック供給信号がディアサート状態に保持される。モジュールクロック制御レジスタBの値は、集積回路B2111の初期化時に1となり、ライトアクセスによって更新される。

【0333】

割り込み送信イネーブルレジスタBは、集積回路A2101への割り込みパケット送信が許可されているか否かを示すレジスタである。割り込み送信イネーブルレジスタBの値が‘0’である場合、集積回路A2101への割り込みパケット送信は禁止であり、割り込み送信イネーブルレジスタBの値が‘1’である場合、集積回路A2101への割り込みパケット送信は許可されている。割り込み送信イネーブルレジスタBの値は、集積回路B109の初期化時に‘0’となり、ライトアクセスによって更新される。

10

【0334】

イニシエータイネーブルレジスタBは、集積回路B2111がシリアルインタフェースのイニシエータとして動作することが許可されているか否かを示すレジスタである。イニシエータイネーブルレジスタBの値が‘1’である場合、集積回路B2111はシリアルインタフェースのイニシエータとして動作することが許可されており、イニシエータイネーブルレジスタBの値が‘0’である場合、集積回路B2111はシリアルインタフェースのイニシエータとして動作することが禁止されている。イニシエータイネーブルレジスタBの値は、集積回路B2111の初期化時に‘0’となり、ライトアクセスによって更新される。

20

【0335】

レスポンス送信制御部B2407は、ルータB2117からパラレルレスポンスパケットを受信し、該パラレルレスポンスパケットを暗号化送信部B2402に送信する中継回路である。

【0336】

リクエスト送信制御部B2408は、ルータB2117からパラレルリクエストパケットを受信し、該パラレルリクエストパケットを暗号化送信部B2402に送信する中継回路である。

30

【0337】

割り込み送信制御部B2409は、IPB2115から割り込み送信要求を取り込み、該割り込み送信要求に基づいて割り込みパケットを生成し、該割り込みパケットを暗号化送信部B2402に送信する割り込み中継回路である。

【0338】

なお、本実施の形態の割り込みパケットのフォーマットは、第1の実施の形態の割り込みパケットのフォーマットと同一である。

【0339】

パケット計数部B2410は、アウトスタンディングカウンタB、リードアウトスタンディングカウンタB、ライトアウトスタンディングカウンタBを備え、該カウンタの値を参照して暗号化送信部B2402へのシリアルリクエストパケット送信許可信号を生成する制御回路である。

40

【0340】

アウトスタンディングカウンタBは、暗号化送信部B2402からシリアルリクエストパケットの送信が完了したことを通知されるたびにカウント値を1増加させ、復号受信部B2401からシリアルレスポンスパケットの受信が完了したことを通知されるたびにカウント値を1減少させる。ただし、アウトスタンディングカウンタBはシリアルリクエストパケット送信とシリアルレスポンスパケット受信が同時に完了したときにはカウント値を変化させない。また、アウトスタンディングカウンタBは、集積回路B2111の初期

50

化時に 0 となる。

【0341】

リードアウトスタンディングカウンタ B は、暗号化送信部 B 2 4 0 2 から rw フィールドが ' 1 ' であるシリアルリクエストパケットの送信が完了したことを通知されるたびにカウント値を 1 増加させ、復号受信部 B 2 4 0 1 から前記シリアルリクエストパケットに対応するシリアルレスポンスパケットの受信が完了したことを通知されるたびにカウント値を 1 減少させる。ただし、リードアウトスタンディングカウンタ B は rw フィールドが ' 1 ' であるシリアルリクエストパケットの送信と該シリアルリクエストパケットに対応するシリアルレスポンスパケットの受信が同時に行われたときにはカウント値を変化させない。また、リードアウトスタンディングカウンタ B は、集積回路 B 2 1 0 1 の初期化時に 0 となる。

10

【0342】

ライトアウトスタンディングカウンタ B は、暗号化送信部 B 2 4 0 2 から rw フィールドが ' 0 ' であるシリアルリクエストパケットの送信が完了したことを通知されるたびにカウント値を 1 増加させ、復号受信部 B 2 4 0 1 から前記シリアルリクエストパケットに対応するシリアルレスポンスパケットの受信が完了したことを通知されるたびにカウント値を 1 減少させる。ただし、ライトアウトスタンディングカウンタ B は rw フィールドが ' 0 ' であるシリアルリクエストパケットの送信と該シリアルリクエストパケットに対応するシリアルレスポンスパケットの受信が同時に行われたときにはカウント値を変化させない。また、ライトアウトスタンディングカウンタ B は、集積回路 B 2 1 0 1 の初期化時に 0 となる。

20

【0343】

パケット計数部 B 2 4 1 0 は、最大アウトスタンディングレジスタ B の値と、最大リードアウトスタンディングレジスタ B の値と、最大ライトアウトスタンディングレジスタ B の値を参照する。パケット計数部 B 2 4 1 0 は、該最大アウトスタンディングレジスタ B の値が前記アウトスタンディングカウンタの値より大きく、かつ、該最大リードアウトスタンディングレジスタ B の値が前記リードアウトスタンディングカウンタの値より大きく、かつ、該最大ライトアウトスタンディングレジスタ B の値が前記ライトアウトスタンディングカウンタの値より大きいときに、暗号化送信部 B 2 4 0 2 に対するシリアルリクエストパケット送信許可信号をアサート状態に保持する。ただし、パケット計数部 B 2 4 1 0 はイニシエータストップ信号がアサートされているときには、シリアルリクエストパケット送信許可信号をディアサート状態に保持する。

30

【0344】

3 ステートバッファ B 2 4 1 1 は、第 1 の実施の形態における 3 ステートバッファ 2 0 2 と同様の機能を持つ 3 ステートバッファであり、信号線群 A B 2 1 2 1 あるいは信号線群 B A 2 1 2 2 に含まれる情報信号線群の方向を切り替える。

【0345】

以下、本発明によるシリアルインタフェースを用いて、集積回路 A 2 1 0 1 と集積回路 B 2 1 1 1 の間で実行されるアクセスと、割り込み処理について説明する。

【0346】

まず、第 2 の実施の形態におけるシリアルインタフェースの初期設定を図面を参照して説明する。

40

【0347】

図 2 6 は、集積回路 A 2 1 0 1 および集積回路 B 2 1 1 1 の使用開始から、シリアルインタフェースの初期化完了までの一連の初期設定処理を示すフローチャートである。集積回路 A 2 1 0 1 および集積回路 B 2 1 1 1 の使用開始時には、集積回路 A 2 1 0 1 および集積回路 B 2 1 1 1 に電力を供給し (ステップ 2 6 0 1)、つづいてリセット信号などを用いて初期化を行う (ステップ 2 6 0 2)。

【0348】

ステップ 2 6 0 2 完了時における、レジスタ A 2 2 1 0 に含まれる各レジスタの値を図

50

27に、レジスタB2406に含まれる各レジスタの値を図28に、それぞれ示す。

【0349】

最大ターゲットアウトスタンディングレジスタB、最大ターゲットリードアウトスタンディングレジスタBおよび最大ターゲットライトアウトスタンディングレジスタBの各値は1であり、集積回路B2111がシリアルインタフェースのターゲットとしてリードアクセスあるいはライトアクセスを最大で一回受け付けられることを示している。すなわち、この状態では、集積回路B2111は、集積回路A2101からシリアルリクエストパケットを1パケット受信したら、該シリアルリクエストパケットに対するシリアルレスポンスパケットを送信し終わるまで、集積回路A2101が送信する次のシリアルリクエストパケットを正常に処理することを保証しない。

10

【0350】

暗号機能イネーブルレジスタBの値は、パケットが暗号化されないことを示している。ダウンレーン数レジスタBは、ダウンレーンのレーン数が1であり、アップレーン数レジスタBはアップレーンのレーン数が1であることをそれぞれ示している。

【0351】

イニシエータイネーブルレジスタBの値は'0'であり、集積回路B2111はシリアルインタフェースのイニシエータとしてアクセスを実行することを禁止されている。最大ターゲットアウトスタンディングレジスタA、最大ターゲットリードアウトスタンディングレジスタAおよび最大ターゲットライトアウトスタンディングレジスタAの各値は4であり、集積回路A2111がシリアルインタフェースのターゲットとしてリードアクセスあるいはライトアクセスを最大で4回受け付けられることを示している。すなわち、この状態では、集積回路A2101は、集積回路B2111からシリアルリクエストパケットを4パケット受信したら、該シリアルリクエストパケットに対するシリアルレスポンスパケットを送信し終わるまで、次の集積回路B2111が送信するシリアルリクエストパケットを正常に処理することを保証しない。

20

【0352】

暗号機能イネーブルレジスタAの値は、パケットが暗号化されないことを示している。アップレーン数レジスタAは、アップレーンのレーン数が1であり、ダウンレーン数レジスタAはダウンレーンのレーン数が1であることをそれぞれ示している。

【0353】

この状態では、集積回路A2101と集積回路B2111の間の転送能力は低く、外部からのアクセス情報取得を暗号化によって阻止することができない。また、集積回路B2111は集積回路A2101に対してイニシエータとしてアクセスすることができない。そこでステップ2603からステップ2608までに示す各処理を実行して転送能力を高め、外部からのアクセス情報取得を阻止し、集積回路B2111から集積回路A2101へのアクセスを実行できるようにする。

30

【0354】

まず、集積回路A2101は、アップレーンとダウンレーンの本数を集積回路B2111とコントローラA2105に設定し、シリアルインタフェースのパケット転送能力を高める。

40

【0355】

本実施の形態において、信号線群AB2121および信号線群BA2122に含まれる情報信号線群の数はそれぞれ2本および4本である。このため、集積回路A2101は、レジスタB2406のダウンレーン数レジスタには2を、アップレーン数レジスタには4を、それぞれライトアクセスにより書き込み、集積回路B2111に信号線群AB2121の情報信号線群の数が2であり、信号線群BA2122の情報信号線群の数が4である旨を通知する。

【0356】

また、集積回路A2101内部においては、CPUA2102が、レジスタA2210のダウンレーン数レジスタAには2を、アップレーン数レジスタAには4をそれぞれ書き

50

込み、コントローラ A 2 1 1 6 に信号線群 A B 2 1 2 1 の情報信号線群の数が 2 であり、信号線群 B A 2 1 2 2 の情報信号線群の数が 4 である旨を通知する (ステップ 2 6 0 3)

【 0 3 5 7 】

つづいて、集積回路 A 2 1 0 1 および集積回路 B 2 1 1 1 に搭載された暗号化機能を有効化し、外部からのアクセス情報取得を阻止する。

【 0 3 5 8 】

まず、集積回路 A 2 1 0 1 は、第 3 のライトアクセスを実施してレジスタ B 2 4 0 6 の復号暗号鍵レジスタ B に、第 4 のライトアクセスを実施して暗号化暗号鍵レジスタ B に、それぞれ 3 2 ビットの値を書き込み、集積回路 B 2 1 1 1 に暗号鍵を供給する。本実施の形態においては、復号暗号鍵レジスタ B と暗号化暗号鍵レジスタ B にそれぞれ “ 0 1 2 3 4 5 6 7 ” (1 6 進数) と “ 8 9 A B C D E F ” (1 6 進数) を書き込む。また、集積回路 A 2 1 0 1 は、前記第 3 のライトアクセス完了後にレジスタ A 2 2 1 0 の暗号化暗号鍵レジスタ A に値 “ 0 1 2 3 4 5 6 7 ” (1 6 進数) を書き込み前記第 4 のライトアクセス完了後にレジスタ A 2 2 1 0 の復号暗号鍵レジスタ A に、 “ 8 9 A B C D E F ” (1 6 進数) を書き込む (ステップ 2 6 0 4)。

10

【 0 3 5 9 】

つづいて、集積回路 A 2 1 0 1 は、第 5 のライトアクセスを実行し、レジスタ B 2 4 1 0 の暗号化イネーブルレジスタ B に ‘ 1 ’ を書き込む。また、CPU A 2 1 0 2 は、前記第 5 のライトアクセス完了後にレジスタ A 2 2 1 0 の暗号化イネーブルレジスタ A に ‘ 1 ’

20

【 0 3 6 0 】

つづいて、アウトスタンディング数上限値を増加させて集積回路 B 2 1 1 1 のアクセス受け付け能力およびアクセス実行能力を高め、シリアルインタフェースの転送能力を高める。

【 0 3 6 1 】

集積回路 A 2 1 0 1 は、最大ターゲットアウトスタンディングレジスタ B、最大ターゲットリードアウトスタンディングレジスタ B、最大ターゲットライトアウトスタンディングレジスタ B の値を、第 1、第 2 および第 3 のリードアクセスによって順次読み出し、それぞれのレジスタからそれぞれ値 4、値 2、値 2 を得、これらの数値をレジスタ A 2 2 1 0 の最大イニシエータアウトスタンディングレジスタ A、最大イニシエータリードアウトスタンディングレジスタ A、最大イニシエータライトアウトスタンディングレジスタ A にそれぞれ設定し、集積回路 A 2 1 0 1 のイニシエータとしてのアクセス実行能力を高める

30

【 0 3 6 2 】

また、集積回路 A 2 1 0 1 は、最大イニシエータアウトスタンディングレジスタ B には最大ターゲットアウトスタンディングレジスタ A の値である値 4 を、最大イニシエータリードアウトスタンディングレジスタ B には最大ターゲットリードアウトスタンディングレジスタ A の値である値 4 を、最大イニシエータライトアウトスタンディングレジスタ B にはレジスタ A 2 2 1 0 の最大ターゲットライトアウトスタンディングレジスタ A の値である値 4 を、それぞれ設定し、集積回路 B 2 1 1 1 のイニシエータとしてのアクセス実行能力を高める (ステップ 2 6 0 6)。

40

【 0 3 6 3 】

初期設定シーケンスの最後の処理として、集積回路 A 2 1 0 1 は、イニシエータ機能イネーブルレジスタ B に ‘ 1 ’ をライトして、集積回路 B 2 1 1 1 がイニシエータとしてアクセスを実行できるようにする (ステップ 2 6 0 7)。

【 0 3 6 4 】

以上で、第 2 の実施の形態の初期設定シーケンスは完了である。初期設定シーケンスの実行により、集積回路 A 2 1 0 1 と集積回路 B 2 1 1 1 の間の転送能力は高まり、外部からのアクセス情報取得は暗号化によって阻止され、集積回路 B 2 1 1 1 はイニシエータと

50

して集積回路 A 2 1 0 1 にアクセスできるようになった。

【 0 3 6 5 】

つづいて、レーン数変更処理について説明する。本実施の形態におけるレーン数変更処理と、第 1 の実施の形態におけるレーン数変更処理の主な相違は、集積回路 B 2 1 1 1 のイニシエータ機能を停止するか否かである。第 1 の実施の形態では、集積回路 B 1 0 9 にシリアルインタフェースのイニシエータ機能が存在しないため、集積回路 A 1 0 1 のイニシエータがアウトスタンディングを解消し、割り込みパケットの送信を禁止すればレーン数変更処理を開始できたが、本実施の形態では、集積回路 B 2 1 1 1 にシリアルインタフェースのイニシエータ機能があるため、該イニシエータ機能をレーン数変更処理を開始する前に停止しなければならない。

10

【 0 3 6 6 】

以下、本実施の形態におけるレーン数変更処理について図面を参照して説明する。

【 0 3 6 7 】

図 2 9 はレーン数変更シーケンスの処理の流れを示すフローチャートである。本実施の形態では、集積回路 A 2 1 0 1 が、ダウンレーン数を 4 に、アップレーン数を 2 に変更し、集積回路 A 2 1 0 1 からのライトアクセスと、集積回路 B 2 1 1 1 からのリードアクセスの処理性能を改善するときの動作を説明する。

【 0 3 6 8 】

まず、CPU A 2 1 0 2 は、集積回路 B 2 1 1 1 のイニシエータ機能を停止し、レーン数変更シーケンス実行中に集積回路 B 2 1 1 1 のイニシエータによるシリアルリクエストパケットが送信されないようにする。このために、CPU A 2 1 0 2 は、レジスタ A 2 2 1 0 のイニシエータストップレジスタ A に ' 1 ' をライトして、集積回路 B 2 1 1 1 にイニシエータストップパケットを送信する。イニシエータストップコントロールパケットを受信した集積回路 B 2 1 1 1 のデバイス B 2 1 1 6 は、以下の動作を行う。デバイス B 2 1 1 6 による新規のシリアルリクエストパケット送信を禁止する。既に送信済みのシリアルリクエストパケットに対して、未受信のシリアルレスポンスパケットが存在する場合、該シリアルレスポンスパケットを受信するまで待機する。前記シリアルレスポンスパケットの受信が完了したら、イニシエータストップコントロールパケットに対するシリアルレスポンスパケットを送信する。ここまでがステップ 2 9 0 1 の処理である。

20

【 0 3 6 9 】

集積回路 A 2 1 0 1 側の処理の説明に戻る。CPU A 2 1 0 2 は、レジスタ B 2 4 0 6 のダウンレーン数レジスタ B に対してライトアクセスを実行する。本実施の形態においては、シリアルインタフェースを用いて集積回路 B 2 1 1 1 にアクセスするモジュールが CPU A 2 1 0 2 以外に存在する。このため、CPU A 2 1 0 2 が CPU A 2 1 0 2 のアウトスタンディングを解消しても、コントローラ A 2 1 0 6 の集積回路 B 2 1 1 1 に対するアウトスタンディングが解消される保障がない。このため、CPU A 2 1 0 2 の制御によるのではなく、コントローラ A 2 1 0 6 が主体となってレーン数変更処理を実行する。

30

【 0 3 7 0 】

コントローラ A 2 1 0 6 は該ライトアクセスを検出して、発行済みのシリアルリクエストパケットに対するシリアルレスポンスパケットを全て受信するまで新規シリアルリクエストパケット送信を停止し、コントローラ A 2 1 0 6 の集積回路 B 2 1 1 1 に対するアウトスタンディング数をゼロにする (ステップ 2 9 0 2) 。

40

【 0 3 7 1 】

次に、コントローラ A 2 1 0 6 は、割り込み送信イネーブルレジスタ B に ' 0 ' を書き込み、集積回路 B 2 1 1 1 の割り込みパケット送信を停止する (ステップ 2 9 0 3) 。コントローラ A 2 1 0 6 は、集積回路 B 2 1 1 1 のアップレーン数レジスタに 2 を書き込むためのシリアルリクエストパケットを集積回路 B 2 1 1 1 に送信する (ステップ 2 9 0 4) 。

【 0 3 7 2 】

集積回路 B 2 1 1 1 は、該シリアルリクエストパケットに対するシリアルレスポンスパ

50

ケットを送信し、送信が完了した直後にアップレーンのうちの2本の駆動を停止する。コントローラAは、該シリアルレスポンスケット受信後に、アップレーン数レジスタAに2を書き込む。(ステップ2905)。

【0373】

次に、コントローラA2106は、ダウンレーン数レジスタに値4を書き込むためのシリアルリクエストケットを集積回路B2111に送信する(ステップ2906)。集積回路B2111は、該シリアルリクエストケットに対するシリアルレスポンスケットを送信する。コントローラA2106は、該シリアルレスポンスケット受信後に、ダウンレーン数レジスタAに4を書き込む。(ステップ2907)。

【0374】

集積回路A2101は、ダウンレーン数レジスタAに4が書き込まれた直後にステップ2905において集積回路B2111が駆動を停止した2本の信号線の駆動を開始する(ステップ2908)。ステップ2908完了時点においては、ダウンレーン数が4であり、アップレーン数が2である。これにより、初期設定シーケンス完了直後に比して、集積回路A2101側からはライトアクセスが、集積回路B2111側からはリードアクセスを高速に処理できる。

【0375】

つづいて、コントローラA2106は、割り込み送信イネーブルレジスタBに値1を書き込み、集積回路B2111から集積回路A2101への割り込みケット転送停止を解除する(ステップ2909)。

【0376】

最後に、コントローラA2106は、レジスタA2210のイニシエータストップレジスタAに'0'をライトして、集積回路B2111にイニシエータストップ解除ケットを送信する。(ステップ2910)。

【0377】

以上で第2の実施の形態におけるレーン数変更処理は終了である。なお、暗号鍵やアウトスタンディング数を変更するときには、前記ステップ2901を暗号鍵変更シーケンスやアウトスタンディング変更シーケンスの前に実行し、前記ステップ2910を暗号鍵変更シーケンスやアウトスタンディング変更シーケンスの後に実行する。これにより、シリアルインタフェースに複数のイニシエータが存在する本実施の形態の構成であっても、暗号鍵やアウトスタンディング数の変更が可能である。

【0378】

最後に、集積回路A2101に搭載されたIPA2105が生成した割り込み要求に基づいて、集積回路B2111に搭載されたCPUB2112が割り込み処理を実行する過程を説明する。

【0379】

まず、集積回路A2101における割り込み処理を説明する。IPA2105は、動作設定レジスタを内蔵し、該動作設定レジスタに対してルータA2107を介してライトアクセスを受けると、あらかじめ決められた処理を実行し、該処理が完了すると割り込み信号をアサートしてコントローラA2106に処理が完了した旨を通知し、再度動作設定レジスタにライトアクセスを受けるまで動作を停止する。

【0380】

IPA2105が割り込み要求信号をアサートすると、コントローラA2106の割り込み送信制御部A2203は割り込みケットを生成し、該割り込みケットを暗号化送信部A2204に送信する。

【0381】

暗号化送信部A2204は、割り込みケットを集積回路B2111に送信する。このとき、暗号化送信部A2204は、暗号機能イネーブルレジスタAの状態とは無関係に割り込みケットを暗号化せずに送信する。また、暗号化送信部A2204は、割り込み送信制御部A2203からの割り込みケットと、リクエスト送信制御部A2201からの

10

20

30

40

50

パラレルリクエストパケットとレスポンス送信制御部 A 2 2 0 2 からのパラレルレスポンスパケットを受信していた場合、割り込みパケットを先に送信する。

【 0 3 8 2 】

暗号化送信部 A 2 2 0 4 が割り込みパケットを暗号化しない理由は、暗号鍵変更シーケンス実施中に I P A 2 1 0 5 からの割り込み要求が発生した場合に、割り込みパケットの転送が遅れるのを防ぐためである。また、暗号化送信部 A 2 2 0 4 が割り込みパケットをシリアルリクエストパケットやシリアルレスポンスパケットよりも先に送信するのは、割り込みパケットを早く集積回路 B 2 1 1 1 に転送することによって、C P U B 2 1 1 2 の割り込み処理を早く起動するためである。

【 0 3 8 3 】

つづいて、集積回路 B 2 1 1 1 の割り込み処理について説明する。デバイス B 2 1 1 6 の復号受信部 B 2 4 0 1 は、集積回路 A 2 1 0 1 からシリアルパケットを受信し、該シリアルパケットを解析して該パケットが割り込みパケットであることを特定し、割り込み受信制御部 B 2 4 0 3 に対して該割り込みパケットを送信する。割り込み受信制御部 B 2 4 0 3 は、復号受信部 B 2 4 0 1 から受信した割り込みパケットを解析し、割り込み信号をアサートして I N T C B 2 1 1 4 に割り込みを通知する。このとき、割り込みパケットの reqcc フィールドのビット 3 からビット 0 までに基づいて割り込みレベル情報を生成し、割り込みパケットの intcode フィールドに基づいて割り込みコード情報を生成し、該レベル情報と該コード情報を I N T C B 2 1 1 4 に合わせて供給する。

【 0 3 8 4 】

I N T C B 2 1 1 4 は、割り込み信号をアサートし C P U B 2 1 1 2 に割り込みが発生した旨を通知する。

【 0 3 8 5 】

C P U B 2 1 1 2 は、割り込みを受け付け、現在実行中の処理を中断して割り込み処理プログラムを実行し、I P A 2 1 0 5 が生成したデータをメモリ A 2 1 0 3 から読み出してメモリ B 2 1 1 3 に格納し、さらに I P A 2 1 0 5 の動作設定レジスタに対して、ルータ B 2 1 1 7、デバイス B 2 1 1 6、コントローラ A 2 1 0 6、ルータ A 2 1 0 7 を介してライトアクセスを行い、再度動作させる。

【 0 3 8 6 】

以上の割り込み処理を繰り返すことにより、集積回路 B 2 1 1 1 からの制御によって集積回路 A 2 1 0 1 の I P A 2 1 1 5 を反復動作させることが可能となる。

【 0 3 8 7 】

以上説明した第 2 の実施の形態によれば、第 1 の実施の形態において述べた効果を、複数のイニシエータがシリアルインタフェースに接続された構成においても同様に実現できる。

【 0 3 8 8 】

以上本発明者によってなされた発明を実施形態に基づいて具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

【 図面の簡単な説明 】

【 0 3 8 9 】

【 図 1 】本発明の第 1 の実施の形態にかかる集積回路 A 1 0 1 と集積回路 B 1 0 9 のブロック図である。

【 図 2 】本発明の第 1 の実施の形態に係る信号線群 A B 1 0 7 と信号線群 B A 1 0 8 を示す図である。

【 図 3 】本発明の第 1 の本実施の形態にかかるスプリットプロトコルを示すタイミングチャートである。

【 図 4 】本発明の第 1 の実施の形態に係るシリアルリクエストパケットのフォーマットを示す図である。

【 図 5 】本発明の第 1 の実施の形態に係る lasz フィールドとアクセス対象アドレスの下位

10

20

30

40

50

ビットと転送サイズの関係を示す関係図である。

【図 6】本発明の第 1 の実施の形態に係るシリアルレスポンスパケットフォーマットを示す図である。

【図 7】本発明の第 1 の実施の形態に係る dss フィールドの値と、アクセス成否およびリードデータ量の関係を示す関係図である。

【図 8】本発明の第 1 の実施の形態に係るシリアルコントロールパケットフォーマットを示す図である。

【図 9】本発明の第 1 の実施の形態に係るシリアルインタフェースにおけるシリアルリクエストパケットおよびシリアルコントロールパケットの転送の様子を示す図である。

【図 10】本発明の第 1 の実施の形態に係るシリアルインタフェースにおけるシリアルレスポンスパケットおよびシリアルコントロールパケットの転送の様子を示す図である。

【図 11】本発明の第 1 の実施の形態に係るイニシエータ A 1 0 5 の構造を示すブロック図である。

【図 12】本発明の第 1 の実施の形態に係るレジスタ 7 0 7 に含まれるレジスタ群を示す図である。

【図 13】本発明の第 1 の実施の形態にターゲット B 1 1 2 の構成を示すブロック図である。

【図 14】本発明の第 1 の実施の形態に係るレジスタ B 1 3 0 4 に含まれるレジスタ群を示す図である。

【図 15】本発明の第 1 の実施の形態に係るシリアルインタフェースの初期設定処理を示すフローチャートである。

【図 16】本発明の第 1 の実施の形態に係る初期化完了時のレジスタ A 1 1 0 7 およびレジスタ B 8 0 4 に含まれる各レジスタの値を示す図である。

【図 17】本発明の第 1 の実施の形態に係るレーン数変更シーケンスの流れを示すフローチャートである。

【図 18】本発明の第 1 の実施の形態に係るレーン数変更シーケンスの処理の流れを示すフローチャートである。

【図 19】本発明の第 1 の実施の形態に係るリクエストレーン数とレスポンスレーン数を設定するための数表である。

【図 20】本発明の第 1 の実施の形態に係る暗号鍵数変更シーケンスの処理の流れを示すフローチャートである。

【図 21】本発明の第 2 の実施の形態にかかる集積回路 A 2 1 0 1 と集積回路 B 2 1 1 1 のブロック図である。

【図 22】本発明の第 2 の実施の形態にかかるコントローラ A 2 1 0 6 の構成を示すブロック図である。

【図 23】本発明の第 2 の実施の形態にかかるレジスタ 2 2 1 0 に含まれるレジスタ群を示す図である。

【図 24】本発明の第 2 の実施の形態にかかるデバイス B 2 1 1 6 の構成を示すブロック図である。

【図 25】本発明の第 2 の実施の形態にかかるレジスタ B 2 4 0 6 に含まれるレジスタ群を示す図である。

【図 26】本発明の第 2 の実施の形態に係るシリアルインタフェースの初期設定処理を示すフローチャートである。

【図 27】本発明の第 2 の実施の形態にかかるレジスタ A 2 2 1 0 に含まれる各レジスタの値を示す図である。

【図 28】本発明の第 2 の実施の形態にかかるレジスタ B 2 4 0 6 に含まれる各レジスタの値を示す図である。

【図 29】本発明の第 2 の実施の形態にかかるレーン数変更シーケンスの処理の流れを示すフローチャートである。

【符号の説明】

10

20

30

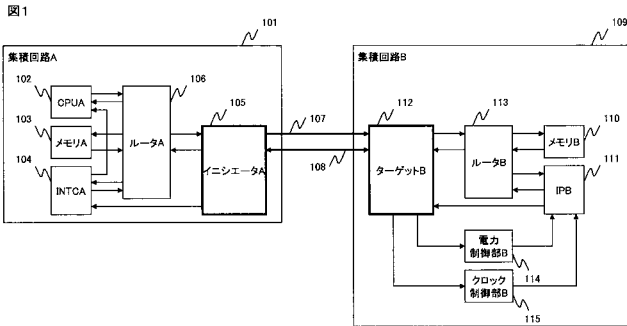
40

50

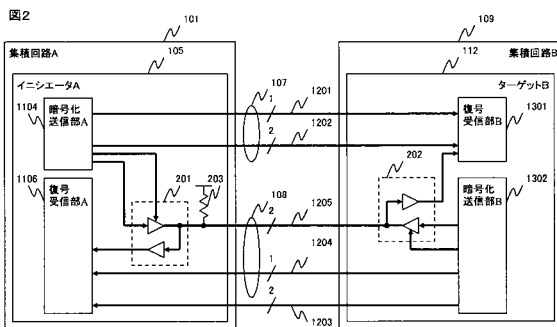
【 0 3 9 0 】

- 1 0 1 , 1 0 2 集積回路
- 1 0 5 イニシエータ
- 1 1 2 ターゲット
- 1 1 0 1 リクエスト送信制御部
- 1 1 0 2 レスポンス受信制御部
- 1 1 0 3 割り込み受信制御部
- 1 1 0 4 暗号化送信部
- 1 1 0 5 パケット計数部
- 1 1 0 6 復号受信部
- 1 1 0 7 レジスタ
- 1 3 0 1 復号受信部
- 1 3 0 2 暗号化送信部
- 1 3 0 3 リクエスト受信制御部
- 1 3 0 4 レジスタ
- 1 3 0 5 レスポンス送信制御部
- 1 3 0 6 割り込み送信制御部

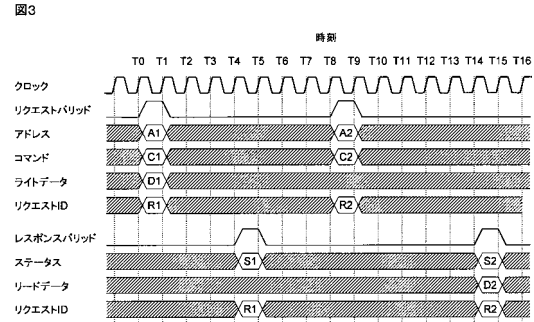
【 図 1 】



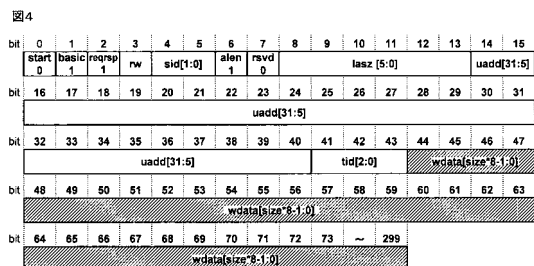
【 図 2 】



【 図 3 】



【 図 4 】



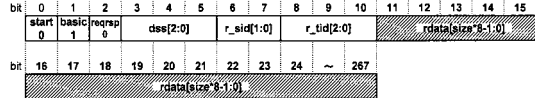
【図5】

図5

laszフィールド				転送サイズ (バイト)	アクセス対象アドレス				
lasz[3]	lasz[2]	lasz[1]	lasz[0]		bit[4]	bit[3]	bit[2]	bit[1]	bit[0]
-	-	-	1	1	lasz[5]	lasz[4]	lasz[3]	lasz[2]	lasz[1]
-	-	1	0	2	lasz[5]	lasz[4]	lasz[3]	lasz[2]	0
-	1	0	0	4	lasz[5]	lasz[4]	lasz[3]	0	0
1	0	0	0	8	lasz[5]	lasz[4]	0	0	0
0	0	0	0	32	lasz[5]	lasz[4]	0	0	0

【図6】

図6



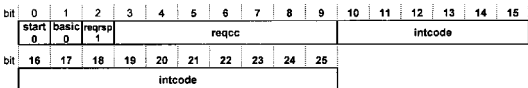
【図7】

図7

dss[2:0]	オペレーション成否	リードデータ量 (バイト)	発生ケース
000	成功	0	ライトアクセス成功時
001	成功	1	転送サイズ1バイトのリードアクセス成功時
010	成功	2	転送サイズ2バイトのリードアクセス成功時
011	成功	4	転送サイズ4バイトのリードアクセス成功時
100	成功	8	転送サイズ8バイトのリードアクセス成功時
101	成功	32	転送サイズ32バイトのリードアクセス成功時
110	成功	0	アクセス失敗時
111	送信禁止	送信禁止	なし

【図8】

図8



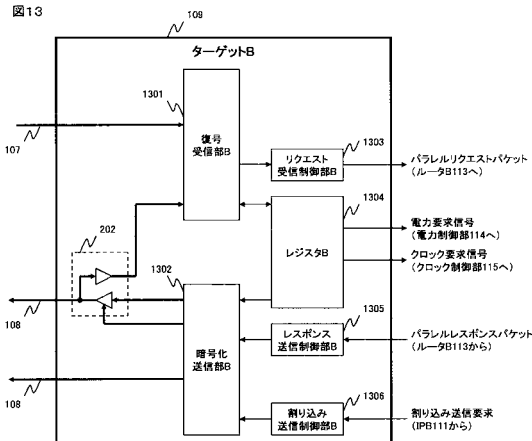
【図12】

図12

レジスタ名称	レジスタ内容
最大アウトスタンディングレジスタA	最大アウトスタンディング数
最大リードアウトスタンディングレジスタA	最大リードアウトスタンディング数
最大ライトアウトスタンディングレジスタA	最大ライトアウトスタンディング数
暗号機能イネーブルレジスタA	暗号機能を使用するか否か
復号暗号レジスタA	受信したリクエストパケットを復号するときに使用される暗号鍵
暗号化暗号レジスタA	送信するレスポンスパケットを暗号化するとき使用される暗号鍵
リクエストレーン数レジスタA	信号線群A 107に含まれる情報信号線の数
レスポンスレーン数レジスタA	信号線群A 108に含まれる情報信号線の数

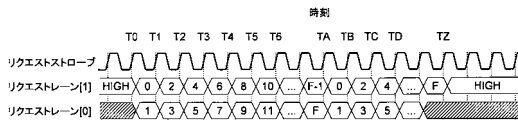
【図13】

図13



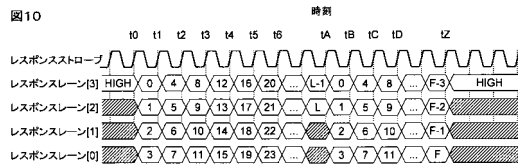
【図9】

図9



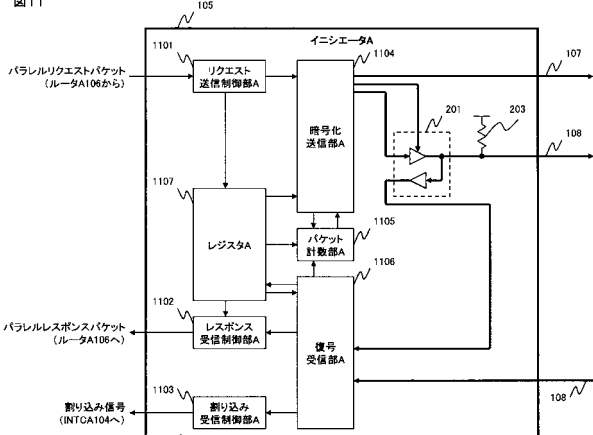
【図10】

図10



【図11】

図11

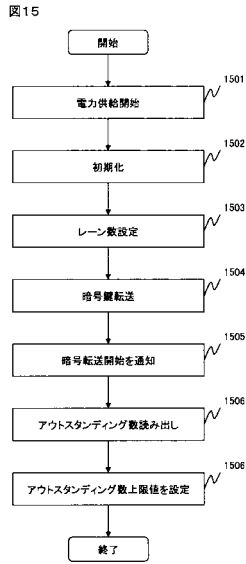


【図14】

図14

レジスタ名称	レジスタ内容
最大アウトスタンディングレジスタB	最大アウトスタンディング数
最大リードアウトスタンディングレジスタB	最大リードアウトスタンディング数
最大ライトアウトスタンディングレジスタB	最大ライトアウトスタンディング数
暗号機能イネーブルレジスタB	暗号機能を使用するか否か
復号暗号レジスタB	受信したリクエストパケットを復号するときに使用される暗号鍵
暗号化暗号レジスタB	送信するレスポンスパケットを暗号化するとき使用される暗号鍵
リクエストレーン数レジスタB	信号線群B 107に含まれる情報信号線の数
レスポンスレーン数レジスタB	信号線群B 108に含まれる情報信号線の数
モジュール電力制御レジスタB	IPB 111に対する電力供給の有無
モジュールクロック制御レジスタB	IPB 111に対するクロック供給の有無
割り込み送信イネーブルレジスタB	集積回路A 101に対する割り込みパケット送信の可否

【 図 15 】

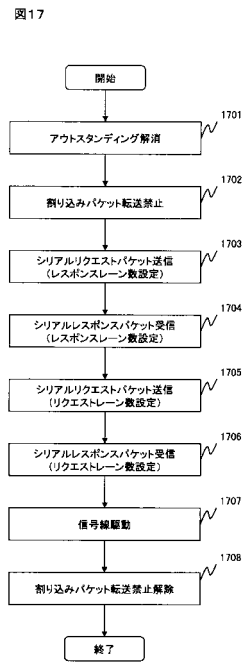


【 図 16 】

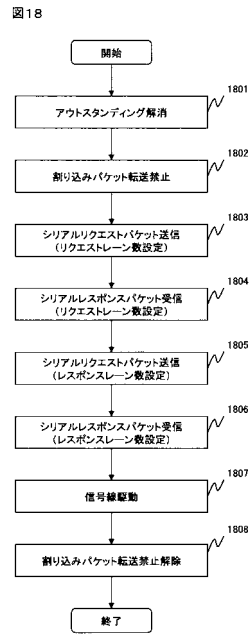
図16

レジスタ名称	レジスタ値
最大アウトスタンディングレジスタA	4
最大リードアウトスタンディングレジスタA	2
最大ライトアウトスタンディングレジスタA	2
暗号機能イネーブルレジスタA	0
番号暗号鍵レジスタA	00000000
暗号化暗号鍵レジスタA	00000000
リクエストレーン数レジスタA	1
レスポンスレーン数レジスタA	1
最大アウトスタンディングレジスタB	4
最大リードアウトスタンディングレジスタB	2
最大ライトアウトスタンディングレジスタB	2
暗号機能イネーブルレジスタB	0
番号暗号鍵レジスタB	00000000
暗号化暗号鍵レジスタB	00000000
リクエストレーン数レジスタB	1
レスポンスレーン数レジスタB	1

【 図 17 】



【 図 18 】



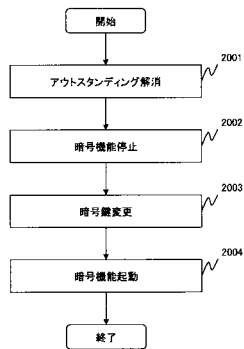
【 図 19 】

図19

シリアルリクエストバケットを構成するビット数をシリアルレスポンスバケットを構成するビット数で除して得られた値	リクエストレーン数	レスポンスレーン数
4 / 2 以上	2	4
2 / 4 以上 4 / 2 未満	3	3
2 / 4 未満	4	2

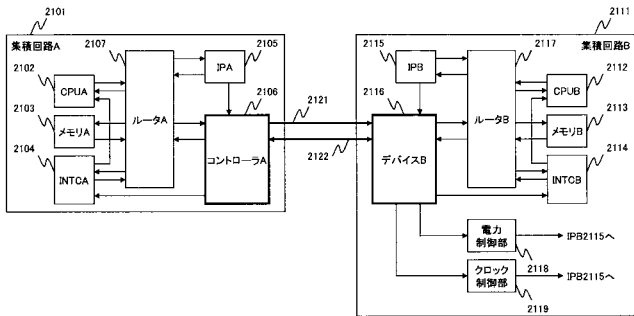
【図20】

図20



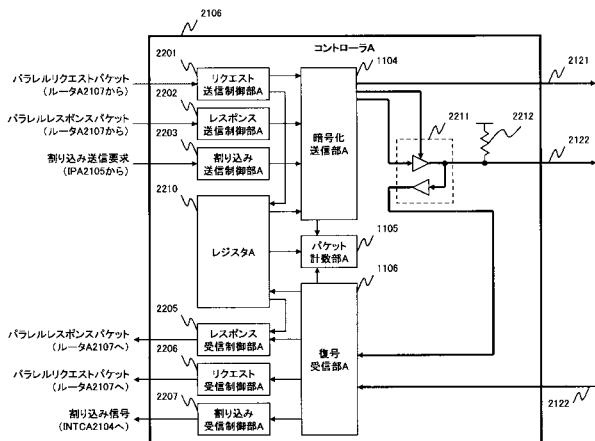
【図21】

図21



【図22】

図22



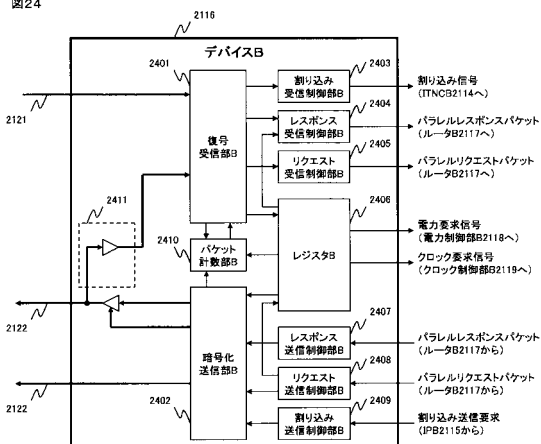
【図23】

図23

レジスタ名称	レジスタ内容
最大ターゲットアウトスタンディングレジスタA	最大ターゲットアウトスタンディング数
最大ターゲットリードアウトスタンディングレジスタA	最大ターゲットリードアウトスタンディング数
最大ターゲットライトアウトスタンディングレジスタA	最大ターゲットライトアウトスタンディング数
最大イニシエータアウトスタンディングレジスタA	最大イニシエータアウトスタンディング数
最大イニシエータリードアウトスタンディングレジスタA	最大イニシエータリードアウトスタンディング数
最大イニシエータライトアウトスタンディングレジスタA	最大イニシエータライトアウトスタンディング数
暗号機能イネーブルレジスタA	暗号機能を使用するか否か
復号暗号レジスタA	受信したシリアルリクエストパケットおよびシリアルレスポンスパケットを復号するときに使用される暗号鍵
暗号化暗号レジスタA	送信するシリアルリクエストパケットおよびシリアルレスポンスパケットを暗号化するとき使用される暗号鍵
ダウンレーン数レジスタA	信号線群A B 2 1 2 1に含まれる情報信号線の数
アップレーン数レジスタA	信号線群B A 2 1 2 2に含まれる情報信号線の数
イニシエータストップレジスタA	イニシエータストップパケットの発行

【図24】

図24

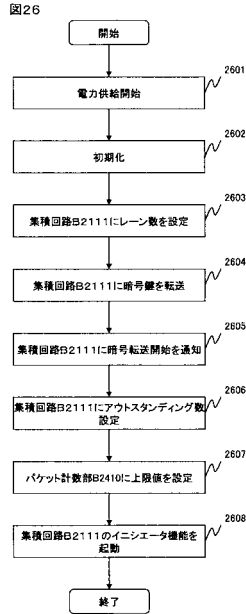


【図25】

図25

レジスタ名称	レジスタ内容
最大ターゲットアウトスタンディングレジスタB	最大ターゲットアウトスタンディング数
最大ターゲットリードアウトスタンディングレジスタB	最大ターゲットリードアウトスタンディング数
最大ターゲットライトアウトスタンディングレジスタB	最大ターゲットライトアウトスタンディング数
最大イニシエータアウトスタンディングレジスタB	最大イニシエータアウトスタンディング数
最大イニシエータリードアウトスタンディングレジスタB	最大イニシエータリードアウトスタンディング数
最大イニシエータライトアウトスタンディングレジスタB	最大イニシエータライトアウトスタンディング数
暗号機能イネーブルレジスタB	暗号機能を使用するか否か
復号暗号レジスタB	受信したシリアルリクエストパケットおよびシリアルレスポンスパケットを復号するときに使用される暗号鍵
暗号化暗号レジスタB	送信するシリアルリクエストパケットおよびシリアルレスポンスパケットを暗号化するとき使用される暗号鍵
ダウンレーン数レジスタB	信号線群A B 2 1 2 1に含まれる情報信号線の数
アップレーン数レジスタB	信号線群B A 2 1 2 2に含まれる情報信号線の数
モジュール電力制御レジスタB	IPB 1 1 1に対する電力供給の有無
モジュールクロック制御レジスタB	IPB 1 1 1に対するクロック供給の有無
割り込み送信イネーブルレジスタB	集積回路A 2 1 0 1に対する割り込みパケット送信の可否
イニシエータイネーブルレジスタB	集積回路B 2 1 0 1のイニシエータ機能の動作可否

【 図 2 6 】



【 図 2 7 】

図27

レジスタ名称	レジスタ値
最大ターゲットアウトスタンディングレジスタA	4
最大ターゲットリードアウトスタンディングレジスタA	4
最大ターゲットライトアウトスタンディングレジスタA	4
最大イニシエータアウトスタンディングレジスタA	1
最大イニシエータリードアウトスタンディングレジスタA	1
最大イニシエータライトアウトスタンディングレジスタA	1
暗号機能イネーブルレジスタA	0
復号暗号鍵レジスタA	00000000
暗号化暗号鍵レジスタA	00000000
ダウンレーン数レジスタA	2
アップレーン数レジスタA	4
イニシエータイネーブルレジスタA	1

【 図 2 8 】

図28

レジスタ名称	レジスタ値
最大ターゲットアウトスタンディングレジスタB	4
最大ターゲットリードアウトスタンディングレジスタB	2
最大ターゲットライトアウトスタンディングレジスタB	2
最大イニシエータアウトスタンディングレジスタB	1
最大イニシエータリードアウトスタンディングレジスタB	1
最大イニシエータライトアウトスタンディングレジスタB	1
暗号機能イネーブルレジスタB	0
復号暗号鍵レジスタB	00000000
暗号化暗号鍵レジスタB	00000000
ダウンレーン数レジスタB	1
アップレーン数レジスタB	1
イニシエータイネーブルレジスタB	0

【 図 2 9 】

