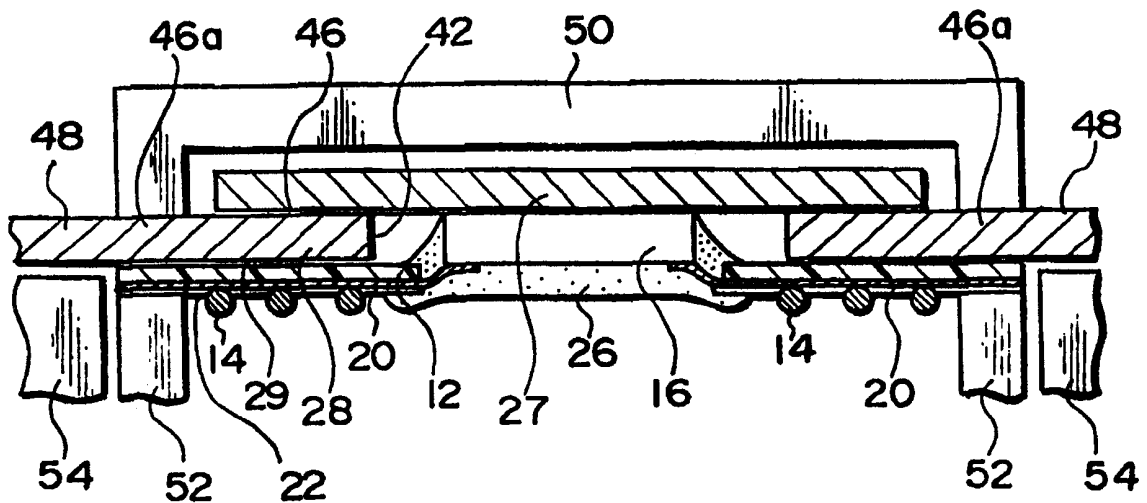




<p>(51) 国際特許分類6 H01L 21/60</p>	<p>A1</p>	<p>(11) 国際公開番号 WO99/35683</p> <p>(43) 国際公開日 1999年7月15日(15.07.99)</p>
<p>(21) 国際出願番号 PCT/JP99/00049</p> <p>(22) 国際出願日 1999年1月11日(11.01.99)</p> <p>(30) 優先権データ 特願平10/16343 1998年1月12日(12.01.98) JP</p> <p>(71) 出願人 セイコーエプソン株式会社 (SEIKO EPSON CORPORATION)[JP/JP] 〒163-0811 東京都新宿区西新宿2丁目4番1号 Tokyo, (JP)</p> <p>(72) 発明者 橋元伸晃(HASHIMOTO, Nobuaki) 〒392-8502 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内 Nagano, (JP)</p> <p>(74) 代理人 弁理士 井上 一, 外(INOUE, Hajime et al.) 〒167-0051 東京都杉並区荻窪五丁目26番13号 荻窪TMビル2階 Tokyo, (JP)</p>	<p>(81) 指定国 JP, KR, SG.</p> <p>添付公開書類 国際調査報告書</p>	

(54)Title: SEMICONDUCTOR DEVICE, MANUFACTURE THEREOF, AND ELECTRONIC DEVICE

(54)発明の名称 半導体装置及びその製造方法並びに電子機器



(57) Abstract

A method of manufacturing a semiconductor device comprising the steps of providing good pieces of film (12), each having leads (20) connected with a semiconductor chip (16); attaching the pieces of film (12) to pads (46) on a plate (40); and cutting the plate (40) into parts, each having a pad (46) with a piece of film (12).

(57)要約

リード(20)が形成されるとともにリード(20)に半導体チップ(16)が実装されて、良品として選別された個片の絶縁フィルム(12)を用意する工程と、複数の取付部(46)を有するプレート(40)の各取付部(46)に、個片の絶縁フィルム(12)を貼り付ける工程と、個片の絶縁フィルム(12)が貼り付けられた取付部(46)に対応して、プレート(40)を切断する工程と、を含む。

PCTに基づいて公開される国際出願のパンフレット第一頁に掲載されたPCT加盟国を同定するために使用されるコード(参考情報)

AE	アラブ首長国連邦	ES	スペイン	LI	リヒテンシュタイン	SG	シンガポール
AL	アルバニア	FI	フィンランド	LK	スリ・ランカ	SI	スロヴェニア
AM	アルメニア	FR	フランス	LR	リベリア	SK	スロヴァキア
AT	オーストリア	GA	ガボン	LS	レソト	SL	シエラ・レオネ
AU	オーストラリア	GB	英国	LT	リトアニア	SN	セネガル
AZ	アゼルバイジャン	GD	グレナダ	LU	ルクセンブルグ	SZ	スワジランド
BA	ボスニア・ヘルツェゴビナ	GE	グルジア	LV	ラトヴィア	TD	チャード
BB	バルバドス	GH	ガーナ	MC	モナコ	TG	トーゴ
BE	ベルギー	GM	ガンビア	MD	モルドヴァ	TJ	タジキスタン
BF	ブルキナ・ファソ	GN	ギニア	MG	マダガスカル	TM	トルクメニスタン
BG	ブルガリア	GW	ギニア・ビサオ	MK	マケドニア旧ユーゴスラヴィア共和国	TR	トルコ
BJ	ベナン	GR	ギリシャ	ML	マリ	TT	トリニダード・トバゴ
BR	ブラジル	HR	クロアチア	MN	モンゴル	UA	ウクライナ
BY	ベラルーシ	HU	ハンガリー	MR	モーリタニア	UG	ウガンダ
CA	カナダ	ID	インドネシア	MW	マラウイ	US	米国
CF	中央アフリカ	IE	アイルランド	MX	メキシコ	UZ	ウズベキスタン
CG	コンゴ	IL	イスラエル	NE	ニジェール	VN	ヴェトナム
CH	スイス	IN	インド	NL	オランダ	YU	ユーゴスラビア
CI	コートジボアール	IS	アイスランド	NO	ノルウェー	ZA	南アフリカ共和国
CM	カメルーン	IT	イタリア	NZ	ニュージーランド	ZW	ジンバブエ
CN	中国	JP	日本	PL	ポーランド		
CU	キューバ	KE	ケニア	PT	ポルトガル		
CY	キプロス	KG	キルギスタン	RO	ルーマニア		
CZ	チェッコ	KP	北朝鮮	RU	ロシア		
DE	ドイツ	KR	韓国	SD	スーダン		
DK	デンマーク	KZ	カザフスタン	SE	スウェーデン		
EE	エストニア	LC	セントルシア				

## 明細書

## 半導体装置及びその製造方法並びに電子機器

## 技術分野

本発明は、半導体装置及びその製造方法並びに電子機器に関する。

## 背景技術

半導体装置の小型化を追求するとベアチップ実装が理想的であるが、品質の保証及び取り扱いが難しいため、パッケージ形態に加工することで対応してきた。特に多端子化の要求に応じたパッケージ形態として、近年、BGA(Ball Grid Array)型パッケージが開発されてきた。BGA型パッケージは、基板に外部端子である bumps をエリアアレイ状に配置し、面実装できるようにしたものである。

BGA型パッケージの一つとして、TAB(Tape Automated Bonding)技術に用いられるフレキシブル基板(フィルムキャリアテープ)が適用されて、このフィルムキャリアテープがベースになるTBGA(Tape Ball Grid Array)型パッケージがある。これによれば、フィルムキャリアテープの特徴を活かして、狭ピッチ化及び多端子化の半導体装置が提供できる。

ただし、フィルムキャリアテープは、剛性がなく反りやすいことから、補強板(スティフナ)の貼り付けが必要であった。スティフナを貼り付ける工程は、フィルムキャリアテープに半導体チップを実装して、これを個片のフィルムに打ち抜いてから行われていた。詳しくは、フィルムキャリアテープを個片のフィルムに打ち抜いて、良品選別を行い、良品のみにスティフナを貼り付けていた。こうすることで、完成品を得る前に予め不良品を排除できるので歩留まりを上げることができる。

以上の工程によれば、スティフナを貼り付けた後に行われる bumps 形成等の工程では、バラバラになったフィルムを取り扱わなければならないので、工程が煩雑になっていた。

本発明は、この問題点を解決するものであり、その目的は、量産性に優れ、取

り扱いが容易になる T-BGA 型パッケージの製造方法及びその方法により製造される半導体装置並びに電子機器を提供することにある。

#### 発明の開示

(1) 本発明に係る半導体装置の製造方法は、可撓性基材上に形成された配線パターンと半導体素子の電極とが接続されて良品として選別された個片のフィルム実装体を用意する工程と、

複数の取付領域を有する補強部材の各取付領域に、前記個片のフィルム実装体を貼り付ける工程と、

前記個片のフィルム実装体が貼り付けられた取付領域に対応して、前記補強部材を切断して個片に分離する工程と、

を含む。

ここでいう補強部材とは、フィルムキャリアテープの反りを防止する（平坦性を確保する）機能を有するもの全てを含み、例えばスティフナと呼ばれるものを用いることが多い。

本発明によれば、補強部材に複数の取付領域が設けられており、各取付領域に、個片のフィルム実装体が貼り付けられる。こうすることで、複数の半導体装置を構成することになる複数の個片のフィルム実装体が、補強部材と一体化するので、その後の工程を量産ラインにのせることができる。

また、補強部材の各取付領域に、正確に各個片のフィルム実装体を貼り付けておけば、補強部材と個片のフィルム実装体との相対的位置が固定されるので、位置精度が向上する。

さらに、半導体素子が実装された個片のフィルム実装体は、良品として選別されているもののみである。したがって、その選別後の工程において（具体的には補強部材にフィルム実装体が貼り付けられた工程以降）、歩留まりが著しく向上する。

(2) 前記個片のフィルム実装体を用意する工程の前に、複数箇所に前記配線パターンが形成されたフィルムキャリアテープに前記半導体

素子を実装する工程と、

また、この半導体装置の製造方法は前記半導体素子と前記フィルムキャリアテープとの接合部を含む領域を樹脂でモールドする工程を含んでもよい。

前記フィルムキャリアテープを前記個片のフィルム実装体に打ち抜く工程と、各個片のフィルム実装体の検査を行って良品のみを選別する工程と、を有してもよい。

これは、すなわち、TAB工程を適用した工程である。こうすることで、TAB工程の特徴を活かせることができ、TAB工程の製造ラインをそのまま使用することができる。

(3) 前記補強部材の各取付領域に個片のフィルム実装体を貼り付けた後の工程を、P-BGA (Plastic Ball Grid Array) 型パッケージの製造ラインで行ってもよい。

P-BGA型パッケージの製造ラインを利用して、具体的には、マーキング、ボール( bumps) 形成、洗浄、個片切断や外観検査等の各工程を行うことができる。

ここで、P-BGA型パッケージは、プリント基板がベースになっており、このプリント基板に複数の半導体チップを実装して、その後各半導体チップに対応して、プリント基板を個片に打ち抜いて製造される。

本発明では、複数の個片のフィルム実装体が貼り付けられた補強部材を、プリント基板の代わりにして、P-BGA型パッケージの製造ラインを利用することができる。そして、既存の製造ラインを使用すれば、設備投資も不要になり、コストの削減を図ることができる。

(4) 前記補強部材の各取付領域に個片のフィルム実装体を貼り付ける工程後、前記補強部材を切断する工程前に、前記配線パターンに外部電極を形成する工程を含んでもよい。

補強部材を切断する前には、複数の個片のフィルム実装体が補強部材に貼り付けられている。したがって、この時点で外部電極を形成するので、複数の個片のフィルム実装体に対して同時に、又は、フィルム実装体に対して連続的に、外部

電極を形成することができ、工程を短縮することができる。

(5) 前記補強部材は、切断位置に沿って前記取付領域を囲む長穴が形成され、前記取付領域が少なくとも一つの支持部のみにて支持され、

前記補強部材を切断する工程は、前記支持部を切断して行われてもよい。

これによれば、支持部を切断すればよいため、堅い補強部材であっても簡単に切断することができる。また、支持部を切断するので、補強部材の取付領域の変形が防止され、取付部材に貼り付けられた個片のフィルム実装体の平坦性も確保される。

(6) 前記補強部材の各取付領域に個片のフィルム実装体を貼り付ける工程後、前記補強部材を切断する工程前に、各半導体素子を含む領域に放熱部材を貼り付ける工程を含んでもよい。

放熱部材は、半導体素子に生じる熱の発散を促進するもので、半導体素子の発熱量に応じて貼り付けられる。補強部材を切断する前では、複数の半導体素子が補強部材に取り付けられているので、同時に各半導体素子に対応して放熱部材を貼り付けることができる。

(7) 本発明では、前記放熱部材の端部が、前記補強部材の切断位置よりも内側に位置するように配置され、

前記補強部材を切断する工程において、前記放熱部材よりも外側から前記補強部材の切断位置まで、前記補強部材の両面を一对の押さえ部材の間に挟ませて、この押さえ部材の外側の位置で、前記補強部材に対してせん断力をかけて切断してもよい。

これによれば、補強部材の切断位置の付近が押さえ部材にて保持されるので、切断時に補強部材が曲がることを防止することができる。補強部材が曲がらないので、個片のフィルム実装体の平坦性が確保され、外部電極の良好な実装を行えるようになる。

(8) 前記補強部材に、切断位置に沿って前記取付領域を囲む長穴が形成され、前記取付領域が少なくとも一つの支持部のみにて支持されるときには、

前記放熱部材の外形は、前記長穴における前記取付領域側の側端にほぼ合致し、

かつ、前記取付領域における前記支持部材との接続部に対して内側に位置し、前記補強部材を切断する工程において、前記放熱部材よりも外側から前記支持部の切断位置まで、前記補強部材の両面を一对の押さえ部材の間に挟ませて、この押さえ部材の外側の位置で、前記支持部に対してせん断力がかけられてもよい。

これによれば、補強部材の支持部の切断位置の付近が押さえ部材にて保持されるので、切断時に補強部材が曲がることを防止することができる。

(9) 前記補強部材に、切断位置に沿って前記取付領域を囲む長穴が形成され、前記取付領域が少なくとも一つの支持部のみにて支持されるときには、

前記放熱部材は、前記補強部材の長穴、取付領域及び支持部に対応する平面形状をなして前記補強部材に重ね合わされ、前記補強部材とともに切断されてもよい。

補強部材には複数の半導体素子を取り付けられている。したがって、補強部材に対応する平面形状をなす放熱部材を補強部材に重ね合わせれば、複数の半導体素子に対して同時に放熱部材を取り付けることができる。これによって、放熱部材の位置合わせや貼り付けの工程を短縮することができる。

(10) 前記放熱部材及び前記補強部材は、相互に係合する凸部及び凹部を有してもよい。これによって、放熱部材と補強部材との位置合わせを簡単に行うことができる。

(11) 本発明に係る半導体装置は、上記方法により製造される。

(12) 本発明に係る回路基板は、上記半導体装置が実装されてなる。

(13) 本発明に係る電子機器は、上記回路基板を有する。

#### 図面の簡単な説明

図1A～図1Cは、本発明の実施形態に係る半導体装置の製造工程を説明する図であり、図2は、実施形態におけるフィルムキャリアテープを示す図であり、図3は、フィルムキャリアテープから打ち抜かれた絶縁フィルムを示す図であり、図4は、実施形態における補強部材を示す図であり、図5は、絶縁フィルムが貼り付けられた補強部材を示す図であり、図6は、放熱部材が貼り付けられた補強

部材を示す図であり、図7は、補強部材を切断する工程を示す図であり、図8は、実施形態における半導体装置を示す図であり、図9は、実施形態の変形例を示す図であり、図10は、本実施形態に係る回路基板を示す図であり、図11は、本発明に係る方法を適用して製造された半導体装置を実装した回路基板を備える電子機器を示す図である。

#### 発明を実施するための最良の形態

以下、本発明の実施形態を、図面を参照して説明する。

図1A～図7は、本発明の実施形態に係る半導体装置の製造工程を説明する図であり、図8は、本実施形態における完成した半導体装置を示す図である。

図8に示すように、半導体装置10は、BGAパッケージを適用したものである。すなわち、同図において、半導体装置10は、絶縁フィルム12と、絶縁フィルム12に形成された複数のリード20と、各リード20に設けられたバンプ14と、半導体チップ16と、を有し、複数のバンプ14によって面実装が可能になっている。バンプ14は外部電極として使用される。

絶縁フィルム12は、図1A～図2に示す長尺のフィルムキャリアテープ30をパンチングして得られるもので、半導体チップ16よりも大きく形成されている。絶縁フィルム12には、デバイスホール24が形成されている。

デバイスホール24からは、リード20の端部20aが突出し、この端部20aに半導体チップ16の電極18が接続される。すなわち、絶縁フィルム12におけるリード20が形成される面とは反対側面であって、かつ、デバイスホール24の内側に電極18が位置するように、半導体チップ16を配置して、リード20の端部20aと電極18とがボンディングされる。

リード20は、半導体チップ16の電極18とランド21（図2参照）とを接続するようになっている。ランド21には、バンプ14が設けられている。バンプ14は、例えばハンダから形成されて上部はボール状に形成されている。また、ハンダ以外に例えば銅等が使用されてもよい。

さらに、絶縁フィルム12のリード20を有する面には、バンプ14を避けて

ソルダレジスト 22 が塗布されている。ソルダレジスト 22 は、特にリード 20 の表面を覆って保護するようになっている。

バンプ 14 とは反対側で絶縁フィルム 12 には、プレート状のスティフナ 28 が設けられる。スティフナ 28 は、銅やステンレス鋼や銅系合金等で形成されて平面形状を維持できる強度を有し、絶縁フィルム 12 上に絶縁接着剤 29 を介して貼り付けられる。なお、絶縁接着剤 29 は、熱硬化性又は熱可塑性のフィルムとして形成されている。また、スティフナ 28 は、半導体チップ 16 を避けて、絶縁フィルム 12 の全体に貼り付けられる。こうすることで、絶縁フィルム 12 の歪み、うねりがなくなり、バンプ 14 の高さが一定になって平面安定性が向上し、回路基板への実装歩留りが向上する。

さらに、半導体チップ 16 の実装面とは反対側の面には、銀ペースト等の熱伝導接着剤 25 を介して放熱板 27 が接着されている。これによって、半導体チップ 16 の放熱性を上げることができる。放熱板 27 は、半導体チップ 16 よりも大きく形成されており、スティフナ 28 の上にも接着されるようになっている。なお、スティフナ 28 と放熱板 27 との間も、熱伝導接着剤 25 で接着されて気密されている。熱伝導接着剤 25 は、半導体チップ 16 の発熱量によっては通常の絶縁接着剤もしくは上述の絶縁フィルムで代用してもよい。

半導体チップ 16 と絶縁フィルム 12 との間は、エポキシ樹脂 26 のポッティングによって封止されている。また、エポキシ樹脂 26 は、デバイスホール 24 及び半導体チップ 16 の外周にも回り込む。

本実施形態に係る半導体装置は、上述したように構成されており、以下その製造方法について説明する。

#### (TAB 工程)

まず、図 1A～図 1C に示すように、TAB 工程によって半導体チップ 16 をフィルムキャリアテープ 30 に実装し、エポキシ樹脂 26 のポッティングを行って、個片の絶縁フィルム 12 に打ち抜く。

詳しくは、図 1A に示すように、フィルムキャリアテープ 30 に半導体チップ 16 を実装する。フィルムキャリアテープ 30 の拡大図を図 2 に示す。

フィルムキャリアテープ30はポリイミド樹脂等で形成され、デバイスホール24が形成され、その外側に複数のリード20及び複数のランド21が形成されている。

詳しくは、フィルムキャリアテープ30には、複数のデバイスホール24が形成されるとともに、各デバイスホール24の外側に複数のリード20及び複数のランド21が形成されている。なお、図において、一部のリード20及びランド21のみを示し、その他を省略してある。

ランド21は、リード20におけるデバイスホール24から離れる方向に延びる部位を介して、メッキリード32に接続されている。メッキリード32には、図に示されないものを含み全てのリード20が接続されている。そして、メッキリード32を使用して、リード20及びランド21には、全て電気メッキが施されている。あるいは、無電解メッキ法を用いることで、リード20及びランド21にメッキを施しても良い。この場合には、メッキリード32は不要となる。

このようなフィルムキャリアテープ30は、図1Aに示すように、リール33に巻き取られてあり、端部が引き出されて他のリール35にて巻き取るようになっている。そして、リール33、35の間で、ボンディング治具31によって、半導体チップ16がフィルムキャリアテープ30にボンディングされる。このボンディングとして、シングルポイントボンディング方式及びギャングボンディング方式のいずれを採用してもよい。後者によれば、各半導体チップ16について、全てのリード20の端部20aと電極18とを一括でボンディングすることができる。

こうして、フィルムキャリアテープ30に、複数の半導体チップ16が連続的に実装されると、半導体チップ16を巻き込んだ状態でフィルムキャリアテープ30がリール35に巻き取られる。

次に、図1Bに示すように、リール35に巻き取られたフィルムキャリアテープ30を、別の製造装置にセットする。そして、リール35、37の間にフィルムキャリアテープ30を掛け渡して、エポキシ樹脂26をポッティングする。ポッティング箇所については、図8に示す通りである。

そして、リール 37 にてフィルムキャリアテープ 30 が巻き取られると、図 1 C に示すように、これを更に別の製造装置にセットする。そして、リール 37、39 の間にフィルムキャリアテープ 30 を掛け渡して、個片の絶縁フィルム 12 に打ち抜く。

図 3 は、個片の絶縁フィルム 12 を示す図である。同図に示すように、打ち抜かれた絶縁フィルム 12 には、半導体チップ 16 が実装されているとともに、エポキシ樹脂 26 にて半導体チップ 16 が封止されている。

そして、各絶縁フィルム 12 について検査を行って、良品のみを選別する。検査として、例えば、実装状態の外観検査や電気的特性の検査などが挙げられる。

以上の工程は、全て従来行われてきた TAB 工程にて行われるので、これまでの製造装置を使用することができる。なお、上記実施形態では、実装工程、ポッティング工程及び打ち抜き工程が、別の製造装置にて行われるが、各製造装置を合わせて一つの製造ラインとなっている。あるいは、実装工程、ポッティング工程及び打ち抜き工程を連続して行える製造装置を使用してもよい。または、打ち抜き工程と以下に述べる中間工程とを連続して行える製造装置を使用してもよい。

#### (中間工程)

次に、図 4 に示すプレート 40 を用意する。このプレート 40 は、その後スティフナ 28 (図 8 参照) に打ち抜かれるものである。

プレート 40 には、複数のデバイスホール 42 及び複数の長穴 44 が形成されている。デバイスホール 42 は、図 8 に示すように、半導体チップ 16 を避けられるように、半導体チップ 16 の外形よりも大きい矩形 (正方形) に形成される。

各長穴 44 は、各デバイスホール 42 の四辺の外側において、各辺に平行に形成されている。長穴 44 を形成する平行な側端のうち、デバイスホール 42 側の側端は、スティフナ 28 の外形を形成する。すなわち、長穴 44 は、プレート 40 をスティフナ 28 に打ち抜くときの切断位置に沿って形成されている。

また、隣同士の長穴 44 は連通しないようになっている。したがって、図 8 に示すように個片の絶縁フィルム 12 が貼り付けられる取付部 46 は、長穴 44 によって囲まれているが、支持部 48 によって支持されている。支持部 48 は、各

デバイスホール 4 2 の対角線の延長線上に位置する。

以上の形状をなすプレート 4 0 は、複数の半導体チップ 1 6 に対応して、複数の取付部 4 6 を有する。

そして、プレート 4 0 の各取付部 4 6 に、上述した絶縁フィルム 1 2 を貼り付ける。絶縁フィルム 1 2 には、既に半導体チップ 1 6 が実装しており、しかも良品のみが選別されている。したがって、これ以後の工程での歩留まりを上げることができる。

図 5 は、絶縁フィルム 1 2 が貼り付けられたプレート 4 0 を示す図である。なお、同図において、プレート 4 0 の上に、半導体チップ 1 6 が実装された面を下にして、絶縁フィルム 1 2 が貼り付けられている。半導体チップ 1 6 は、プレート 4 0 のデバイスホール 4 2 内に位置する。したがって、プレート 4 0 とは反対側の面（図において表面）には、ランド 2 1 及び図示を省略したリードが露出する。

絶縁フィルム 1 2 とプレート 4 0 との接着は、図 8 に示す絶縁接着剤 2 9 によって行われる。絶縁接着剤 2 9 は、熱硬化性又は熱可塑性のフィルムとして形成し、予めプレート 4 0 に貼り付けておいてもよい。そして、プレート 4 0 を、絶縁フィルム 1 2 における半導体チップ 1 6 が突出する面に熱圧着することができる。

また、図 5 に示すように、絶縁フィルム 1 2 は、取付部 4 6 から長穴 4 4 にわずかにはみ出している。こうすることで、絶縁フィルム 1 2 の外形を基準として、バンプ 1 4 形成等の位置決めを行うことができる。

次に、図 6 に示すように、各半導体チップ 1 6（図示せず）に対応して、個片の放熱板 2 7 を貼り付ける。詳しくは、図 8 に示すように、半導体チップ 1 6 における電極 1 8 とは反対側の面から、プレート 4 0（スティフナ 2 8）における取付部 4 6 に至るまで、放熱板 2 7 が接着される。この接着には、熱伝導接着剤 2 5 が使用される。なお、熱伝導性接着剤 2 5 は、ペースト状のものに限らずテープ状のものであってもよい。テープ状の熱伝導性接着剤 2 5 を使用する場合には、これを予め放熱板 2 7 に貼り付けておいてもよい。また、比較的発熱量の少

ない半導体チップでは、熱伝導性接着剤の代わりに絶縁接着剤を用いても良い。

放熱板 27 は、図 6 に示すように、長穴 44 の側端からはみ出さない形状をなしている。さらに、放熱板 27 は、プレート 40 の取付部 46 における支持部 48 との接続部 46 a を避ける形状になっている。すなわち、接続部 46 a は、放熱板 27 によって覆われずに露出する。

なお、ここで支持部 48 は、プレート 40 をスティフナ 28 に切断するときの切断位置を境として、スティフナ 28 から突出する部分をいう。また、接続部 46 a は、スティフナ 28 に切断したときに、切断位置を境としてスティフナ 28 に残る部分をいう。したがって、プレート 40 をスティフナ 28 に切断するときには、支持部 48 を切断するということもできるし、接続部 46 a を切断するということもできる。

#### (後工程)

以上の工程が終わると、絶縁フィルム 12 及び放熱板 27 が貼り付けられたプレート 40 を、後工程として、P-BGA 型パッケージの製造ラインにのせる。絶縁フィルム 12 が貼り付けられたプレート 40 を、従来の P-BGA 型パッケージのプリント基板と同様の形状にすることで、この製造ラインを利用することができる。

ここでは、放熱板 27 に製品名などをマーキングし、絶縁フィルム 12 に形成されたランド 21 にバンプ 14 を形成して洗浄を行う。これらの工程は、従来と同様である。

続いて、プレート 40 を個片のスティフナ 28 に切断する。図 7 は、プレート 40 の切断工程を示す図であり、プレート 40 は図 6 の VII-VII 線断面に対応する。

図 7 において、押さえ治具 50、52 によって、プレート 40 が挟まれている。詳しくは、プレート 40、絶縁接着剤 29、絶縁フィルム 12、リード 20 及びソルダレジスト 22 が、押さえ治具 50、52 によって挟まれている。

また、プレート 40 の平面的位置として、取付部 46 における支持部 48 との接続部 46 a が、押さえ治具 50、52 によって挟まれ、支持部 48 が押さえ治

具50、52の外側に突出するようになっている。言い換えると、放熱板27よりも外側から切断しようとする位置の手前までにおいて、プレート40が挟まれている。この状態で、カットポンチ54が支持部48に対してせん断力を加えてこれを切断する。

本実施形態によれば、カットポンチ54による切断位置の内側においてプレート40の両面が挟まれているので、カットポンチ54による切断時に、ステイフナ28全体はもちろん、その端部となる接続部46aが変形しない。これによって、絶縁フィルム12の歪み、うねりがなくなり、バンプ14の高さが一定になって平面安定性が向上し、回路基板への実装歩留りが向上する。

以上の工程では、TAB工程の製造ライン及びP-BGAパッケージの製造ラインが利用できるため、従来の設備をそのまま活用することができる。

本発明は、上記実施形態に限定されず、種々の変形が可能である。例えば、上述した放熱板27をプレート40と同様の形状にして、両者を重ね合わせて同時に切断してもよい。図9は、放熱板及びプレートについて本実施形態の変形例を示す図である。

図9において、プレート60は、一方の面から突出する凸部62が形成されていることを除き、上述したプレート40と同じ形状をなしており、複数の取付部64を有する。そして、放熱板70も、凹部72が形成されていることを除き、上述したプレート40と同じ形状をなしており、複数の取付部74を有する。なお、凹部72とは、少なくともくぼんだ形状をなすものであって、貫通した穴であってもよい。

凸部62と凹部72とは、はまるように形成されており、かつ、両者がはまり合うと、プレート60と放熱板70とが一致して重なるようになっている。

ここで、凸部62及び凹部72が形成されていることで、プレート60に対する放熱板70の位置合わせを簡単に行うことができ、位置精度も優れている。しかも、放熱板70は、複数の取付部74を有するので、プレート60の複数の取付部64に対して同時に貼り付けることができる。また、この凸部62は、プレート60と放熱板70とを位置合わせするための治具に設けられていても良く、

この場合にはプレート 60 及び放熱板 70 のそれぞれに凸部がない代わりに、プレート 60 及び放熱板 70 の凸部に対応する部位それぞれに、凹部（穴等）が設けられていれば上述と同様に組み立てることができる。

また、プレート 60 と放熱板 70 とが既に一体形成されたものを用いても良い。詳しくは、プレートのデバイスホール 42 に相当する部位を他の部位に比べて凸型になるように絞り加工されたものを用いることで対応が可能となる。なお、絞りの高さ（深さ）は上述の構造における放熱板の位置までとする。このようにすることで、部品点数を減らして製造コストを下げることができる。

また、図 8 に示すように、半導体チップ 16 がバンプ 14 形成面とは反対側に実装された裏 TAB 型のみならず、バンプ 14 形成面側に半導体チップ 16 を実装した表 TAB 型にも本発明を適用することができる。また、上記絶縁フィルム 12 の代わりに、配線側に突起が一体形成されたいわゆる B-TAB 型の絶縁フィルムを用いても良い。あるいは、バンプ無しのフィルムキャリアテープを使用して、シングルポイントボンディングを行っても良い。

図 10 には、本発明を適用した半導体装置 1100 を実装した回路基板 1000 が示されている。回路基板には例えばガラスエポキシ基板等の有機系基板を用いることが一般的である。回路基板には例えば銅からなる配線パターンが所望の回路となるように形成されていて、それらの配線パターンと半導体装置のバンプとを機械的に接続することでそれらの電氣的導通を図る。

そして、この回路基板 1000 を備える電子機器として、図 11 には、ノート型パーソナルコンピュータ 1200 が示されている。

なお、上記本発明を応用して、半導体装置と同様に多数のバンプを必要とする面実装用の電子部品（能動部品か受動部品かを問わない）を製造することもできる。電子部品として、例えば、抵抗器、コンデンサ、コイル、発振器、フィルタ、温度センサ、サーミスタ、バリスタ、ポリウム又はヒューズなどがある。

## 請求の範囲

1. 可撓性基材上に形成された配線と半導体素子の電極とが接続されて良品として選別された個片のフィルム実装体を用意する工程と、

複数の取付領域を有する補強部材の各取付領域に、前記個片のフィルム実装体を貼り付ける工程と、

前記個片のフィルム実装体が貼り付けられた取付領域に対応して、前記補強部材を切断して個片に分離する工程と、

を含む半導体装置の製造方法。

2. 請求項 1 記載の半導体装置の製造方法において、

前記個片のフィルム実装体を用意する工程の前に、

前記リードが形成されたフィルムキャリアテープに前記半導体素子を実装する工程と、

前記フィルムキャリアテープを前記個片のフィルム実装体に打ち抜く工程と、

各個片のフィルム実装体の検査を行って良品のみを選別する工程と、

を有する半導体装置の製造方法。

3. 請求項 1 記載の半導体装置の製造方法において、

前記補強部材の各取付領域に個片のフィルム実装体を貼り付けた後の工程を、P-BGA型パッケージの製造ラインで行う半導体装置の製造方法。

4. 請求項 2 記載の半導体装置の製造方法において、

前記補強部材の各取付領域に個片のフィルム実装体を貼り付けた後の工程を、P-BGA型パッケージの製造ラインで行う半導体装置の製造方法。

5. 請求項 1 記載の半導体装置の製造方法において、

前記補強部材の各取付領域に個片のフィルム実装体を貼り付ける工程後、前記補強部材を切断する工程前に、前記リードに外部電極を形成する工程を含む半導体装置の製造方法。

6. 請求項 2 記載の半導体装置の製造方法において、

前記補強部材の各取付領域に個片のフィルム実装体を貼り付ける工程後、前記

補強部材を切断する工程前に、前記リードに外部電極を形成する工程を含む半導体装置の製造方法。

7. 請求項3記載の半導体装置の製造方法において、

前記補強部材の各取付領域に個片のフィルム実装体を貼り付ける工程後、前記補強部材を切断する工程前に、前記リードに外部電極を形成する工程を含む半導体装置の製造方法。

8. 請求項1から請求項7のいずれかに記載の半導体装置の製造方法において、

前記補強部材は、切断位置に沿って前記取付領域を囲む長穴が形成され、前記取付領域が少なくとも一つの支持部のみにて支持され、

前記補強部材を切断する工程は、前記支持部を切断して行われる半導体装置の製造方法。

9. 請求項1から請求項7のいずれかに記載の半導体装置の製造方法において、

前記補強部材の各取付領域に個片のフィルム実装体を貼り付ける工程後、前記補強部材を切断する工程前に、各半導体素子を含む領域に放熱部材を貼り付ける工程を含む半導体装置の製造方法。

10. 請求項8記載の半導体装置の製造方法において、

前記補強部材の各取付領域に個片のフィルム実装体を貼り付ける工程後、前記補強部材を切断する工程前に、各半導体素子を含む領域に放熱部材を貼り付ける工程を含む半導体装置の製造方法。

11. 請求項9記載の半導体装置の製造方法において、

前記放熱部材の端部が、前記補強部材の切断位置よりも内側に位置するように配置され、

前記補強部材を切断する工程において、前記放熱部材よりも外側から前記補強部材の切断位置まで、前記補強部材の両面を一对の押さえ部材の間に挟ませて、この押さえ部材の外側の位置で、前記補強部材に対してせん断力をかけて切断される半導体装置の製造方法。

12. 請求項10記載の半導体装置の製造方法において、

前記放熱部材の端部が、前記補強部材の切断位置よりも内側に位置するように

配置され、

前記補強部材を切断する工程において、前記放熱部材よりも外側から前記補強部材の切断位置まで、前記補強部材の両面を一对の押さえ部材の間に挟ませて、この押さえ部材の外側の位置で、前記補強部材に対してせん断力をかけて切断される半導体装置の製造方法。

13. 請求項10記載の半導体装置の製造方法において、

前記放熱部材の外形は、前記長穴における前記取付領域側の側端にほぼ合致し、かつ、前記取付領域における前記支持部との接続部に対して内側に位置し、

前記補強部材を切断する工程において、前記放熱部材よりも外側から前記支持部の切断位置まで、前記補強部材の両面を一对の押さえ部材の間に挟ませて、この押さえ部材の外側の位置で、前記支持部に対してせん断力がかけられる半導体装置の製造方法。

14. 請求項10記載の半導体装置の製造方法において、

前記放熱部材は、前記補強部材の長穴、取付領域及び支持部に対応する平面形状をなして前記補強部材に重ね合わされ、前記補強部材とともに切断される半導体装置の製造方法。

15. 請求項14記載の半導体装置の製造方法において、

前記放熱部材及び前記補強部材は、相互に係合する凸部及び凹部を有する半導体装置の製造方法。

16. 請求項1から請求項7のいずれかに記載の方法により製造された半導体装置。

17. 請求項8記載の方法により製造された半導体装置。

18. 請求項9記載の方法により製造された半導体装置。

19. 請求項16記載の半導体装置が実装された回路基板。

20. 請求項17記載の半導体装置が実装された回路基板。

21. 請求項18記載の半導体装置が実装された回路基板。

22. 請求項19記載の回路基板を有する電子機器。

23. 請求項20記載の回路基板を有する電子機器。

24. 請求項 21 記載の回路基板を有する電子機器。

FIG. 1A

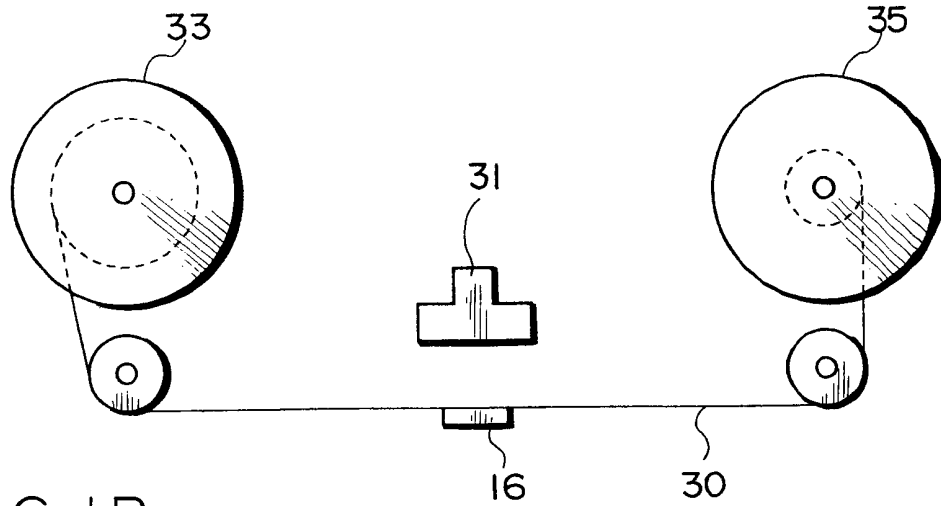


FIG. 1B

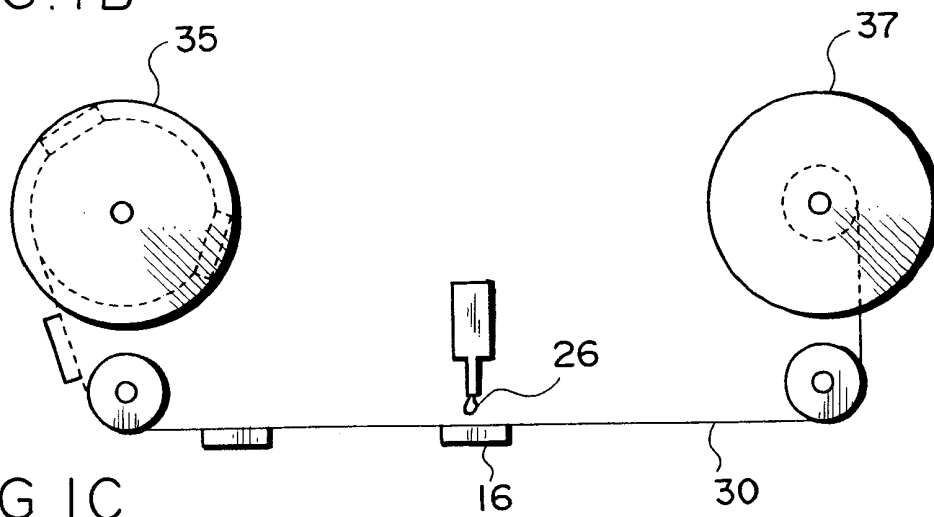


FIG. 1C

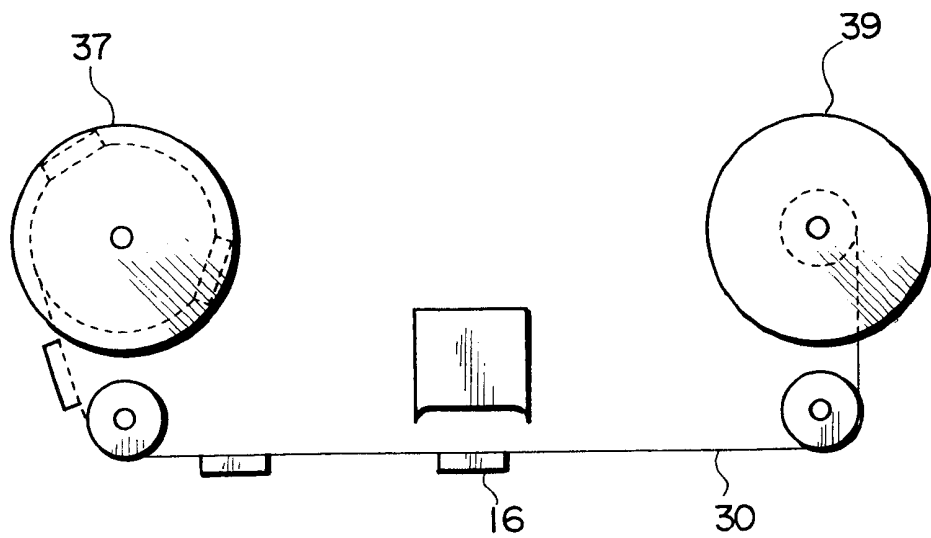


FIG.2

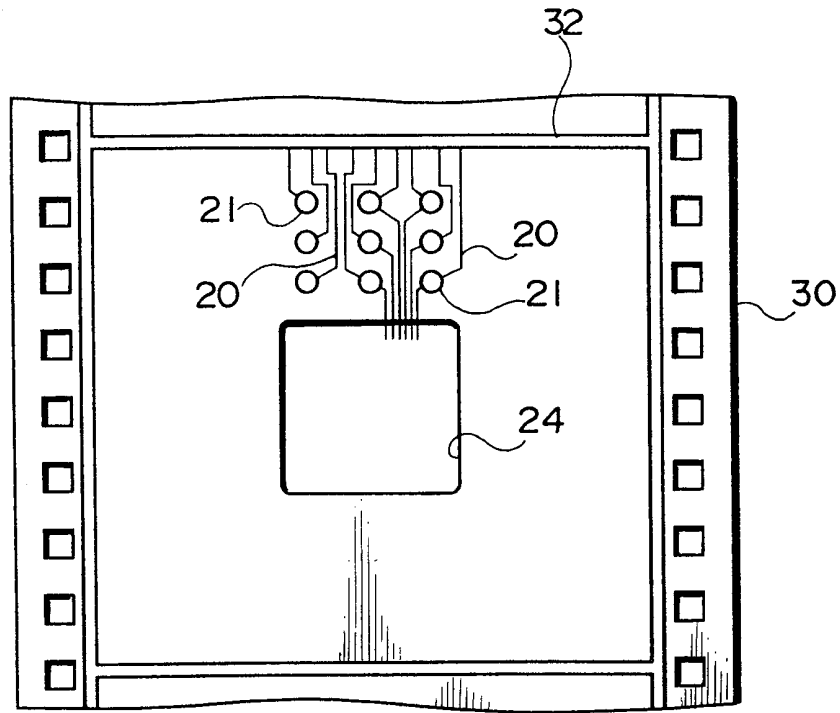


FIG.3

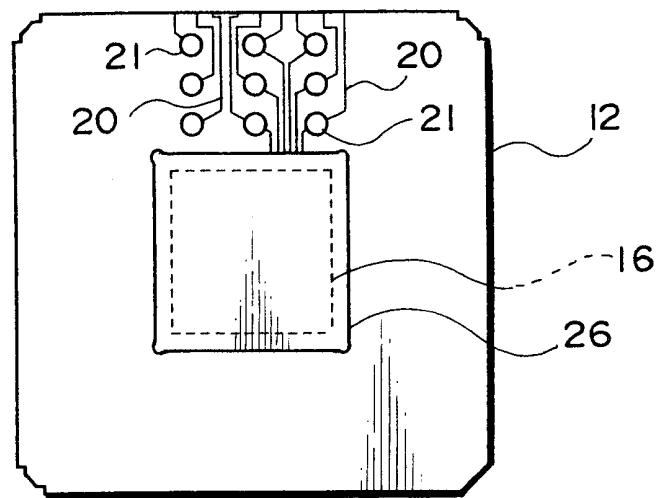


FIG. 4

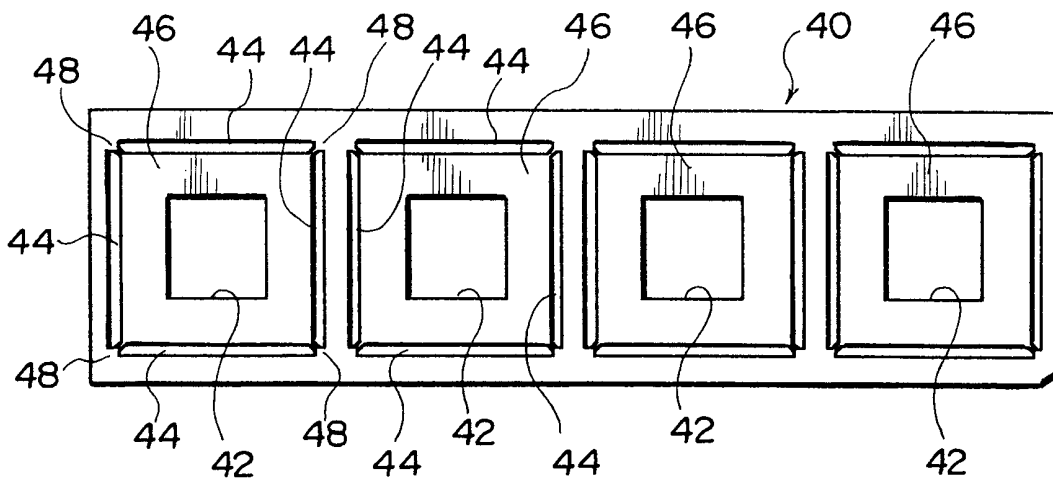


FIG. 5

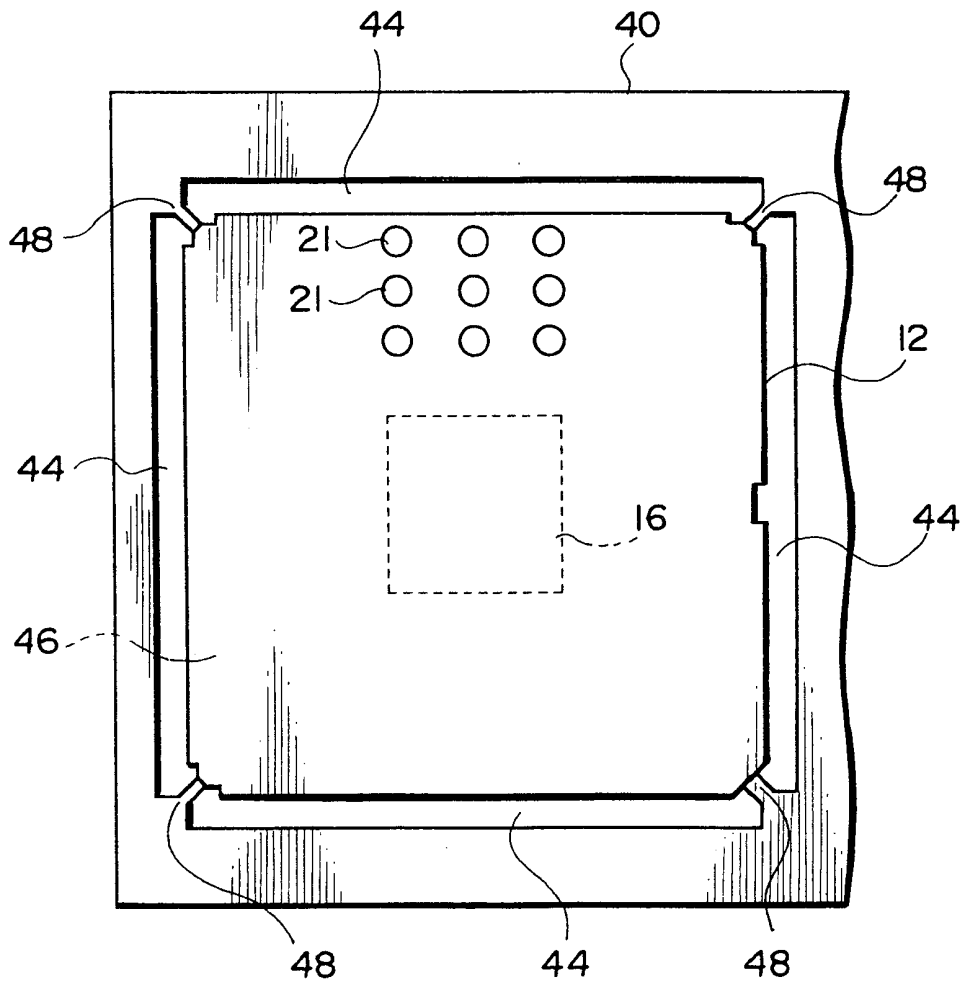


FIG. 6

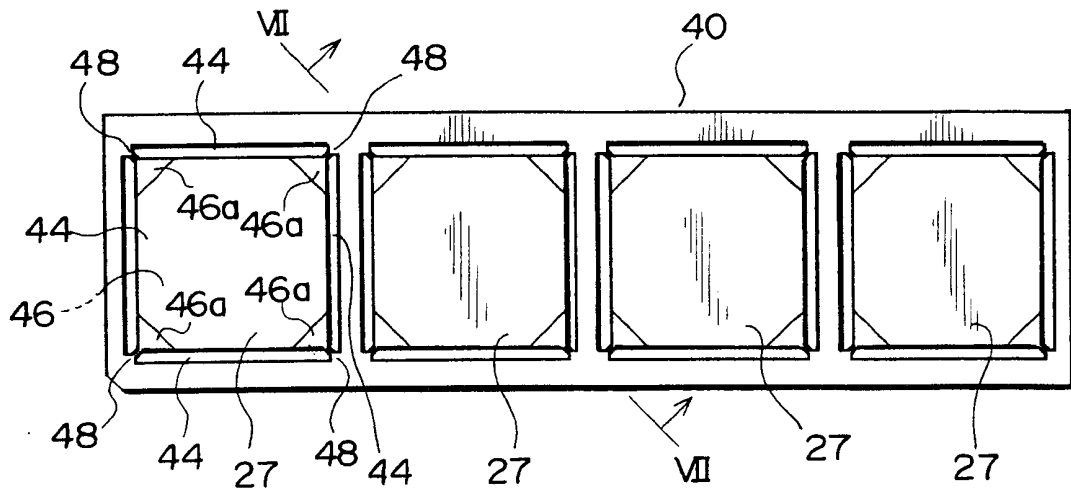


FIG. 7

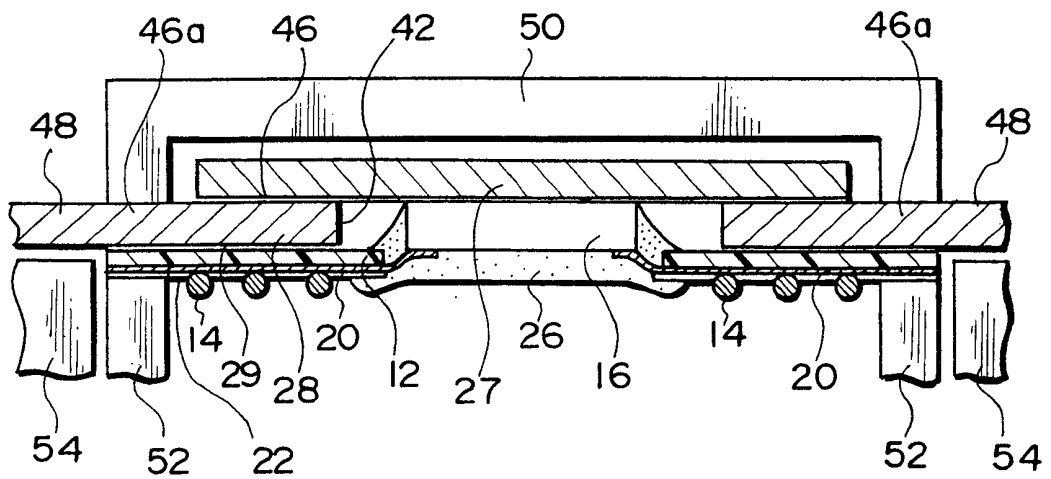


FIG. 8

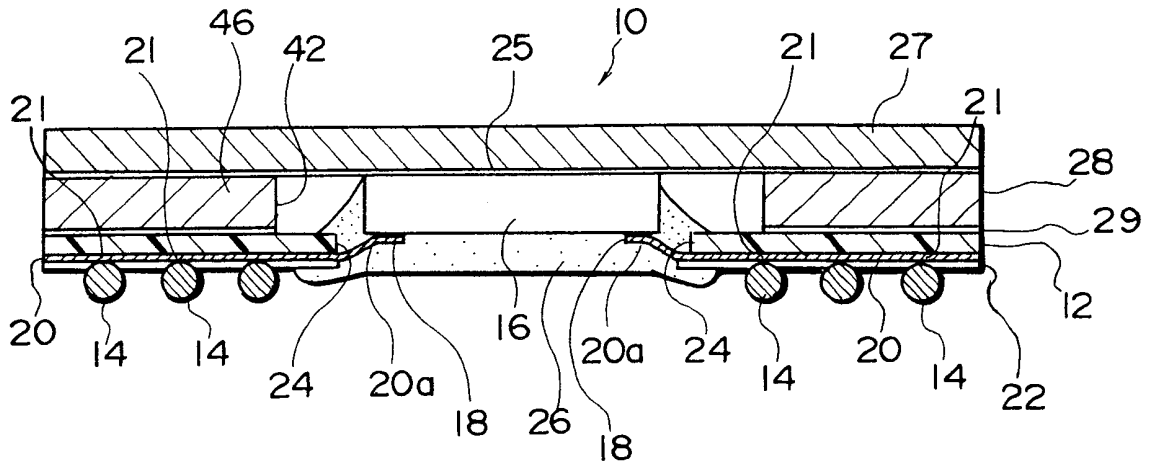


FIG. 9

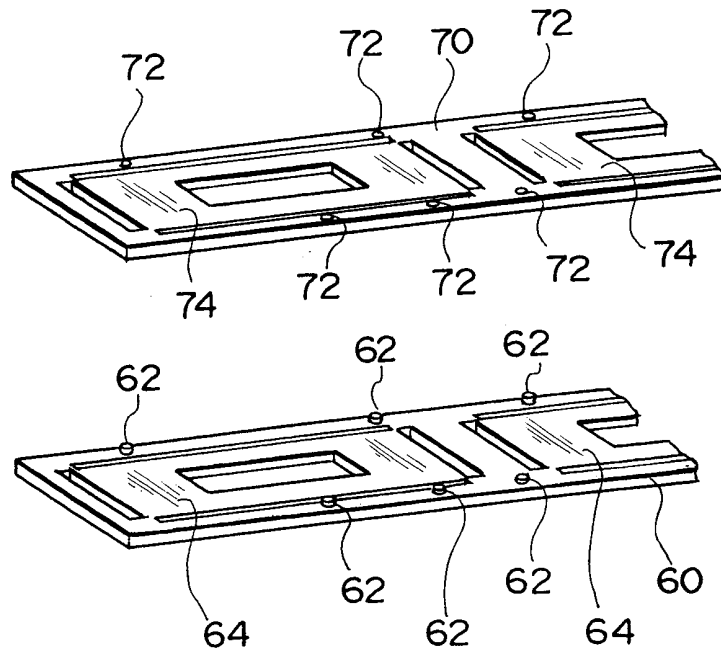


FIG. 10

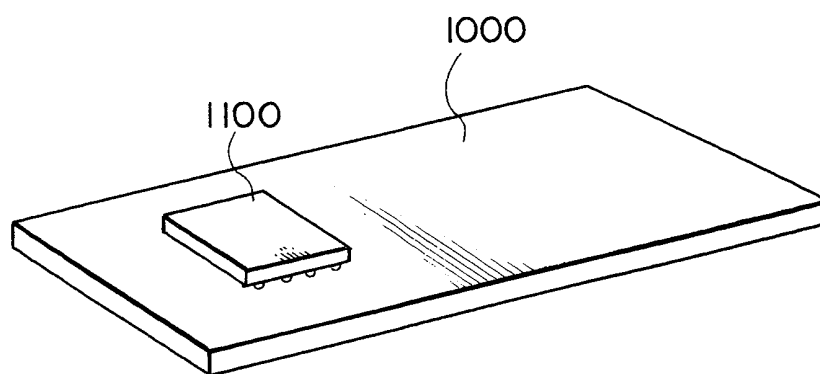
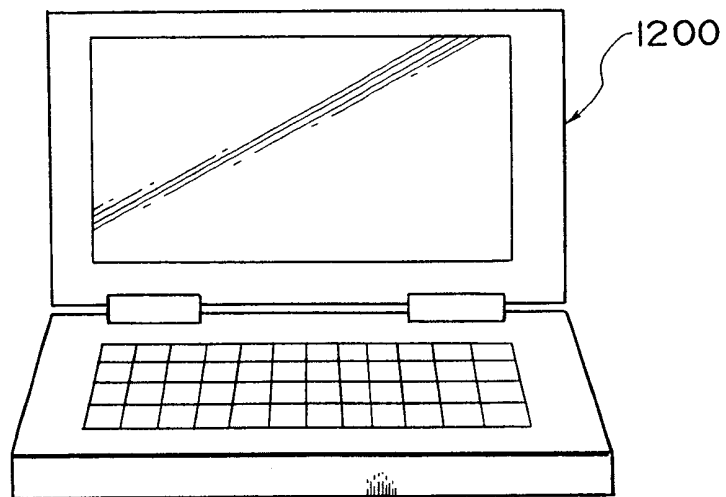


FIG. 11



**INTERNATIONAL SEARCH REPORT**

International application No.  
**PCT/JP99/00049**

**A. CLASSIFICATION OF SUBJECT MATTER**  
Int.Cl.<sup>6</sup> H01L21/60

According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**

Minimum documentation searched (classification system followed by classification symbols)  
Int.Cl.<sup>6</sup> H01L21/60

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched  
**Kokai Jitsuyo Shinan Koho 1971-1996**

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP, 2-12848, A (NEC Corp.), 17 January, 1990 (17. 01. 90) (Family: none)	1-24
A	JP, 3-215953, A (Toshiba Corp.), 20 September, 1991 (20. 09. 91) (Family: none)	1-24

Further documents are listed in the continuation of Box C.       See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier document but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search  
11 March, 1999 (11. 03. 99)

Date of mailing of the international search report  
23 March, 1999 (23. 03. 99)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl<sup>6</sup> H01L21/60

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl<sup>6</sup> H01L21/60

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国公開実用新案公報 1971-1996年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	J P, 2-12848, A (日本電気株式会社) 17. 1月. 1990 (17. 01. 90), (ファミリーなし)	1-24
A	J P, 3-215953, A (株式会社東芝) 20. 9月. 1991 (20. 09. 91), (ファミリーなし)	1-24

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

- |  |   |
|--|---|
| <p>* 引用文献のカテゴリー</p> <p>「A」 特に関連のある文献ではなく、一般的技術水準を示すもの</p> <p>「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</p> <p>「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)</p> <p>「O」 口頭による開示、使用、展示等に言及する文献</p> <p>「P」 国際出願日前で、かつ優先権の主張の基礎となる出願</p> | <p>の日の後に公表された文献</p> <p>「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの</p> <p>「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</p> <p>「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</p> <p>「&amp;」 同一パテントファミリー文献</p> |
|--|---|

国際調査を完了した日 11. 03. 99

国際調査報告の発送日 23.03.99

国際調査機関の名称及びあて先  
日本国特許庁 (ISA/J P)  
郵便番号 100-8915  
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)  
川真田 秀男  
4 E 7 2 2 0  
電話番号 03-3581-1101 内線 3426