

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2025年1月2日(02.01.2025)



(10) 国際公開番号

WO 2025/004234 A1

- (51) 国際特許分類:
H04B 10/40 (2013.01) *H04B 10/60* (2013.01)
H04B 10/50 (2013.01)
- (21) 国際出願番号: PCT/JP2023/024039
- (22) 国際出願日: 2023年6月28日(28.06.2023)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人: 日本電信電話株式会社 (NIPPON TELEGRAPH AND TELEPHONE CORPORATION) [JP/JP]; 〒1008116 東京都千代田区大手町一丁目5番1号 Tokyo (JP).
- (72) 発明者: 尾崎 常祐(OZAKI Josuke); 〒1808585 東京都武蔵野市緑町3丁目9-11 N T T

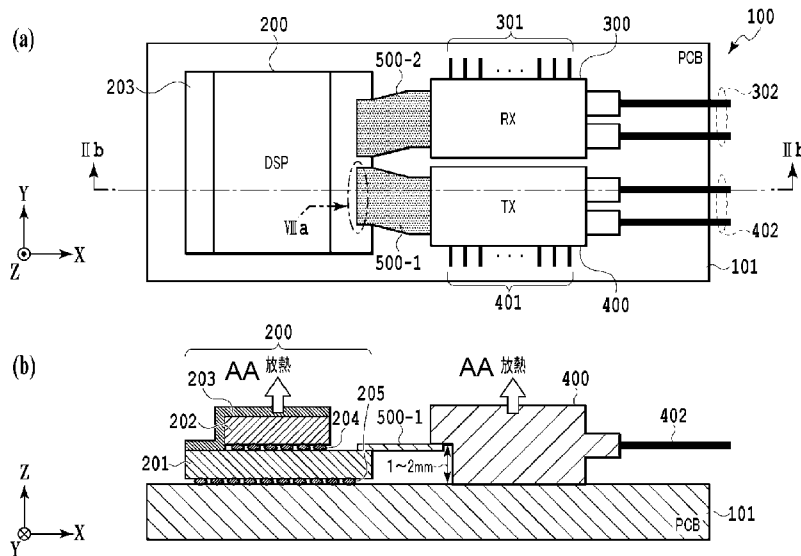
知的財産センタ内 Tokyo (JP). 小木曾 義弘 (OGISO Yoshihiro); 〒1808585 東京都武蔵野市緑町3丁目9-11 N T T 知的財産センタ内 Tokyo (JP). 布谷 伸浩(NUNOYA Nobuhiro); 〒1808585 東京都武蔵野市緑町3丁目9-11 N T T 知的財産センタ内 Tokyo (JP).

(74) 代理人: 弁理士法人谷・阿部特許事務所 (TANI & ABE, P.C.); 〒1070052 東京都港区赤坂2丁目6番20号 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR,

(54) Title: OPTICAL TRANSCEIVER, AND METHOD AND APPARATUS FOR MANUFACTURING SAME

(54) 発明の名称: 光トランシーバ、並びに、その製造方法及び製造装置



AA Heat dissipation

(57) Abstract: Provided are a configuration for realizing an optical transceiver capable of ultra-high-speed operation, a method for manufacturing the same, and a manufacturing apparatus. An optical transceiver according to the present disclosure includes at least one optical module mounted on a PCB, a DSP, and an FPC that connects the DSP and the optical module. The FPC furthermore includes: a first connection PAD on a first surface, the first connection PAD being connected by soldering to a PAD on a terrace surface of the optical module; a second connection PAD on a second surface, the second connection PAD being connected by soldering to a PAD on an upper surface of the DSP substrate; and a first connection PAD on both side surfaces. The FPC and the first connection PAD, and the FPC and the second connection PAD, are each connected by one or more through-holes or an embedded VIA, the through-holes having a diameter of

HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告 (条約第21条(3))
- 補正された請求の範囲及び説明書 (条約第19条(1))

100 μm or greater.

(57) 要約: 超高速動作可能な光トランシーバを実現するための構成及びその製造方法、製造装置を提供する。本開示による光トランシーバは、PCBに搭載された少なくとも1つの光モジュールと、DSPと、DSPと光モジュールの間を接続するFPCとを含み、FPCは、光モジュールのテラス面のPADと半田接続される、第1の面の第1の接続用PAD、DSP基板の上面のPADと半田接続される、第2の面の第2の接続用PAD、および、両側面、且つ第1の接続用PADをさらに含み、FPCと第1の接続用PAD、及び、FPCと第2の接続用PADは1つ以上のスルーホールまたは埋め込みVIAにより接続されており、前記スルーホールは $\phi 100\mu\text{m}$ 以上の径を有する。

明 細 書

発明の名称：光トランシーバ、並びに、その製造方法及び製造装置

技術分野

[0001] 本開示は、光通信において利用される光トランシーバ及びその製造方法、製造装置に関する。

背景技術

[0002] 増大する通信トラフィック需要に対応するために、高度な光変調方式に対応した高速な光変調器および光受信器が求められている。初期の100Gデジタルコヒーレント通信システムにおける光変調器および光受信器では、構成部品の各々がパッケージ化され、プリント基板(PCB: Printed Circuit Board)上にこれらの部品が実装されていた。例えば光変調器の場合は、ドライバICおよび光変調器チップがそれぞれ個別にパッケージ化され、パッケージ化されたICやチップがPCB上に実装されていた。光受信器の場合は、トランスインピーダンスアンプ(TIA: TransImpedance Amplifier)および光受光チップが、それぞれ個別にパッケージ化され、PCB上に別々の部品として実装されていた。

[0003] 高速化がより進んだ400Gを超えるデジタルコヒーレント通信システムでは、光変調器および光受信器にも、40GHz以上の信号を扱えるよう広帯域化が求められ、高周波損失の低減および小型化が必要である。光変調器の場合は、ドライバICと光変調器チップが、光モジュールとして1つのパッケージに一体に実装されるようになった。光受信器の場合も、TIAと光受光チップが、単一の光モジュールとして一体に実装されるようになった。ベースバンド信号を入出力する信号形式についても、高速化、小型化および低電力化の実現手段の1つとして、シングルエンド形式から差動形式による設計が一般化した。現在では、800Gbpsや1Tbps(128GBd動作)の実現に向けたデバイス開発が進められている。

[0004] O I F (The Optical Internetworking Forum) は、ドライバ I C および光変調器が一体パッケージに実装された光送信器として、高帯域幅コヒーレントドライバ変調器 High-Bandwidth Coherent Driver Modulator (H B - C D M) の名称で標準化している。非特許文献 1 では、様々なタイプのモジュールとして、その物理的構成およびインタフェース仕様等が規定されている。受信側においても、T I A および光受信器が一体パッケージに実装され、H B - I C R (High-Bandwidth Intradyne Coherent Receiver) とも呼ばれている。光トランシーバ（光送受信装置）は、送信側（T x）の光モジュールと、受信側（R x）の光モジュールを備えている。

[0005] 当初、上述の光モジュールでは、実装性に優れた表面実装（S M T）型のパッケージが用いられていた。S M T 型パッケージによる光モジュールでは、光トランシーバの P C B に搭載されているため、パッケージ内部に高周波電気信号を通すビア（V I A）構造が必須となる。V I A では高周波特性の劣化等が避けられないため、V I A 構造は広帯域化をさらに進めるには不向きな構造であった。また S M T 型パッケージでは、リードピンとセラミックパッケージの接続部において、電磁界モード不整合やインピーダンス不整合により、電気信号の高周波伝送特性にも劣化が生じていた（非特許文献 2）。そこで、フレキシブル配線板（F P C : Flexible Printed Circuit）を用いたパッケージ構成があらたに標準化されている（非特許文献 1）

[0006] 個々の光モジュールの高速化に加え、光トランシーバの全体の高速化を実現する上では、デジタルシグナルプロセッサ（D S P）を含めた最適化設計が重要となる。初期の光トランシーバでは、D S P、送信モジュールおよび受信モジュールは別々のパッケージに搭載されて、P C B 上にそれぞれ離れた位置に実装されていた。このため、個々のパッケージ内や P C B 上で生じる伝搬損失により、光トランシーバの高速化には限界があった。解決策の 1 つとして、単一のパッケージ内に、光変調器チップ、光受信器チップと D S P とを近接させて搭載する「コパッケージ構造」も検討されている。この構造は、高周波電気信号の損失を大きく減らすことができる理想的なものでは

あるが、最大の発熱源であるDSPが光変調器や光受信器の周辺に近接して配置されることになる。高速化に優れたInP変調器のような温度制御が求められる光変調器を利用する場合、光変調器チップはペルチェ素子上に搭載されている必要がある。ペルチェ素子には消費電力の増加や熱暴走のリスクがあり、ペルチェ素子を熱流入の要因となるDSPと近接して単一パッケージ内に実装することは難しい。コパッケージ構造には、実装工程の点でも実現にも様々な課題があった。そこで光トランシーバの別の構成の提案がされている（特許文献1）。

[0007] 図1は、高速化に適した従来技術の光トランシーバ800の構成を示す側断面図である。PCB801の基板面（x-y面）の上に搭載された送信モジュール807を通る線で切った、光トランシーバ800の側断面（z-x面）が示されている。光トランシーバ800は、DSP802、送信モジュール807および図示しない受信モジュールを含む。DSP802では、DSP基板804の上にDSPチップ805がボールグリッドアレイ（BGA）によって実装されている。DSP802の全体が、さらにBGA803でPCB801上に実装されている。送信モジュール807は、テラスを有するパッケージ内に、図示しないドライバICおよび光変調器チップ他を含み、光ファイバ808を備えている。

[0008] 光トランシーバ800では、DSP802と光モジュール807の間の高周波（RF）信号の接続が、FPC806によって行われている。FPC806をRFインタフェースとして利用することで、DSP基板804の上面に形成されたRF信号線と、光モジュールのテラス上のRF信号線とが直接接続される。SMT型パッケージの光モジュールを含む初期の光トランシーバでは、DSP基板804のVIA、PCB801のRF信号線パターン、光モジュール807のパッケージのVIAを経由する信号経路が構成されていた。図1の光トランシーバ800は、SMT型パッケージを利用する初期の光トランシーバと比較して、高周波損失を最小限に抑えられる構成である。また、コパッケージ構造の光トランシーバのように光変調器の選択肢が

限定されず、実装の点でもより実現性が高い。SMT型パッケージによる初期の光トランシーバに比べ、高周波損失を十分に抑えることもできる。

[0009] しかしながら図1の従来技術の光トランシーバ800では、FPC806とDSP基板804との具体的な接続構成、FPC806の構造、FPC806と光モジュール807との接続構成は、明らかではない。DSPおよびDSP基板の構成についても明らかではない。また図1の送信モジュール807では、パッケージ内部のドライバICなどの発熱部品は、テラスのある側、PCB側に熱的に接続され、放熱方向は光トランシーバ800の下方（-z方向）となる。一方、DSP802においてはDSPチップ805が上側にあるため、放熱方向は光トランシーバの上方（+z方向）となる。放熱が2方向に分かれており、放熱構造を簡素化するためには好ましくない。

先行技術文献

特許文献

[0010] 特許文献1：国際公開番号 WO2021/171599

非特許文献

[0011] 非特許文献1：OIF, Implementation Agreement for the High Bandwidth Coherent Driver Modulator (HB-CDM), [online], July 15, 2021, [令和5年1月20日検索], インターネット<URL: <https://www.oiforum.com/wp-content/uploads/OIF-HB-CDM-02.0.pdf>>

非特許文献2：J. Ozaki et al., "Over-85-GHz-Bandwidth InP-Based Coherent Driver Modulator Capable of 1-Tb/s/ λ -Class Operation," in Journal of Lightwave Technology, vol. 41, no. 11, pp. 3290-3296, 1 June1, 2023, doi: 10.1109/JLT.2023.3236962.

発明の概要

[0012] 本開示の目的は、光トランシーバにおけるDSPと光モジュールとの間のスムーズな高周波接続の構成を提示し、超高速動作可能な光トランシーバを実現するための構成及びその製造方法、製造装置を提供することにある。

- [0013] 上記の様な目的に基づき、本開示では、光トランシーバであって、プリント基板（PCB）に搭載された少なくとも1つの光モジュールと、PCBに搭載されたデジタルシグナルプロセッサ（DSP）と、DSPと光モジュールの間を接続するフレキシブル配線板（FPC）とを備え、DSPは、厚みを調整するためのコア層を有した多層配線基板で形成されたDSP基板の上に実装されたDSPチップを備え、FPCは、光モジュールのテラス面のPADと半田接続される、第1の面の第1の接続用PAD、DSP基板の上面のPADと半田接続される、第2の面の第2の接続用PADを備え、FPCと第1の接続用PAD、及び、FPCと第2の接続用PADは1つ以上のスルーホールまたは埋め込みVIAにより接続されており、FPCは、スルーホール又は埋め込みVIAと接続され、FPCの表面上に形成されるランドと、FPCの両側面、且つ第1の接続用PAD及び第2の接続用PADの各々の内側の端から500 μ m以上離れた位置に安定して保持可能な200 μ m以上の径を有する切欠きと、をさらに備え、スルーホールは ϕ 100 μ m以上の径を有する、光トランシーバを提供する。
- [0014] また本開示では、上記の光トランシーバを製造する製造装置であって、FPCと接触し、第1の接続用PADとDSP基板上のPADとの間、及び、第2の接続用PADとテラス上のPADの間に形成される半田に対し、熱及び荷重を印加するホットバーと、PCBを下側から保持する実装土台と、切欠きと嵌め合わせること、FPCを側面および下面から保持する保持機構と、を備える、製造装置を提供する。
- [0015] さらに本開示では、上記の光トランシーバを製造する製造方法であって、PCB上にDSPを搭載することと、光モジュールとFPCとを、ホットバーを用いた半田付けにより接続することと、PCB上にFPCが接続された光モジュールを設置し、FPCとDSPを、ホットバーを用いた半田付けにより接続することと、PCBと光モジュールのDCインタフェースが接続することと、を備え、FPCと第1の接続用PAD、及び、FPCと第2の接続用PADがスルーホールである請求項10に記載の製造方法であって、ホ

ットバーを用いた半田付けにおいて、少なくともホットバーにより直接加熱されるランド又は加熱用PAD上に半田を形成するプレ半田処理をすることと、プレ半田処理により形成された半田をホットバーにより加熱及び加圧することと、をさらに備え、加熱及び加圧されることで溶融した半田が、スルーホールを通じて、第1の接続用PADとテラスとの間、及び、第2の接続用PADとDSP基板との間に到達することにより、第1の接続用PADとテラスとの間、及び、第2の接続用PADとDSP基板との間に半田が形成される、または、FPCと第1の接続用PAD、及び、FPCと第2の接続用PADが埋め込みVIAで接続され、ホットバーを用いた半田付けにおいて、第1の接続用PADとテラスの間、及び、第2の接続用PADとDSP基板との間に半田を形成するプレ半田処理をすることと、ホットバーによりランド又は加熱用PADに対して加熱及び加圧することと、をさらに備え、プレ半田処理により形成された半田が、加熱及び加圧されたランド又は加熱用PADからの伝熱により溶融することで、第1の接続用PADとテラスとの間、及び、第2の接続用PADとDSP基板との間に半田が形成される製造方法を提供する。

図面の簡単な説明

- [0016] [図1]高速化に適合した従来技術の光トランシーバ構成を示した側断面図である。
- [図2]本開示の光トランシーバの構成の概要を示した上面図および断面図である。
- [図3]FPCの接続部分を含む光モジュールの拡大した断面を示した図である。
- [図4]本開示の光トランシーバにおけるFPC配線レイアウトを示した図である。
- [図5]本開示による光トランシーバ100の製造方法600の手順を示すフロー図である。

[図6]本開示による光トランシーバ100の実装装置700の構成を示す側断面図である。

[図7]本開示による本開示による光トランシーバ100の実装時における、保持機構704の構造を詳細に示す図であり、(a)は保持機構704と切欠き512が嵌め合った状態のFPC500-1の上面図を、(b)はVIIbc-VIIbc断面線における断面図を、(c)は保持機構704が別の形態を有する場合におけるVIIbc-VIIbc断面線における断面図を、それぞれ示している。

[図8]本開示による光トランシーバ100のDSP基板201の詳細な構造を示す図であり、(a)は上面図を、(b)はXb-Xb断面線における断面図をそれぞれ示している。

[図9]本開示の光トランシーバにおけるTxモジュール内の断面構造を示した図である。

発明を実施するための形態

[0017] 以下に、図面を参照しながら本開示の種々の実施形態について詳細に説明する。同一又は類似の参照符号は同一又は類似の要素を示し重複する説明を省略する場合がある。数値は例示を目的としており本開示の技術的範囲の限定を意図していない。また、以下の説明は、一例であって本開示の一実施形態の要旨を逸脱しない限り、一部の構成を省略若しくは変形し、又は追加の構成とともに実施することができる。

[0018] 本開示による光トランシーバは、DSPと光モジュールとの間のスムーズな高周波接続を実現する具体的な構成を提示する。光モジュールは、光受信器モジュールおよび光変調器モジュールを含み得る。光トランシーバは、別箇の2つの光モジュールを含んでも良いし、光受信器および光変調器の両方の機能を集積した単一の光モジュールを含んでも良い。高周波接続は、フレキシブル基板（以下、FPC）が用いられる。FPCは、両面を利用して、DSP基板の上面のPADと光モジュールのパッケージのPADの間を電氣的に接続する。FPCの一方の面の接続用PADがDSP基板側と接続され、他方の面の接続用PADが光モジュール側と接続される。DSPには、

DSP基板の上にDSPチップが搭載されており、DSP基板のFPCと接続される領域を除いて、DSP全体がリッドで覆われていても良い。

[0019] インピーダンス不整合や高周波クロストーク等を起因とした高周波信号の伝送特性劣化を回避するための、DSP基板における接続用PAD、高周波配線の形状および多層配線基板の構造、FPCの構造の詳細な構造が開示される。以下、図面とともに光トランシーバの詳細な構成が説明される。

[0020] 以下の説明では、簡単のため、光変調器およびそのドライバICを含む送信側の光モジュールを「Txモジュール」、光検出器(PD)およびTIAを含む受信側の光モジュールを「Rxモジュール」と呼ぶ。TxモジュールとRxモジュールの両方の機能を集積化した単一の光モジュールを、TRxモジュールと呼ぶ。以下の説明では、RxモジュールおよびTxモジュールを含む光トランシーバを例として説明するが、2つのモジュールを1つのTRxモジュールに置き換えることもできる。また、以下の説明においてTxモジュールの断面に基づいた説明がされるが、Txモジュールと概ね対称な形状を有するRxモジュールについても、FPCによるDSPと光モジュールの接続形態には変わりはない。DSPとTxモジュールの間のFPCのPAD形状、および、DSPとRxモジュールの間のFPCのPAD形状を同様の構成とすることは、高周波設計の点でも効率が良い。光モジュール全体で、半田実装品質や接続強度のばらつきを抑えることもできる。

[0021] [光トランシーバの基本構成]

図2は、本開示の光トランシーバの構成の概要を示す上面図および断面図である。図2の(a)は、PCB101の基板面(x-y面)を見た上面図であり、(b)は、Txモジュール400を通るIIb-IIbで切った側断面(x-z面)の図である。光トランシーバ100は、PCB101上に、DSP200およびRxモジュール300、Txモジュール400が搭載されている。

[0022] PCB101の上面および下面には、他にもチップコンデンサや抵抗等の様々な電気部品、機構部品が実装されることになるが、図1では省略されて

いる。光トランシーバ１００では、ＰＣＢ１０１上に各部品を搭載する際の製造性、光トランシーバの放熱構造の簡略化などを考慮して、ＤＳＰ２００およびＲ×モジュール３００およびＴ×モジュール４００の放熱面が１方向に揃えられている。光トランシーバではＤＳＰチップ２０２からの発熱が最大であることを考えると、ＤＳＰチップ２０２の放熱に適切な上方向（＋ｚ方向）に向かって放熱の向きを揃えることが望ましい。

[0023] 図２の（ｂ）の断面図を参照すれば、従来技術の構成とは対照的に、光トランシーバ１００は、ＰＣＢ１０１上に搭載する状態の上下面を反転させて、光モジュールの高さ方向（ｚ軸）においてテラスがある側が上側となるように配置されている。光モジュールは、テラス面がＰＣＢの上面と向かい合うよう搭載されており、Ｔ×モジュール４００の場合、パッケージのテラス面がある側に向かって（＋ｚ方向に）ドライバＩＣやペルチェ素子からの熱が移動するように構成されている。

[0024] 図９は、本開示の光トランシーバにおけるＴ×モジュール内の断面構造を示した図である。Ｔ×モジュール４００は、筐体４１７内部にペルチェ素子４０６、基板４０７、光変調器チップ４０９がこの順に配置されている。基板上には、レンズ４１０、４１１を備え、光ファイバ４０２に光学的に結合されている。モジュール内には、ベース４１５の面上にドライバＩＣ４０８、パッケージベース４１６の上に配線４１２が形成されている。光変調器チップ４０９から配線４１２までは、ワイヤ４１３、４１４で接続されている。筐体４１７、パッケージベース４１６、パッケージ側壁４０５によって、モジュールの内外が区画されている。パッケージベース４１６の一部が筐体から露出することで、光モジュールのテラス面が構成される。テラス面上には、ＦＰＣ５００－１が接続される。

[0025] 温度制御のためのペルチェ素子４０６、発熱部品であるドライバＩＣと熱接続されているベース４１５は、筐体４１７内側の上面に固定されている。モジュールの内部からの放熱は、＋ｚ方向に、ドライバＩＣやペルチェ素子から外部に熱が移動するように構成されている。Ｒ×モジュールについて

も、ドライバICの代わりにTIAが備えられており、モジュールの内部からの熱がモジュールの上側（+z方向）に移動する。

[0026] 光モジュールは、そのパッケージ内部において、PCBへの搭載面とは逆の底面に向かって放熱されるよう発熱部品が搭載されている。したがって、DSP200からの放熱およびTxモジュール400からの放熱に対して、光トランシーバ100の上側に、図示しない共通の1つの放熱面を配置する放熱機構（筐体）を採用できる。光モジュールとDSPが近接して配置され、同時に、DSPと光モジュールの上面の高さを一致させることで、単一の放熱機構でDSPおよび光モジュールの放熱を容易に行うことができる。共通の放熱機構とする場合には、DSPからの光モジュールへの熱の回り込みが無いよう十分な考慮をする必要がある。また、放熱機構を介した熱の回り込みを抑えるため、DSPと光モジュールで同一面上の分かれた放熱機構とすることもできる。

[0027] DSP200は、後述する多層配線基板で構成されたDSP基板201、DSPチップ202およびリッド（蓋）203から構成されている。DSPチップ202とDSP基板201の間は、BGA204によって接続される。同様に、DSP基板201とPCB101の間も、BGA205によって接続される。

[0028] リッド203は、少なくともDSPチップ202の上面の全領域と、DSP基板の上面で、FPC500-1、500-2が接続・固定される領域を除いた領域とを覆うように、一体の金属で構成されている。リッド203は、DSPチップ202の側面を覆っていても良いし、DSP基板201の周囲からはみ出していても良い。リッド203は、DSP200を光トランシーバに実装する際や製造工程中の取り扱い誤り等によって、予期しないダメージがDSPチップや接続部であるBGA204、204等に直接的に加わるのを防止する。リッド203の形状を細かく工夫することで、DSP基板201の面上において、FPCと接続するためのRF接続用PADから基板端までを、オープンの状態とすることができる。このように、DSP200

0は、DSP基板201の上にDSPチップ202およびリッド203を搭載した状態で、DSPモジュールとして準備可能である。光トランシーバの製造工程は後述するが、リッド付きのDSPモジュールの形態として準備しておけば、Rxモジュール、Txモジュールと同様に、製造工程における破損を生じさせることなく安全にPCB101上に搭載できる。

[0029] DSP200の別の形態として、リッドなしで、DSP基板上にDSPチップ202のみが搭載された状態で準備しておくこともできる。リッドなしのDSP200と、光モジュール300、400との間を、それぞれFPC500-1、500-2で接続し、その後、最後にリッド203を装着することもできる。リッドを搭載する際に、FPCに不用意な力が掛かったり、リッド203によってFPCの配線がショートしたりするリスクも発生し得る。そのため、DSP基板201の上面で接続用PADを含む領域のPAD位置と、リッドの形状を十分に最適化する必要がある。リッド搭載の直前まで、DSPチップやDSP基板がむき出しの状態となっているため、DSPチップ等を破損させないように細心の注意も必要となる。

[0030] DSP200がリッド203を備える場合、基板面(x-y面)において、リッド203のフットプリントは、DSP基板201のフットプリントよりも必ず小さくなる。一方、DSPチップ202のフットプリントは、リッドのフットプリントに内包される。DSP基板201の基板面上で、少なくともRF接続用PADがある領域のみに、リッド203が無いことになる。

[0031] 光トランシーバの製造工程において、DSPチップや、BGA204、205への損傷が回避できるのであれば、リッドを省略することも可能である。DSPチップからの放熱を有効に光トランシーバ外へ逃がすため、簡略化して、DSPチップの上面のみにリッドを備えても良い。リッド203の形状は、様々な変形が可能であり、具体的なバリエーションは後述する。

[0032] Rxモジュール300およびTxモジュール400は、それぞれにパッケージに収納されている。2つの光モジュール300、400とDSP200

0との間は、電気信号のRFインタフェースとして、FPC500-1、500-2で直接的に接続される。ここで「直接的に」接続されているとは、光モジュールのテラス上の接続用PADと、DSP基板上の接続用PADの間が、FPC500-1、500-2のみを介して接続されているという意味である。従って光トランシーバ100では、光モジュールからPCBへ接続するVIA、PCB内のRF信号線、PCBとDSP基板を接続するBGA、DSP基板内のVIAを経由する高周波経路は存在していない。光トランシーバ100では、従来技術のSMT型パッケージの光モジュールを含む光トランシーバと比べ、電気信号は高周波特性の劣化につながるVIAやBGAを通らない。DSPと光モジュール間を、最短の高周波経路で接続することができ、高周波損失を大幅に減少させることができる。また、VIAやBGA等の接続箇所を減らしているため、高周波経路の不連続部で生じるインピーダンス不整合による高周波損失の低減の観点でも、図2の光トランシーバの構成は非常に有効である。

[0033] 光モジュール300、400の直流(DC)インタフェースは、例えば、図2の(a)のようにDCリードピン301、401とすることができる。DCインタフェースはリードピン構造だけに限定はされず、DSP200との間のRFインタフェースと同様に、FPCを用いても良い。DCリードピン301、401は、光トランシーバ外部から給電可能なようにPCB101の図示しないPADに半田実装される。

[0034] 再び図2の(a)の光トランシーバ100の上面図を参照すると、Rxモジュール300、Txモジュール400およびDSP200は、高周波電気信号であるRF信号の損失を最小に抑えるよう、最適に配置されている。2つのモジュールとDSP200は、PCB101の長手方向に沿った中心線に対称な配置となる。高速な光トランシーバを実現する上では、DSP200からTxモジュールへのRF信号、RxモジュールからDSP200へのRF信号の高周波損失を抑えることが重要である。RFインタフェースとして機能するFPC500-1、500-2の長さを、それぞれできる限り

短くする必要がある図2の光トランシーバ100では、128Gbd超級の高速信号を伝送するために、2つの光モジュールのy軸方向の距離（ギャップ）を1mm以下まで近づけるのが好ましい。

[0035] 2つの光モジュールを互いに近接して配置するためには、DCリードピンを各モジュールの一方の側にまとめて、互いに逆方向に向ける必要がある。図2の(a)に示したように、Txモジュール400のDCリードピン401は-y軸方向（図面下方）にPCB101の外周に向かって、Rxモジュール300のDCリードピン301は+y軸方向（図面上方）にPCB101の外周に向かっている。この構成は、非特許文献1に示すようなOIFで規格化されたHB-CDMにおいて、規定されたリードピンの方向に従っている。

[0036] 光モジュールのパッケージはセラミックで形成されている。光モジュール内の高周波信号線およびDCラインのレイアウト設計を考えると、図2の(b)の断面図におけるPCB101の上面から光モジュールのテラス面までの高さは1~2mm程度であることが望ましい。DSP基板201の厚みについても、光モジュールのテラス面と高さを合わせる観点から、同様に1~2mm程度の範囲で設定されるのが望ましい。DSP基板上面と、テラス面の高さを合わせることで、後述するようにFCPの厚さ方向に曲げが不要となり、フラット化される。

[0037] DSP基板が1~2mm程度の厚みを有する場合、DCラインやRFラインのために必要な層数よりも多くの層が利用できることになる。通常、多層配線基板ではできる限り層数を最少化することがコストの点で望ましいため、内部に、基板全体の厚みを調整するためのコア層を用いることができる。このようなコア層を含む多層配線基板は、ビルドアップ基板と呼ばれることもある。コア層は、全体の基板厚みの調整のほかに、RF配線層とDC配線層を分ける分離層としても機能する。コア層を設けることで、DC層とRF配線層を大きく離すことが可能となるため、配線層間の相互干渉、ノイ

ズの影響を抑えることができる。DSP基板の詳細な構成は、PADおよび信号線の詳細構成とともに後述する。

[0038] 上述のようにDSP動作の高速化を考慮すれば、高周波信号の損失およびコストを抑えるため、DSP200は小さいサイズのDSP基板201に収めることが望ましい。2つのFPCは、光モジュール側からDSP側に向かって、DSP200の中心線に収束するように構成されるべきである。図2に示したFPCは、後述するように、いずれも定められた形状に予め整形された、ベース材の面内（ $x-y$ 面）で曲がった形状のものである。FPCを曲がりなしに直線の形状とすることも可能であるが、DSP基板201の基板面上において、PADを扇形状に広げて配置する必要が生じる。DSP基板上での高周波損失が増え、DSP基板のサイズも大型化してしまうので望ましくない。

[0039] [光トランシーバのDSP-光モジュール間の接続形態]

本開示の光トランシーバ100は、DSPと光モジュールの間のFPCの接続形態に1つの特徴がある。図1に示した従来技術の光トランシーバ800では、FPC806は、DSP基板804の基板面および同じ向きの光モジュール807のテラス面の、共通の面上にあり、FPC802の一方の面だけで接続されていた。これに対して図2の（a）の光トランシーバ100では、FPC500-1は、DSP基板201の基板面および逆向きのTxモジュール400のテラス面の、共通の面上にあり、FPC500-1の異なる面で接続されている。光モジュール400は、FPCのための接続用PADを有するテラス面がPCB101側に面するように、従来技術とは上下反転させてPCB101上に搭載される。

[0040] 図3は、FPCの接続部分を含む光モジュールの拡大した断面を示す図である。図2の（b）のFPC500-1近傍を拡大した側断面（ $x-z$ 面）であり、高さ方向（ z 軸方向）は拡大して表示している。また、FPC近傍の構成を分かりやすくするために、各部の相対的なサイズ関係は正確には描かれていないことに留意されたい。図3および図2の（b）は、図2の

(a) のIIb-IIb線を通りPCB面に垂直に切った断面図であり、曲がったFPC500-1の信号線を横切ることになるが、FPCでは信号線に沿って示されているものとする。本開示の光トランシーバ100では、FPCを厚さ方向(z軸方向)に曲げることによって生じる高周波損失を減らすため、FPC曲げを最小化する構成を採用する。

[0041] 図3は、DSP基板201の端部にある接続用PAD210と、Txモジュール400のテラス面上にある接続用PAD403との間を接続するFPC500-1を示している。FPC500-1は、ベース材501の両面に金属層が形成されており、図の上側に信号線502、反対側にグランド(GND)面503を備えている。信号線502の両端には、PAD504、および、光モジュールとの接続用PAD507が形成されている。GND面側にも、PAD504とVIAまたはスルーホール508で接続されたDSPとの接続用PAD505、および、接続用PAD507とVIAまたはスルーホール509で接続されたPAD506が形成されている。後述するように、PAD504を加熱することで、接続用PAD505および接続用PAD210の間が、半田206によって接続される。同様に、PAD506を加熱することで、接続用PAD507および接続用PAD403の間が、半田206によって接続される。

[0042] 本開示による光トランシーバ100では、FPCの厚さ方向の曲げを最小化するために、Txモジュールのテラス面およびDSP基板201の上面の高さの差 ΔH を、 $500\mu\text{m}$ 以下に設定した。 $500\mu\text{m}$ 程度までの高低差であれば、FPCを厚さ方向に大きく曲げる必要が無く、ほぼフラットに接続可能となる。FPCを大きく曲げることによる高周波損失やFPC上の金属配線への亀裂リスクを抑え、良好な高周波接続を実現可能となる。

[0043] FPCのベース材501は、実装工程でフレキシブルに高さ方向の形状を調整できるよう、一般に薄いほうが取り扱い易い。一方で高周波特性の点では、損失を低く抑えるため、ベース材は厚いほうが好ましい。これらを考慮して、ベース材501の厚みは例えば $50\mu\text{m}$ 以上であることが望ましい。

具体的には、ベース材501が50～100 μm 程度の厚みであれば、先に述べたテラス面およびDSP基板面の高低差 ΔH を500 μm 程度とした場合でも、FPCの厚さ方向の形状をわずかに調整することで、簡単に実装することができる。 ΔH を500 μm 程度に設定すれば、実装工程でFPCと光モジュールの半田接合部等へのダメージも抑えることもできる。FPCの両端の半田206、404の出来上がり状態の半田が厚くなると、伝送線路の導体部サイズが変化し、信号線の実インピーダンスが下がってしまう場合がある。PAD間の半田厚みは50 μm 以下であることが望ましい。

[0044] 前述のように、FPC500-1の長さにはできる限り短いほど高周波特性の点で有利である。実際には、光トランシーバでの最大の発熱源であるDSPチップ202からの熱の影響を考慮しなければならない。光モジュール300、400とDSPチップ202を近づけ過ぎると、光モジュールが非常に高温となる恐れがある。光モジュールが、ペルチェ素子を搭載したものである場合、ペルチェ素子の消費電力が大きく増加したり、ペルチェ素子が動作不能な状態に至って熱暴走したりするリスクがある。また、FPCがあまりに短すぎると、FPCをDSP基板と接続する工程で、FPCを保持する部分がなくなったり、FPCを曲げる長さを確保できなくなったりする問題が生じる。熱設計および実装性の両面から、FPCの長さは3mm以上とすることが好ましい。

[0045] [光トランシーバの組立手順の概要]

光トランシーバ100の実装手順の概要を述べる。Rxモジュール300およびTxモジュール400は、FPCがそれぞれのテラス面上に予め半田接続された状態としておく。最初に、DSP200をPCB101上にリフローにより搭載し、その後、光モジュール300、400をPCB101へ搭載する。光モジュールとDSPの搭載を別行程とするのは、耐熱性の制限等から、光モジュールを通常のリフロー工程を通すことが難しいためである。

[0046] 光モジュール300、400は、まず、それぞれのFPCをDSP200の接続用PAD210と半田接続する。その後、光モジュールのDCリードピン301、401をPCB101上に固定する。光モジュールのFPCはRFインタフェースであるため、インピーダンス整合のために、接続用PAD505のサイズは制限されている。高周波伝送特性や接続強度は、半田を介して相対するPAD間の位置ずれ等に影響を受けるため、FPC付きの光モジュールの搭載に関しては非常に高精度に実施される必要がある。一方、リードピンは直流的に確実に接続していれば良いため、PCB側のDC PADサイズを大きく取ることも可能であり、相対的に位置ズレの許容誤差が大きくて良い。このため、光モジュールは、FPC側から接続し、その後リードピンを接続する。

[0047] PCBに搭載済みのDSP200へのFPCの実装は、工程数を減らすため、TxモジュールおよびRxモジュールを一括でホットバーにより加熱・半田実装することが望ましい。ホットバーによって実装するためには、予めFPCの接続用PAD505またはDSP基板上的接続用PAD210の少なくともどちらか一方に、プリ半田処理がされている必要がある。ホットバーによって接続用PAD間の上述のプリ半田を溶かし、半田接続するためには、図3に示したように、少なくとも1つ以上のビア(VIA)またはスルーホール508が必要である。図3の上方よりホットバーを加熱用PAD504に押し当てることで、スルーホール508は、加熱用PAD504の熱を接続用PAD505、210の間の半田206に伝える。一方で、VIA508を、VIAに代えてスルーホールとすることも可能である。ここでスルーホールとは、基板に貫通する穴が形成されており、この穴の内側面等がすべてメタライズされているものを言う。スルーホールの場合、穴を介して半田を流すことができるため、FPCの接続用PAD505、加熱用PAD504またはDSP基板上的接続用PAD210の少なくともいずれか1つがプリ半田処理されていれば良い。

[0048] 光モジュールのDCリードピン301、401はDCインタフェースであり、電氣的な接続がなされていれば良いため多少のズレ等は許容される。PCB上のPADサイズも、リードピンに対して十分に広く設定することも可能であり、FPC側のような高精度な位置合わせや実装手法は要求されない。リードピンは、固定された後で曲げることは不可能であるが、FPCは多少であれば曲げることもできる。このため、FPCを先に固定した後で、DCリードピンの接続固定のために、FPCを微調整することが可能である。

[0049] [FPCの配線レイアウト]

ここでは、本開示の光トランシーバ100におけるFPCのより具体的な構成について説明する。図3で示したように、FPCはベース材501の両面に金属層がある構造となっており、一方の面には高周波伝送路の信号線502があり、他方の面には信号線に対するGND面503がある。信号線502がある方の面が、Txモジュール400のテラス面と向かい合うように、FPCが構成されていることが望ましい。逆に、信号線502が下方のPCB101の基板面に向いているようにFPCが構成されると、PCB上の金属配線パターンとFPC上の信号線502とが干渉する可能性がある。この干渉の影響で、DSP200と光モジュールとの間を入出力する電気信号の高周波伝送特性の劣化や、電気信号とPCB上のDC信号間で相互にノイズの混入等の恐れがある。図3に示したように、FPC500-1のGND面503が、PCB101側に向いていれば、上述の干渉の問題は生じない。ただし、PCB101上に電気配線や他の部品が存在しない場合や、PCBとFPCの間に十分な距離をとれる場合には、FPCの信号線の面およびGND面を図3とは上下逆にしても良い。

[0050] 図4は、本開示の光トランシーバにおけるFPC配線レイアウトを示した図である。図4の(a)は信号線がある側の第1の面(x-y面)を、(b)は第1の面とは逆の、GND面がある第2の面側(x-y面)を示している。図4では、レイアウトを見やすくするために、FPCのカバーレイ

やレジストは省略されている。図4の(a)のFPC500aの第1の面側では、例示的に2組のGSSG差動形式の信号線502a、502bが示されている。ここでGはグラウンド、Sは信号を表す。信号線の組の数は光モジュールの種類によって異なっても良い。また、信号線用のPADに比べて、GND面のPADの面積を大きくしている。信号線用のPADは高周波特性の観点から、PADサイズが小さいほど望ましいものの、半田による接続強度の確保のためには十分な半田接続の面積が必要となる。そこでGND側のPADを信号線PADよりも十分広くすることで、半田の接続強度を担保できる構成としている。

[0051] 各チャネル間のGND PADの最大面積は、FPCおよびDSP基板上の信号線PADによるチャネル間ピッチにより一意に決定づけられる。チャネル間ピッチが狭く、GND PADのための面積を十分確保できない場合は、FPCの幅方向(y方向)の両端でGND PADのサイズを広げることが有効である。半田付けされるPDA領域以外に半田が流れるとショートするリスクがあるため、FPCで半田が不要な領域は、レジストによって覆われている。半田づけされるPAD領域がレジストによって区分けされることで、GND面についても、GND PADが定義されることに留意されたい。したがって、FPCの端部には、GSSG差動形式で複数のPADが配置されることになる。また、信号線にレジストが掛かることは高周波損失の増加につながるため、レジストの面積は極力小さくするように留意する必要がある。

[0052] 図4の(b)のFPC500aの下面の第2の面側は、信号線502a、502bに対するGND面503が形成されている。図3のFPC接続部の断面図で示したように、FPCの信号線502のある第1の面は、光モジュール400のテラス面の接続用PADと接続され、FPCのGND面503のある第2の面は、DSP基板201の上面の接続用PADと接続される。FPCの第1の面および第2の面が、それぞれRFインタフェースのために利用されることになる。したがって、信号線502の経路中に含まれるV1

A508も、半田による固定機能だけでなく、高周波信号を伝送する信号経路の一部として重要な役割を果たしている。

[0053] 高周波信号を損失無く伝送させるためには、PAD部のエッジにVIAが配置されていないと、VIAから離れたPADの一部領域がオープスタブを形成し、容量性インピーダンスが信号線に付加されてしまう。これを防止するため、図4に示したように、信号線502a、502bに対して、FPC500aの最端部でハーフスルーホール510を設置している。PAD長さが十分に短く、使用周波数帯域内においてスタブ形成によるインピーダンス変化が問題にならない場合は、ハーフスルーホールは必須ではない。同様に、GND面の高周波電位の安定化のために、FPC500aの最端部でハーフスルーホール511を設置している。ハーフスルーホール510、511は、高周波特性の改善だけでなく、接続用PADにおける半田のフィレットの形成につながるため、半田接続強度の強化にも役立つ。信号線のPADに対するハーフスルーホール510に関しては、ハーフスルーホール径が大き過ぎ、取り囲むランド面積が大きくなると、PAD部分での容量性が増加し接続用PADの低インピーダンス化および高周波特性の劣化に繋がる。信号線における高周波伝送特性の劣化を抑えるために、ハーフスルーホール510の直径 ϕ を $150\mu\text{m}$ 以下とすることが望ましい。

[0054] DSP基板101の接続用PAD等の構成については後述するが、FPC端部のフィレット形成の観点では、FPCの信号線のPAD端と、DSP基板上の信号線のPAD端の位置を、 $100\mu\text{m}$ 程度ずらして実装することが望ましい。これは、図3において、接続用PAD505の端部と比べ、DSP基板上の接続用PAD210の端部が-y方向にずれていることに対応している。接続用PAD505、210のサイズおよび位置関係をこのように設定しておくことで、接続部の半田206に良好なフィレットが形成され、半田の強度品質を向上させることができる。具体的には、接続用PAD505、210を同一長さとしておいて、2つのPADのエッジ位置が長さ方向(x方向)にずれるようにFPC位置を調整して実装することができる。

また図3に示した断面図のように、接続用PAD505、210の一方のエッジを揃えて、FPC側の接続用PAD505の長さを、DSP基板201上の接続用PAD210よりも100 μ m程度短くすれば良い。GND面の端部のハーフスルーホール511は、高周波特性に大きく影響を与えないため、必要な接続強度に応じて、大きめの径のハーフスルーホールとして良い。

[0055] また、図4に示される通り、本開示によるFPC500-1、500-2は、ベース材501の両側面に形成された切欠き512をさらに含む。この切欠き512は、上述したハーフスルーホール510や511と類似した形状を有するが、その機能は異なり、実装時におけるFPC500-1、500-2の位置合わせ及びホットバーによる加熱・加圧時におけるFPC500-1、500-2の保持をする保持機構との嵌め合い部になるものである。保持機構と嵌め合わさる際に熱が伝わらないように、本FPC500-1、500-2の切欠き部分については、GNDを形成するメタルとは分離されており、かつ、メタルがない状態とすることが望ましい。同様の観点から保持機構部自体も金属製よりも樹脂製等の熱が伝わらないような構成とすることが望ましい。これにより、PAD部以外の部分に無駄に熱が吸われてしまうことを抑圧し、PADの接合部に集中して熱を印加することが可能となる。保持機構の詳細については、図6、7を参照の上、後述する。

[0056] [光トランシーバの組立手順の詳細]

図5は、本開示による光トランシーバ100の製造方法600の手順を示すフロー図である。図5に示される通り、製造方法600は、PCB101上に光モジュール300、400以外（例えば、DSP200やその他の図示していないキャパシタなど）を搭載すること（S601）と、光モジュール300、400とFPC500-1、500-2を、ホットバーを用いた半田付けにより接続すること（S602）と、PCB101上にFPC500-1、500-2が接続された光モジュール300、400を設置し、FPC500-1、500-2とDSP200を、ホットバーを用いた半田

付けにより接続すること（S603）と、PCB101と光モジュール300、400を、DCリードピン301、401を介して接続すること（S604）と、を含む。

[0057] S601では、PCB上に光モジュール300、400以外の素子はまとめてリフローにより実装されることが一般的である。光モジュール300、400の実装を別工程とするのは、上述の通り、耐熱性の制限等から、光モジュールを通常のリフロー工程を通すことが難しいためである。

[0058] S602では、FPC500-1とTxモジュール、並びに、FPC500-2とRxモジュール300がホットバーを用いた半田付けにより接続される。ホットバーを用いた半田付けの詳細は、S603（FPC500-1、500-2とDSP基板201との接続）を例に挙げ、後述する。

[0059] S603におけるFPC500-1、500-2の実装時には、実装工数の削減およびDSP200への熱影響（熱負荷）や破損のリスクを最小化するために、FPC500-1、500-2の両方を一括でホットバーにより、半田実装すること望ましい。

[0060] S604における光モジュールのDC側インタフェースの固定を、S603におけるRFインタフェース側の接続より後に行うことが望ましい。これは、高周波接続箇所ではPADサイズはインピーダンス整合の観点から、設計裕度が狭く、例えば100～200 μ m等の非常に小さい幅のものを用いる必要がある。そのため、位置が少しでもずれるとうまく接合できなかったり、接合強度が担保できない。さらには予期せぬ半田の接続形状となり、インピーダンス不整合や高周波特性の劣化に繋がる可能性があるため、非常に高精度かつ精密に搭載される必要があるためである。

[0061] [ホットバーを用いた半田付けの方法]

以下に、本開示による光トランシーバの実装におけるホットバーを用いた半田付けの方法について、FPC500-1、500-2とDSP基板201との接続（図5のS603に相当）を例に挙げ、詳細に説明する。

[0062] ホットバーを用いて実装するためには、FPC500-1、500-2とDSP基板201の接続部の面のみを加熱することはできないため、実際にはFPC500-1、500-2の上面からホットバーにより加圧しながら熱を印加する必要がある。そのため、FPC500-1、500-2は、上面から印加された熱がDSP基板201との接続部に伝熱されるような構造を有している必要がある。そのため、詳細については後述するが、本開示による光トランシーバのFPC500-1、500-2はベース材の両面にメタルパターンを有した形成となっており、上面に加熱用PAD504、下面にRF接続用PAD505を有している。また、PAD毎には少なくとも1つのスルーホールまたは埋め込みVIA508が形成されている。スルーホールまたは埋め込みVIAはランドを有しており、ランドの金属およびスルーホールまたは埋め込みVIA508を介して溶融した熱や半田（スルーホールの場合に限る）がDSP基板201側で伝わることによって、RF接続用PAD505とRF接続用PAD210の間で半田付けが行われる。

[0063] FPC500-1、500-2の上面から印加された熱を効果的に伝えるためには本スルーホールまたは埋め込みVIAの数は多く、かつ加熱用PAD面積も大きいほど良いが、本スルーホールまたは埋め込みVIAの数が増え、PADの面積も増大すると、構造起因の容量性が増加し、半田接続部の低インピーダンス化ならびに高周波特性の劣化につながる。このため、加熱用PADは、VIAやスルーホールを形成するためのランドが兼ねてもよい。このような構成であれば、容量性の増大を抑制することができる。また、ランドサイズはスルーホールまたは埋め込みVIAの径が大きいほど、サイズが大きくなるため、可能な限りスルーホールまたは埋め込みVIAの径は小さいほど望ましい。ただし、スルーホールについては、 $\phi 100\mu\text{m}$ 未満となると、半田の流れが著しく低下し、安定した半田実装ができない可能性があることに留意する必要がある。一方で、埋め込みVIAについては、半田を流す必要はないため、所望のサイズに設定することが可能である。

[0064] ホットバーによる実装では、事前にFPC500-1、500-2の加熱PAD上、及びDSP基板201のRF接続用PAD上の少なくともどちらか一方に、プレ半田処理がされている必要がある。このプレ半田処理は、上述した508がスルーホールである場合と埋め込みVIAである場合で方法が異なる。

[0065] 508がスルーホールである場合、スルーホール部が空洞であるため、ホットバーから印加される熱を効率的にDSP基板201側へ伝えることは困難である。そのため、加熱用PAD504上に予め、半田ペースト等を用いて、半田を形成（プレ半田処理）し、この予め形成された半田をホットバーで加熱・加圧する。こうすることで、加熱と同時に、予め形成された半田が熔融し、スルーホール508内を通して接続部に流出され、半田206が形成される。ただし、スルーホール508を通して半田を流すという観点から、スルーホール508の径は $\phi 100\mu\text{m}$ 以上であることが望ましい。もしくは、半田ペーストを塗布後に、半田部分に加熱処理を行い事前にスルーホール部を、プレ半田処理工程中に埋め込んでいく方法も有用である。また、このプレ半田処理は、DSP基板201上のRF接続用PAD210上に追加的に行われてよい。そうすることで、より半田が馴染み、安定的に半田実装が可能となる。

[0066] 一方、508が埋め込みVIAである場合、加熱用PAD504上にプレ半田処理をしたところで、熔融した半田を流すことが不可能である。この場合では、プレ半田処理はDSP基板201上のRF接続用PAD210上、又はFPC500-1、500-2上のRF接続用PAD505上に行われる。その後、加熱用PAD504をホットバーにより加熱・加圧すると、VIA508が金属であるため、VIA508を通して、プレ半田処理により形成された半田に熱が印加され、半田206が形成される。尚、プレ半田処理は、RF接続用PAD210又はRF接続用PAD505の少なくとも一方に施工されていればよい。埋め込みVIAの場合には、半田を穴から流すという観点は不要のため、スルーホールのように $\phi 100\mu\text{m}$ 以上である必

要は必ずしもない。ただし、径が小さくなりすぎると熱の伝熱量が減ってしまうことに留意する必要がある。インピーダンスと熱の両面から適切な埋め込みVIA径を設定することが望ましい。例えば、熱の流れを考えると、50 μm 以上の径は必要である。尚、一般的なFPCの製造工程の都合上、埋め込みVIAとスルーホールを兼ね備えることは不可能であるため、必ずどちらか一方のみが形成される。

[0067] ここまで述べたように、508がスルーホール、埋め込みVIAいずれの場合であったとしても、ホットバーによる半田206の形成は、FPC500-1、500-2を介して行われるため、ホットバーの設定温度は、FPC500-1、500-2による断熱効果を考慮し、使用する半田の融解温度よりも高い温度に設定する必要がある。例えばFPC500-1、500-2の厚さが50 μm である場合、当該ホットバーの温度は、少なくとも融解温度よりも+50℃以上に設定する必要がある。ただし、ホットバーの温度を過度に高く設定すると、DSPチップ202側に過剰な熱が伝わり、DSPチップ202を破損させ得る。このため、熱電対等を用い、半田の温度を小型のサーミスタ等でモニタリングした上で、半田付けを行うことが望ましい。

[0068] 半田の材料は、光デバイスでよく用いられるSnAgCu系の鉛フリー半田等であり得るが、DSPチップ202への熱影響を抑制すること、及び実装トレランスの観点からは、SnやBiをベースとしたような融点が184℃以下の低温半田であってもよい。

[0069] 上述の通り、本開示による光トランシーバの製造では、1本のホットバーによりFPC500-1とFPC500-2を同時に一括で接続することが望ましい。このような前提で考えると、ホットバーにより付加される荷重は10N以上である必要がある。

[0070] また、例えばTxモジュール400をHB-CDM、Rxモジュール300をHB-ICRとし、互いに1mmのギャップを設けて実装されるとすると、FPC500-1のエッジからFPC500-2のエッジまでの距離は

20－30mm程度なると見込まれる。したがって、ホットバーのY方向の長さは、20－30mmであることが適切であると想定される。一般的にホットバーの温度分布を考慮した長さの設定が必要である。例えば、ホットバーの中心から熱を印加している形式の場合、中央付近が長く、両サイド付近は熱が低くなることになるため、その場合は可能な限り長さを長くし、ホットバーの中央付近で加熱できるようにすることが望ましい。ただし、ホットバーのY方向長さが過剰に長いと、他の素子や部材（例えばリッド203）とホットバーの干渉が生じ得るため、ホットバーのY方向長さは他の素子や部材と干渉しないように設定される必要がある。

[0071] 一方、RF接続用PAD505及びRF接続用PAD210のサイズは、高周波担保の観点から、容量性が大きくなりすぎると高周波信号が通らなくなってしまうため、長さ1mm以下、幅0.2mm以下であることが望ましい。また、ホットバーにより効率的に半田206が形成される箇所を加熱できるように、ホットバーの幅（X方向の長さ）は、RF接続用PAD505及びRF接続用PAD210のサイズと同程度もしくは、少し小さい程度（例えば200～300μm程度PADサイズよりも小さい）が望ましい。

[0072] [実装装置の構成]

図6は、本開示による光トランシーバの実装装置700の構成を示す側断面図である。図6に示される通り、本開示による光トランシーバの実装装置700は、RF接続用PAD505とRF接続用PAD210との間に半田206を形成するための熱及び荷重を付与するためのホットバー701と、実装時にPCB101を保持する実装土台702と、PCB101の下面と実装土台702の間に配置され、ホットバー701が加圧する箇所を下側から支える下部支持構造物703と、実装時にFPC500-1、500-2の高精度な位置合わせを実現し、且つホットバー701を用いてFPC500-1、500-2を加熱・加圧する際にFPC500-1、500-2を保持する保持機構704と、を含む。

[0073] 図6に示される光トランシーバの製造方法600では、ホットバー701によって印加された熱が、効率的にRF接続用PAD505及びRF接続用PAD210に付与される必要がある。より具体的には、ホットバー701によって印加された熱が、RF接続用PAD505及びRF接続用PAD210に集中的に付与されるように、且つ、他の素子へ伝導することや外部へ放出されることを抑制するように、実装装置700は構成される。このような構成の一例として、図7に示される通り、実装装置700の実装土台702とPCB101との間が中空となるように、構成され得る。実装装置700の実装土台702とPCB101との間が中空となることにより、当該中空の部分で熱伝導が遮断され、熱がRF接続用PAD505及びRF接続用PAD210に集中的に付与される。但し、実装土台702とPCB101との間が中空となると、ホットバー701により荷重が負荷されたした場合に、PCB101に変形（反り）が生じるため、ホットバー701により付加される荷重が上述したプレ半田処理が施工された箇所やRF接続用PAD505及びRF接続用PAD210に対して十分に付与されない。したがって、下部支持構造物703を配置することにより、ホットバー701から付加される荷重を受ける構造とすることで、適正な荷重が加熱用PAD上のプレ半田処理部やRF接続用PAD505及びRF接続用PAD210に付与されることが可能となる。尚、下部支持構造物703は、熱伝導性の低い材料（例えば樹脂）で形成されていることが望ましい。

[0074] 別の例として、本開示による光トランシーバの実装装置は、実装土台702がPCB101の下面の全面と接した上でPCB101を保持するように構成されてもよい。このような場合、上述した中空部分が存在しないため、荷重負荷時におけるPCB101の変形は生じない。したがって、下部支持構造物703は不要となる。但し、熱を効率的にRF接続用PAD505及びRF接続用PAD210に印加するためには、実装土台702が断熱性の高い材料（例えば、樹脂）で形成されている必要がある。

[0075] 保持機構704は、位置合わせが容易に行われるように、且つ、加熱加圧時にFPC500-1、500-2が動かないようにするために、ホットバー701が接触する部分の近傍に配置される必要がある。また、保持においては、FPC500-1、500-2のフラット面で保持しようとする、保持位置が安定しない。したがって、図4(a)に示される通り、保持機構704は、上述したFPC500-1、500-2のベース材501の両側面に形成された切欠き512に嵌め合わせられる丸棒構造であることが望ましい。あまりに切欠き512の径が小さすぎると合わせる丸棒構造の径が小型化し過ぎてしまい、保持等が安定せず、更には保持するために位置出しが非常に難しくなってしまうため、切欠き512は、安定して保持可能となるように、少なくとも $\phi 300\mu\text{m}$ 以上の径を有する必要がある。また、保持機構704は、図7(b)、(c)に示されるように、FPC500-1、500-2のベース材501だけを側面及び下面で支えるような機構を有する。このような構成により、安定した実装が可能となる。また、前述の装置土台と同様な考え方から、保持機構704は断熱性の高い材料（例えば、樹脂）で形成されていることが望ましい。ただし、図4(c)に示されるように、ベース材501の下面と保持機構704との間を中空とし、さらに切欠き512部分が誘電体のみで形成されている場合には、保持機構704は金属のような導電性の高い材料で形成されてもよい。

[0076] この切欠き512に対して、棒状の保持機構704を用いて固定することにより、FPC500-1、500-2がホットバー701による加熱・加圧時においても動かずに保持することが可能となる。また、保持機構704がDSP基板201の面やホットバー701との干渉しないようにするために、切欠き512は、RF接続用PAD505の内側の端から $500\mu\text{m}$ 以上離れた位置に配置することが望ましい。

[0077] [実装方法を実現するためのDSPの構成]

図8は、本開示による光トランシーバ100のDSP基板201の詳細な構造を示す図であり、(a)は上面図を、(b)はXb-Xb断面線における断面

図をそれぞれ示している。上述したホットバー 701 を用いた半田実装において、ホットバー 701 によって付加される荷重により、DSP 基板 201 が変形、破損するリスクを低減する上では、DSP 基板 201 は、1 mm 以上（例えば、1 ~ 2 mm）の厚さを有する必要がある。DSP 基板 201 が 1 mm 以上の厚みを有するためには、一般的にコア層を用いることになる。なぜならば、高周波特性等を考えると DSP 基板 201 に形成される V I A は $\phi 100 \mu\text{m}$ 以下が望ましいが、その場合、使用できるビルドアップ基板の層厚は $100 \mu\text{m}$ 以下となる。DSP 基板 201 の厚さを 1 mm 以上とするためには、RF 配線や DC 配線に必要とされるような層数よりも多くの層を必要とし、コスト等の面でデメリットが大きいためである。

[0078] また、図 8（b）に示されるように、DSP 基板 201 ではコア層を挿入して厚さを 1 mm 以上とするだけでなく、PAD 下部のコア層に第 2 の V I A 215 が配置されている。このような構成とすることにより、DSP 基板 201 が補強され、ホットバーで加圧した際に DSP 基板 201 における変形及び破損が抑制される。このような変形（例えば、反り）の抑制は、半田実装時における荷重を均一に負荷する（片当たりを抑制する）ことを実現するという観点でも有効である。第 2 の V I A 215 に関しては、高周波特性に影響しないものであるため、例えば $\phi 200 \mu\text{m}$ 以上等のその他の埋め込み V I A よりも十分に大型であって良い。また、図 8（b）に示される通り、第 2 の V I A 215 は、DSP 基板 201 の上面に形成されるシグナルやグラウンドの PAD の各々の下部に少なくとも 1 つ形成されることが望ましい。

[0079] また、RF 接続用 PAD 505 及び RF 接続用 PAD 210 に効率的に熱を印加し、且つ、DSP チップ 202 に過剰な熱が流れ、BGA 204 等の破損を抑制するために、RF 接続用 PAD 210 のグラウンドでは、図 8（a）に示される通り、熱分離部 231 を含むことが望ましい。この熱分離部 231 は、RF 接続用 PAD 210 表面メタルが、半田 206 が形成される部分とそれ以外の部分で分離された（当該熱分離部 231 のみ表層メタル

が形成されていない) 構造を有している。このような熱分離部 231 が設置されることで、ホットバー 701 から印加された熱が DSP チップ 202 側に直接伝搬し、BGA 204 や DSP チップ 202 を熱で破損することを抑制することが可能となる。同様の観点から、RF 接続用 PAD 210 のシグナルに関しても、半田 206 が形成される部分のみを DSP 基板 201 表層に設け、それ以降の部分については、VIA を設け、DSP 基板 201 の内層に配線を設ける構成としている。また、高周波配線の観点からも GND メタル部分に熱分離のための溝を設けるということは、その部分を表層配線としてしまうと、その部分で GND メタルが存在せず、インピーダンス不整合・高周波特性の劣化となってしまう。そのため、本溝部または本溝部より PAD 寄りのところで VIA を用いて、内層配線化することが高周波特性の担保の観点からも望ましい。

[0080] 上述の説明では、Tx モジュールと Rx モジュールが別々にパッケージ化されているものを例としている。しかしながら、本開示による光トランシーバの構成は、光変調器と光受信器が同一パッケージ化されている光送受信モジュール形態 (IC-TROSA など) やその他パッケージ形態等であっても有効である。

産業上の利用可能性

[0081] 本開示による光トランシーバは、光通信に利用できる。

符号の説明

[0082] 100 光トランシーバ
101 DSP 基板
200 DSP
201 DSP 基板
202 DSP チップ
203 リッド
206 半田
210 RF 接続用 PAD

- 2 1 5 第2のV I A
- 2 3 1 熱分離部
- 3 0 0 R x モジュール（光モジュール）
- 3 0 1 D C リードピン
- 4 0 0 T x モジュール（光モジュール）
- 4 0 1 D C リードピン
- 4 0 2 光ファイバ
- 4 0 3 R F 接続用 P A D
- 4 0 4 半田
- 4 0 5 パッケージ側壁
- 4 0 6 ペルチェ素子
- 4 0 7 基板
- 4 0 9 光変調器チップ
- 4 1 0 レンズ
- 4 1 1 レンズ
- 4 1 2 配線
- 4 1 3 ワイヤ
- 4 1 4 ワイヤ
- 4 1 5 ベース
- 4 1 6 パッケージベース
- 4 1 7 筐体
- 5 0 1 ベース材
- 5 0 2 信号線
- 5 0 2 a、b 信号線
- 5 0 3 G N D 面
- 5 0 4 加熱用 P A D
- 5 0 5 R F 接続用 P A D
- 5 0 6 加熱用 P A D

- 5 0 7 R F 接続用 P A D
- 5 0 8 V I A または スルーホール
- 5 0 9 V I A または スルーホール
- 5 1 0 ハーフスルーホール
- 5 1 1 ハーフスルーホール
- 5 1 2 切欠き
- 6 0 0 製造方法
- 7 0 1 ホットバー
- 7 0 2 実装土台
- 7 0 3 下部支持構造物
- 7 0 4 保持機構
- 8 0 0 光トランシーバ
- 8 0 2 D S P 基板
- 8 0 4 D S P 基板
- 8 0 5 D S P チップ
- 8 0 7 送信モジュール
- 8 0 8 光ファイバ

請求の範囲

[請求項1]

光トランシーバであって、

プリント基板（P C B）に搭載された少なくとも1つの光モジュールと、

前記P C Bに搭載されたデジタルシグナルプロセッサ（D S P）と、

前記D S Pと前記光モジュールの間を接続するフレキシブル配線板（F P C）と

を備え、

前記D S Pは、厚みを調整するためのコア層を有した多層配線基板で形成されたD S P基板の上に実装されたD S Pチップを備え、

前記F P Cは、前記光モジュールのテラス面のP A Dと半田接続される、第1の面の第1の接続用P A D、前記D S P基板の上面のP A Dと半田接続される、第2の面の第2の接続用P A Dを備え、

前記F P Cと前記第1の接続用P A D、及び、前記F P Cと前記第2の接続用P A Dは1つ以上のスルーホールまたは埋め込みV I Aにより接続されており、

前記F P Cは、

前記スルーホール又は前記埋め込みV I Aと接続され、前記F P Cの表面および裏面上に形成されるランドと、

前記F P Cの両側面、且つ前記第1の接続用P A D及び前記第2の接続用P A Dの各々の内側の端から500 μ m以上離れた位置に、前記F P Cを安定して保持可能な ϕ 300 μ m以上の径を有する切欠きと、

をさらに備え、

前記スルーホールは ϕ 100 μ m以上の径を有する、

光トランシーバ。

[請求項2]

前記D S P基板は、

1～2mmの厚さを有し、

前記コア層内、且つ、前記D S P基板上の前記P A Dの下部に対応する位置に少なくとも1つずつの第2のV I Aを備える、請求項1に記載の光トランシーバ。

[請求項3]

前記F P Cは、前記ランドに接続され、前記第1の接続用P A D及び前記第2の接続用P A Dが配置される位置と反対側の面に設置される加熱用P A Dをさらに備える、請求項1に記載の光トランシーバ。

[請求項4]

前記D S P基板上の前記P A Dは、前記半田が形成される部分とそれ以外の部分を熱的に分離する熱分離部を備え、且つ、前記D S P基板上の前記F P Cと前記D S Pチップとを接続するための高周波線路が、前記D S P基板の内層配線に形成されている、請求項1に記載の光トランシーバ。

[請求項5]

請求項1から4のいずれか一項に記載される光トランシーバを製造する製造装置であって、

前記F P Cと接触し、前記第1の接続用P A Dと前記D S P基板上のP A Dとの間、及び、前記第2の接続用P A Dと前記テラス上のP A Dの間に形成される半田に対し、熱及び荷重を印加するホットバーと、

前記P C Bを下側から保持する実装土台と、

切欠きと嵌め合わさることで、前記F P Cを側面および下面から保持する保持機構と、
を備える、製造装置。

[請求項6]

前記実装土台は、前記P C Bと前記実装土台の間が中空になるように構成され、

前記PCBと前記実装土台の間であって、前記ホットバーが接触する位置に対応する位置に配置される下部支持構造物をさらに備え、

前記保持機構は、前記切欠きが誘電体のみで形成される場合、樹脂、又は金属で形成され、前記切欠きがメタライズされている場合は、樹脂で形成される、
請求項5に記載の製造装置。

[請求項7]

前記ホットバーは、

20～30mmの長さを有し、光変調器およびドライバ集積回路を含む光送信モジュールと、光検出器およびトランスインピーダンスアンプを含む光受信機モジュールと接続される前記FPCが一括して半田実装され、

前記半田の熔融温度より50度以上高い温度で前記FPCと接触し、

10N以上の荷重を付加する、
ように構成される、請求項5に記載の製造装置。

[請求項8]

請求項1から4のいずれか一項に記載の光トランシーバを製造する製造方法であって、

前記PCB上にDSPを搭載することと、

前記光モジュールと前記FPCとを、ホットバーを用いた半田付けにより接続することと、

前記PCB上に前記FPCが接続された前記光モジュールを設置し、前記FPCとDSPを、ホットバーを用いた半田付けにより接続することと、

前記PCBと前記光モジュールのDCインタフェースが接続することと、

を備え、前記 F P C と前記第 1 の接続用 P A D、及び、前記 F P C と前記第 2 の接続用 P A D がスルーホールである製造方法であって、

前記ホットバーを用いた半田付けにおいて、少なくとも前記ホットバーにより直接加熱される前記ランド又は前記加熱用 P A D 上に半田を形成するプレ半田処理をすることと、

前記プレ半田処理により形成された半田を前記ホットバーにより加熱及び加圧することと、

をさらに備え、

前記加熱及び加圧されることで溶融した前記半田が、前記スルーホールを通じて、前記第 1 の接続用 P A D と前記テラスとの間、及び、前記第 2 の接続用 P A D と前記 D S P 基板との間に到達することにより、前記第 1 の接続用 P A D と前記テラスとの間、及び、前記第 2 の接続用 P A D と前記 D S P 基板との間に半田が形成される、または、

前記 F P C と前記第 1 の接続用 P A D、及び、前記 F P C と前記第 2 の接続用 P A D が前記埋め込み V I A で接続され、

前記ホットバーを用いた半田付けにおいて、前記第 1 の接続用 P A D と前記テラスの間、及び、前記第 2 の接続用 P A D と前記 D S P 基板との間に半田を形成するプレ半田処理をすることと、

前記ホットバーにより前記ランド又は加熱用 P A D に対して加熱及び加圧することと、

をさらに備え、

前記プレ半田処理により形成された半田が、前記加熱及び加圧されたランド又は加熱用 P A D からの伝熱により溶融することで、前記第 1 の接続用 P A D と前記テラスとの間、及び、前記第 2 の接続用 P A D と前記 D S P 基板との間に半田が形成される製造方法。

補正された請求の範囲（条約第19条）**2023年11月14日（ 14. 11. 2023 ） 国際事務局受理**

[請求項1] [削除]

[請求項2] [削除]

[請求項3] [削除]

[請求項4] [削除]

[請求項5] [削除]

[請求項6] [削除]

[請求項7] [削除]

[請求項8] [削除]

[請求項9] [追加] 光トランシーバであって、

プリント基板（P C B）に搭載された少なくとも1つの光モジュールと、

前記P C Bに搭載されたデジタルシグナルプロセッサ（D S P）と、

前記D S Pと前記光モジュールの間を接続するフレキシブル配線板（F P C）と

を備え、

前記D S Pは、厚みを調整するためのコア層を有した多層配線基板で形成されたD S P基板の上に実装されたD S Pチップを備え、

前記F P Cは、前記光モジュールのテラス面のP A Dと半田接続される、第1の面の第1の接続用P A D、前記D S P基板の上面のP A Dと半田接続される、第2の面の第2の接続用P A Dを備え、

前記F P Cは、

前記F P Cの両側面、且つ前記第1の接続用P A D及び前記第2の接続用P A Dの各々の内側の端から5 0 0 μ m以上離れた位置に、前記F P Cを安定して保持可能な ϕ 3 0 0 μ m以上の径を有する切欠きと、

をさらに備えた、

光トランシーバ。

[請求項10] [追加] 前記F P Cと前記第1の接続用P A D、及び、前記F P Cと前記第2の接続用P A Dは1つ以上のスルーホールまたは埋め込みV I Aにより接続されており、

前記F P Cは、前記スルーホール又は前記埋め込みV I Aと接続され、前記F P Cの表面および裏面上に形成されるランドをさらに備え、

前記スルーホールは $\phi 100\mu\text{m}$ 以上の径を有する、
請求項9に記載の光トランシーバ。

[請求項11] [追加] 前記D S P基板は、

1～2mmの厚さを有し、

前記コア層内、且つ、前記D S P基板上の前記P A Dの下部に対応する位置に少なくとも1つずつの第2のV I Aを備える、
請求項9に記載の光トランシーバ。

[請求項12] [追加] 前記F P Cは、前記ランドに接続され、前記第1の接続用P A D及び前記第2の接続用P A Dが配置される位置と反対側の面に設置される加熱用P A Dをさらに備える、請求項10に記載の光トランシーバ。

[請求項13] [追加] 前記D S P基板上の前記P A Dは、前記半田が形成される部分とそれ以外の部分を熱的に分離する熱分離部を備え、且つ、前記D S P基板上の前記F P Cと前記D S Pチップとを接続するための高周波線路が、前記D S P基板の内層配線に形成されている、請求項19に記載の光トランシーバ。

[請求項14] [追加] 請求項9から13のいずれか一項に記載される光トランシーバを製造する製造装置であって、

前記F P Cと接触し、前記第1の接続用P A Dと前記D S P基板上のP A Dとの間、及び、前記第2の接続用P A Dと前記テラス上

のPADの間に形成される半田に対し、熱及び荷重を印加するホットバーと、

前記PCBを下側から保持する実装土台と、

切欠きと嵌め合わさることで、前記FPCを側面および下面から保持する保持機構と、
を備える、製造装置。

[請求項15]

[追加] 前記実装土台は、前記PCBと前記実装土台の間が中空になるように構成され、

前記PCBと前記実装土台の間であって、前記ホットバーが接触する位置に対応する位置に配置される下部支持構造物をさらに備え、

前記保持機構は、前記切欠きが誘電体のみで形成される場合、樹脂、又は金属で形成され、前記切欠きがメタライズされている場合は、樹脂で形成される、
請求項14に記載の製造装置。

[請求項16]

[追加] 前記ホットバーは、

20～30mmの長さを有し、光変調器およびドライバ集積回路を含む光送信モジュールと、光検出器およびトランスインピーダンスアンプを含む光受信機モジュールと接続される前記FPCが一括して半田実装され、

前記半田の熔融温度より50度以上高い温度で前記FPCと接触し、

10N以上の荷重を付加する、
ように構成される、請求項14に記載の製造装置。

[請求項17]

[追加] 請求項10から13のいずれか一項に記載の光トランシーバを製造する製造方法であって、

前記PCB上にDSPを搭載することと、

前記光モジュールと前記F P Cとを、ホットバーを用いた半田付けにより接続することと、

前記P C B上に前記F P Cが接続された前記光モジュールを設置し、前記F P CとD S Pを、ホットバーを用いた半田付けにより接続することと、

前記P C Bと前記光モジュールのD Cインタフェースが接続することと、

を備え、前記F P Cと前記第1の接続用P A D、及び、前記F P Cと前記第2の接続用P A Dがスルーホールである製造方法であって、

前記ホットバーを用いた半田付けにおいて、少なくとも前記ホットバーにより直接加熱される前記ランド又は前記加熱用P A D上に半田を形成するプレ半田処理をすることと、

前記プレ半田処理により形成された半田を前記ホットバーにより加熱及び加圧することと、

をさらに備え、

前記加熱及び加圧されることで溶融した前記半田が、前記スルーホールを通じて、前記第1の接続用P A Dと前記テラスとの間、及び、前記第2の接続用P A Dと前記D S P基板との間に到達することにより、前記第1の接続用P A Dと前記テラスとの間、及び、前記第2の接続用P A Dと前記D S P基板との間に半田が形成される、または、

前記F P Cと前記第1の接続用P A D、及び、前記F P Cと前記第2の接続用P A Dが前記埋め込みV I Aで接続され、

前記ホットバーを用いた半田付けにおいて、前記第1の接続用P A Dと前記テラスの間、及び、前記第2の接続用P A Dと前記D S P基板との間に半田を形成するプレ半田処理をすることと、

前記ホットバーにより前記ランド又は加熱用 P A D に対して加熱及び加圧することと、
をさらに備え、

前記プレ半田処理により形成された半田が、前記加熱及び加圧されたランド又は加熱用 P A D からの伝熱により溶融することで、前記第 1 の接続用 P A D と前記テラスとの間、及び、前記第 2 の接続用 P A D と前記 D S P 基板との間に半田が形成される製造方法。

条約第19条(1)に基づく説明書

請求の範囲第1項から第8項を削除し、新たに第9項から第17項を設立した。補正の内容および趣旨は次のとおりである。

請求の範囲第9項は、補正前の第1項における、「前記FPCと前記第1の接続用PAD、及び、前記FPCと前記第2の接続用PADは1つ以上のスルーホールまたは埋め込みVIAにより接続されている」、「前記FPCは、前記スルーホール又は前記埋め込みVIAと接続され、前記FPCの表面および裏面上に形成されるランドをさらに備える」、「前記スルーホールは $\phi 100\mu\text{m}$ 以上の径を有する」の3つの構成要素を削除するように補正した。

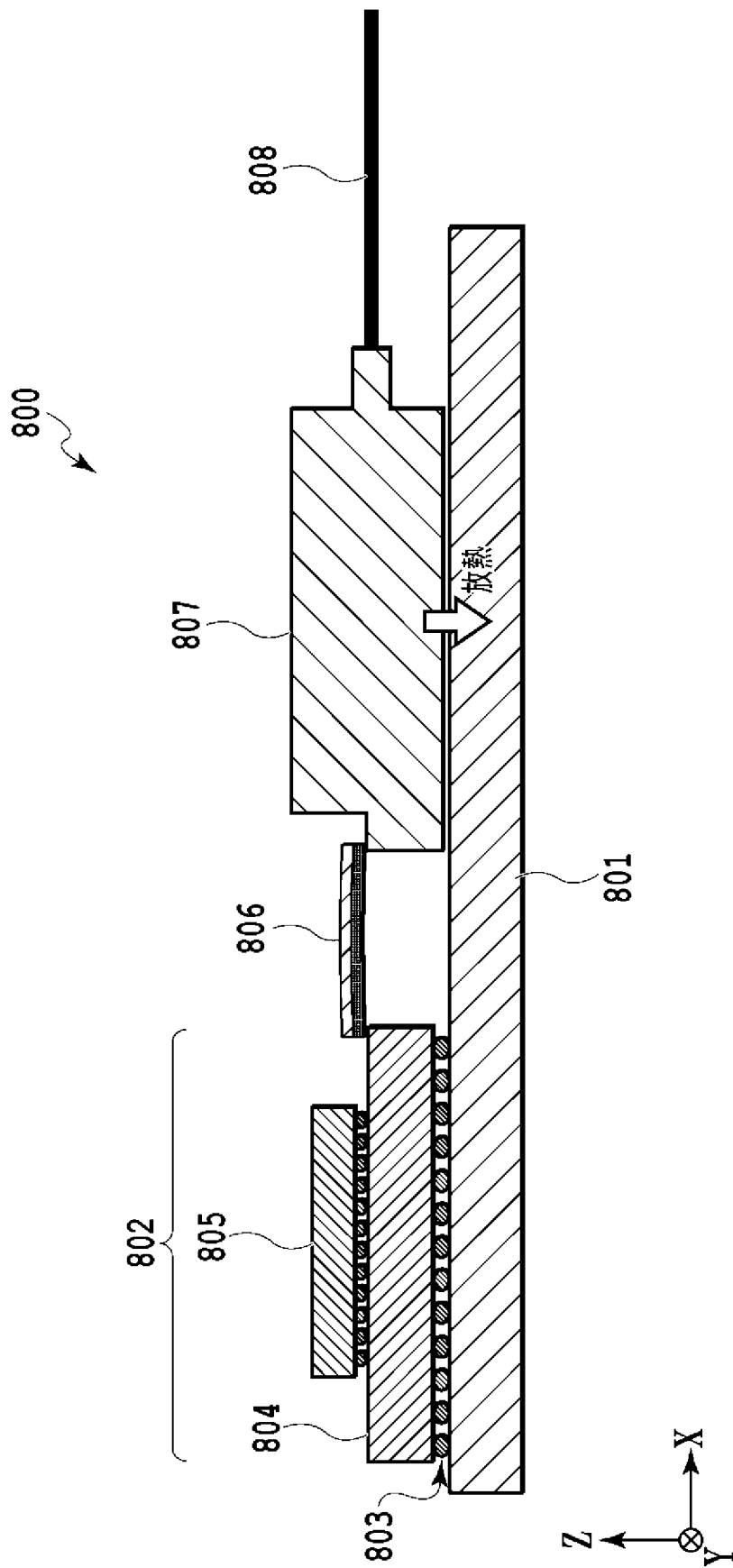
請求の範囲第10項は、上述した補正前の第1項から削除された3つの構成要素について規定した、第9項の従属項であり、新たに追加した請求項である。

請求の範囲第11項から第17項は、補正前の第2項から第8項に対応しており、上述した補正に伴い、従属する請求項を補正した。

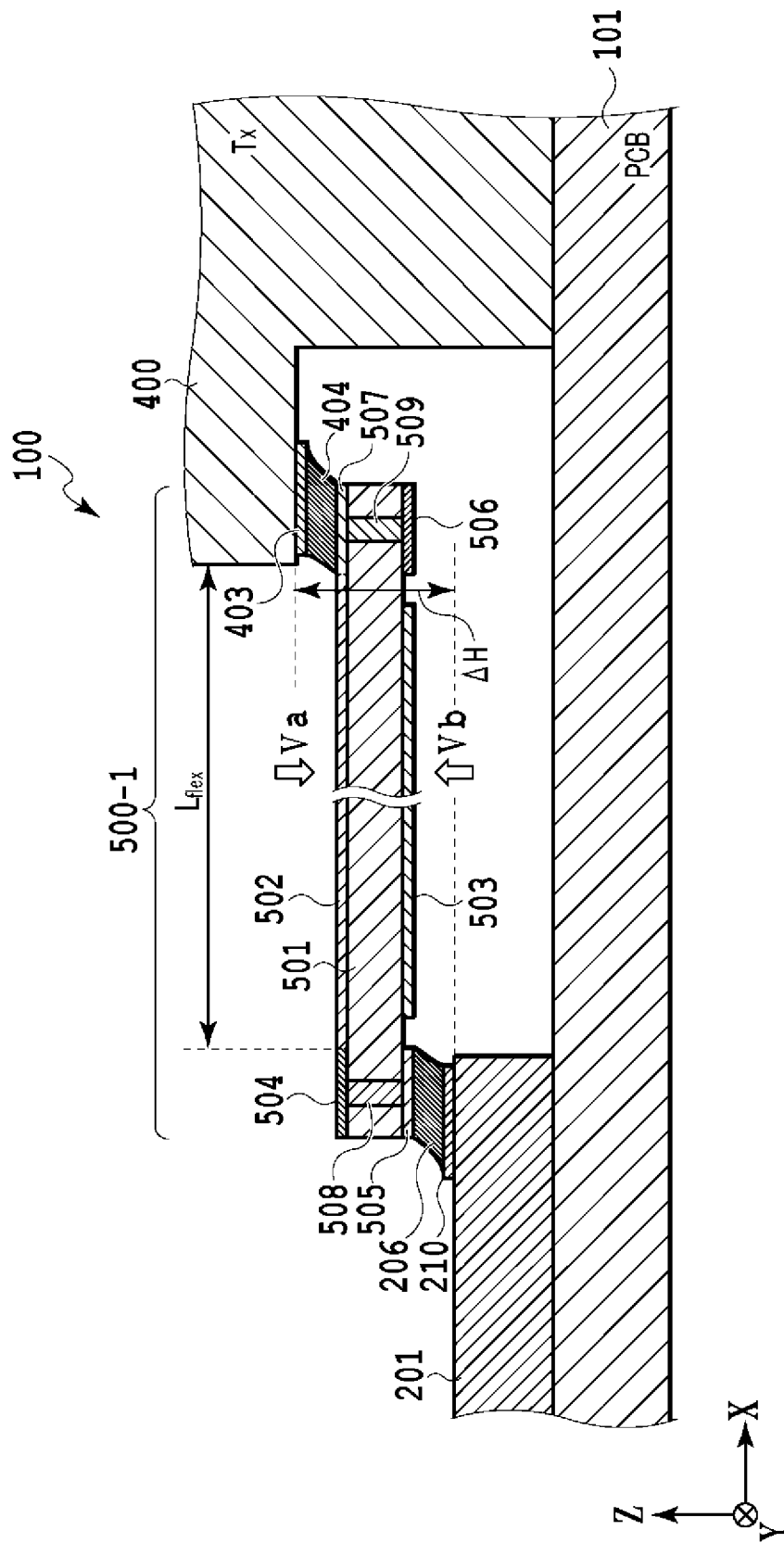
補正後の第9項には、「前記FPCの両側面、且つ前記第1の接続用PAD及び前記第2の接続用PADの各々の内側の端から $500\mu\text{m}$ 以上離れた位置に、前記FPCを安定して保持可能な $\phi 300\mu\text{m}$ 以上の径を有する切欠き」という国際調査報告において引用されたいずれの文献にも記載されていない技術的特徴が記されており、新規性、進歩性は肯定される。

補正後の第10項から第17項については、出願時の当所の請求の範囲に記載された発明特定事項を変更することなく反映しており、同様に、新規性、進歩性は肯定される。

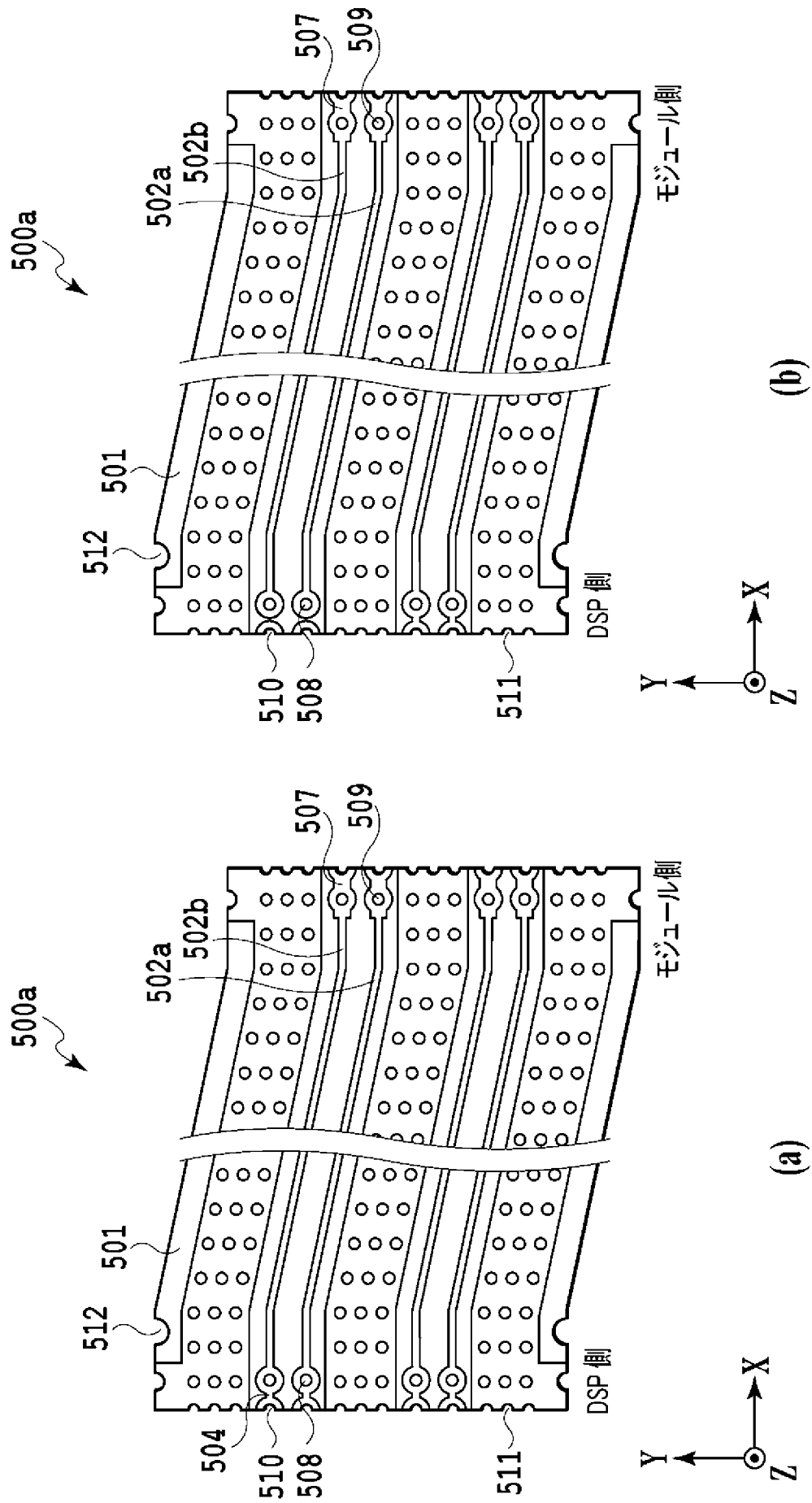
[図 1]



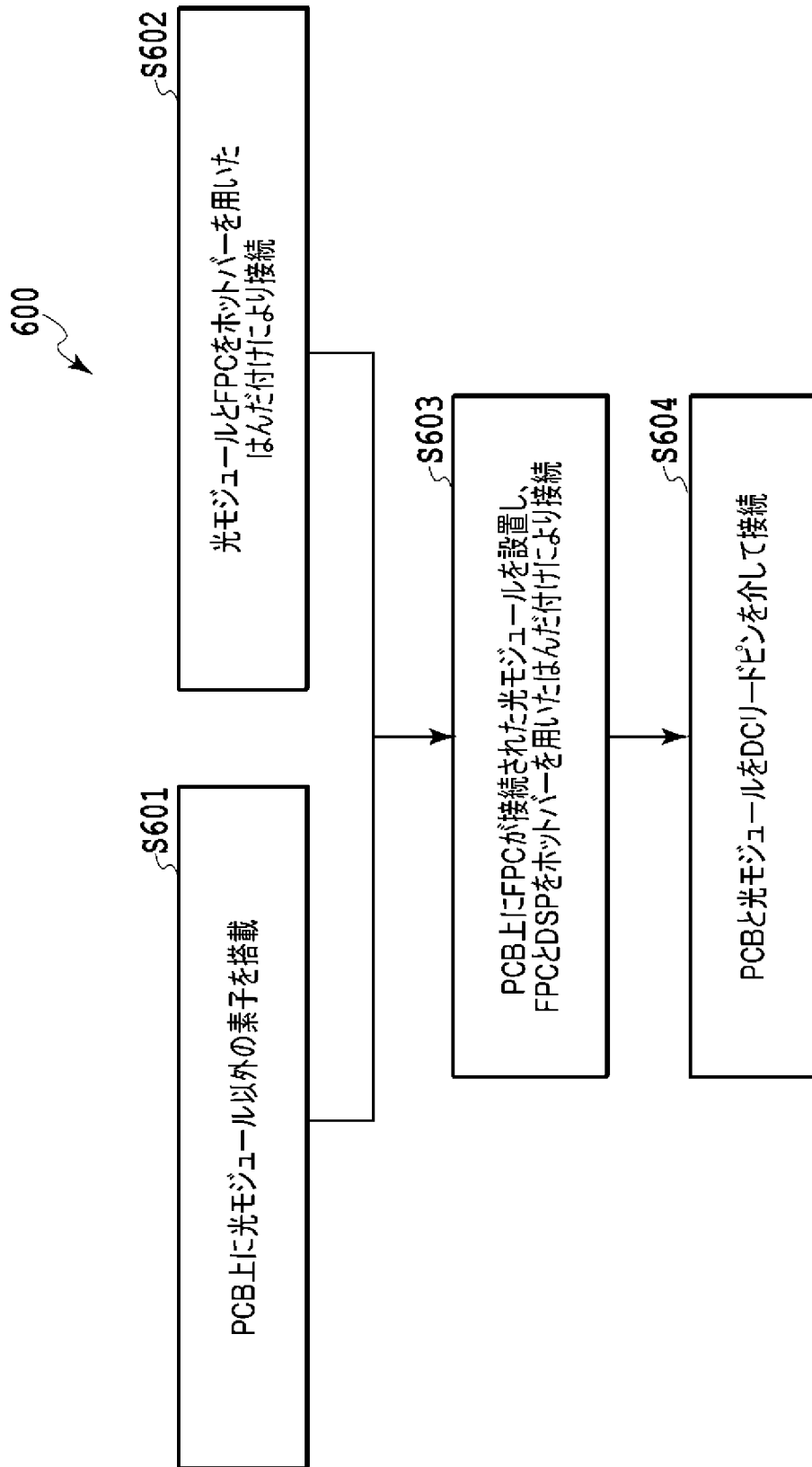
[図 3]



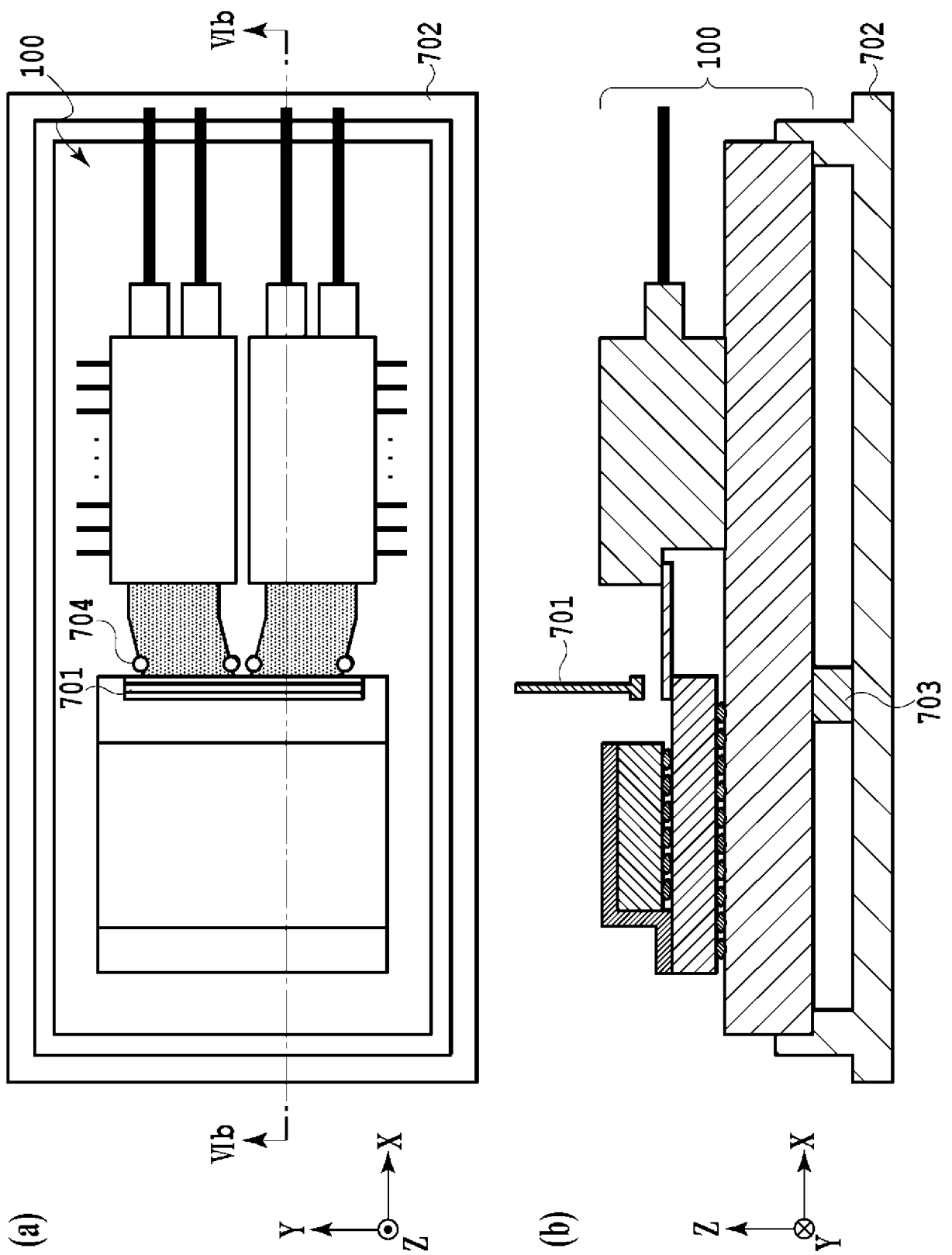
[図 4]



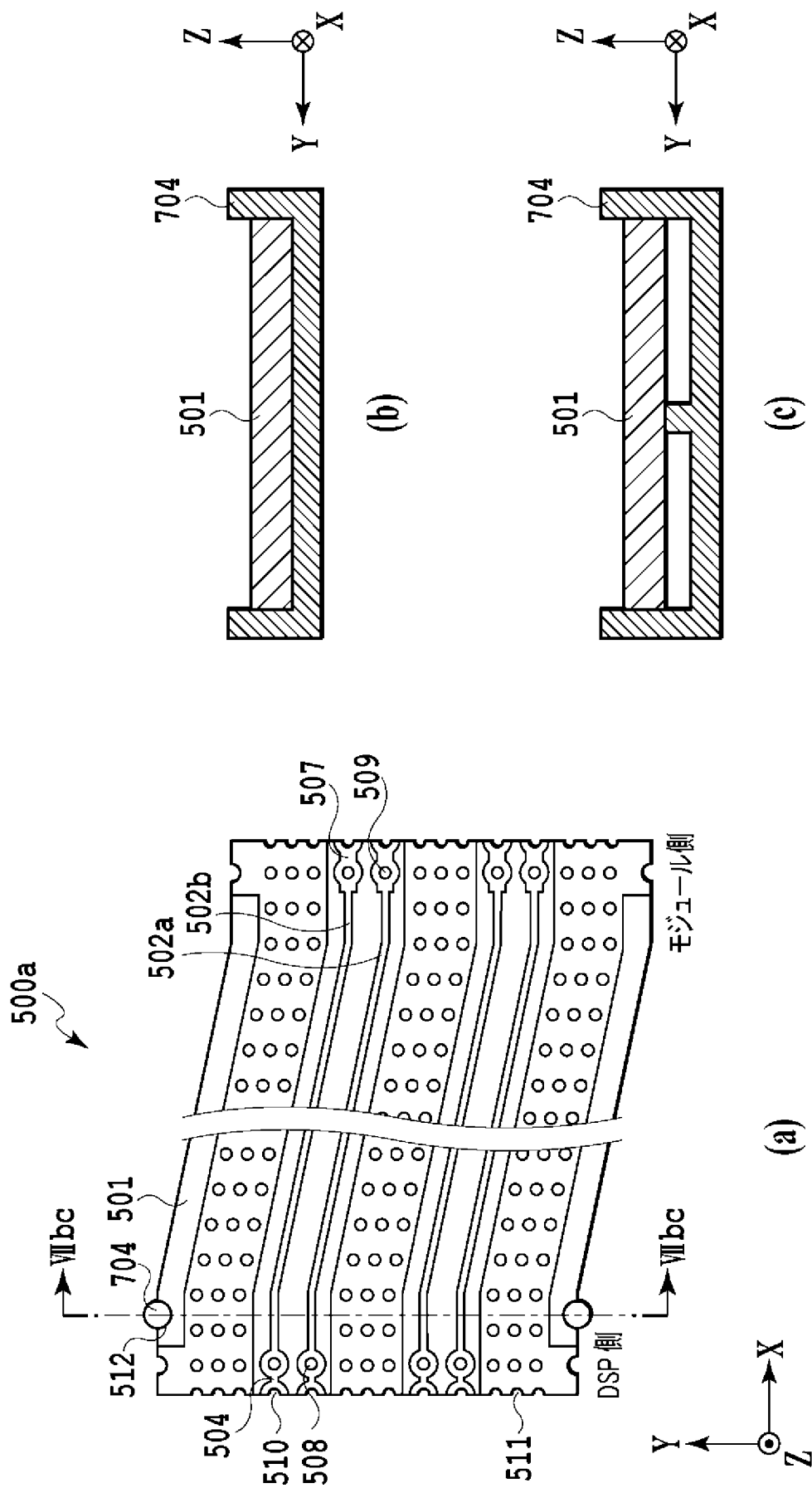
[図 5]



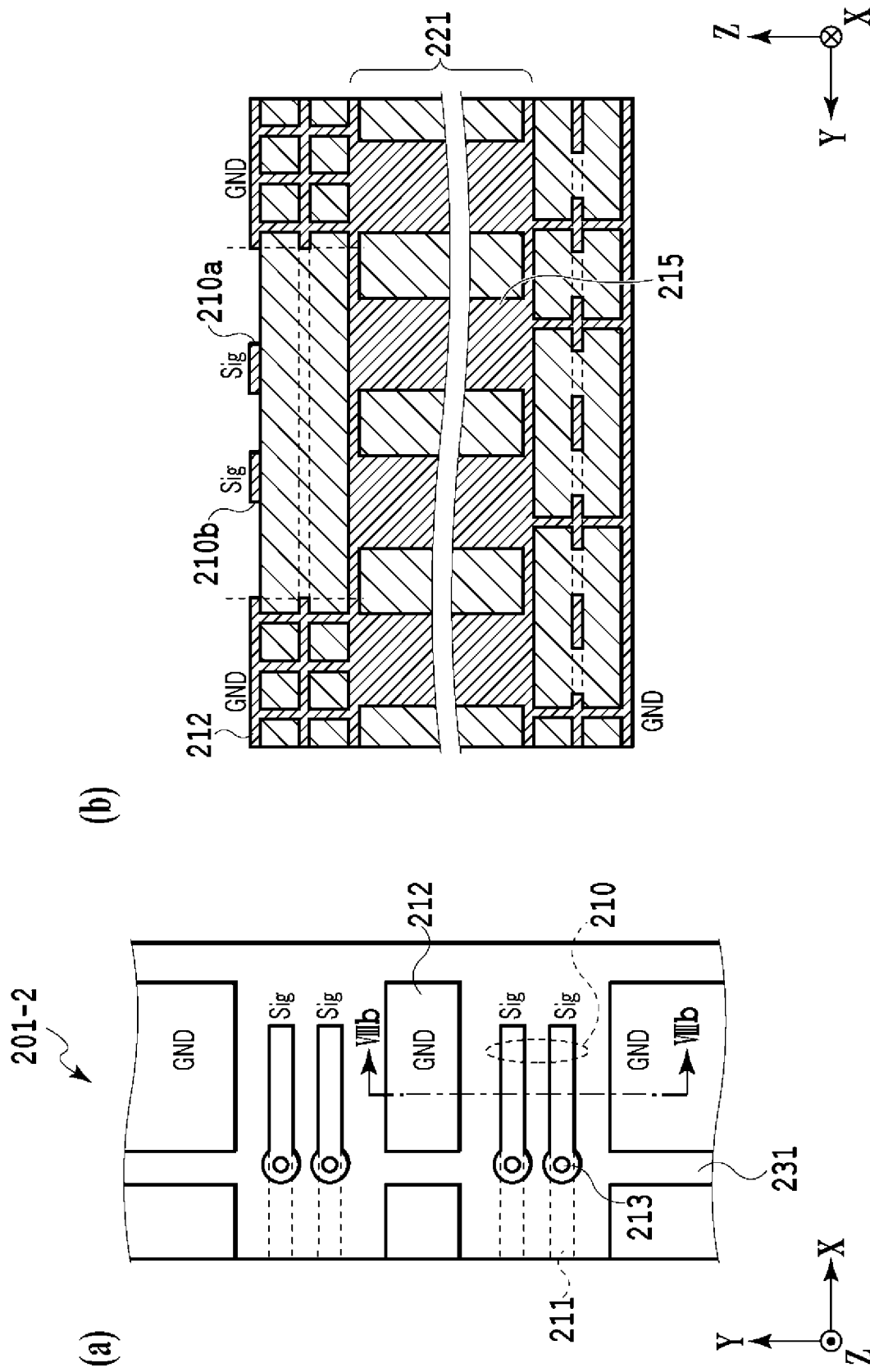
[図 6]



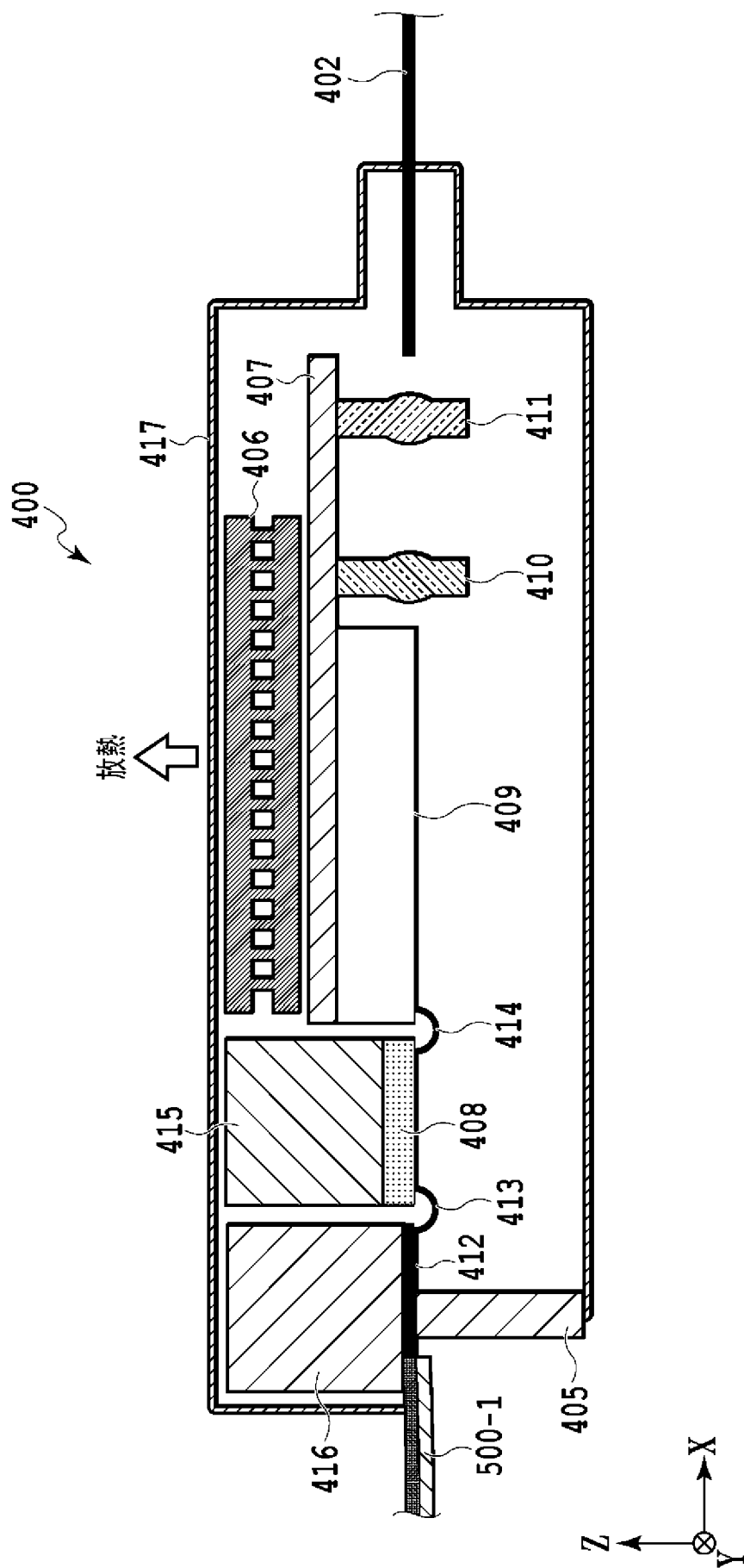
[図 7]



[図 8]



[図 9]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2023/024039

A. CLASSIFICATION OF SUBJECT MATTER**H04B 10/40**(2013.01)i; **H04B 10/50**(2013.01)i; **H04B 10/60**(2013.01)i

FI: H04B10/40; H04B10/50; H04B10/60

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H04B10/40; H04B10/50; H04B10/60

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
 Published unexamined utility model applications of Japan 1971-2023
 Registered utility model specifications of Japan 1996-2023
 Published registered utility model applications of Japan 1994-2023

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2021/171599 A1 (NIPPON TELEGRAPH AND TELEPHONE CORPORATION) 02 September 2021 (2021-09-02)	1-8
A	JP 2022-114606 A (SUMITOMO ELECTRIC INDUSTRIES, LTD.) 08 August 2022 (2022-08-08)	1-8
A	JP 2003-198034 A (MITSUBISHI ELECTRIC CORPORATION) 11 July 2003 (2003-07-11)	1-8
A	JP 2015-26652 A (SUMITOMO ELECTRIC DEVICE INNOVATIONS INC.) 05 February 2015 (2015-02-05)	1-8
A	WO 2016/111243 A1 (NTT ELECTRONICS CORPORATION) 14 July 2016 (2016-07-14)	1-8



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance
 “E” earlier application or patent but published on or after the international filing date
 “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 “O” document referring to an oral disclosure, use, exhibition or other means
 “P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 “&” document member of the same patent family

Date of the actual completion of the international search

10 August 2023

Date of mailing of the international search report

29 August 2023

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)
3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2023/024039

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
WO	2021/171599	A1	02 September 2021	US	2023/0069120	A1	
				EP	4113866	A1	
				CN	115136516	A	

JP	2022-114606	A	08 August 2022	US	2022/0236506	A1	
				CN	114815087	A	

JP	2003-198034	A	11 July 2003	US	2003/0122228	A1	
				US	2003/0197257	A1	

JP	2015-26652	A	05 February 2015	US	2015/0028971	A1	

WO	2016/111243	A1	14 July 2016	JP	2016-127205	A	

A. 発明の属する分野の分類（国際特許分類（IPC）） H04B 10/40(2013.01)i; H04B 10/50(2013.01)i; H04B 10/60(2013.01)i FI: H04B10/40; H04B10/50; H04B10/60														
B. 調査を行った分野														
調査を行った最小限資料（国際特許分類（IPC）） H04B10/40; H04B10/50; H04B10/60														
最小限資料以外の資料で調査を行った分野に含まれるもの														
<table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922 - 1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971 - 2023年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996 - 2023年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994 - 2023年</td> </tr> </table>			日本国実用新案公報	1922 - 1996年	日本国公開実用新案公報	1971 - 2023年	日本国実用新案登録公報	1996 - 2023年	日本国登録実用新案公報	1994 - 2023年				
日本国実用新案公報	1922 - 1996年													
日本国公開実用新案公報	1971 - 2023年													
日本国実用新案登録公報	1996 - 2023年													
日本国登録実用新案公報	1994 - 2023年													
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）														
C. 関連すると認められる文献														
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号												
A	WO 2021/171599 A1（日本電信電話株式会社）02.09.2021（2021 - 09 - 02）	1-8												
A	JP 2022-114606 A（住友電気工業株式会社）08.08.2022（2022 - 08 - 08）	1-8												
A	JP 2003-198034 A（三菱電機株式会社）11.07.2003（2003 - 07 - 11）	1-8												
A	JP 2015-26652 A（住友電工デバイス・イノベーション株式会社）05.02.2015（2015 - 02 - 05）	1-8												
A	WO 2016/111243 A1（NTTエレクトロニクス株式会社）14.07.2016（2016 - 07 - 14）	1-8												
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。														
<table border="0"> <tr> <td>* 引用文献のカテゴリー</td> <td>“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの</td> </tr> <tr> <td>“A” 特に関連のある文献ではなく、一般的技术水準を示すもの</td> <td>“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</td> </tr> <tr> <td>“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</td> <td>“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</td> </tr> <tr> <td>“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）</td> <td>“&” 同一パテントファミリー文献</td> </tr> <tr> <td>“O” 口頭による開示、使用、展示等に言及する文献</td> <td></td> </tr> <tr> <td>“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献</td> <td></td> </tr> </table>			* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの	“A” 特に関連のある文献ではなく、一般的技术水準を示すもの	“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの	“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの	“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	“&” 同一パテントファミリー文献	“O” 口頭による開示、使用、展示等に言及する文献		“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	
* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの													
“A” 特に関連のある文献ではなく、一般的技术水準を示すもの	“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの													
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの													
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	“&” 同一パテントファミリー文献													
“O” 口頭による開示、使用、展示等に言及する文献														
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献														
国際調査を完了した日 10.08.2023	国際調査報告の発送日 29.08.2023													
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 後澤 瑞征 5K 4540 電話番号 03-3581-1101 内線 3556													

国際調査報告
パテントファミリーに関する情報

国際出願番号

PCT/JP2023/024039

引用文献			公表日	パテントファミリー文献			公表日
WO	2021/171599	A1	02.09.2021	US	2023/0069120	A1	
				EP	4113866	A1	
				CN	115136516	A	
JP	2022-114606	A	08.08.2022	US	2022/0236506	A1	
				CN	114815087	A	
JP	2003-198034	A	11.07.2003	US	2003/0122228	A1	
				US	2003/0197257	A1	
JP	2015-26652	A	05.02.2015	US	2015/0028971	A1	
WO	2016/111243	A1	14.07.2016	JP	2016-127205	A	