

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4159769号
(P4159769)

(45) 発行日 平成20年10月1日(2008.10.1)

(24) 登録日 平成20年7月25日(2008.7.25)

(51) Int.Cl.

F 1

G09G	3/30	(2006.01)	G09G	3/30	J
G09F	9/30	(2006.01)	G09G	3/30	K
H01L	27/32	(2006.01)	G09F	9/30	338
G09G	3/20	(2006.01)	G09F	9/30	365Z
H01L	29/786	(2006.01)	G09G	3/20	624B

請求項の数 14 (全 48 頁) 最終頁に続く

(21) 出願番号	特願2001-316145 (P2001-316145)
(22) 出願日	平成13年10月15日 (2001.10.15)
(65) 公開番号	特開2002-221936 (P2002-221936A)
(43) 公開日	平成14年8月9日 (2002.8.9)
審査請求日	平成16年6月18日 (2004.6.18)
(31) 優先権主張番号	特願2000-323543 (P2000-323543)
(32) 優先日	平成12年10月24日 (2000.10.24)
(33) 優先権主張国	日本国 (JP)
(31) 優先権主張番号	特願2000-358274 (P2000-358274)
(32) 優先日	平成12年11月24日 (2000.11.24)
(33) 優先権主張国	日本国 (JP)

(73) 特許権者	000153878
株式会社半導体エネルギー研究所	
神奈川県厚木市長谷398番地	
(72) 発明者	小山 潤
神奈川県厚木市長谷398番地 株式会社	
半導体エネルギー研究所内	
審査官	中村 直行

最終頁に続く

(54) 【発明の名称】発光装置

(57) 【特許請求の範囲】

【請求項 1】

第1の配線層を用いて形成されたゲート電極と、ソース又はドレインを含む半導体層とを有する第1乃至第4のTFTと、発光素子と、前記第1の配線層を用いて形成されたソース信号線と、第2の配線層を用いて形成された電源供給線とが設けられた画素を複数有する発光装置であって、

前記第1の配線層、前記第2の配線層、及び前記半導体層は、絶縁層を介して互いに異なる層に形成され、

前記第3のTFT及び前記第4のTFTは、ゲート電極が互いに電気的に接続されており、

前記第3のTFTのソース又はドレインは、一方は前記ソース信号線に、他方は前記第1のTFTのドレインに電気的に接続されており、

前記第4のTFTのソース又はドレインは、一方は前記第1のTFTのドレインに、他方は前記第1のTFTのゲート電極に電気的に接続されており、

前記第1のTFTのソースは前記電源供給線に電気的に接続されており、

前記第2のTFTのソース又はドレインは、一方は前記第1のTFTのドレインに、他方は前記発光素子が有する2つの電極のうちのいずれか一方に電気的に接続されていることを特徴とする発光装置。

【請求項 2】

第1の配線層を用いて形成されたゲート電極と、ソース又はドレインを含む半導体層と

を有する第1乃至第4のTFTと、発光素子と、前記第1の配線層を用いて形成されたソース信号線と、前記第1の配線層を用いて形成された第1及び第2のゲート信号線と、第2の配線層を用いて形成された電源供給線とが設けられた画素を複数有する発光装置であって、

前記第1の配線層、前記第2の配線層、及び前記半導体層は、絶縁層を介して互いに異なる層に形成され、

前記第3のTFT及び前記第4のTFTは、共にゲート電極が前記第1のゲート信号線に電気的に接続されており、

前記第3のTFTのソース又はドレインは、一方は前記ソース信号線に、他方は前記第1のTFTのドレインに電気的に接続されており、

前記第4のTFTのソース又はドレインは、一方は前記第1のTFTのドレインに、他方は前記第1のTFTのゲート電極に電気的に接続されており、

前記第1のTFTのソースは前記電源供給線に電気的に接続されており、

前記第2のTFTのソース又はドレインは、一方は前記第1のTFTのドレインに、他方は前記発光素子が有する2つの電極のうちのいずれか一方に電気的に接続されており、

前記第2のTFTのゲート電極は前記第2のゲート信号線に電気的に接続されていることを特徴とする発光装置。

【請求項3】

画素部、ソース信号線駆動回路、書き込み用ゲート信号線駆動回路及び表示用ゲート信号線駆動回路を有する発光装置であって、

前記画素部は、第1の配線層を用いて形成されたゲート電極と、ソース又はドレインを含む半導体層とを有する第1乃至第4のTFTと、発光素子と、前記第1の配線層を用いて形成されたソース信号線と、前記第1の配線層を用いて形成された第1及び第2のゲート信号線と、第2の配線層を用いて形成された電源供給線とが設けられた画素を複数有してあり、

前記第1の配線層、前記第2の配線層、及び前記半導体層は、絶縁層を介して互いに異なる層に形成され、

前記第3のTFT及び前記第4のTFTは、共にゲート電極が前記第1のゲート信号線に電気的に接続されており、

前記第3のTFTのソース又はドレインは、一方は前記ソース信号線に、他方は前記第1のTFTのドレインに電気的に接続されており、

前記第4のTFTのソース又はドレインは、一方は前記第1のTFTのドレイン領域に、他方は前記第1のTFTのゲート電極に電気的に接続されており、

前記第1のTFTのソースは前記電源供給線に電気的に接続されており、

前記第2のTFTのソース又はドレインは、一方は前記第1のTFTのドレインに、他方は前記発光素子が有する2つの電極のうちのいずれか一方に電気的に接続されており、

前記第2のTFTのゲート電極は前記第2のゲート信号線に電気的に接続されており、前記ソース信号線駆動回路によって、前記ソース信号線に流れる電流の値が定められ、前記書き込み用ゲート信号線駆動回路によって、前記第1のゲート信号線が選択され、

前記表示用ゲート信号線駆動回路によって、前記第2のゲート信号線が選択されることを特徴とする発光装置。

【請求項4】

請求項1乃至請求項3のいずれか一において、前記第1の配線層はTa、W、Ti、Mo、Al、Cuから選ばれた元素、または前記元素を主成分とする合金材料もしくは化合物材料、または前記元素を主成分とする材料の積層膜でなることを特徴とする発光装置。

【請求項5】

請求項1乃至請求項4のいずれか一において、前記第2の配線層はTi、Alから選ばれた元素、または前記元素を主成分とする材料の積層膜でなることを特徴とする発光装置。

【請求項6】

10

20

30

40

50

請求項 1 乃至請求項 5 のいずれか一において、前記第 3 の TFT 及び前記第 4 の TFT の極性が同じであることを特徴とする発光装置。

【請求項 7】

請求項 1 乃至請求項 6 のいずれか一に記載の発光装置を用いていることを特徴とする EL 表示装置。

【請求項 8】

請求項 1 乃至請求項 6 のいずれか一に記載の発光装置を用いていることを特徴とするデジタルスチルカメラ。 10

【請求項 9】

請求項 1 乃至請求項 6 のいずれか一に記載の発光装置を用いていることを特徴とするノート型パーソナルコンピュータ。 10

【請求項 10】

請求項 1 乃至請求項 6 のいずれか一に記載の発光装置を用いていることを特徴とするモバイルコンピュータ。

【請求項 11】

請求項 1 乃至請求項 6 のいずれか一に記載の発光装置を用いていることを特徴とする画像再生装置。

【請求項 12】

請求項 1 乃至請求項 6 のいずれか一に記載の発光装置を用いていることを特徴とするゴーグル型ディスプレイ。 20

【請求項 13】

請求項 1 乃至請求項 6 のいずれか一に記載の発光装置を用いていることを特徴とするビデオカメラ。

【請求項 14】

請求項 1 乃至請求項 6 のいずれか一に記載の発光装置を用いていることを特徴とする携帯電話。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、基板上に形成された EL 素子を、該基板とカバー材の間に封入した EL パネルと、その駆動方法に関する。また、該 EL パネルに IC を実装した EL モジュールと、その駆動方法に関する。なお本明細書において、EL パネル及び EL モジュールを発光装置と総称する。本発明はさらに、該駆動方法によって表示を行う発光装置を用いた電子機器に関する。 30

【0002】

【従来の技術】

EL 素子は、自ら発光するため視認性が高く、液晶ディスプレイ (LCD) で必要なバックライトが要らず薄型化に最適であると共に、視野角にも制限が無い。そのため、近年、EL 素子を用いた発光装置は CRT や LCD に代わる表示装置として注目されている。

【0003】

EL 素子は、電場を加えることで発生するルミネッセンス (Electro Luminescence) が得られる有機化合物を含む層 (以下、EL 層と記す) と、陽極と、陰極とを有する。有機化合物におけるルミネッセンスには、一重項励起状態から基底状態に戻る際の発光 (蛍光) と三重項励起状態から基底状態に戻る際の発光 (リン光) とがあるが、本発明の発光装置では、どちらの発光を用いていても良い。 40

【0004】

なお、本明細書では、陽極と陰極の間に設けられた全ての層を EL 層と定義する。EL 層には具体的に、発光層、正孔注入層、電子注入層、正孔輸送層、電子輸送層等が含まれる。基本的に EL 素子は、陽極 / 発光層 / 陰極が順に積層された構造を有しており、この構造に加えて、陽極 / 正孔注入層 / 発光層 / 陰極や、陽極 / 正孔注入層 / 発光層 / 電子輸送 50

層／陰極等の順に積層した構造を有していることもある。

【0005】

また本明細書において、EL素子が発光することを、EL素子が駆動すると呼ぶ。また、本明細書中では、陽極、EL層及び陰極で形成される発光素子をEL素子と呼ぶ。

【0006】

ところで、EL素子を有する発光装置の駆動方法には、主にアナログ駆動とデジタル駆動とがある。特にデジタル駆動は、放送電波のデジタル化に対応して、画像情報を有するデジタルのビデオ信号（デジタルビデオ信号）を、アナログに変換せずにそのまま用いて画像を表示することが可能なため、有望視されている。

【0007】

デジタルビデオ信号が有する2値の電圧により階調表示を行う方法として、面積分割駆動法と、時間分割駆動法とが挙げられる。

【0008】

面積分割駆動法とは、1画素を複数の副画素に分割し、各副画素を独立にデジタルビデオ信号に基づいて駆動することによって、階調表示を行う駆動法である。この面積分割駆動法は、1画素が複数の副画素に分割されていなければならず、さらに各副画素を独立して駆動するために、各副画素にそれぞれ対応する画素電極を設ける必要がある。そのためには画素の構造が複雑になるという不都合が生じる。

【0009】

一方、時間分割駆動法とは、画素の点灯する長さを制御することで階調表示を行う駆動法である。具体的には、1フレーム期間を複数のサブフレーム期間に分割する。そして、各サブフレーム期間において、デジタルビデオ信号により各画素が点灯するかしないかが選択される。1フレーム期間中に出現する全てのサブフレーム期間の内、画素が点灯したサブフレーム期間の長さを積算することで、該画素の階調が求められる。

【0010】

一般的に、有機EL材料は液晶などに比べて応答速度が速いため、EL素子は時間分割駆動に適している。

【0011】

【発明が解決しようとする課題】

以下に、時間分割駆動で駆動する一般的な発光装置の画素の構成について、図25を用いて説明する。

【0012】

図25に、一般的な発光装置の画素9004の回路図を示す。画素9004は、ソース信号線9005の1つと、電源供給線9006の1つと、ゲート信号線9007の1つとを有している。また画素9004はスイッチング用TFT9008とEL駆動用TFT9009とを有している。スイッチング用TFT9008のゲート電極は、ゲート信号線9007に接続されている。スイッチング用TFT9008のソース領域とドレイン領域は、一方がソース信号線9005に、もう一方がEL駆動用TFT9009のゲート電極及び各画素が有するコンデンサ9010にそれぞれ接続されている。

【0013】

コンデンサ9010はスイッチング用TFT9008が非選択状態（オフ状態）にある時、EL駆動用TFT9009のゲート電圧（ゲート電極とソース領域間の電位差）を保持するために設けられている。

【0014】

また、EL駆動用TFT9009のソース領域は電源供給線9006に接続され、ドレイン領域はEL素子9011に接続される。電源供給線9006はコンデンサ9010に接続されている。

【0015】

EL素子9011は陽極と陰極と、陽極と陰極との間に設けられたEL層とからなる。陽極がEL駆動用TFT9009のドレイン領域と接続している場合、陽極が画素電極、陰

10

20

30

40

50

極が対向電極となる。逆に陰極がEL駆動用TFT9009のドレイン領域と接続している場合、陰極が画素電極、陽極が対向電極となる。

【0016】

EL素子9011の対向電極には対向電位が与えられている。また電源供給線9006には電源電位が与えられている。電源電位と対向電位は、表示装置の外付けのICに設けられた電源によって与えられる。

【0017】

次に、図25に示した画素の動作について説明する。

【0018】

ゲート信号線9007に入力された選択信号によって、スイッチング用TFT9008がオンの状態になり、ソース信号線9005に入力された画像情報を有するデジタル信号（以下、デジタルビデオ信号と呼ぶ）が、スイッチング用TFT9008を介してEL駆動用TFT9009のゲート電極に入力される。10

【0019】

EL駆動用TFT9009のゲート電極に入力されたデジタルビデオ信号が有する、1または0の情報によって、EL駆動用TFT9009のスイッチングが制御される。

【0020】

EL駆動用TFT9009がオフになる場合、電源供給線9006の電位がEL素子9011の有する画素電極に与えられないので、EL素子9011は発光しない。またEL駆動用TFT9009がオンになる場合、電源供給線9006の電位がEL素子9011の有する画素電極に与えられ、EL素子9011が発光する。20

【0021】

各画素において上記動作が行われることで画像が表示される。

【0022】

しかし上記動作により表示を行う発光装置では、外気温やELパネル自身が発する熱等によりEL素子が有するEL層の温度が変化すると、その温度変化に伴いEL素子の輝度も変化する。図26に、EL層の温度を変化させたときの、EL素子の電圧電流特性の変化を示す。EL層の温度が低くなるとEL素子に流れる電流が小さくなる。逆に、EL層の温度が高くなるとEL素子に流れる電流は大きくなる。

【0023】

EL素子に流れる電流が小さければ小さいほど、EL素子の輝度は低くなる。またEL素子に流れる電流が大きければ大きいほど、EL素子の輝度は高くなる。よって、EL素子に印加する電圧が一定でも、温度によってEL層に流れる電流の大きさが変わるために、EL素子の輝度も変化してしまう。30

【0024】

また、EL材料によって、温度変化における輝度の変化の割合が異なる。よって、カラー表示において、各色毎に異なるEL材料を有するEL素子を設けた場合、温度によって各色のEL素子の輝度がバラバラに変化することで、所望の色が得られないということが起こりうる。

【0025】

上述した問題に鑑み、温度変化に左右されずに一定の輝度を得ることができる発光装置及びその駆動方法の考案が所望されていた。

【0026】

【課題を解決するための手段】

本発明者は、EL素子の輝度を電圧によって制御するのではなく、電流によって制御することで、温度によるEL素子の輝度の変化を防ぐことを考えた。

【0027】

EL素子に一定の電流を流すために、EL素子に流れる電流の大きさを制御するTFTを飽和領域で動作させ、かつ該TFTのドレイン電流を一定にした。なおTFTを飽和領域で動作させるには、以下の式1を満たせば良い。ただし V_{GS} はゲート電極とソース領域間

の電位差であり、 V_{TH} は閾値、 V_{DS} はドレイン領域とソース領域の電位差である。

【0028】

【式1】

$$|V_{GS} - V_{TH}| < |V_{DS}|$$

【0029】

I_{DS} をTFTのドレイン電流（チャネル形成領域に流れる電流値）、 μ をTFTの移動度、 C_0 を単位面積あたりのゲート容量、 W/L をチャネル形成領域のチャネル幅 W とチャネル長 L の比、 V_{TH} を閾値、 μ を移動度とすると、飽和領域において以下の式2が成り立つ。

【0030】

10

【式2】

$$I_{DS} = \mu C_0 W / L \times (V_{GS} - V_{TH})^2 / 2$$

【0031】

式2からわかるように、飽和領域においてドレイン電流 I_{DS} は V_{DS} によってほとんど変化せず、 V_{GS} のみによって定まる。よって、電流値 I_{DS} が一定になるように V_{GS} の値を定めておけば、EL素子に流れる電流の大きさは一定になる。EL素子の輝度はEL素子に流れる電流にほぼ正比例するので、温度によるEL素子の輝度の変化を防ぐことができる。

【0032】

以下に、本発明の構成を示す。

【0033】

20

本発明によって、

第1のTFTと、第2のTFTと、第3のTFTと、第4のTFTと、EL素子と、ソース信号線と、電源供給線とが設けられた画素を複数有する発光装置であって、前記第3のTFTと前記第4のTFTは、ゲート電極が接続されており、

前記第3のTFTのソース領域とドレイン領域は、一方は前記ソース信号線に、もう一方は前記第1のTFTのドレイン領域に接続されており、

前記第4のTFTのソース領域とドレイン領域は、一方は前記第1のTFTのドレイン領域に、もう一方は前記第1のTFTのゲート電極に接続されており、前記第1のTFTのソース領域は前記電源供給線に、ドレイン領域は前記第2のTFTのソース領域に接続されており、

前記第2のTFTのドレイン領域は、前記EL素子が有する2つの電極のうちのいずれか一方に接続されていることを特徴とする発光装置が提供される。

【0034】

30

本発明によって、

第1のTFTと、第2のTFTと、第3のTFTと、第4のTFTと、EL素子と、ソース信号線と、第1のゲート信号線と、第2のゲート信号線と、電源供給線とが設けられた画素を複数有する発光装置であって、

前記第3のTFTと前記第4のTFTは、共にゲート電極が前記第1のゲート信号線に接続されており、

前記第3のTFTのソース領域とドレイン領域は、一方は前記ソース信号線に、もう一方は前記第1のTFTのドレイン領域に接続されており、

前記第4のTFTのソース領域とドレイン領域は、一方は前記第1のTFTのドレイン領域に、もう一方は前記第1のTFTのゲート電極に接続されており、前記第1のTFTのソース領域は前記電源供給線に、ドレイン領域は前記第2のTFTのソース領域に接続されており、

前記第2のTFTのドレイン領域は、前記EL素子が有する2つの電極のうちのいずれか一方に接続されており、

前記第2のTFTのゲート電極は前記第2のゲート信号線に接続されていることを特徴とする発光装置が提供される。

【0035】

40

50

本発明によって、

TFTと、EL素子とが設けられた画素を複数有する発光装置の駆動方法であって、

前記TFTは飽和領域で動作しており、

第1の期間において、ビデオ信号によって前記TFTのチャネル形成領域に流れる電流の大きさが制御され、

前記電流によって前記TFTの V_{GS} が制御され、

第2の期間において、前記TFTの V_{GS} は保持されており、かつ前記TFTを介して前記EL素子に所定の電流が流れることを特徴とする発光装置の駆動方法が提供される。

【0036】

本発明によって、

10

TFTと、EL素子とが設けられた画素を複数有する発光装置の駆動方法であって、

前記TFTは飽和領域で動作しており、

第1の期間において、ビデオ信号によって前記TFTのチャネル形成領域に流れる電流の大きさが制御され、

前記電流によって前記TFTの V_{GS} が制御され、

第2の期間において、前記 V_{GS} によって前記TFTのチャネル形成領域に流れる電流が、前記EL素子に流れることを特徴とする発光装置の駆動方法が提供される。

【0037】

本発明によって、

20

第1のTFTと、第2のTFTと、EL素子とが設けられた画素を複数有する発光装置の駆動方法であって、

前記第1のTFTは飽和領域で動作しており、

第1の期間において、ビデオ信号によって前記第1のTFTのチャネル形成領域に流れる電流の大きさが制御され、

前記電流によって前記第1のTFTの V_{GS} が制御され、

第2の期間において、前記第1のTFTの V_{GS} は保持されており、かつ前記第1のTFT及び前記第2のTFTを介して前記EL素子に所定の電流が流れることを特徴とする発光装置の駆動方法が提供される。

【0038】

本発明によって、

30

第1のTFTと、第2のTFTと、EL素子とが設けられた画素を複数有する発光装置の駆動方法であって、

前記第1のTFTは飽和領域で動作しており、

第1の期間において、ビデオ信号によって前記第1のTFTのチャネル形成領域に流れる電流の大きさが制御され、

前記電流によって前記第1のTFTの V_{GS} が制御され、

第2の期間において、前記 V_{GS} によって前記第1のTFTのチャネル形成領域に流れる電流が、前記第2のTFTを介して前記EL素子に流れることを特徴とする発光装置の駆動方法が提供される。

【0039】

本発明によって、

40

TFTと、EL素子とが設けられた画素を複数有する発光装置の駆動方法であって、

前記TFTは飽和領域で動作しており、

第1の期間において、ビデオ信号によって前記TFTのチャネル形成領域に流れる電流の大きさが制御され、

前記電流によって前記TFTの V_{GS} が制御され、

第2の期間において、前記TFTの V_{GS} は保持されており、かつ前記TFTを介して前記EL素子に所定の電流が流れ、

第3の期間において、前記EL素子に電流が流れないことを特徴とする発光装置の駆動方法が提供される。

50

【 0 0 4 0 】

本発明によって、

TFTと、EL素子とが設けられた画素を複数有する発光装置の駆動方法であって、前記TFTは飽和領域で動作しており、

第1の期間において、ビデオ信号によって前記TFTのチャネル形成領域に流れる電流の大きさが制御され、

前記電流によって前記TFTの V_{GS} が制御され、

第2の期間において、前記 V_{GS} によって前記TFTのチャネル形成領域に流れる電流が、前記EL素子に流れ、

第3の期間において、前記EL素子に電流が流れないことを特徴とする発光装置の駆動方法が提供される。 10

【 0 0 4 1 】

本発明によって、

第1のTFTと、第2のTFTと、EL素子とが設けられた画素を複数有する発光装置の駆動方法であって、

前記第1のTFTは飽和領域で動作しており、

第1の期間において、ビデオ信号によって前記第1のTFTのチャネル形成領域に流れる電流の大きさが制御され、

前記電流によって前記第1のTFTの V_{GS} が制御され、

第2の期間において、前記第1のTFTの V_{GS} は保持されており、かつ前記第1のTFT及び前記第2のTFTを介して前記EL素子に所定の電流が流れ、 20

第3の期間において、前記第2のTFTがオフになることを特徴とする発光装置の駆動方法が提供される。

【 0 0 4 2 】

本発明によって、

第1のTFTと、第2のTFTと、EL素子とが設けられた画素を複数有する発光装置の駆動方法であって、

前記第1のTFTは飽和領域で動作しており、

第1の期間において、ビデオ信号によって前記第1のTFTのチャネル形成領域に流れる電流の大きさが制御され、 30

前記電流によって前記第1のTFTの V_{GS} が制御され、

第2の期間において、前記 V_{GS} によって前記第1のTFTのチャネル形成領域に流れる電流が、前記第2のTFTを介して前記EL素子に流れ、

第3の期間において、前記第2のTFTがオフになることを特徴とする発光装置の駆動方法が提供される。

【 0 0 4 3 】

本発明によって、

第1のTFTと、第2のTFTと、第3のTFTと、第4のTFTと、EL素子とが設けられた画素を複数有する発光装置の駆動方法であって、

第1の期間において、前記第3のTFTと前記第4のTFTとによって、前記第1のTFTのゲート電極とドレイン領域とが接続され、かつ、ビデオ信号によって前記第1のTFTのチャネル形成領域に流れる電流の大きさが制御され、 40

前記電流によって前記第1のTFTの V_{GS} が制御され、

第2の期間において、前記第1のTFTの V_{GS} は保持され、かつ前記第1のTFTを介して前記EL素子に所定の電流が流れることを特徴とする発光装置の駆動方法が提供される。

【 0 0 4 4 】

本発明によって、

第1のTFTと、第2のTFTと、第3のTFTと、第4のTFTと、EL素子とが設けられた画素を複数有する発光装置の駆動方法であって、 50

第1の期間において、前記第3のTFTと前記第4のTFTとによって、前記第1のTFTのゲート電極とドレイン領域とが接続され、かつ、ビデオ信号によって前記第1のTFTのチャネル形成領域に流れる電流の大きさが制御され、

前記電流によって前記第1のTFTの V_{GS} が制御され、

第2の期間において、前記 V_{GS} によって前記第1のTFTのチャネル形成領域に流れる電流が、前記第2のTFTを介して前記EL素子に流れることを特徴とする発光装置の駆動方法が提供される。

【0045】

本発明によって、

第1のTFTと、第2のTFTと、第3のTFTと、第4のTFTと、EL素子とが設けられた画素を複数有する発光装置の駆動方法であって、

10

前記第1のTFTのソース領域には一定の電位が与えられており、

第1の期間において、前記第3のTFTと前記第4のTFTを介して、前記第1のTFTのゲート電極とドレイン領域にビデオ信号が入力され、

第2の期間において、前記ビデオ信号の電位によって、前記第1のTFT及び前記第2のTFTを介して前記EL素子に所定の電流が流れることを特徴とする発光装置の駆動方法が提供される。

【0046】

本発明によって、

第1のTFTと、第2のTFTと、第3のTFTと、第4のTFTと、EL素子とが設けられた画素を複数有する発光装置の駆動方法であって、

20

第1の期間において、前記第3のTFTと前記第4のTFTとによって、前記第1のTFTのゲート電極とドレイン領域とが接続され、かつ、ビデオ信号によって前記第1のTFTのチャネル形成領域に流れる電流の大きさが制御され、

前記電流によって前記第1のTFTの V_{GS} が制御され、

第2の期間において、前記第1のTFTの V_{GS} は保持され、かつ前記第1のTFTを介して前記EL素子に所定の電流が流れ、

第3の期間において、前記第2のTFTがオフになることを特徴とする発光装置の駆動方法が提供される。

【0047】

30

本発明によって、

第1のTFTと、第2のTFTと、第3のTFTと、第4のTFTと、EL素子とが設けられた画素を複数有する発光装置の駆動方法であって、

第1の期間において、前記第3のTFTと前記第4のTFTとによって、前記第1のTFTのゲート電極とドレイン領域とが接続され、かつ、ビデオ信号によって前記第1のTFTのチャネル形成領域に流れる電流の大きさが制御され、

前記電流によって前記第1のTFTの V_{GS} が制御され、

第2の期間において、前記 V_{GS} によって前記第1のTFTのチャネル形成領域に流れる電流が、前記第2のTFTを介して前記EL素子に流れ、

第3の期間において、前記第2のTFTがオフになることを特徴とする発光装置の駆動方法が提供される。

40

【0048】

本発明によって、

第1のTFTと、第2のTFTと、第3のTFTと、第4のTFTと、EL素子とが設けられた画素を複数有する発光装置の駆動方法であって、

前記第1のTFTのソース領域には一定の電位が与えられており、

第1の期間において、前記第3のTFTと前記第4のTFTを介して、前記第1のTFTのゲート電極とドレイン領域にビデオ信号が入力され、

第2の期間において、前記ビデオ信号の電位によって、前記第1のTFT及び前記第2のTFTを介して前記EL素子に所定の電流が流れ、

50

第3の期間において、前記第2のTFTがオフになることを特徴とする発光装置の駆動方法が提供される。

【0049】

本発明は、前記第3のTFTと前記第4のTFTの極性が同じであることを特徴としても良い。

【0050】

【発明の実施の形態】

(実施の形態1)

図1に本発明の画素の構成を示す。

【0051】

図1に示す画素101は、ソース信号線S_i(S₁~S_xのうちの1つ)、書き込み用ゲート信号線G_{a j}(G_{a 1}~G_{a y}のうちの1つ)、表示用ゲート信号線G_{b j}(G_{b 1}~G_{b y}のうちの1つ)及び電源供給線V_i(V₁~V_xのうちの1つ)を有している。

【0052】

なおソース信号線と電源供給線の数は必ずしも同じであるとは限らない。また、書き込み用ゲート信号線と、表示用ゲート信号線の数は必ずしも同じであるとは限らない。またこれらの配線を必ず全て有していないとも良く、これらの配線の他に、別の異なる配線が設けられても良い。

【0053】

また画素101は、第1スイッチング用TFT102、第2スイッチング用TFT103、電流制御用TFT104、EL駆動用TFT105、EL素子106及びコンデンサ107を有している。

【0054】

第1スイッチング用TFT102と第2スイッチング用TFT103のゲート電極は、共に書き込み用ゲート信号線G_{a j}に接続されている。

【0055】

なお、本明細書において接続とは、特に記載のない限り電気的な接続を意味する。

【0056】

第1スイッチング用TFT102のソース領域とドレイン領域は、一方はソース信号線S_iに、もう一方はEL駆動用TFT105のソース領域に接続されている。また第2スイッチング用TFT103のソース領域とドレイン領域は、一方はEL駆動用TFT105のソース領域に、もう一方は電流制御用TFT104のゲート電極に接続されている。

【0057】

つまり、第1スイッチング用TFT102のソース領域とドレイン領域のいずれか一方と、第2スイッチング用TFT103のソース領域とドレイン領域のいずれか一方とは、接続されている。

【0058】

電流制御用TFT104のソース領域は電源供給線V_iに、ドレイン領域はEL駆動用TFT105のソース領域に接続されている。

【0059】

なお本明細書では、nチャネル型トランジスタのソース領域に与えられる電圧は、ドレイン領域に与えられる電圧よりも低いものとする。また、pチャネル型トランジスタのソース領域に与えられる電圧は、ドレイン領域に与えられる電圧よりも高いものとする。

【0060】

EL駆動用TFT105のゲート電極は表示用ゲート信号線G_{b j}に接続されている。そしてEL駆動用TFT105のドレイン領域はEL素子106が有する画素電極に接続されている。EL素子106は、画素電極と、対向電極と、画素電極と対向電極の間に設けられたEL層とを有している。EL素子106の対向電極はELパネルの外部に設けられた電源(対向電極用電源)に接続されている。

【0061】

10

20

30

40

50

電源供給線 V_i の電位（電源電位）は一定の高さに保たれている。また対向電極用電源の電位も、一定の高さに保たれている。

【0062】

なお、第1スイッチング用 TFT102 と第2スイッチング用 TFT103 は、nチャネル型 TFT と pチャネル型 TFT のどちらでも良い。ただし、第1スイッチング用 TFT102 と第2スイッチング用 TFT103 の極性は同じである。

【0063】

また、電流制御用 TFT104 は nチャネル型 TFT と pチャネル型 TFT のどちらでも良い。

【0064】

EL駆動用 TFT105 は、nチャネル型 TFT と pチャネル型 TFT のどちらでも良い。EL素子の画素電極と対向電極は、一方が陽極であり、他方が陰極である。陽極を画素電極として用い、陰極を対向電極として用いている場合、EL駆動用 TFT105 は pチャネル型 TFT であることが好ましい。逆に、陰極を画素電極として用い、陽極を対向電極として用いる場合、EL駆動用 TFT105 は nチャネル型 TFT であることが好ましい。

10

【0065】

コンデンサ 107 は電流制御用 TFT104 のゲート電極とソース領域との間に形成されている。コンデンサ 107 は、第1及び第2スイッチング用 TFT102、103 がオフのとき、電流制御用 TFT104 のゲート電極とソース領域の間の電圧 (V_{GS}) をより確実に維持するために設けられているが、必ずしも設ける必要はない。

20

【0066】

図2は本発明の駆動方法を用いる発光装置のブロック図であり、100は画素部、110はソース信号線駆動回路、111は書き込み用ゲート信号線駆動回路、112は表示用ゲート信号線駆動回路である。

【0067】

画素部 100 はソース信号線 S1 ~ Sx と、書き込み用ゲート信号線 Ga1 ~ Gay と、表示用ゲート信号線 Gb1 ~ Gby と、電源供給線 V1 ~ Vx とを有している。

【0068】

ソース信号線、書き込み用ゲート信号線、表示用ゲート信号線、電源供給線を、それぞれ 1つづつ有する領域が画素 101 である。画素部 100 には、マトリクス状に複数の画素 101 が設けられている。

30

【0069】

(実施の形態2) 5272

次に、図1及び図2に示した本発明の発光装置の駆動について、図3を用いて説明する。本発明の発光装置の駆動は、書き込み期間 Ta と表示期間 Td とに分けて説明することができる。

【0070】

図3(A)に、書き込み期間 Taにおいて、書き込み用ゲート信号線と表示用ゲート信号線に入力される信号のタイミングチャートを示す。書き込み用ゲート信号線と表示用ゲート信号線とが選択されている期間、言いかえると該信号線にゲート電極が接続されている TFT が全てオンの状態にある期間は、ON で示す。逆に、書き込み用ゲート信号線と表示用ゲート信号線とが選択されていない期間、言いかえると該信号線にゲート電極が接続されている TFT が全てオフの状態にある期間は、OFF で示す。

40

【0071】

書き込み期間 Ta では、書き込み用ゲート信号線 Ga1 ~ Gay が順に選択され、表示用ゲート信号線 Gb1 ~ Gby は選択されない。そして、ソース信号線駆動回路 110 に入力されるデジタルビデオ信号によって、ソース信号線 S1 ~ Sx のそれぞれに一定の電流 I_c が流れるか流れないかが選択される。

【0072】

50

図4(A)に、書き込み期間 T_a における、ソース信号線 S_i に一定の電流 I_c が流れた場合の、画素の概略図を示す。第1スイッチング用 $TFT102$ 及び第2スイッチング用 $TFT103$ はオンの状態にあるので、ソース信号線 S_i に一定の電流 I_c が流れると、一定の電流 I_c は電流制御用 $TFT104$ のドレイン領域とソース領域の間に流れる。

【0073】

電流制御用 $TFT104$ のソース領域は電源供給線 V_i に接続されており、一定の電位(電源電位)に保たれている。

【0074】

電流制御用 $TFT104$ は飽和領域で動作しているので、式2の I_{DS} に I_c を代入すれば、自ずと V_{GS} の値が定まる。

10

【0075】

なお、ソース信号線 S_i に一定の電流 I_c が流れなかった場合、ソース信号線 S_i は電源供給線 V_i と同じ電位に保たれるようとする。よってこの場合 $V_{GS} = 0$ となる。

【0076】

書き込み期間 T_a が終了すると、表示期間 T_d が開始される。

【0077】

図3(B)に、表示期間 T_d における、書き込み用ゲート信号線と表示用ゲート信号線に入力される信号のタイミングチャートを示す。

【0078】

表示期間 T_d では、書き込み用ゲート信号線 $Ga1 \sim Ga_y$ が全て選択されず、表示用ゲート信号線 $Gb1 \sim Gb_y$ が全て選択される。

20

【0079】

図4(B)に、表示期間 T_d における画素の概略図を示す。第1スイッチング用 $TFT102$ 及び第2スイッチング用 $TFT103$ はオフの状態にある。また、電流制御用 $TFT104$ のソース領域は電源供給線 V_i に接続されており、一定の電位(電源電位)に保たれている。

【0080】

表示期間 T_d では、書き込み期間 T_a において定められた V_{GS} が維持されている。そのため、式2に V_{GS} の値を代入すると、自ずと I_{DS} の値が定まる。

【0081】

30

書き込み期間 T_a において電流 I_c が流れなかった場合は $V_{GS} = 0$ であるので、閾値が0の場合電流は流れない。よってEL素子106は発光しない。

【0082】

書き込み期間 T_a において一定の電流 I_c が流れた場合は、式2に V_{GS} の値を代入すると、電流値 I_{DS} として I_c が得られる。表示期間 T_d ではEL駆動用 $TFT105$ がオンになるので、電流 I_c はEL素子106に流れ、EL素子106は発光する。

【0083】

上述したように、1フレーム期間中に書き込み期間 T_a と表示期間 T_d とを繰り返することで、1つの画像を表示することが可能である。 n ビットのデジタルビデオ信号によって画像を表示する場合、少なくとも n 個の書き込み期間と、 n 個の表示期間とが1フレーム期間内に設けられる。

40

【0084】

n 個の書き込み期間($T_{a1} \sim T_{an}$)と、 n 個の表示期間($T_{d1} \sim T_{dn}$)は、デジタルビデオ信号の各ビットに対応している。

【0085】

図5に1フレーム期間において、 n 個の書き込み期間($T_{a1} \sim T_{an}$)と n 個の表示期間($T_{d1} \sim T_{dn}$)とが出現するタイミングを示す。横軸は時間を示しており、縦軸は画素が有する書き込み用ゲート信号線及び表示用ゲート信号線の位置を示している。

【0086】

書き込み期間 T_{am} (m は $1 \sim n$ の任意の数)の次には、同じビット数に対応する表示期

50

間、この場合 $T_d m$ が出現する。書き込み期間 T_a と表示期間 T_d を合わせてサブフレーム期間 S_F と呼ぶ。 m ビット目に対応している書き込み期間 $T_a m$ と表示期間 $T_d m$ を有するサブフレーム期間は $S_F m$ となる。

【0087】

表示期間 $T_d 1 \sim T_d n$ の長さは、 $T_d 1 : T_d 2 : \dots : T_d n = 2^0 : 2^1 : \dots : 2^{n-1}$ を満たす。

【0088】

本発明の駆動方法では、1フレーム期間中における発光する表示期間の長さの和を制御することで、階調を表示する。

【0089】

上述した構成によって、本発明の発光装置は温度変化に左右されずに一定の輝度を得ることができる。また、カラー表示において、各色毎に異なるEL材料を有するEL素子を設けた場合でも、温度によって各色のEL素子の輝度がバラバラに変化して所望の色が得られないということを防ぐことができる。

【0090】

(実施の形態3) 5318

次に、図1及び図2に示した本発明の発光装置の、実施の形態2とは異なる駆動方法について、図6～9を用いて説明する。

【0091】

はじめに1ライン目の画素において、書き込み期間 $T_a 1$ が開始される。

【0092】

書き込み期間 $T_a 1$ において、書き込み用ゲート信号線駆動回路111から書き込み用ゲート信号線 $G_a 1$ に入力される第1の選択信号(書き込み用選択信号)によって、書き込み用ゲート信号線 $G_a 1$ が選択される。なお、本明細書において信号線が選択されるとは、該信号線にゲート電極が接続されているTFTが全てオンの状態になることを意味する。そして書き込み用ゲート信号線 $G_a 1$ を有する全ての画素(1ライン目の画素)の第1スイッチング用TFT102及び第2スイッチング用TFT103がオンの状態になる。

【0093】

また、書き込み期間 $T_a 1$ において、1ライン目の画素が有する表示用ゲート信号線 $G_b 1$ は選択されていない。よって、1ライン目の画素が有するEL駆動用TFT105は全てオフの状態になっている。

【0094】

そして、ソース信号線駆動回路110に入力される1ビット目のデジタルビデオ信号によって、ソース信号線 $S_1 \sim S_x$ に流れる電流の値が定められる。

【0095】

デジタルビデオ信号は「0」または「1」の情報を有している。「0」の情報を有するデジタルビデオ信号と「1」の情報を有するデジタルビデオ信号は、一方がHi(High)、一方がLo(Low)の電圧を有する信号である。デジタルビデオ信号が有する「0」または「1」の情報によって、電流制御用TFT104に流れるドレン電流の値が制御される。

【0096】

具体的には、デジタルビデオ信号の「0」または「1」の情報によって、電流制御用TFT104、第1スイッチング用TFT102及び第2スイッチング用TFT103を介して、電源供給線 V_i とソース信号線 S_i との間に、一定の電流 I_c が流れるか、もしくは電流が流れないかが選択される。

【0097】

なお、本明細書において画素にデジタルビデオ信号が入力されたというのは、該画素が、デジタルビデオ信号によって、電源供給線 V_i とソース信号線 S_i との間に、一定の電流 I_c が流れるか、もしくは電流が流れないかが選択されていることを意味する。

【0098】

10

20

30

40

50

図8(A)に、書き込み期間 T_a1における画素の概略図を示す。

【 0 0 9 9 】

書き込み期間 T_a1においては、書き込み用ゲート信号線 G_a1が選択、表示用ゲート信号線 G_b1が非選択の状態にある。よって、第1スイッチング用 TFT102 及び第2スイッチング用 TFT103がオンになっているので、ソース信号線 S_iに一定の電流 I_cが流れると、一定の電流 I_cは電流制御用 TFT のソース領域とドレイン領域の間に流れれる。そしてこのとき、EL駆動用 TFT105 はオフになっているので、EL素子 106 の画素電極に電源供給線 V_iの電位は与えられず、EL素子 106 は非発光の状態である。

【 0 1 0 0 】

電流制御用 TFT104 のソース領域は電源供給線 V_iに接続されており、一定の電位(電源電位)に保たれている。また、電流制御用 TFT104 は飽和領域で動作しているので、式2の I_{DS} に I_c を代入すれば、自ずと電流制御用 TFT104 の V_{GS} の値が定まる。

【 0 1 0 1 】

ソース信号線 S_iに一定の電流 I_cが流れなかい場合は、ソース信号線 S_iと電源供給線 V_iとは同じ電位に保たれている。この場合、電流制御用 TFT104 は、 $V_{GS} = 0$ となる。

【 0 1 0 2 】

そして、書き込み用ゲート信号線 G_a1の選択が終了すると、1ライン目の画素において書き込み期間 T_a1が終了する。

【 0 1 0 3 】

1ライン目の画素において書き込み期間 T_a1が終了すると、2ライン目の画素において書き込み期間 T_a1が開始される。そして、書き込み用選択信号によって書き込み用ゲート信号線 G_a2が選択され、1ライン目の画素と同様の動作が行われる。そして書き込み用ゲート信号線 G_a3 ~ G_ayも順に選択され、すべての画素において書き込み期間 T_a1が開始され、1ライン目の画素と同様の動作が行われる。

【 0 1 0 4 】

書き込み期間 T_a1は、各ラインの画素によって出現するタイミングが異なっており、各ラインの画素が有する書き込み用ゲート信号線が選択されている期間に相当する。書き込み期間 T_aが開始されるタイミングは、各ラインの画素ごとに、それぞれ時間差を有している。

【 0 1 0 5 】

一方、1ライン目の画素において書き込み期間 T_a1が終了した後、2ライン目以降のラインの画素において書き込み期間 T_a1が開始されるのと同時並行して、1ライン目の画素において表示期間 Tr1 が開始される。

【 0 1 0 6 】

表示期間 Tr1 では、表示用ゲート信号線駆動回路 112 から表示用ゲート信号線 G_b1に入力される第2の選択信号(表示用選択信号)によって、表示用ゲート信号線 G_b1が選択される。表示用ゲート信号線 G_b1は、書き込み用ゲート信号線 G_a2 ~ G_ayの選択が終了する前に選択が開始される。より好ましくは、書き込み用ゲート信号線 G_a1の選択が終了し、書き込み用ゲート信号線 G_a2の選択が開始されると同時に、表示用ゲート信号線 G_b1の選択が開始されるのが良い。

【 0 1 0 7 】

図8(B)に、表示期間 Tr1における画素の概略図を示す。

【 0 1 0 8 】

表示期間 Tr1 では、書き込み用ゲート信号線 G_a1が非選択、表示用ゲート信号線 G_b1が選択の状態にある。よって、1ライン目の画素において、第1スイッチング用 TFT102 及び第2スイッチング用 TFT103はオフになっており、EL駆動用 TFT105 はオンになっている。

10

20

30

40

50

【0109】

電流制御用 TFT104 のソース領域は電源供給線 V_i に接続されており、一定の電位（電源電位）に保たれている。そして、書き込み期間 T_{a1} において定められた、電流制御用 TFT104 の V_{GS} は、書き込み用ゲート信号線 G_{a1} の選択が終了した後も、コンデンサ C_{107} などによって維持されている。このとき電流制御用 TFT104 のソース領域とドレイン領域の間に流れる電流 I_{DS} は、式 2 に V_{GS} の値を代入することで求められる。電流 I_{DS} は、オンの EL 駆動用 TFT105 を介して EL 素子 106 に流れ、その結果 EL 素子 106 が発光する。

【0110】

書き込み用ゲート信号線 G_{a1} が選択されているときに、電流 I_c が流れなかった場合は、電流制御用 TFT104 の $V_{GS} = 0$ である。よって、電流制御用 TFT104 のソース領域とドレイン領域の間に電流は流れない。よって EL 素子 106 は発光しない。

10

【0111】

このように、画素にデジタルビデオ信号が入力された後、表示用ゲート信号線が選択されることで、EL 素子 106 が発光、または非発光の状態になり、画素は表示を行う。

【0112】

1 ライン目の画素において表示期間 T_{r1} が開始された後、2 ライン目の画素においても表示期間 T_{r1} が開始される。そして、表示用選択信号によって表示用ゲート信号線 G_{b2} が選択され、1 ライン目の画素と同様の動作が行われる。そして表示用ゲート信号線 $G_{b3} \sim G_{by}$ も順に選択され、すべての画素において表示期間 T_{r1} が開始され、1 ライン目の画素と同様の動作が行われる。

20

【0113】

各ラインの画素の表示期間 T_{r1} は、各ラインの画素が有する表示用ゲート信号線が選択されている期間に相当する。表示期間 T_{r1} が開始されるタイミングは、各ラインの画素ごとに、それぞれ時間差を有している。

【0114】

一方、2 ライン目以降のラインの画素において表示期間 T_{r1} が開始されるのと同時並行して、1 ライン目の画素において表示用ゲート信号線 G_{b1} の選択が終了し、表示期間 T_{r1} が終了する。

30

【0115】

1 ライン目の画素において、表示期間 T_{r1} が終了すると非表示期間 T_{d1} が開始される。そして、表示用ゲート信号線 G_{b1} が非選択状態になり、1 ライン目の画素の EL 駆動用 TFT105 がオフになる。このとき、書き込み用ゲート信号線 G_{a1} は非選択状態のままである。

【0116】

1 ライン目の画素において EL 駆動用 TFT105 はオフになるので、電源供給線 V_i の電源電位が EL 素子 106 の画素電極に与えられなくなる、よって、1 ライン目の画素が有する EL 素子 106 は全て非発光の状態になり、1 ライン目の画素が表示を行わなくなる。

40

【0117】

図 8 (C) に、表示用ゲート信号線 G_{b1} 及び書き込み用ゲート信号線 G_{a1} が選択されていない時の、1 ライン目の画素の概略図を示す。第 1 スイッチング用 TFT102 及び第 2 スイッチング用 TFT103 はオフになっており、また EL 駆動用 TFT105 もオフになっている。よって、EL 素子 106 は非発光の状態になっている。

【0118】

1 ライン目の画素において非表示期間 T_{d1} が開始された後、2 ライン目の画素においても表示期間 T_{r1} が終了し、非表示期間 T_{d1} が開始される。そして、表示用選択信号によって表示用ゲート信号線 G_{b2} が選択され、2 ライン目の画素において 1 ライン目の画素と同様の動作が行われる。そして表示用ゲート信号線 $G_{b3} \sim G_{by}$ も順に選択され、すべての画素において表示期間 T_{r1} が終了し、非表示期間 T_{d1} が開始され、1 ライン

50

目の画素と同様の動作が行われる。

【0119】

非表示期間 T d 1 が開始されるタイミングは、各ラインの画素によって時間差を有しており、非表示期間 T d 1 は、各ラインの画素が有する書き込み用ゲート信号線が選択されておらず、なおかつ表示用ゲート信号線が選択されている期間に相当する。

【0120】

一方、2ライン目以降のラインの画素において非表示期間 T d 1 が開始されるのと同時並行、もしくは全ての画素において非表示期間 T d 1 が開始された後に、1ライン目の画素において書き込み用ゲート信号線 G a 1 の選択が開始され、書き込み期間 T a 2 が開始される。

10

【0121】

なお本発明において、各ラインの画素の書き込み期間は互いに重ならないので、y ライン目の画素における書き込み期間が終了した後に、1ライン目の画素における書き込み期間が開始されるようにする。

【0122】

画素の動作は、書き込み期間 T a 1 の場合と同様である。ただし、書き込み期間 T a 2 では、2ビット目のデジタルビデオ信号が画素に入力される。

【0123】

そして1ライン目の画素において書き込み期間 T a 2 が終了すると、次に2ライン目以降の画素において、順に書き込み期間 T a 2 が開始される。

20

【0124】

2ライン目以降の画素において書き込み期間 T a 2 が開始されるのと同時並行して、1ライン目の画素において表示期間 T r 2 が開始される。表示期間 T r 2 においても、表示期間 T r 1 と同様に、2ビット目のデジタルビデオ信号によって画素が表示を行う。

【0125】

そして、1ライン目の画素において表示期間 T r 1 が開始された後、2ライン目以降の画素においても、順に書き込み期間 T a 2 が終了し、表示期間 T r 2 が開始される。よって、各ラインの画素が表示を行う。

【0126】

一方、2ライン目以降のラインの画素において表示期間 T r 2 が開始されるのと同時並行して、1ライン目の画素において表示期間 T r 2 が終了し、非表示期間 T d 2 が開始される。非表示期間 T d 2 が開始されると、1ライン目の画素において画素が表示を行わなくなる。

30

【0127】

1ライン目の画素において非表示期間 T d 2 が開始された後、2ライン目以降の画素においても順に表示期間 T r 2 が終了し、非表示期間 T d 2 が開始される。そして各ラインにおいて、画素が表示を行わなくなる。

【0128】

上述した動作はmビット目のデジタルビデオ信号が画素に入力される前まで繰り返し行われ、各ラインの画素ごとに、書き込み期間 T a と、表示期間 T r と、非表示期間 T d とが繰り返し出現する。

40

【0129】

図6に、書き込み期間 T a 1 、表示期間 T r 1 、非表示期間 T d 1 において、書き込み用ゲート信号線 G a 1 ~ G a y 及び表示用ゲート信号線 G b 1 ~ G b y が選択される様子を示す。

【0130】

例えば、1ライン目(First Line)の画素に注目すると、書き込み期間 T a 1 及び非表示期間 T d 1 において、画素は表示を行わない。そして表示期間 T r 1 においてのみ表示を行っている。なお図6では書き込み期間 T a 1 ~ T a (m - 1) 、表示期間 T r 1 ~ T r (m - 1) 、非表示期間 T d 1 ~ T d (m - 1) における画素の動作を説明するために、

50

書き込み期間 T_{a1} 、表示期間 T_{r1} 、非表示期間 T_{d1} における画素の動作を例示している。よって、書き込み期間 $T_{a1} \sim T_{an}(m-1)$ 及び非表示期間 $T_{d1} \sim T_{dn}(m-1)$ において、全てのラインの画素は表示を行わない。また表示期間 $T_{r1} \sim T_{rn}(m-1)$ において、全てのラインの画素は表示を行う。

【0131】

次に、 m ビット目のデジタルビデオ信号が画素に入力される、書き込み期間 T_{am} が開始された後の画素の動作について説明する。なお、本発明において m は、1 から n までの値を任意に選択することが可能である。

【0132】

1 ライン目の画素において書き込み期間 T_{am} が開始されると、 m ビット目のデジタルビデオ信号が 1 ライン目の画素に入力される。そして、1 ライン目の画素において書き込み期間 T_{am} が終了すると、2 ライン目以降の画素においても、順に書き込み期間 T_{am} が開始される。10

【0133】

一方、1 ライン目の画素において書き込み期間 T_{am} が終了した後、2 ライン目以降のラインの画素において書き込み期間 T_{am} が開始されるのと同時並行して、1 ライン目の画素において表示期間 T_{rm} が開始される。表示期間 T_{rm} においても、表示期間 T_{rm} と同様に、 m ビット目のデジタルビデオ信号によって画素が表示を行う。

【0134】

そして、1 ライン目の画素において表示期間 T_{rm} が開始された後、2 ライン目以降の画素においても、順に書き込み期間 T_{am} が終了し、表示期間 T_{rm} が開始される。20

【0135】

次に、全てのラインの画素において表示期間 T_{rm} が開始された後、1 ライン目の画素において表示期間 T_{rm} が終了し、書き込み期間 $T_{a(m+1)}$ が開始される。

【0136】

1 ライン目の画素において書き込み期間 $T_{a(m+1)}$ が開始されると、1 ライン目の画素に $m+1$ ビット目のデジタルビデオ信号が入力される。

【0137】

そして 1 ライン目の画素において、書き込み期間 $T_{a(m+1)}$ が終了する。1 ライン目の画素において書き込み期間 $T_{a(m+1)}$ が終了した後、2 ライン目以降の画素においても順に表示期間 T_{rm} が終了し、書き込み期間 $T_{a(m+1)}$ が開始される。30

【0138】

上述した動作は、最後の y ライン目の画素において、 n ビット目のデジタルビデオ信号に対応する表示期間 T_{rn} が終了するまで繰り返し行われ、各ラインの画素ごとに、書き込み期間 T_{a} と、表示期間 T_{r} とが繰り返し出現する。

【0139】

図 7 に、書き込み期間 T_{am} 、表示期間 T_{rm} において、書き込み用ゲート信号線 $G_{a1} \sim G_{ay}$ 及び表示用ゲート信号線 $G_{b1} \sim G_{by}$ が選択される様子を示す。

【0140】

例えば、1 ライン目 (First Line) の画素に注目すると、書き込み期間 T_{am} において、画素は表示を行わない。そして表示期間 T_{rm} においてのみ表示を行っている。なお図 7 では書き込み期間 $T_{am} \sim T_{an}$ 、表示期間 $T_{rm} \sim T_{rn}$ における画素の動作を説明するために、書き込み期間 T_{am} 、表示期間 T_{rm} における画素の動作を例示している。よって、書き込み期間 $T_{am} \sim T_{an}$ において、全てのラインの画素は表示を行わない。また表示期間 $T_{rm} \sim T_{rn}$ において、全てのラインの画素は表示を行う。40

【0141】

図 9 に、本発明の駆動方法において、 $m = n - 2$ の場合の、書き込み期間と、表示期間と、非表示期間とが出現するタイミングを示す。横軸は時間を示しており、縦軸は画素が有する書き込み用ゲート信号線及び表示用ゲート信号線の位置を示している。ただし、書き込み期間は短いので、図を見やすくするために、各ビットに対応する書き込み期間 T_{a1} 50

～T_{a n}の開始されるタイミングを矢印で示した。また、各ビットごとに、1ライン目の画素の書き込み期間が開始されてから、yライン目の画素の書き込み期間が終了するまでの期間（T_{a 1}～T_{a n}）を矢印で示す。

【0142】

1ライン目の画素においてT_{r n}が終了した後、1フレーム期間が終了し、再び1ライン目の画素において、次のフレーム期間の書き込み期間T_{a 1}が開始される。そして上述した動作が再び繰り返される。1フレーム期間が開始するタイミングと、終了するタイミングは、各ラインの画素毎に時間差を有している。

【0143】

全てのラインの画素において1フレーム期間が終了すると1つの画像を表示することができる。

【0144】

発光装置は1秒間に60以上のフレーム期間を設けることが好ましい。1秒間に表示される画像の数が60より少なくなると、視覚的に画像のちらつきが目立ち始めることがある。

【0145】

また本発明では、各ラインの画素において、全ての書き込み期間の長さの和が1フレーム期間よりも短い。なおかつ表示期間の長さをT_{r 1}：T_{r 2}：T_{r 3}：…：T_{r (n-1)}：T_{r n} = 2⁰：2¹：2²：…：2⁽ⁿ⁻²⁾：2⁽ⁿ⁻¹⁾とする。この表示期間の組み合わせで2ⁿ階調のうち所望の階調表示を行うことができる。

【0146】

1フレーム期間中にEL素子が発光した表示期間の長さの総和を求めることによって、当該フレーム期間におけるその画素の表示した階調がきまる。例えば、n=8のとき、全部の表示期間で画素が発光した場合の輝度を100%とすると、T_{r 1}とT_{r 2}において画素が発光した場合には1%の輝度が表現でき、T_{r 3}とT_{r 5}とT_{r 8}を選択した場合には60%の輝度が表現できる。

【0147】

表示期間T_{r m}の長さは、1ライン目の画素の書き込み期間T_{a m}が開始されてから、yライン目の画素の書き込み期間T_{a m}が終了するまでの期間（T_{a m}）より、長いことが肝要である。

【0148】

また表示期間T_{r 1}～T_{r n}は、どのような順序で出現させても良い。例えば1フレーム期間において、T_{r 1}の次にT_{r 3}、T_{r 5}、T_{r 2}、…という順序で表示期間を出現させることも可能である。ただし、各ラインの画素における書き込み期間が、互いに重ならないようにすることが必要である。

【0149】

なお本実施の形態では、EL駆動用TFTのゲート電極にかかる電圧を保持するためにコンデンサを設ける構造としているが、コンデンサを省略することも可能である。EL駆動用TFTが、ゲート絶縁膜を介してゲート電極に重なるように設けられたLDD領域を有している場合、この重なり合った領域には一般的にゲート容量と呼ばれる寄生容量が形成される。このゲート容量をEL駆動用TFTのゲート電極にかかる電圧を保持するためのコンデンサとして積極的に用いても良い。

【0150】

このゲート容量の容量値は、上記ゲート電極とLDD領域とが重なり合った面積によって変化するため、その重なり合った領域に含まれるLDD領域の長さによって決まる。

【0151】

本実施の形態の駆動方法では、1ライン目の画素の書き込み期間T_aが開始されてから、yライン目の画素の書き込み期間T_aが終了するまでの期間、言い換えると全ての画素に1ビット分のデジタルビデオ信号を書き込む期間より、各ラインの画素の表示期間の長さを短くすることができる。よって、デジタルビデオ信号のビット数が増加しても、下位ビ

10

20

30

40

50

ットに対応する表示期間の長さを短くすることができるので、画面をちらつかせることなく高精細な画像を表示することが可能である。

【0152】

また、本発明の発光装置は温度変化に左右されずに一定の輝度を得ることができる。また、カラー表示において、各色毎に異なるEL材料を有するEL素子を設けた場合でも、温度によって各色のEL素子の輝度がバラバラに変化して所望の色が得られないということを防ぐことができる。

【0153】

なお、実施の形態1及び2では、デジタルのビデオ信号を用いて表示を行う駆動方法について説明したが、アナログのビデオ信号を用いて表示を行っても良い。アナログのビデオ信号を用いて表示を行う場合、ソース信号線に流れる電流の値をアナログビデオ信号によって制御し、該電流の大きさによって階調を表示することができる。10

【0154】

【実施例】

以下に、本発明の実施例について説明する。

【0155】

(実施例1)

本実施例では、nビットのデジタルビデオ信号に対応した実施の形態1に示した駆動方法において、サブフレーム期間SF1～SFnの出現する順序について説明する。

【0156】

図10に1フレーム期間において、n個の書き込み期間(Ta1～Tan)とn個の表示期間(Td1～Td n)とが出現するタイミングを示す。横軸は時間を示しており、縦軸は画素が有する書き込み用ゲート信号線及び表示用ゲート信号線の位置を示している。各画素の詳しい駆動の仕方については実施の形態1を参照すれば良いので、ここでは省略する。20

【0157】

本実施例の駆動方法では、1フレーム期間中で1番長い表示期間を有するサブフレーム期間(本実施例ではSFn)を、1フレーム期間の最初及び最後に設けない。言い換えると、1フレーム期間中で1番長い表示期間を有するサブフレーム期間の前後に、同じフレーム期間に含まれる他のサブフレーム期間が出現するような構成にしている。30

【0158】

上記構成によって、中間階調の表示を行ったときに、隣り合うフレーム期間同士で発光する表示期間が隣接することによって起きていた表示むらを、人間の目に認識されずらくすることができる。

【0159】

なお本実施例の構成はn=3の場合において有効である。

【0160】

(実施例2)

本実施例では、6ビットのデジタルビデオ信号を用いた、実施の形態1に示した駆動方法について説明する。40

【0161】

図11に、1フレーム期間において、n個の書き込み期間(Ta1～T an)とn個の表示期間(Td1～Td n)とが出現するタイミングを示す。横軸は時間を示しており、縦軸は画素が有する書き込み用ゲート信号線及び表示用ゲート信号線の位置を示している。各画素の詳しい駆動の仕方については実施の形態1を参照すれば良いので、ここでは省略する。

【0162】

6ビットのデジタルビデオ信号を用いた駆動する場合、1フレーム期間内に少なくとも6つのサブフレーム期間SF1～SF6が設けられる。

【0163】

10

20

30

40

50

サブフレーム期間 S F 1 ~ S F 6 は、6 ビットのデジタルビデオ信号の各ビットに対応している。そしてサブフレーム期間 S F 1 ~ S F 6 は、6 個の書き込み期間 (T a 1 ~ T a 6) と、n 個の表示期間 (T d 1 ~ T d 6) とを有している。

【 0 1 6 4 】

m (m は 1 ~ 6 の任意の数) ビット目に対応している書き込み期間 T a m と表示期間 T d m とを有するサブフレーム期間は S F m となる。書き込み期間 T a m の次には、同じビット数に対応する表示期間、この場合 T d m が出現する。

【 0 1 6 5 】

1 フレーム期間中に書き込み期間 T a と表示期間 T d とが繰り返し出現することで、1 つの画像を表示することが可能である。

10

【 0 1 6 6 】

表示期間 T d 1 ~ T d 6 の長さは、 $T d 1 : T d 2 : \dots : T d 6 = 2^0 : 2^1 : \dots : 2^5$ を満たす。

【 0 1 6 7 】

本実施例の駆動方法では、1 フレーム期間中における発光する表示期間の長さの和を制御することで、階調を表示する。

【 0 1 6 8 】

なお本実施例の構成は、実施例 1 と自由に組み合わせて実施することが可能である。

【 0 1 6 9 】

(実施例 3)

20

本実施例では、n ビットのデジタルビデオ信号を用いた、実施の形態 1 とは異なる駆動方法の一例について説明する。

【 0 1 7 0 】

図 12 に、1 フレーム期間において、n + 1 個の書き込み期間 (T a 1 ~ T a (n + 1)) と n 個の表示期間 (T d 1 ~ T d (n + 1)) とが出現するタイミングを示す。横軸は時間を示しており、縦軸は画素が有する書き込み用ゲート信号線及び表示用ゲート信号線の位置を示している。各画素の詳しい駆動の仕方については実施の形態を参照すれば良いので、ここでは省略する。

【 0 1 7 1 】

本実施例では n ビットのデジタルビデオ信号に対応して、1 フレーム期間内に n + 1 のサブフレーム期間 S F 1 ~ S F n + 1 が設けられる。そしてサブフレーム期間 S F 1 ~ S F n + 1 は、n + 1 個の書き込み期間 (T a 1 ~ T a (n + 1)) と、n 個の表示期間 (T d 1 ~ T d (n + 1)) とを有している。

30

【 0 1 7 2 】

書き込み期間 T a m (m は 1 ~ n + 1 の任意の数) と表示期間 T d m とを有するサブフレーム期間は S F m となる。書き込み期間 T a m の次には、同じビット数に対応する表示期間、この場合 T d m が出現する。

【 0 1 7 3 】

サブフレーム期間 S F 1 ~ S F n - 1 は、1 ~ (n - 1) ビットのデジタルビデオ信号の各ビットに対応している。サブフレーム期間 S F n 及び S F (n + 1) は n ビット目のデジタルビデオ信号に対応している。

40

【 0 1 7 4 】

また本実施例では、同じビットのデジタルビデオ信号に対応するサブフレーム期間 S F n と S F (n + 1) は連続して出現しない。言い換えると、同じビットのデジタルビデオ信号に対応するサブフレーム期間 S F n と S F (n + 1) の間に、他のサブフレーム期間が設けられている。

【 0 1 7 5 】

1 フレーム期間中に書き込み期間 T a と表示期間 T d とが繰り返し出現することで、1 つの画像を表示することが可能である。

【 0 1 7 6 】

50

表示期間 $T_d 1 \sim T_d n + 1$ の長さは、 $T_d 1 : T_d 2 : \dots : (T_d n + T_d (n + 1)) = 2^0 : 2^1 : \dots : 2^{n-1}$ を満たす。

【0177】

本発明の駆動方法では、1フレーム期間中における発光する表示期間の長さの和を制御することで、階調を表示する。

【0178】

本実施例は上記構成によって、中間階調の表示を行ったときに、隣り合うフレーム期間同士で発光する表示期間が隣接することによって起きていた表示むらを、実施例1、2の場合に比べて人間の目に認識されずらくすることができる。

【0179】

なお本実施例では、同じビットに対応するサブフレーム期間が2つある場合について説明したが、本発明はこれに限定されない。1フレーム期間内に同じビットに対応するサブフレーム期間が3つ以上設けられても良い。

【0180】

また、本実施例では最上位ビットのデジタルビデオ信号に対応するサブフレーム期間を複数設けたが、本発明はこれに限定されない。最上位ビット以外のビットのデジタルビデオ信号に対応するサブフレーム期間を複数設けても良い。また、対応するサブフレーム期間が複数設けられたビットは1つだけに限られず、いくつかのビットのそれぞれに複数のサブフレーム期間が対応するような構成にしても良い。

【0181】

なお本実施例の構成は $n = 2$ の場合において有効である。また、本実施例は実施例1、2と自由に組み合わせて実施することが可能である。

【0182】

(実施例4)

本実施例では、実施の形態2の駆動方法において、6ビットのデジタルビデオ信号を用いて 2^6 階調の表示を行う場合について説明する。ただし本実施例では $m = 5$ の場合について説明する。なお、本実施例では本発明の駆動方法の一例について説明しており、対応するデジタルビデオ信号のビット数や m の値については、本発明は本実施例の構成に限定されない。

【0183】

図13に、本実施例の駆動方法において、書き込み期間と、表示期間と、非表示期間とが出現するタイミングを示す。横軸は時間を示しており、縦軸は画素が有する書き込み用ゲート信号線及び表示用ゲート信号線の位置を示している。ただし、書き込み期間は短いので、図を見やすくするために、各ビットに対応する書き込み期間 $T_a 1 \sim T_a 6$ の開始されるタイミングを矢印で示した。また、対応するビットごとに、1ライン目の画素の書き込み期間が開始されてから、yライン目の画素の書き込み期間が終了するまでの期間 ($T_a 1 \sim T_a 6$) を矢印で示す。

【0184】

また、画素の詳しい動作については、実施の形態1の場合と同じであるので、ここでは説明を省略する。

【0185】

はじめに1ライン目の画素において、書き込み期間 $T_a 1$ が開始される。書き込み期間 $T_a 1$ が開始されると、実施の形態で示したように、1ビット目のデジタルビデオ信号が1ライン目の画素に入力される。

【0186】

そして、1ライン目の画素において書き込み期間 $T_a 1$ が終了すると、次に2ライン目以降の画素においても、順に書き込み期間 $T_a 1$ が開始される。そして1ライン目の画素の場合と同様に、各ラインの画素に1ビット目のデジタルビデオ信号が入力される。

【0187】

一方、2ライン目以降の画素において書き込み期間 $T_a 1$ が開始されるのと同時並行して

10

20

30

40

50

、1ライン目の画素において表示期間 T_{r1} が開始される。表示期間 T_{r1} が開始されると、1ビット目のデジタルビデオ信号によって1ライン目の画素が表示を行う。

【0188】

そして、1ライン目の画素において表示期間 T_{r1} が開始された後、2ライン目以降の画素においても順に書き込み期間 T_{a1} が終了し、表示期間 T_{r1} が開始される。そして、1ビット目のデジタルビデオ信号によって各ラインの画素が表示を行う。

【0189】

一方、2ライン目以降のラインの画素において表示期間 T_{r1} が開始されるのと同時並行して、1ライン目の画素において表示期間 T_{r1} が終了し、非表示期間 T_{d1} が開始される。

10

【0190】

非表示期間 T_{d1} が開始されると、1ライン目の画素が表示を行わなくなる。

【0191】

次に、1ライン目の画素において非表示期間 T_{d1} が開始された後、2ライン目以降の画素においても順に表示期間 T_{r1} が終了し、非表示期間 T_{d1} が開始される。よって、各ラインの画素が表示を行わなくなる。

【0192】

一方、2ライン目以降のラインの画素において非表示期間 T_{d1} が開始されるのと同時並行、もしくは全ての画素において非表示期間 T_{d1} が開始された後に、1ライン目の画素において書き込み期間 T_{a2} が開始される。

20

【0193】

書き込み期間 T_{a2} が開始されると、2ビット目のデジタルビデオ信号が1ライン目の画素に入力される。

【0194】

上述した動作は5ビット目のデジタルビデオ信号が画素に入力される前まで繰り返し行われ、各ラインの画素ごとに、書き込み期間 T_{a} と、表示期間 T_{r} と、非表示期間 T_{d} とが繰り返し出現する。

【0195】

次に、5ビット目のデジタルビデオ信号が画素に入力される、書き込み期間 T_{a5} が開始された後の画素の動作について説明する。

30

【0196】

1ライン目の画素において書き込み期間 T_{a5} が開始されると、5ビット目のデジタルビデオ信号が1ライン目の画素に入力される。そして、1ライン目の画素において書き込み期間 T_{a5} が終了すると、2ライン目以降の画素においても、順に書き込み期間 T_{a5} が開始される。

【0197】

一方、1ライン目の画素において書き込み期間 T_{a5} が終了した後、2ライン目以降のラインの画素において書き込み期間 T_{a5} が開始されるのと同時に並行して、1ライン目の画素において表示期間 T_{r5} が開始される。表示期間 T_{r5} においても、表示期間 T_{r5} と同様に、5ビット目のデジタルビデオ信号によって画素が表示を行う。

40

【0198】

そして、1ライン目の画素において表示期間 T_{r5} が開始された後、2ライン目以降の画素においても、順に書き込み期間 T_{a5} が終了し、表示期間 T_{r5} が開始される。

【0199】

次に、全てのラインの画素において表示期間 T_{r5} が開始された後、1ライン目の画素において表示期間 T_{r5} が終了し、書き込み期間 T_{a6} が開始される。

【0200】

1ライン目の画素において書き込み期間 T_{a6} が開始されると、1ライン目の画素に6ビット目のデジタルビデオ信号が入力される。

【0201】

50

そして1ライン目の画素において、書き込み期間 T_{a6} が終了する。1ライン目の画素において書き込み期間 T_{a6} が終了した後、2ライン目以降の画素においても順に表示期間 T_{r5} が終了し、書き込み期間 T_{a6} が開始される。

【0202】

一方、2ライン目以降の画素において書き込み期間 T_{a6} が開始されるのと同時並行して、1ライン目の画素において表示期間 T_{r6} が開始される。表示期間 T_{r6} が開始されると、6ビット目のデジタルビデオ信号によって1ライン目の画素が表示を行う。

【0203】

そして、1ライン目の画素において表示期間 T_{r6} が開始された後、2ライン目以降の画素においても順に書き込み期間 T_{a6} が終了し、表示期間 T_{r6} が開始される。そして、
10 6ビット目のデジタルビデオ信号によって各ラインの画素が表示を行う。

【0204】

1ライン目の画素において T_{r6} が終了した後、1ライン目の画素において1フレーム期間が終了し、再び次のフレーム期間の書き込み期間 T_{a1} が開始される。また1ライン目の画素において T_{r6} が終了した後、2ライン目以降の画素においても T_{r6} が終了した後、各ライン目の画素において1フレーム期間が終了し、再び次のフレーム期間の書き込み期間 T_{a1} が開始される。

【0205】

そして上述した動作が再び繰り返される。1フレーム期間が開始するタイミングと、終了するタイミングは、各ラインの画素毎に時間差を有している。
20

【0206】

全てのラインの画素において1フレーム期間が終了すると1つの画像を表示することができる。

【0207】

本実施例では、表示期間の長さを $T_{r1} : T_{r2} : \dots : T_{r5} : T_{r6} = 2^0 : 2^1 : \dots : 2^4 : 2^5$ とする。この表示期間の組み合わせで 2^6 階調のうち所望の階調表示を行うことができる。

【0208】

1フレーム期間中にEL素子が発光した表示期間の長さの総和を求めることによって、当該フレーム期間におけるその画素の表示した階調がきまる。例えば、本実施例の場合は、全部の表示期間で画素が発光した場合の輝度を100%とすると、 T_{r1} と T_{r2} において画素が発光した場合には5%の輝度が表現でき、 T_{r3} と T_{r5} を選択した場合には32%の輝度が表現できる。
30

【0209】

なお本発明において、各ラインの画素の書き込み期間は互いに重ならないので、 y ライン目の画素における書き込み期間が終了した後に、1ライン目の画素における書き込み期間が開始されるようにする。

【0210】

また本実施例では、各ラインの画素の表示期間 T_{r5} の長さは、1ライン目の画素の書き込み期間 T_{a5} が開始されてから、 y ライン目の画素の書き込み期間 T_{a5} が終了するまでの期間（ T_{a5} ）より、長いことが肝要である。
40

【0211】

また表示期間 $T_{r1} \sim T_{r6}$ は、どのような順序で出現させても良い。例えば1フレーム期間中において、 T_{r1} の次に T_{r3} 、 T_{r5} 、 T_{r2} 、…という順序で表示期間を出現させることも可能である。ただし、各ラインの画素における書き込み期間が、互いに重ならないようにすることが必要である。

【0212】

本発明の駆動方法では、1ライン目の画素の書き込み期間 T_a が開始されてから、 y ライン目の画素の書き込み期間 T_a が終了するまでの期間、言い換えると全ての画素に1ビット分のデジタルビデオ信号を書き込む期間より、各ラインの画素の表示期間の長さを短く
50

することができる。よって、デジタルビデオ信号のビット数が増加しても、下位ビットに対応する表示期間の長さを短くすることができるので、画面をちらつかせることなく高精細な画像を表示することが可能である。

【0213】

また、本発明の発光装置は温度変化に左右されずに一定の輝度を得ることができ。また、カラー表示において、各色毎に異なるEL材料を有するEL素子を設けた場合でも、温度によって各色のEL素子の輝度がバラバラに変化して所望の色が得られないということを防ぐことができる。

(実施例5)

本実施例では、6ビットのデジタルビデオ信号に対応した実施の形態2の駆動方法において、表示期間Tr1～Tr6の出現する順序について説明する。ただし本実施例ではm=5の場合について説明する。なお、本実施例では本発明の実施の形態2の駆動方法の一例について説明しており、対応するデジタルビデオ信号のビット数やmの値については、本発明は本実施例の構成に限定されない。なお本実施例の構成はデジタルビデオ信号のビット数が3以上の場合において有効である。

10

【0214】

図14に、本実施例の駆動方法において、書き込み期間と、表示期間と、非表示期間とが出現するタイミングを示す。横軸は時間を示しており、縦軸は画素が有する書き込み用ゲート信号線及び表示用ゲート信号線の位置を示している。ただし、書き込み期間は短いので、図を見やすくするために、各ビットに対応する書き込み期間Ta1～Ta6の開始されるタイミングを矢印で示した。また、対応するビットごとに、1ライン目の画素の書き込み期間が開始されてから、yライン目の画素の書き込み期間が終了するまでの期間(Ta1～Ta6)を矢印で示す。

20

【0215】

また、画素の詳しい動作については、実施の形態2の場合と同じであるので、ここでは説明を省略する。

【0216】

はじめに1ライン目の画素において、書き込み期間Ta4が開始される。書き込み期間Ta4が開始されると、4ビット目のデジタルビデオ信号が1ライン目の画素に入力される。

30

【0217】

そして、1ライン目の画素において書き込み期間Ta4が終了すると、次に2ライン目以降の画素においても、順に書き込み期間Ta4が開始される。そして1ライン目の画素の場合と同様に、各ラインの画素に4ビット目のデジタルビデオ信号が入力される。

【0218】

一方、2ライン目以降の画素において書き込み期間Ta4が開始されるのと同時並行して、1ライン目の画素において表示期間Tr4が開始される。表示期間Tr4が開始されると、4ビット目のデジタルビデオ信号によって1ライン目の画素が表示を行う。

【0219】

そして、1ライン目の画素において表示期間Tr4が開始された後、2ライン目以降の画素においても順に書き込み期間Ta4が終了し、表示期間Tr4が開始される。そして、4ビット目のデジタルビデオ信号によって各ラインの画素が表示を行う。

40

【0220】

一方、2ライン目以降のラインの画素において表示期間Tr4が開始した後、1ライン目の画素において表示期間Tr4が終了し、非表示期間Td4が開始される。なお、2ライン目以降のラインの画素において表示期間Tr4が開始されるのと同時に並行して、1ライン目の画素において表示期間Tr4が終了し、非表示期間Td4が開始されても良い。

【0221】

非表示期間Td4が開始されると、1ライン目の画素が表示を行わなくなる。

【0222】

50

次に、1ライン目の画素において非表示期間 T_{d4} が開始された後、2ライン目以降の画素においても順に表示期間 T_{r4} が終了し、非表示期間 T_{d4} が開始される。よって、各ラインの画素が表示を行わなくなる。

【0223】

一方、2ライン目以降のラインの画素において非表示期間 T_{d4} が開始されるのと同時並行、もしくは全ての画素において非表示期間 T_{d4} が開始された後に、1ライン目の画素において書き込み期間 T_{a5} が開始される。

【0224】

1ライン目の画素において書き込み期間 T_{a5} が開始されると、5ビット目のデジタルビデオ信号が1ライン目の画素に入力される。そして、1ライン目の画素において書き込み期間 T_{a5} が終了すると、2ライン目以降の画素においても、順に書き込み期間 T_{a5} が開始される。10

【0225】

一方、1ライン目の画素において書き込み期間 T_{a5} が終了した後、2ライン目以降のラインの画素において書き込み期間 T_{a5} が開始されるのと同時並行して、1ライン目の画素において表示期間 T_{r5} が開始される。表示期間 T_{r5} においても、表示期間 T_{r5} と同様に、5ビット目のデジタルビデオ信号によって画素が表示を行う。

【0226】

そして、1ライン目の画素において表示期間 T_{r5} が開始された後、2ライン目以降の画素においても、順に書き込み期間 T_{a5} が終了し、表示期間 T_{r5} が開始される。20

【0227】

次に、全てのラインの画素において表示期間 T_{r5} が開始された後、1ライン目の画素において表示期間 T_{r5} が終了し、書き込み期間 T_{a2} が開始される。

【0228】

1ライン目の画素において書き込み期間 T_{a2} が開始されると、2ビット目のデジタルビデオ信号が1ライン目の画素に入力される。

【0229】

そして、1ライン目の画素において書き込み期間 T_{a2} が終了すると、次に2ライン目以降の画素においても、順に書き込み期間 T_{a2} が開始される。そして1ライン目の画素の場合と同様に、各ラインの画素に2ビット目のデジタルビデオ信号が入力される。30

【0230】

一方、2ライン目以降の画素において書き込み期間 T_{a2} が開始されるのと同時に、1ライン目の画素において表示期間 T_{r2} が開始される。表示期間 T_{r2} が開始されると、2ビット目のデジタルビデオ信号によって1ライン目の画素が表示を行う。

【0231】

そして、1ライン目の画素において表示期間 T_{r2} が開始された後、2ライン目以降の画素においても順に書き込み期間 T_{a2} が終了し、表示期間 T_{r2} が開始される。そして、2ビット目のデジタルビデオ信号によって各ラインの画素が表示を行う。

【0232】

一方、2ライン目以降のラインの画素において表示期間 T_{r2} が開始されるのと同時に、1ライン目の画素において表示期間 T_{r2} が終了し、非表示期間 T_{d2} が開始される。40

【0233】

非表示期間 T_{d2} が開始されると、1ライン目の画素が表示を行わなくなる。

【0234】

次に、1ライン目の画素において非表示期間 T_{d2} が開始された後、2ライン目以降の画素においても順に表示期間 T_{r2} が終了し、非表示期間 T_{d2} が開始される。よって、各ラインの画素が表示を行わなくなる。

【0235】

一方、2ライン目以降のラインの画素において非表示期間 T_{d2} が開始されるのと同時に、50

行、もしくは全ての画素において非表示期間 $T_d 2$ が開始された後に、1 ライン目の画素において書き込み期間 $T_a 3$ が開始される。

【0236】

上述した動作は 1 ~ 6 の全てのビットのデジタルビデオ信号が画素に入力される前まで繰り返し行われ、各ラインの画素ごとに、書き込み期間 T_a と、表示期間 T_r と、非表示期間 T_d とが繰り返し出現する。

【0237】

1 ライン目の画素において全ての表示期間 $T_r 1$ ~ $T_r 6$ が終了した後、1 ライン目の画素において 1 フレーム期間が終了し、再び次のフレーム期間の最初の書き込み期間（本実施例では $T_a 4$ ）が開始される。また 1 ライン目の画素において 1 フレーム期間が終了した後、2 ライン目以降の画素においても 1 フレーム期間が終了し、再び次のフレーム期間の書き込み期間 $T_a 4$ が開始される。10

【0238】

そして上述した動作が再び繰り返される。1 フレーム期間が開始するタイミングと、終了するタイミングは、各ラインの画素毎に時間差を有している。

【0239】

全てのラインの画素において 1 フレーム期間が終了すると 1 つの画像を表示することができる。

【0240】

本実施例では、表示期間の長さを $T_r 1 : T_r 2 : \dots : T_r 5 : T_r 6 = 2^0 : 2^1 : \dots : 2^4 : 2^5$ とする。この表示期間の組み合わせで 2^6 階調のうち所望の階調表示を行うことができる。20

【0241】

1 フレーム期間中に E L 素子が発光した表示期間の長さの総和を求めることによって、当該フレーム期間におけるその画素の表示した階調がきまる。例えば、本実施例の場合は、全部の表示期間で画素が発光した場合の輝度を 100 % とすると、 $T_r 1$ と $T_r 2$ において画素が発光した場合には 5 % の輝度が表現でき、 $T_r 3$ と $T_r 5$ を選択した場合には 32 % の輝度が表現できる。

【0242】

なお本発明において、各ラインの画素の書き込み期間は互いに重ならないので、y ライン目の画素における書き込み期間が終了した後に、1 ライン目の画素における書き込み期間が開始されるようにする。30

【0243】

また本実施例では、各ラインの画素の表示期間 $T_r 5$ の長さは、1 ライン目の画素の書き込み期間 $T_a 5$ が開始されてから、y ライン目の画素の書き込み期間 $T_a 5$ が終了するまでの期間（ $T_a 5$ ）より、長いことが肝要である。

【0244】

また表示期間 $T_r 1$ ~ $T_r 6$ は、どのような順序で出現させても良い。例えば 1 フレーム期間中において、 $T_r 1$ の次に $T_r 3$ 、 $T_r 5$ 、 $T_r 2$ 、... という順序で表示期間を出現させることも可能である。ただし、各ラインの画素における書き込み期間が、互いに重ならないようにすることが必要である。40

【0245】

本実施例の駆動方法では、1 ライン目の画素の書き込み期間 T_a が開始されてから、y ライン目の画素の書き込み期間 T_a が終了するまでの期間、言い換えると全ての画素に 1 ビット分のデジタルビデオ信号を書き込む期間より、各ラインの画素の表示期間の長さを短くすることができる。よって、デジタルビデオ信号のビット数が増加しても、下位ビットに対応する表示期間の長さを短くすることができるので、画面をちらつかせることなく高精細な画像を表示することが可能である。

【0246】

また、本発明の発光装置は温度変化に左右されずに一定の輝度を得ることができる。また50

、カラー表示において、各色毎に異なるEL材料を有するEL素子を設けた場合でも、温度によって各色のEL素子の輝度がバラバラに変化して所望の色が得られないということを防ぐことができる。

【0247】

なお本実施例の駆動方法では、1フレーム期間中で1番長い表示期間（本実施例ではTr₆）を、1フレーム期間の最初及び最後に設けない。言い換えると、1フレーム期間中で1番長い表示期間の前後に、同じフレーム期間に含まれる他の表示期間が出現するような構成にしている。

【0248】

上記構成によって、中間階調の表示を行ったときに、隣り合うフレーム期間同士で発光する表示期間が隣接することによって起きていた表示むらを、人間の目に認識されずらくすることができる。10

【0249】

本実施例は実施例4と自由に組み合わせて実施することが可能である。

【0250】

(実施例6)

本実施例では、nビットのデジタルビデオ信号を用いた、実施の形態2とは異なる駆動方法の一例について説明する。ただし本実施例ではm=n-2の場合について説明する。

【0251】

本実施例の駆動方法では、最上位ビットのデジタルビデオ信号に対応する表示期間Tr_nを第1表示期間Tr_{n-1}と第2表示期間Tr_{n-2}とに分割している。そして、第1表示期間Tr_{n-1}と第2表示期間Tr_{n-2}のそれぞれに対応して、第1書き込み期間Ta_{n-1}と第2書き込み期間Ta_{n-2}とが設けられている。20

【0252】

図15に、本実施例の駆動方法において、書き込み期間と、表示期間と、非表示期間とが出現するタイミングを示す。横軸は時間を示しており、縦軸は画素が有する書き込み用ゲート信号線及び表示用ゲート信号線の位置を示している。ただし、書き込み期間は短いので、図を見やすくするために、各ビットに対応する書き込み期間Ta₁～Ta_(n-1)、Ta_{n-1}、Ta_{n-2}の開始されるタイミングを矢印で示した。また、対応するビットごとに、1ライン目の画素の書き込み期間が開始されてから、yライン目の画素の書き込み期間が終了するまでの期間（Ta₁～Ta_(n-1)、Ta_{n-1}、Ta_{n-2}）を矢印で示す。30

【0253】

また、画素の詳しい動作については、実施の形態2の場合と同じであるので、ここでは説明を省略する。

【0254】

また本実施例では、同じビットのデジタルビデオ信号に対応する第1表示期間Tr_{n-1}と第2表示期間Tr_{n-2}の間に、他のビットに対応する表示期間が設けられている。

【0255】

表示期間Tr₁～Tr_n、Tr_{n-1}、Tr_{n-2}の長さは、Tr₁：Tr₂：…：Tr_(n-1)：(Tr_{n-1}+Tr_{n-2})=2⁰：2¹：…：2ⁿ⁻¹を満たす。40

【0256】

本発明の駆動方法では、1フレーム期間中における発光する表示期間の長さの和を制御することで、階調を表示する。

【0257】

本実施例は上記構成によって、中間階調の表示を行ったときに、隣り合うフレーム期間同士で発光する表示期間が隣接することによって起きていた表示むらを、実施例4、5の場合に比べて人間の目に認識されずらくすることができる。

【0258】

なお本実施例では、同じビットに対応する表示期間が2つある場合について説明したが、

50

本発明はこれに限定されない。1フレーム期間内に同じビットに対応する表示期間が3つ以上設けられていても良い。

【0259】

また、本実施例では最上位ビットのデジタルビデオ信号に対応する表示期間を複数設けたが、本発明はこれに限定されない。最上位ビット以外のビットのデジタルビデオ信号に対応する表示期間を複数設けても良い。また、対応する表示期間が複数設けられたビットは1つだけに限られず、いくつかのビットのそれぞれに複数の表示期間が対応するような構成にしても良い。

【0260】

なお本実施例の構成はn=2の場合において有効である。また、本実施例は実施例4または5と自由に組み合わせて実施することが可能である。 10

【0261】

(実施例7)

本実施例では、本発明の発光装置が有する駆動回路（ソース信号線駆動回路及びゲート信号線駆動回路）の構成について説明する。

【0262】

図16にソース信号線駆動回路601の構成をブロック図で示す。602はシフトレジスタ、603は記憶回路A、604は記憶回路B、605は定電流回路である。 20

【0263】

シフトレジスタ602にはクロック信号CLKと、スタートパルス信号SPが入力されている。また記憶回路A602にはデジタルビデオ信号(Digital Video Signals)が入力されており、記憶回路B603にはラッチ信号(Latch Signals)が入力されている。定電流回路604から出力される一定の電流Icはソース信号線へ入力される。 20

【0264】

図17にソース信号線駆動回路601のより詳しい構成を示す。

【0265】

シフトレジスタ602に所定の配線からクロック信号CLKとスタートパルス信号SPとが入力されることによって、タイミング信号が生成される。タイミング信号は記憶回路A603が有する複数のラッチA(LATA_1~LATA_x)にそれぞれ入力される。なおこのときシフトレジスタ602において生成されたタイミング信号を、バッファ等で緩衝増幅してから、記憶回路A603が有する複数のラッチA(LATA_1~LATA_x)にそれぞれ入力するような構成にしても良い。 30

【0266】

記憶回路A603にタイミング信号が入力されると、該タイミング信号に同期して、ビデオ信号線610に入力される1ビット分のデジタルビデオ信号が、順に複数のラッチA(LATA_1~LATA_x)のそれぞれに書き込まれ、保持される。

【0267】

なお、本実施例では記憶回路A603にデジタルビデオ信号を取り込む際に、記憶回路A603が有する複数のラッチA(LATA_1~LATA_x)に、順にデジタルビデオ信号を入力しているが、本発明はこの構成に限定されない。記憶回路A603が有する複数のステージのラッチをいくつかのグループに分け、各グループごとに並行して同時にデジタルビデオ信号を入力する、いわゆる分割駆動を行っても良い。なおこのときのグループの数を分割数と呼ぶ。例えば4つのステージごとにラッチをグループに分けた場合、4分割で分割駆動すると言う。 40

【0268】

記憶回路A603の全てのステージのラッチにデジタルビデオ信号の書き込みが一通り終了するまでの時間を、ライン期間と呼ぶ。実際には、上記ライン期間に水平帰線期間が加えられた期間をライン期間に含むことがある。

【0269】

10

20

30

40

50

1 ライン期間が終了すると、記憶回路 B 6 0 4 が有する複数のラッチ B (L A T B _ 1 ~ L A T B _ x) に、ラッチ信号線 6 0 9 を介してラッチシグナル (Latch Signal) が供給される。この瞬間、記憶回路 A 6 0 3 が有する複数のラッチ A (L A T A _ 1 ~ L A T A _ x) に保持されているデジタルビデオ信号は、記憶回路 B 6 0 4 が有する複数のラッチ B (L A T B _ 1 ~ L A T B _ x) に一斉に書き込まれ、保持される。

【 0 2 7 0 】

デジタルビデオ信号を記憶回路 B 6 0 4 に送出し終えた記憶回路 A 6 0 3 には、シフトレジスタ 6 0 2 からのタイミング信号に基づき、次の 1 ビット分のデジタルビデオ信号の書き込みが順次行われる。

【 0 2 7 1 】

この 2 順目の 1 ライン期間中には、記憶回路 B 6 0 4 に書き込まれ、保持されているデジタルビデオ信号が定電流回路 6 0 5 に入力される。

【 0 2 7 2 】

定電流回路 6 0 5 は複数の電流設定回路 (C 1 ~ C x) を有している。電流設定回路 (C 1 ~ C x) のそれぞれにデジタルビデオ信号が入力されると、該デジタルビデオ信号が有する 1 または 0 の情報によって、ソース信号線に一定の電流 I c が流れるか、またはソース信号線に電源供給線 V 1 ~ V x の電位が与えられるか、いずれか一方が選択される。

【 0 2 7 3 】

図 1 8 に電流設定回路 C 1 の具体的な構成の一例を示す。なお電流設定回路 C 2 ~ C x も同じ構成を有する。

【 0 2 7 4 】

電流設定回路 C 1 は定電流源 6 3 1 と、4 つのトランスマッショングート S W 1 ~ S W 4 と、2 つのインバーター I n b 1 、I n b 2 とを有している。

【 0 2 7 5 】

記憶回路 B 6 0 4 が有する L A T B _ 1 から出力されたデジタルビデオ信号によって、S W 1 ~ S W 4 のスイッチングが制御される。なお S W 1 及び S W 3 に入力されるデジタルビデオ信号と、S W 2 及び S W 4 に入力されるデジタルビデオ信号は、I n b 1 、I n b 2 によって反転している。そのため S W 1 及び S W 3 がオンのときは S W 2 及び S W 4 はオフ、S W 1 及び S W 3 がオフのときは S W 2 及び S W 4 はオンとなっている。

【 0 2 7 6 】

S W 1 及び S W 3 がオンのとき、定電流源 6 3 1 から電流 I c が S W 1 及び S W 3 を介してソース信号線 S 1 に入力される。

【 0 2 7 7 】

逆に S W 2 及び S W 4 がオンのときは、定電流源 6 3 1 からの電流 I c は S W 2 を介してグラウンドに落とされる。また S W 4 を介して電源供給線 V 1 ~ V x の電源電位がソース信号線 S 1 に与えられる。

【 0 2 7 8 】

再び図 1 7 を参照して、前記の動作が、1 ライン期間内に、定電流回路 6 0 5 が有する全ての電流設定回路 (C 1 ~ C x) において同時に行われる。よって、デジタルビデオ信号により、全てのソース信号線において、一定の電流 I c が流れるか、または電源電位が与えられるかが選択される。

【 0 2 7 9 】

なお、シフトレジスタの代わりにデコーダ回路等の別の回路を用いて、ラッチ回路に順にデジタルビデオ信号を書きこむようにしても良い。

【 0 2 8 0 】

次に、書き込み用ゲート信号線駆動回路と表示用ゲート信号線駆動回路の構成について説明する。ただし、書き込み用ゲート信号線駆動回路と表示用ゲート信号線駆動回路の構成はほぼ同じであるので、ここでは代表して書き込み用ゲート信号線駆動回路についてのみ説明する。

【 0 2 8 1 】

10

20

30

40

50

図19は書き込み用ゲート信号線駆動回路641の構成を示すブロック図である。

【0282】

書き込み用ゲート信号線駆動回路641は、それぞれシフトレジスタ642、バッファ643を有している。また場合によってはレベルシフタを有していても良い。

【0283】

書き込み用ゲート信号線駆動回路641において、シフトレジスタ642にクロックCLK及びスタートパルス信号SPが入力されることによって、タイミング信号が生成される。生成されたタイミング信号はバッファ643において緩衝増幅され、選択された書き込み用ゲート信号線に供給される。

【0284】

書き込み用ゲート信号線には、1ライン分の画素の第1スイッチング用TFT及び第2スイッチング用TFTのゲート電極が接続されている。そして、1ライン分の画素の第1スイッチング用TFT及び第2スイッチング用TFTを一斉にONにしなくてはならないので、バッファ643は大きな電流を流すことが可能なものが用いられる。

【0285】

なお、表示用ゲート信号線駆動回路の場合、全ての表示用ゲート信号線に接続されているEL駆動用TFTを、各表示期間において一斉にオンにする。そのため、書き込み用ゲート信号線駆動回路のシフトレジスタに入力されるクロック信号CLK及びスタートパルス信号SPとは波形が異なっている。

【0286】

なお、シフトレジスタの代わりにデコーダ回路等の別の回路を用いて、ゲート信号を選択し、タイミング信号を供給するようにしても良い。

【0287】

本発明において用いられる駆動回路は、本実施例で示した構成に限定されない。

【0288】

本実施例は、実施例1～実施例6と自由に組み合わせて実施することが可能である。

【0289】

(実施例8)

本実施例では、図1に示した構成を有する画素の上面図の一例について示す。

【0290】

図20に本実施例の画素の上面図を示す。画素は、ソース信号線Siと、電源供給線Viと、書き込み用ゲート信号線Gajと、表示用ゲート信号線Gbjとを有している。ソース信号線Siは書き込み用ゲート信号線Gaj及び表示用ゲート信号線Gbjと重なる部分においてゲート信号線Gjと接触しないように、一部、接続配線182によって引き回されている。

【0291】

102と103は、それぞれ第1スイッチング用TFTと第2スイッチング用TFTである。また104と105は、それぞれ電流制御用TFTとEL駆動用TFTである。

【0292】

第1スイッチング用TFT102のソース領域とドレイン領域は、一方は接続配線190を介してソース信号線Siに接続されており、もう一方は接続配線183を介して電流制御用TFT104のドレイン領域に接続されている。また第2スイッチング用TFT103のソース領域とドレイン領域は、一方は接続配線183を介して電流制御用TFT104のドレイン領域に接続されており、もう一方は接続配線184及びゲート配線185に接続されている。なおゲート配線185の一部は電流制御用TFTのゲート電極として機能している。

【0293】

書き込み用ゲート信号線Gajの一部は、第1スイッチング用TFT102及び第2スイッチング用TFT103のゲート電極として機能している。

【0294】

10

20

30

40

50

また電源供給線 V_i とゲート配線 185 の一部は層間絶縁膜を間にはさんで重なっており、重なっている部分がコンデンサ 107 になる。

【0295】

電流制御用 TFT104 のソース領域は電源供給線 V_i に接続されており、ドレイン領域は接続配線 186 を介して EL 駆動用 TFT105 のソース領域に接続されている。EL 駆動用 TFT105 のドレイン領域は、画素電極 181 に接続されている。また表示用ゲート信号線 G_{bj} の一部は、EL 駆動用 TFT105 のゲート電極として機能している。

【0296】

なお本発明の発光装置が有する画素は、図 20 に示した構成に限定されない。また本実施例の構成は、実施例 1 ~ 7 と自由に組み合わせて実施することが可能である。

10

【0297】

(実施例 9)

本実施例では、本発明の発光装置の画素部の TFT を作製する方法について説明する。なお、画素部の周辺に設けられる駆動回路（ソース信号線側駆動回路、書き込み用ゲート信号線側駆動回路、表示用ゲート信号線側駆動回路）が有する TFT を、画素部の TFT と同一基板上に同時に形成しても良い。

【0298】

まず、図 21 (A) に示すように、コーニング社の #7059 ガラスや #1737 ガラスなどに代表されるバリウムホウケイ酸ガラス、またはアルミニノホウケイ酸ガラスなどのガラスから成る基板 5001 上に酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などの絶縁膜から成る下地膜 5002 を形成する。例えば、プラズマ CVD 法で SiH₄、NH₃、N₂O から作製される酸化窒化シリコン膜 5002a を 10 ~ 200 [nm] (好ましくは 50 ~ 100 [nm]) 形成し、同様に SiH₄、N₂O から作製される酸化窒化水素化シリコン膜 5002b を 50 ~ 200 [nm] (好ましくは 100 ~ 150 [nm]) の厚さに積層形成する。本実施例では下地膜 5002 を 2 層構造として示したが、前記絶縁膜の単層膜または 2 層以上積層させた構造として形成しても良い。

20

【0299】

島状半導体層 5004 ~ 5006 は、非晶質構造を有する半導体膜をレーザー結晶化法や公知の熱結晶化法を用いて作製した結晶質半導体膜で形成する。この島状半導体層 5004 ~ 5006 の厚さは 25 ~ 80 [nm] (好ましくは 30 ~ 60 [nm]) の厚さで形成する。結晶質半導体膜の材料に限定はないが、好ましくはシリコンまたはシリコンゲルマニウム (SiGe) 合金などで形成すると良い。

30

【0300】

レーザー結晶化法で結晶質半導体膜を作製するには、パルス発振型または連続発光型のエキシマレーザーや YAG レーザー、YVO₄ レーザーを用いる。これらのレーザーを用いる場合には、レーザー発振器から放射されたレーザー光を光学系で線状に集光し半導体膜に照射する方法を用いると良い。結晶化の条件は実施者が適宜選択するものであるが、エキシマレーザーを用いる場合はパルス発振周波数 300 [Hz] とし、レーザーエネルギー密度を 100 ~ 400 [mJ / cm²] (代表的には 200 ~ 300 [mJ / cm²]) とする。また、YAG レーザーを用いる場合にはその第 2 高調波を用いパルス発振周波数 30 ~ 300 [kHz] とし、レーザーエネルギー密度を 300 ~ 600 [mJ / cm²] (代表的には 350 ~ 500 [mJ / cm²]) とすると良い。そして幅 100 ~ 1000 [μm]、例えば 400 [μm] で線状に集光したレーザー光を基板全面に渡って照射し、この時の線状レーザー光の重ね合わせ率 (オーバーラップ率) を 50 ~ 90 [%] として行う。

40

【0301】

次いで、島状半導体層 5004 ~ 5006 を覆うゲート絶縁膜 5007 を形成する。ゲート絶縁膜 5007 はプラズマ CVD 法またはスパッタ法を用い、厚さを 40 ~ 150 [nm] としてシリコンを含む絶縁膜で形成する。本実施例では、120 [nm] の厚さで酸化窒化シリコン膜で形成する。勿論、ゲート絶縁膜はこのような酸化窒化シリコン膜に限定されるものでなく、他のシリコンを含む絶縁膜を単層または積層構造として用いても良い

50

。例えば、酸化シリコン膜を用いる場合には、プラズマCVD法でTEOS (Tetraethyl Orthosilicate)とO₂とを混合し、反応圧力40 [Pa]、基板温度300～400[]とし、高周波(13.56 [MHz])、電力密度0.5～0.8 [W/cm²]で放電させて形成することが出来る。このようにして作製される酸化シリコン膜は、その後400～500[]の熱アニールによりゲート絶縁膜として良好な特性を得ることが出来る。

【0302】

そして、ゲート絶縁膜5007上にゲート電極を形成するための第1の導電膜5008と第2の導電膜5009とを形成する。本実施例では、第1の導電膜5008をTaで50～100 [nm]の厚さに形成し、第2の導電膜5009をWで100～300 [nm]の厚さに形成する。

10

【0303】

Ta膜はスパッタ法で、TaのターゲットをArでスパッタすることにより形成する。この場合、Arに適量のXeやKrを加えると、Ta膜の内部応力を緩和して膜の剥離を防止することが出来る。また、相のTa膜の抵抗率は20 [μ cm]程度でありゲート電極に使用することが出来るが、相のTa膜の抵抗率は180 [μ cm]程度でありゲート電極とするには不向きである。相のTa膜を形成するために、Taの相に近い結晶構造をもつ窒化タンタルを10～50 [nm]程度の厚さでTaの下地に形成しておくと相のTa膜を容易に得ることが出来る。

【0304】

W膜を形成する場合には、Wをターゲットとしたスパッタ法で形成する。その他に6フッ化タンゲステン(WF₆)を用いる熱CVD法で形成することも出来る。いずれにしてもゲート電極として使用するためには低抵抗化を図る必要があり、W膜の抵抗率は20 [μ cm]以下にすることが望ましい。W膜は結晶粒を大きくすることで低抵抗化を図ることが出来るが、W中に酸素などの不純物元素が多い場合には結晶化が阻害され高抵抗化する。このことより、スパッタ法による場合、純度99.9999 [%]のWターゲットを用い、さらに成膜時に気相中からの不純物の混入がないように十分配慮してW膜を形成することにより、抵抗率9～20 [μ cm]を実現することが出来る。

20

【0305】

なお、本実施例では、第1の導電膜5008をTa、第2の導電膜5009をWとしたが、特に限定されず、いずれもTa、W、Ti、Mo、Al、Cuなどから選ばれた元素、または前記元素を主成分とする合金材料もしくは化合物材料で形成してもよい。また、リン等の不純物元素をドーピングした多結晶シリコン膜に代表される半導体膜を用いてもよい。本実施例以外の他の組み合わせの一例で望ましいものとしては、第1の導電膜5008を窒化タンタル(TaN)で形成し、第2の導電膜5009をWとする組み合わせ、第1の導電膜5008を窒化タンタル(TaN)で形成し、第2の導電膜5009をAlとする組み合わせ、第1の導電膜5008を窒化タンタル(TaN)で形成し、第2の導電膜5009をCuとする組み合わせが挙げられる。(図21(A))

30

【0306】

次に、レジストによるマスク5010を形成し、電極及び配線を形成するための第1のエッチング処理を行う。本実施例ではICP(Inductively Coupled Plasma: 誘導結合型プラズマ)エッティング法を行い、エッティング用ガスにCF₄とCl₂を混合し、1 [Pa]の圧力でコイル型の電極に500 [W]のRF(13.56 [MHz])電力を投入してプラズマを生成して行う。基板側(試料ステージ)にも100 [W]のRF(13.56 [MHz])電力を投入し、実質的に負の自己バイアス電圧を印加する。CF₄とCl₂を混合した場合にはW膜及びTa膜とも同程度にエッティングされる。

40

【0307】

上記エッティング条件では、レジストによるマスクの形状を適したものとすることにより、基板側に印加するバイアス電圧の効果により第1の導電層及び第2の導電層の端部がテーパー形状となる。テーパー部の角度は15～45°となる。ゲート絶縁膜上に残渣を残すことなくエッティングするためには、10～20 [%]程度の割合でエッティング時間を増加さ

50

せると良い。W膜に対する酸化窒化シリコン膜の選択比は2~4(代表的には3)であるので、オーバーエッチング処理により、酸化窒化シリコン膜が露出した面は20~50[nm]程度エッチングされることになる。こうして、第1のエッチング処理により第1の導電層と第2の導電層から成る第1の形状の導電層5011~5015(第1の導電層5011a~5015aと第2の導電層5011b~5015b)を形成する。このとき、ゲート絶縁膜5007においては、第1の形状の導電層5011~5015で覆われない領域は20~50[nm]程度エッチングされ薄くなった領域が形成される。

【0308】

そして、第1のドーピング処理を行いN型を付与する不純物元素を添加する。ドーピングの方法はイオンドープ法もしくはイオン注入法で行えば良い。イオンドープ法の条件はドーズ量を $1 \times 10^{13} \sim 5 \times 10^{14}$ [atoms/cm²]とし、加速電圧を60~100[kev]として行う。N型を付与する不純物元素として15族に属する元素、典型的にはリン(P)または砒素(As)を用いるが、ここではリン(P)を用いる。この場合、導電層5012~5015がN型を付与する不純物元素に対するマスクとなり、自己整合的に第1の不純物領域5017~5023が形成される。第1の不純物領域5017~5023には $1 \times 10^{20} \sim 1 \times 10^{21}$ [atoms/cm³]の濃度範囲でN型を付与する不純物元素を添加する。(図21(B))

【0309】

次に、図21(C)に示すように、レジストマスクは除去しないまま、第2のエッチング処理を行う。エッチングガスにCF₄とCl₂とO₂とを用い、W膜を選択的にエッチングする。この時、第2のエッチング処理により第2の形状の導電層5025~5029(第1の導電層5025a~5029aと第2の導電層5025b~5029b)を形成する。このとき、ゲート絶縁膜5007においては、第2の形状の導電層5025~5029で覆われない領域はさらに20~50[nm]程度エッチングされ薄くなった領域が形成される。

【0310】

W膜やTa膜のCF₄とCl₂の混合ガスによるエッチング反応は、生成されるラジカルまたはイオン種と反応生成物の蒸気圧から推測することが出来る。WとTaのフッ化物と塩化物の蒸気圧を比較すると、Wのフッ化物であるWF₆が極端に高く、その他のWC_{1.5}、TaF₅、TaC_{1.5}は同程度である。従って、CF₄とCl₂の混合ガスではW膜及びTa膜共にエッチングされる。しかし、この混合ガスに適量のO₂を添加するとCF₄とO₂が反応してCOとFになり、FラジカルまたはFイオンが多量に発生する。その結果、フッ化物の蒸気圧が高いW膜のエッチング速度が増大する。一方、TaはFが増大しても相対的にエッチング速度の増加は少ない。また、TaはWに比較して酸化されやすいので、O₂を添加することでTaの表面が酸化される。Taの酸化物はフッ素や塩素と反応しないためさらにTa膜のエッチング速度は低下する。従って、W膜とTa膜とのエッチング速度に差を作ることが可能となりW膜のエッチング速度をTa膜よりも大きくすることが可能となる。

【0311】

そして、図22(A)に示すように第2のドーピング処理を行う。この場合、第1のドーピング処理よりもドーズ量を下げる高い加速電圧の条件としてN型を付与する不純物元素をドーピングする。例えば、加速電圧を70~120[keV]とし、 1×10^{13} [atoms/cm²]のドーズ量で行い、図21(B)で島状半導体層に形成された第1の不純物領域の内側に新たな不純物領域を形成する。ドーピングは、第2の形状の導電層5026~5029を不純物元素に対するマスクとして用い、第1の導電層5026a~5029aの下側の領域にも不純物元素が添加されるようにドーピングする。こうして、第3の不純物領域5032~5035が形成される。この第3の不純物領域5032~5035に添加されたリン(P)の濃度は、第1の導電層5026a~5029aのテーパー部の膜厚に従って緩やかな濃度勾配を有している。なお、第1の導電層5026a~5029aのテーパー部と重なる半導体層において、第1の導電層5026a~5029aのテーパー

10

20

30

40

50

一部の端部から内側に向かって若干、不純物濃度が低くなっているものの、ほぼ同程度の濃度である。

【0312】

図22(B)に示すように第3のエッティング処理を行う。エッティングガスにCHF₆を用い、反応性イオンエッティング法(RIE法)を用いて行う。第3のエッティング処理により、第1の導電層5025a～5029aのテーパー部を部分的にエッティングして、第1の導電層が半導体層と重なる領域が縮小される。第3のエッティング処理によって、第3の形状の導電層5036～5040(第1の導電層5036a～5040aと第2の導電層5036b～5040b)を形成する。このとき、ゲート絶縁膜5007においては、第3の形状の導電層5036～5040で覆われない領域はさらに20～50[nm]程度エッティングされ薄くなった領域が形成される。

10

【0313】

第3のエッティング処理によって、第3の不純物領域5032～5035においては、第1の導電層5037a～5040aと重なる第3の不純物領域5032a～5035aと、第1の不純物領域と第3の不純物領域との間の第2の不純物領域5032b～5035bとが形成される。

【0314】

そして、図22(C)に示すように、Pチャネル型TFTを形成する島状半導体層5005、5006に第1の導電型とは逆の導電型の第4の不純物領域5043～5054を形成する。第3の形状の導電層5039b、5040bを不純物元素に対するマスクとして用い、自己整合的に不純物領域を形成する。このとき、Nチャネル型TFTを形成する島状半導体層5005、5006および配線部5036はレジストマスク5200で全面を被覆しておく。不純物領域5043～5054にはそれぞれ異なる濃度でリンが添加されているが、ジボラン(B₂H₆)を用いたイオンドープ法で形成し、そのいずれの領域においても不純物濃度が2×10²⁰～2×10²¹[atoms/cm³]となるようとする。

20

【0315】

以上までの工程でそれぞれの島状半導体層に不純物領域が形成される。島状半導体層と重なる第3の形状の導電層5037～5040がゲート電極として機能する。また、5036は島状のソース信号線として機能する。

【0316】

30

レジストマスク5200を除去した後、導電型の制御を目的として、それぞれの島状半導体層に添加された不純物元素を活性化する工程を行う。この工程はファーネスアニール炉を用いる熱アニール法で行う。その他に、レーザーハードening法、またはラピッドサーマルアニール法(RTA法)を適用することが出来る。熱アニール法では酸素濃度が1[ppm]以下、好ましくは0.1[ppm]以下の窒素雰囲気中で400～700[]、代表的には500～600[]で行うものであり、本実施例では500[]で4時間の熱処理を行う。ただし、第3の形状の導電層5036～5040に用いた配線材料が熱に弱い場合には、配線等を保護するため層間絶縁膜(シリコンを主成分とする)を形成した後で活性化を行うことが好ましい。

【0317】

40

さらに、3～100[%]の水素を含む雰囲気中で、300～450[]で1～12時間の熱処理を行い、島状半導体層を水素化する工程を行う。この工程は熱的に励起された水素により半導体層のダンギングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化(プラズマにより励起された水素を用いる)を行っても良い。

【0318】

次いで、図23(A)に示すように、第1の層間絶縁膜5055を酸化室化シリコン膜から100～200[nm]の厚さで形成する。その上に有機絶縁物材料から成る第2の層間絶縁膜5056を形成した後、第1の層間絶縁膜5055、第2の層間絶縁膜5056、およびゲート絶縁膜5007に対してコンタクトホールを形成し、接続配線5057～5062をパターニング形成した後、接続配線(ドレイン配線)5062に接する画素電極

50

5064をパターニング形成する。なお、接続配線にはソース配線とドレイン配線とが含まれる。ソース配線とは、活性層のソース領域に接続された配線であり、ドレイン配線とはドレイン領域に接続された配線を意味する。

【0319】

第2の層間絶縁膜5056としては、有機樹脂を材料とする膜を用い、その有機樹脂としてはポリイミド、ポリアミド、アクリル、BCB(ベンゾシクロブテン)等を使用することが出来る。特に、第2の層間絶縁膜5056は平坦化の意味合いが強いので、平坦性に優れたアクリルが好ましい。本実施例ではTFTによって形成される段差を十分に平坦化しうる膜厚でアクリル膜を形成する。好ましくは1~5[μm](さらに好ましくは2~4[μm])とすれば良い。

10

【0320】

コンタクトホールの形成は、ドライエッチングまたはウエットエッチングを用い、N型の不純物領域5017~5019またはP型の不純物領域5043、5048、5049、5054に達するコンタクトホール、配線5036に達するコンタクトホール、電源供給線に達するコンタクトホール(図示せず)、およびゲート電極に達するコンタクトホール(図示せず)をそれぞれ形成する。

【0321】

また、接続配線5057~5062として、Ti膜を100[nm]、Tiを含むアルミニウム膜を300[nm]、Ti膜150[nm]をスパッタ法で連続形成した3層構造の積層膜を所望の形状にパターニングしたものを用いる。勿論、他の導電膜を用いても良い。

20

【0322】

また、本実施例では、画素電極5064としてITO膜を110[nm]の厚さに形成し、パターニングを行った。画素電極5064を接続配線5062と接して重なるように配置することでコンタクトを取っている。また、酸化インジウムに2~20[%]の酸化亜鉛(ZnO)を混合した透明導電膜を用いても良い。この画素電極5064がEL素子の陽極となる。(図23(A))

【0323】

次に、図23(B)に示すように、珪素を含む絶縁膜(本実施例では酸化珪素膜)を500[nm]の厚さに形成し、画素電極5064に対応する位置に開口部を形成して、バンクとして機能する第3の層間絶縁膜5065を形成する。開口部を形成する際、ウエットエッチング法を用いることで容易にテーパー形状の側壁とすることが出来る。開口部の側壁が十分になだらかでないと段差に起因するEL層の劣化が顕著な問題となってしまうため、注意が必要である。

30

【0324】

次に、EL層5066および陰極(MgAg電極)5067を、真空蒸着法を用いて大気解放しないで連続形成する。なお、EL層5066の膜厚は80~200[nm](典型的には100~120[nm])、陰極5067の厚さは180~300[nm](典型的には200~250[nm])とすれば良い。

【0325】

この工程では、赤色に対応する画素、緑色に対応する画素および青色に対応する画素に対して順次、EL層および陰極を形成する。但し、EL層は溶液に対する耐性に乏しいためフォトリソグラフィ技術を用いずに各色個別に形成しなくてはならない。そこでメタルマスクを用いて所望の画素以外を隠し、必要箇所だけ選択的にEL層および陰極を形成するのが好ましい。

40

【0326】

即ち、まず赤色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて赤色発光のEL層を選択的に形成する。次いで、緑色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて緑色発光のEL層を選択的に形成する。次いで、同様に青色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて青色発光のEL層を選択的に形成する。なお、ここでは全て異なるマスクを用いるように記載している

50

が、同じマスクを使いまわしても構わない。

【0327】

ここではRGBに対応した3種類のEL素子を形成する方式を用いたが、白色発光のEL素子とカラーフィルタを組み合わせた方式、青色または青緑発光のEL素子と蛍光体（蛍光性の色変換層：CCM）とを組み合わせた方式、陰極（対向電極）に透明電極を利用してRGBに対応したEL素子を重ねる方式などを用いても良い。

【0328】

なお、EL層5066としては公知の材料を用いることが出来る。公知の材料としては、駆動電圧を考慮すると有機材料を用いるのが好ましい。例えば正孔注入層、正孔輸送層、発光層および電子注入層でなる4層構造をEL層とすれば良い。

10

【0329】

次に陰極5067を形成する。なお本実施例では陰極5067としてMgAgを用いたが、本発明はこれに限定されない。陰極5067として他の公知の材料を用いても良い。

【0330】

最後に、窒化珪素膜でなるパッシベーション膜5068を300[nm]の厚さに形成する。パッシベーション膜5068を形成しておくことで、EL層5066を水分等から保護することができ、EL素子の信頼性をさらに高めることが出来る。なおパッシベーション膜5068は必ずしも設ける必要はない。

【0331】

こうして図23(B)に示すような構造の発光装置が完成する。なお、本実施例における発光装置の作成工程においては、回路の構成および工程の関係上、ゲート電極を形成している材料であるTa、Wによってソース信号線を形成し、ソース、ドレイン電極を形成している配線材料であるAlによってゲート信号線を形成しているが、異なる材料を用いても良い。

20

【0332】

ところで、本実施例の発光装置は、画素部だけでなく駆動回路にも最適な構造のTFTを配置することにより、非常に高い信頼性を示し、動作特性も向上しうる。また結晶化工程においてNi等の金属触媒を添加し、結晶性を高めることも可能である。それによって、ソース信号線駆動回路の駆動周波数を10[MHz]以上にすることが可能である。

【0333】

30

なお、実際には図23(B)の状態まで完成したら、さらに外気に曝されないように、気密性が高く、脱ガスの少ない保護フィルム（ラミネートフィルム、紫外線硬化樹脂フィルム等）や透光性のシーリング材でパッケージング（封入）することが好ましい。その際、シーリング材の内部を不活性雰囲気にしたり、内部に吸湿性材料（例えば酸化バリウム）を配置したりするとEL素子の信頼性が向上する。

【0334】

また、パッケージング等の処理により気密性を高めたら、基板上に形成された素子又は回路から引き回された端子と外部信号端子とを接続するためのコネクタ（フレキシブルプリントサーキット：FPC）を取り付ける。

40

【0335】

また、本実施例で示す工程に従えば、発光装置の作製に必要なフォトマスクの数を抑えることが出来る。その結果、工程を短縮し、製造コストの低減及び歩留まりの向上に寄与することができる。

【0336】

本実施例は、実施例1～8と自由に組み合わせて実施することが可能である。

【0337】

(実施例10)

本発明において、三重項励起子からの熒光を発光に利用できるEL材料を用いることで、外部発光量子効率を飛躍的に向上させることができる。これにより、EL素子の低消費電力化、長寿命化、および軽量化が可能になる。

50

【0338】

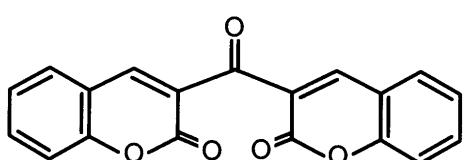
ここで、三重項励起子を利用し、外部発光量子効率を向上させた報告を示す。(T.Tsutsui, C.Adachi, S.Saito, Photochemical Processes in Organized Molecular Systems, ed K.Honda, (Elsevier Sci.Pub., Tokyo,1991) p.437.)

【0339】

上記の論文により報告されたEL材料(クマリン色素)の分子式を以下に示す。

【0340】

【化1】



10

【0341】

(M.A.Baldo, D.F.O'Brien, Y.You, A.Shoustikov, S.Sibley, M.E.Thompson, S.R.Forrest, Nature 395 (1998) p.151.)

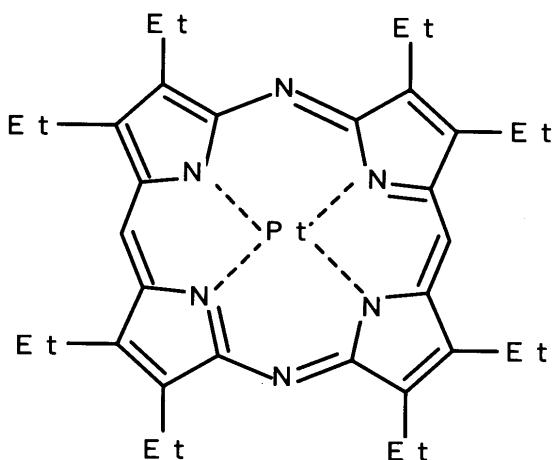
【0342】

上記の論文により報告されたEL材料(Pt錯体)の分子式を以下に示す。

20

【0343】

【化2】



30

【0344】

(M.A.Baldo, S.Lamansky, P.E.Burrows, M.E.Thompson, S.R.Forrest, Appl.Phys.Lett., 75 (1999) p.4.) (T.Tsutsui, M.-J.Yang, M.Yahiro, K.Nakamura, T.Watanabe, T.tsutsui, Y.Fukuda, T.Wakimoto, S.Mayaguchi, Jpn.Appl.Phys., 38 (12B) (1999) L1502.)

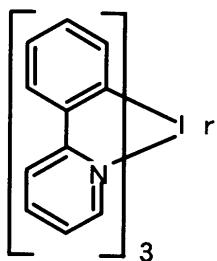
40

【0345】

上記の論文により報告されたEL材料(Ir錯体)の分子式を以下に示す。

【0346】

【化3】



10

【 0 3 4 7 】

以上のように三重項励起子からの燐光発光を利用できれば原理的には一重項励起子からの蛍光発光を用いる場合より3～4倍の高い外部発光量子効率の実現が可能となる。

【 0 3 4 8 】

なお、本実施例の構成は、実施例1～実施例9のいずれの構成とも自由に組み合わせて実施することが可能である。

【 0 3 4 9 】**(実施例 1 1)**

本実施例では、本発明の発光装置に用いられるTFTとして、活性層に有機半導体を用いた場合について説明する。なお、以下、活性層に有機半導体を用いたTFTを、有機TFTと呼ぶ。

20

【 0 3 5 0 】

図27(A)に、プレーナー型の有機TFTの断面図を示す。基板8001上にゲート電極8002が形成されている。そしてゲート電極8002を覆って、基板8001上にゲート絶縁膜8003が形成されている。また、ゲート絶縁膜8003上にソース電極8005及びドレイン電極8006が形成されている。さらに、ソース電極8005及びドレイン電極8006を覆って、ゲート絶縁膜8003上有機半導体からなる膜(有機半導体膜)8004が形成されている。

【 0 3 5 1 】

図27(B)に、逆スタガー型の有機TFTの断面図を示す。基板8101上にゲート電極8102が形成されている。そしてゲート電極8102を覆って、基板8101上にゲート絶縁膜8103が形成されている。また、ゲート絶縁膜8103上に有機半導体膜8104が形成されている。さらに、有機半導体膜8104上にソース電極8105及びドレイン電極8106が形成されている。

30

【 0 3 5 2 】

図27(C)に、スタガー型の有機TFTの断面図を示す。基板8201上にソース電極8205及びドレイン電極8106が形成されている。そしてソース電極8205及びドレイン電極8106を覆って、基板8201上に有機半導体膜8204が形成されている。また、有機半導体膜8204上にゲート絶縁膜8203が形成されている。さらに、ゲート絶縁膜8203上にゲート電極8202が形成されている。

40

【 0 3 5 3 】

有機半導体は高分子系と低分子系に分類される。高分子系の代表的な材料は、ポリチオフェン、ポリアセチレン、ポリ(N-メチルピロール)、ポリ(3-アルキルチオフェン)、ポリアリレンビニレン等が挙げられる。

【 0 3 5 4 】

ポリチオフェンを有する有機半導体膜は、電界重合法または真空蒸着法で形成することができる。ポリアセチレンを有する有機半導体膜は、化学重合法または塗布法で形成することができる。ポリ(N-メチルピロール)を有する有機半導体膜は、化学重合法で形成することができる。ポリ(3-アルキルチオフェン)を有する有機半導体膜は、塗布法またはLB法で形成することができる。ポリアリレンビニレンを有する有機半導体膜は、塗布

50

法で形成することができる。

【 0 3 5 5 】

また、低分子系の代表的な材料は、クオータチオフェン、ジメチルクオータチオフェン、ジフタロシアニン、アントラセン、テトラセン等が挙げられる。これら低分子系の材料を用いた有機半導体膜は、主に、蒸着法や、溶剤を用いたキャストによって形成することができる。

【 0 3 5 6 】

本実施例の構成は、実施例 1 ~ 10 の構成と自由に組み合わせて実施することができる。

【 0 3 5 7 】

(実施例 12)

10

EL 素子を用いた発光装置は自発光型であるため、液晶ディスプレイに比べ、明るい場所での視認性に優れ、視野角が広い。従って、様々な電子機器の表示部に用いることができる。

【 0 3 5 8 】

本発明の発光装置を用いた電子機器として、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ(ヘッドマウントディスプレイ)、ナビゲーションシステム、音響再生装置(カーオーディオ、オーディオコンポ等)、ノート型パーソナルコンピュータ、ゲーム機器、携帯情報端末(モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等)、記録媒体を備えた画像再生装置(具体的にはDigital Versatile Disc(D V D)等の記録媒体を再生し、その画像を表示しうるディスプレイを備えた装置)などが挙げられる。特に、斜め方向から画面を見る機会が多い携帯情報端末は、視野角の広さが重要視されるため、発光装置を用いることが望ましい。それら電子機器の具体例を図 24 に示す。

20

【 0 3 5 9 】

図 24 (A) は EL 表示装置であり、筐体 2001 、支持台 2002 、表示部 2003 、スピーカー部 2004 、ビデオ入力端子 2005 等を含む。本発明の発光装置は表示部 2003 に用いることができる。発光装置は自発光型であるためバックライトが必要なく、液晶ディスプレイよりも薄い表示部とすることができる。なお、 EL 表示装置は、パソコン用、TV 放送受信用、広告表示用などの全ての情報表示用表示装置が含まれる。

【 0 3 6 0 】

図 24 (B) はデジタルスチルカメラであり、本体 2101 、表示部 2102 、受像部 2103 、操作キー 2104 、外部接続ポート 2105 、シャッター 2106 等を含む。本発明の発光装置は表示部 2102 に用いることができる。

30

【 0 3 6 1 】

図 24 (C) はノート型パーソナルコンピュータであり、本体 2201 、筐体 2202 、表示部 2203 、キーボード 2204 、外部接続ポート 2205 、ポイントティングマウス 2206 等を含む。本発明の発光装置は表示部 2203 に用いることができる。

【 0 3 6 2 】

図 24 (D) はモバイルコンピュータであり、本体 2301 、表示部 2302 、スイッチ 2303 、操作キー 2304 、赤外線ポート 2305 等を含む。本発明の発光装置は表示部 2302 に用いることができる。

40

【 0 3 6 3 】

図 24 (E) は記録媒体を備えた携帯型の画像再生装置(具体的には D V D 再生装置)であり、本体 2401 、筐体 2402 、表示部 A 2403 、表示部 B 2404 、記録媒体(D V D 等)読み込み部 2405 、操作キー 2406 、スピーカー部 2407 等を含む。表示部 A 2403 は主として画像情報を表示し、表示部 B 2404 は主として文字情報を表示するが、本発明の発光装置はこれら表示部 A 、 B 2403 、 2404 に用いることができる。なお、記録媒体を備えた画像再生装置には家庭用ゲーム機器なども含まれる。

【 0 3 6 4 】

図 24 (F) はゴーグル型ディスプレイ(ヘッドマウントディスプレイ)であり、本体 2501 、表示部 2502 、アーム部 2503 を含む。本発明の発光装置は表示部 2502

50

に用いることができる。

【0365】

図24(G)はビデオカメラであり、本体2601、表示部2602、筐体2603、外部接続ポート2604、リモコン受信部2605、受像部2606、バッテリー2607、音声入力部2608、操作キー2609等を含む。本発明の発光装置は表示部2602に用いることができる。

【0366】

ここで図24(H)は携帯電話であり、本体2701、筐体2702、表示部2703、音声入力部2704、音声出力部2705、操作キー2706、外部接続ポート2707、アンテナ2708等を含む。本発明の発光装置は表示部2703に用いることができる。
10 なお、表示部2703は黒色の背景に白色の文字を表示することで携帯電話の消費電力を抑えることができる。

【0367】

なお、将来的にEL材料の発光輝度が高くなれば、出力した画像情報を含む光をレンズ等で拡大投影してフロント型若しくはリア型のプロジェクターに用いることも可能となる。

【0368】

また、上記電子機器はインターネットやCATV(ケーブルテレビ)などの電子通信回線を通じて配信された情報を表示することが多くなり、特に動画情報を表示する機会が増してきている。EL材料の応答速度は非常に高いため、発光装置は動画表示に好ましい。

【0369】

また、発光装置は発光している部分が電力を消費するため、発光部分が極力少なくなるように情報を表示することが望ましい。従って、携帯情報端末、特に携帯電話や音響再生装置のような文字情報を主とする表示部に発光装置を用いる場合には、非発光部分を背景として文字情報を発光部分で形成するように駆動することが望ましい。

【0370】

以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に用いることが可能である。また、本実施例の電子機器は実施例1~11に示したいずれの構成の発光装置を用いても良い。

【0371】

【発明の効果】

【0372】

上述した構成によって、本発明の発光装置は温度変化に左右されずに一定の輝度を得ることができる。また、カラー表示において、各色毎に異なるEL材料を有するEL素子を設けた場合でも、温度によって各色のEL素子の輝度がバラバラに変化して所望の色が得られないということを防ぐことができる。

【図面の簡単な説明】

【図1】 本発明の発光装置の画素の回路図。

【図2】 本発明の発光装置の上面プロック図。

【図3】 書き込み用ゲート信号線と表示用ゲート信号線とに入力される信号のタイミングチャート。
40

【図4】 駆動における画素の概略図。

【図5】 書き込み期間と表示期間の出現するタイミングを示す図。

【図6】 書き込み用ゲート信号線と表示用ゲート信号線とに入力される信号のタイミングチャート。

【図7】 書き込み用ゲート信号線と表示用ゲート信号線とに入力される信号のタイミングチャート。

【図8】 駆動における画素の概略図。

【図9】 書き込み期間と表示期間と非表示期間の出現するタイミングを示す図。

【図10】 書き込み用ゲート信号線と表示用ゲート信号線とに入力される信号のタイミングチャート。
50

【図11】書き込み用ゲート信号線と表示用ゲート信号線とに入力される信号のタイミングチャート。

【図12】書き込み用ゲート信号線と表示用ゲート信号線とに入力される信号のタイミングチャート。

【図13】書き込み期間と表示期間と非表示期間の出現するタイミングを示す図。

【図14】書き込み期間と表示期間と非表示期間の出現するタイミングを示す図。

【図15】書き込み期間と表示期間と非表示期間の出現するタイミングを示す図。

【図16】ソース信号線駆動回路のブロック図。

【図17】ソース信号線駆動回路の詳細図。

【図18】電流設定回路C1の回路図。

10

【図19】ゲート信号線駆動回路のブロック図

【図20】本発明の発光装置の画素の上面図。

【図21】本発明の発光装置の作製方法を示す図。

【図22】本発明の発光装置の作製方法を示す図。

【図23】本発明の発光装置の作製方法を示す図。

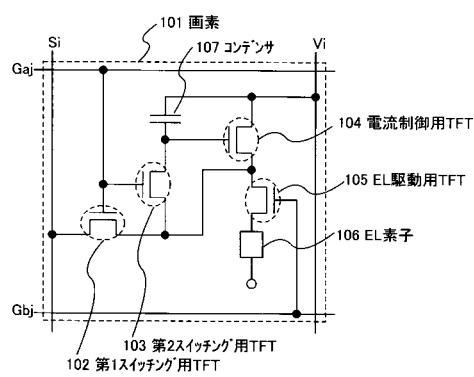
【図24】本発明の発光装置を用いた電子機器の図。

【図25】一般的な発光装置の画素の回路図。

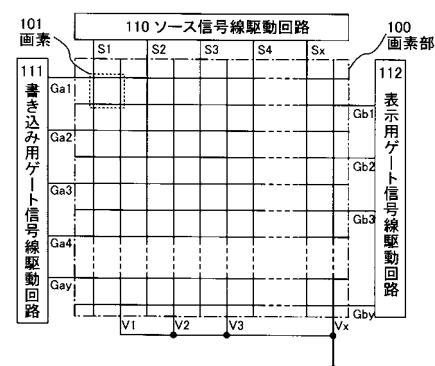
【図26】EL素子の電圧電流特性を示す図。

【図27】有機半導体を用いたTFTの断面図。

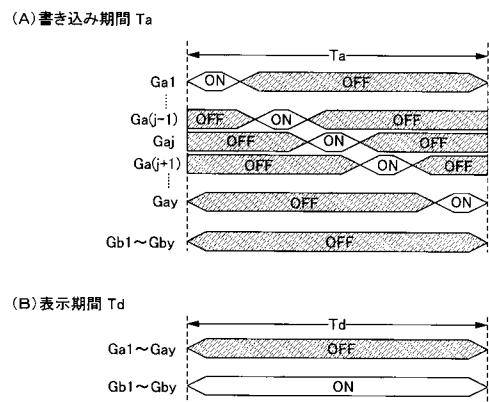
【図1】



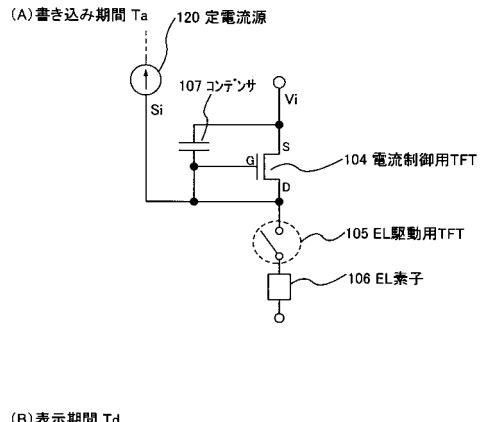
【図2】



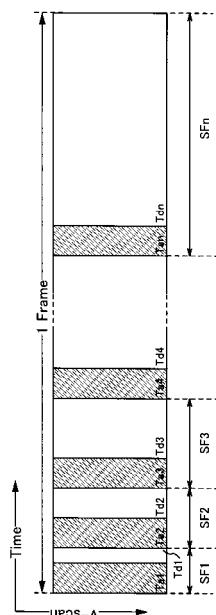
【図3】



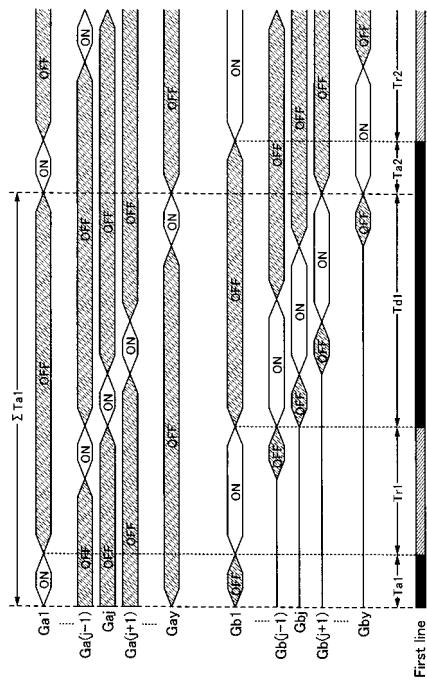
【図4】



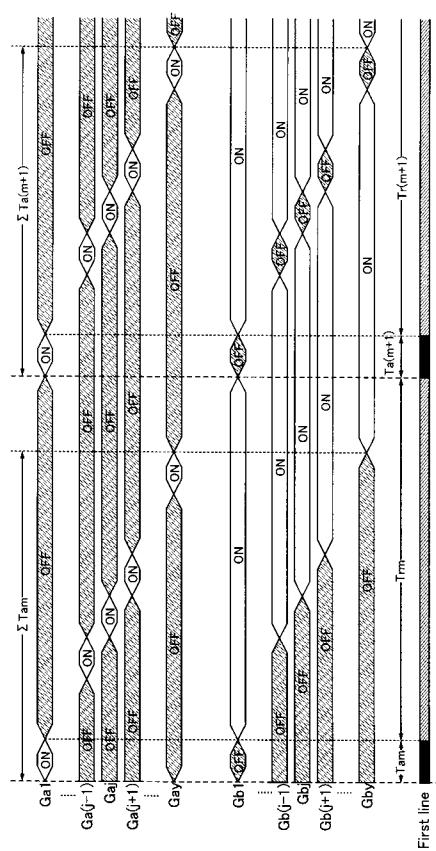
【図5】



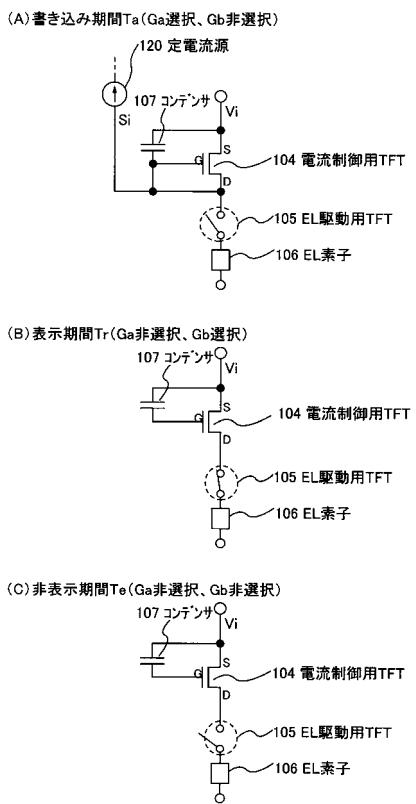
【図6】



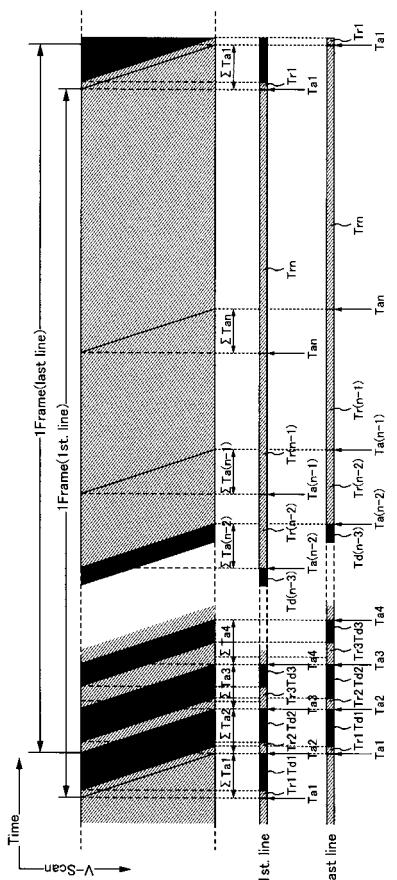
【 四 7 】



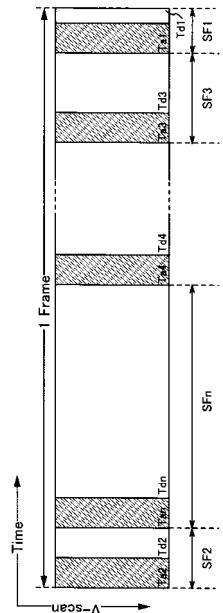
【 8 】



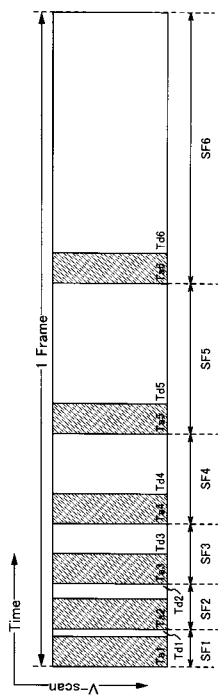
【図9】



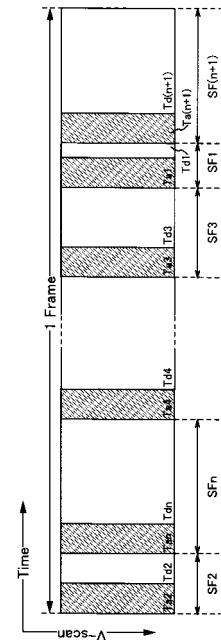
【図10】



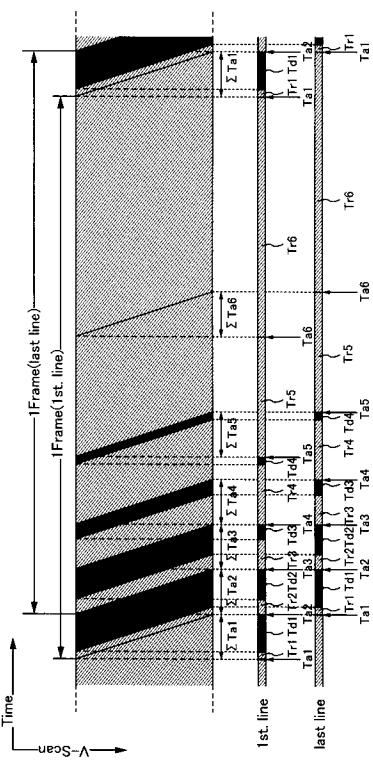
【図 1 1】



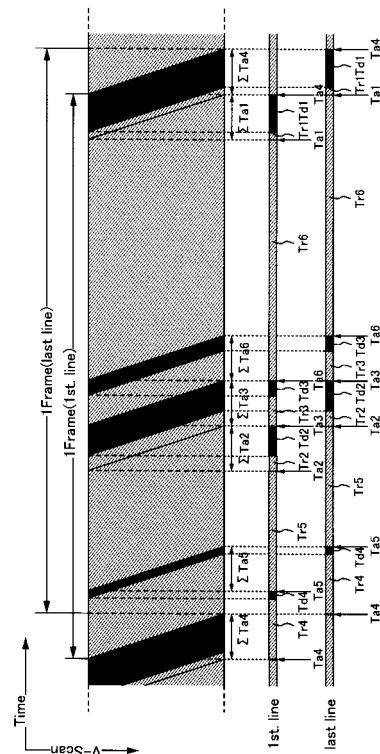
【図 1 2】



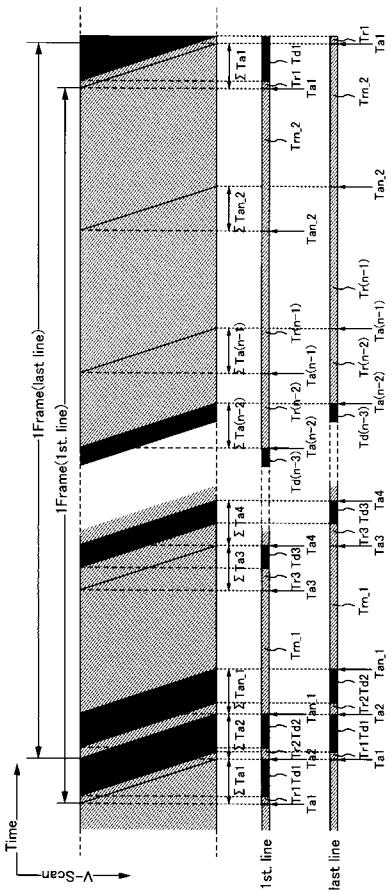
【図 1 3】



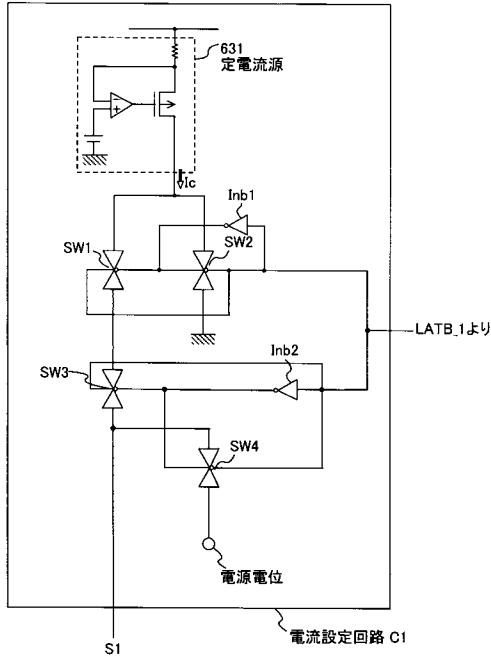
【図 1 4】



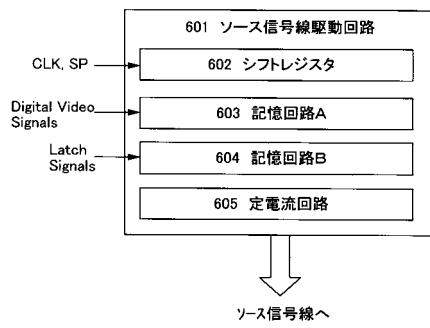
【図15】



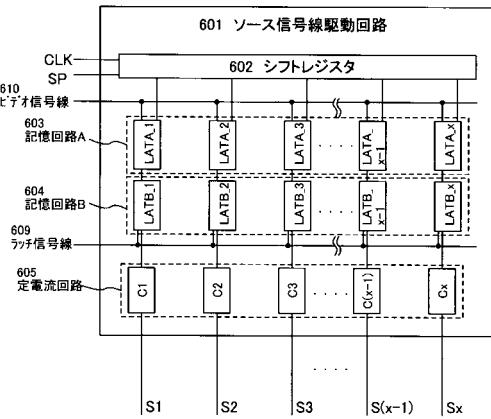
【図18】



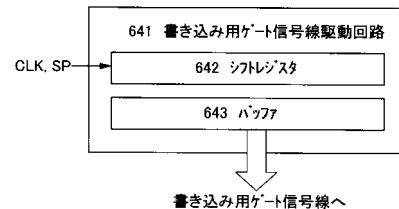
【図16】



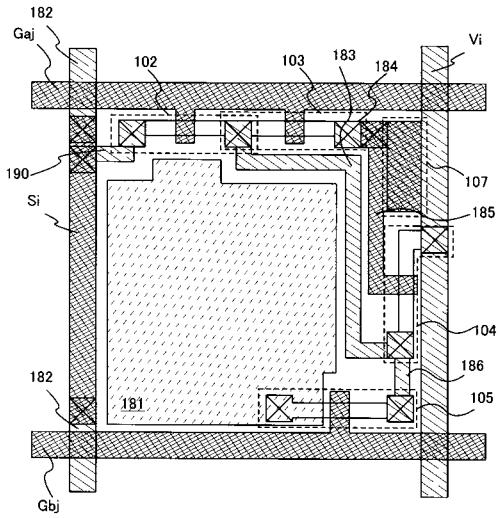
【図17】



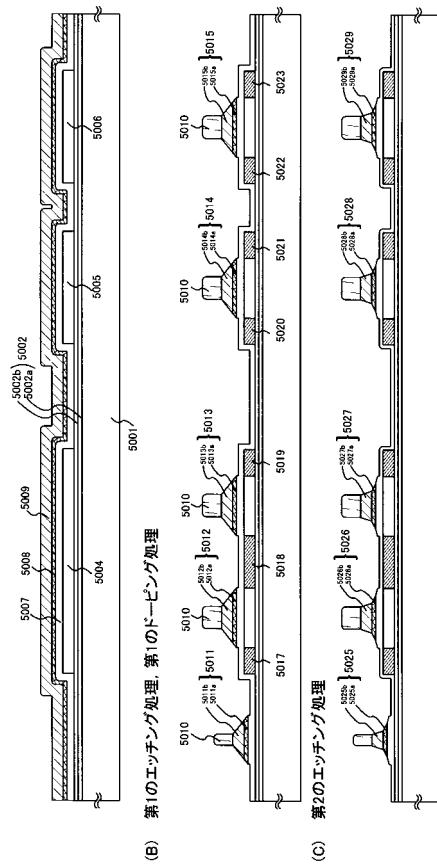
【図19】



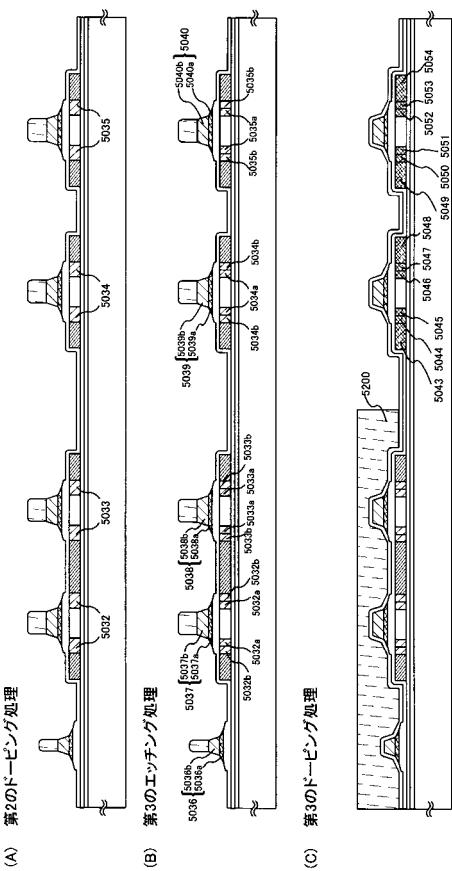
【図20】



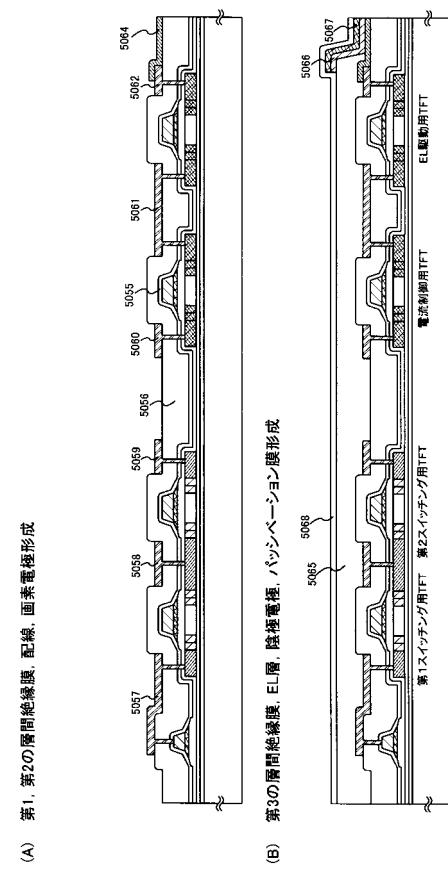
【図21】



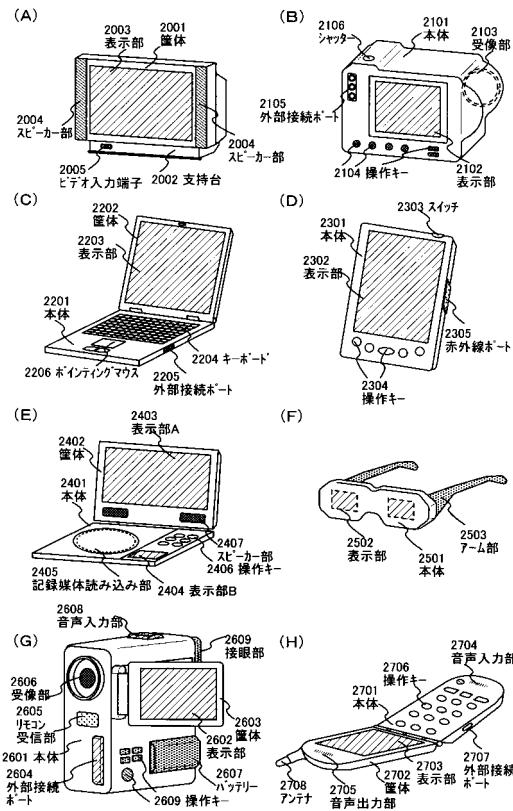
【図22】



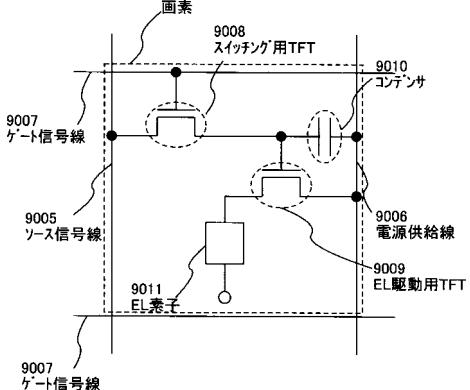
【図23】



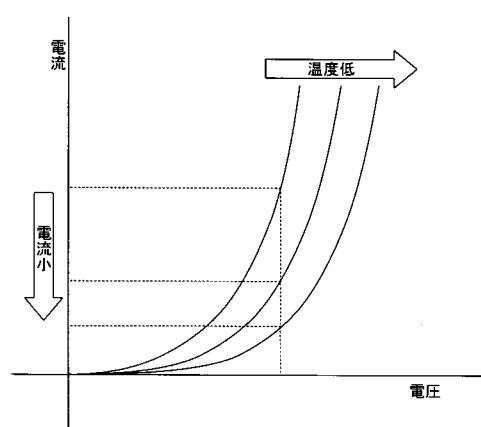
【図24】



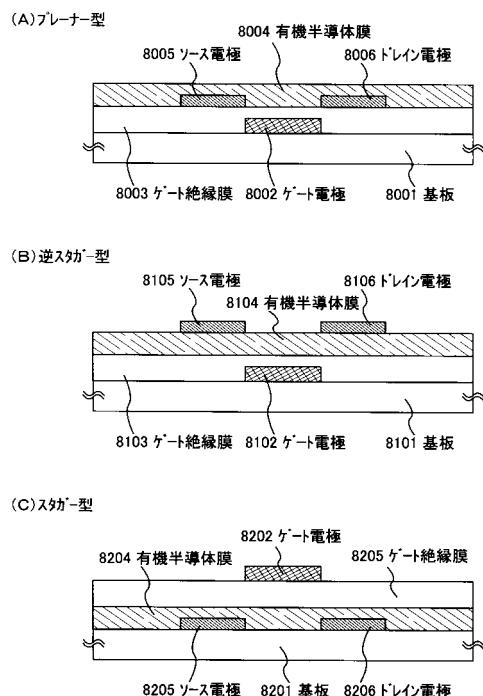
【図25】



【図26】



【図27】



フロントページの続き

(51)Int.Cl.	F I
H 01 L 21/8238 (2006.01)	G 09 G 3/20 6 4 1 D
H 01 L 27/092 (2006.01)	G 09 G 3/20 6 4 1 E
H 01 L 27/08 (2006.01)	G 09 G 3/20 6 7 0 L
H 05 B 33/08 (2006.01)	H 01 L 29/78 6 1 4
H 01 L 51/50 (2006.01)	H 01 L 27/08 3 2 1 E
	H 01 L 27/08 3 3 1 E
	H 01 L 27/08 3 2 1 L
	H 05 B 33/08
	H 05 B 33/14 A

(56)参考文献 特表2003-529508(JP, A)

国際公開第01/006484(WO, A1)

国際公開第99/065011(WO, A1)

国際公開第98/048403(WO, A1)

特開2000-259111(JP, A)

特開平10-312173(JP, A)

特表2003-534573(JP, A)

(58)調査した分野(Int.Cl., DB名)

G09G 3/00 - 3/38

G09F 9/30

H01L 21/8238

H01L 27/08

H01L 27/092

H01L 27/32