

|                                                                                                                                                                         |                                    |                                                                                                                                                                                                                                                     |
|-------------------------------------------------------------------------------------------------------------------------------------------------------------------------|------------------------------------|-----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
|                                                                                        | (19) 대한민국특허청(KR)<br>(12) 공개특허공보(A) | (11) 공개번호 10-2012-0100241<br>(43) 공개일자 2012년09월12일                                                                                                                                                                                                  |
| (51) 국제특허분류(Int. Cl.)<br>G02F 1/136 (2006.01) H01L 51/50 (2006.01)<br>H01L 29/786 (2006.01)<br>(21) 출원번호 10-2011-0019015<br>(22) 출원일자 2011년03월03일<br>심사청구일자 2011년03월03일 |                                    | (71) 출원인<br>인하대학교 산학협력단<br>인천광역시 남구 인하로 100, 인하대학교 (용현동)<br>(72) 발명자<br>정재경<br>서울특별시 강서구 화곡로13길 107, 145동 1105호 (화곡동, 화곡푸르지오)<br>최리노<br>인천광역시 남구 인하로 100, 인하대학교 신소재 공학부 (용현동)<br>지광환<br>인천광역시 남구 인하로 100, 인하대학교 신소재 공학부 (용현동)<br>(74) 대리인<br>특허법인무한 |

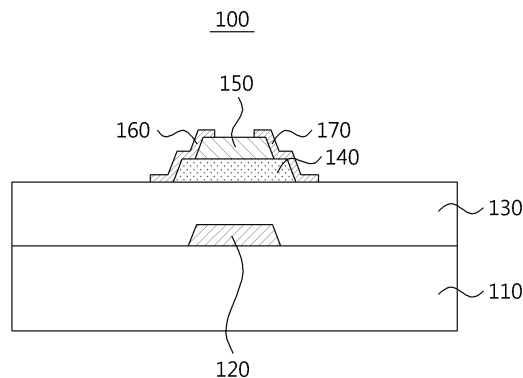
전체 청구항 수 : 총 16 항

(54) 발명의 명칭 박막 트랜지스터 및 그 제조 방법, 박막 트랜지스터를 구비한 평판 표시 장치

### (57) 요약

박막 트랜지스터 및 그 제조 방법, 박막 트랜지스터를 구비한 평판 표시 장치가 개시된다. 본 발명의 일 실시예에 따른 박막 트랜지스터는 기판, 기판 상에 형성된 게이트 전극, 게이트 전극을 포함하는 기판의 상부에 형성된 게이트 절연층, 게이트 절연층 상에서 채널 영역, 소스 영역 및 드레인 영역을 포함하고, 고압의 산소 분위기에 서 열처리된 금속 산화물 반도체층, 소스 영역에 형성된 소스 전극 및 드레인 영역에 형성된 드레인 전극을 포함한다.

대표도 - 도1



## 특허청구의 범위

### 청구항 1

기관;

상기 기관 상에 형성된 게이트 전극;

상기 게이트 전극을 포함하는 상기 기관의 상부에 형성된 게이트 절연층;

상기 게이트 절연층 상에서 채널 영역, 소스 영역 및 드레인 영역을 포함하고, 고압의 산소 분위기에서 열처리된 금속 산화물 반도체층;

상기 소스 영역에 형성된 소스 전극; 및

상기 드레인 영역에 형성된 드레인 전극

을 포함하는 박막 트랜지스터.

### 청구항 2

제1항에 있어서,

상기 고압의 산소 분위기에서 열처리된 금속 산화물 반도체층은,

인듐갈륨아연산화물(InGaZnO), 아연주석산화물(ZnSnO), 인듐아연산화물(InZnO), 하프늄인듐아연산화물(HfInZnO), 지르코늄아연주석산화물(ZrZnSnO), 하프늄아연주석산화물(HfZnSnO) 중 어느 하나를 포함하는 박막 트랜지스터.

### 청구항 3

제1항에 있어서,

상기 고압의 산소 분위기에서 열처리된 금속 산화물 반도체층은,

인듐(In), 아연(Zn), 주석(Sn), 지르코늄(Zr), 하프늄(Hf) 및 갈륨(Ga) 중 적어도 하나 두 개 이상의 금속 물질을 포함하는 이성분계, 삼성분계 또는 사성분계의 금속 산화물 반도체 물질을 포함하는 박막 트랜지스터.

### 청구항 4

제1항에 있어서,

상기 고압의 산소 분위기에서 열처리된 금속 산화물 반도체층은,

10nm 내지 200nm의 두께를 갖는 박막 트랜지스터.

### 청구항 5

제1항에 있어서,

상기 고압의 산소 분위기에서 열처리된 금속 산화물 반도체층은,

상기 고압의 산소 분위기에서 열처리된 일 면에 패시베이션층을 포함하는 박막 트랜지스터.

## 청구항 6

기관 상에 게이트 전극을 형성하는 단계;

상기 게이트 전극을 포함하는 상부에 게이트 절연층을 형성하는 단계;

상기 게이트 절연층 상에 채널 영역, 소스 영역 및 드레인 영역을 포함하는 금속 산화물 반도체층을 형성하는 단계;

상기 금속 산화물 반도체층을 고압의 산소 분위기에서 열처리하는 단계; 및

상기 소스 영역 상에 소스 전극을 형성하고, 상기 드레인 영역 상에 드레인 전극을 형성하는 단계를 포함하는 박막 트랜지스터의 제조 방법.

## 청구항 7

제6항에 있어서,

상기 금속 산화물 반도체층을 형성하는 단계는,

적어도 하나 이상의 타겟을 스퍼터링하여 상기 게이트 절연층 상에 인듐갈륨아연산화물(InGaZnO), 아연주석산화물(ZnSnO), 인듐아연산화물(InZnO), 하프늄인듐아연산화물(Hf InZnO), 지르코늄아연주석산화물(ZrZnSnO), 하프늄아연주석산화물(HfZnSnO) 중 어느 하나를 포함하는 물질을 증착하는 박막 트랜지스터의 제조 방법.

## 청구항 8

제6항에 있어서,

상기 금속 산화물 반도체층을 형성하는 단계는,

인듐(In), 아연(Zn), 주석(Sn), 지르코늄(Zr), 하프늄(Hf) 및 갈륨(Ga) 중 적어도 하나 두 개 이상의 금속 타겟을 동시 스퍼터링하여 상기 게이트 절연층 상에 이성분계, 삼성분계 또는 사성분계의 금속 산화물 반도체 물질을 증착하는 박막 트랜지스터의 제조 방법.

## 청구항 9

제6항에 있어서,

상기 금속 산화물 반도체층을 고압의 산소 분위기에서 열처리하는 단계는,

1 내지 11 기압의 산소 분위기에서 150~500℃로 상기 금속 산화물 반도체층을 열처리하는 박막 트랜지스터의 제조 방법.

## 청구항 10

제6항에 있어서,

상기 금속 산화물 반도체층을 고압의 산소 분위기에서 열처리하는 단계는,

10 기압의 산소 분위기에서 250℃로 상기 금속 산화물 반도체층을 열처리하는 박막 트랜지스터의 제조 방법.

## 청구항 11

제6항에 있어서,

상기 금속 산화물 반도체층을 형성하는 단계는,  
상기 금속 산화물 반도체층의 일 면에 패시베이션층을 형성하는 단계  
를 포함하는 박막 트랜지스터의 제조 방법.

## 청구항 12

제6항에 있어서,  
상기 소스 전극 및 상기 드레인 전극을 형성하는 단계는,  
상기 금속 산화물 반도체층의 상기 소스 영역 및 상기 드레인 영역이 노출되도록 상기 패시베이션층을 식각하는  
단계;  
상기 노출된 소스 영역 및 드레인 영역을 포함하는 상기 패시베이션층 상에 도전성 물질을 형성하는 단계; 및  
상기 도전성 물질을 패터닝하여 상기 소스 영역에 상기 소스 전극을 형성하고, 상기 드레인 영역에 상기 드레인  
전극을 형성하는 단계  
를 포함하는 박막 트랜지스터의 제조 방법.

## 청구항 13

복수의 제1 도전 라인 및 복수의 제2 도전 라인에 의해 복수의 화소가 정의되고, 상기 복수의 화소 각각에 공급  
되는 신호를 제어하는 박막 트랜지스터 및 박막 트랜지스터와 연결된 제1 전극이 형성된 제1 기판;  
제2 전극이 형성된 제2 기판; 및  
상기 제1 전극과 상기 제2 전극 사이의 밀폐된 공간에 주입된 액정층  
을 포함하고,  
상기 박막 트랜지스터는,  
상기 제1 기판 상에 형성된 게이트 전극;  
상기 게이트 전극을 포함하는 상부에 형성된 게이트 절연층;  
상기 게이트 절연층 상에 형성되어 채널 영역, 소스 영역 및 드레인 영역을 포함하고, 고압의 산소 분위기에서  
열처리된 금속 산화물 반도체층;  
상기 소스 영역 상에 형성된 소스 전극; 및  
상기 드레인 영역 상에 형성된 드레인 전극  
을 포함하는 박막 트랜지스터를 구비한 평판 표시 장치.

## 청구항 14

제13항에 있어서,  
상기 고압의 산소 분위기에서 열처리된 금속 산화물 반도체층은,  
인듐갈륨아연산화물(InGaZnO), 아연주석산화물(ZnSnO), 인듐아연산화물(InZnO), 하프늄인듐아연산화물  
(HfInZnO), 지르코늄아연주석산화물(ZrZnSnO), 하프늄아연주석산화물(HfZnSnO) 중 어느 하나를 포함하는 박막  
트랜지스터를 구비한 평판 표시 장치.

## 청구항 15

제13항에 있어서,

상기 고압의 산소 분위기에서 열처리된 금속 산화물 반도체층은,

인듐(In), 아연(Zn), 주석(Sn), 지르코늄(Zr), 하프늄(Hf) 및 갈륨(Ga) 중 적어도 하나 두 개 이상의 금속 물질을 포함하는 이성분계, 삼성분계 또는 사성분계의 금속 산화물 반도체 물질을 포함하는 박막 트랜지스터를 구비한 평판 표시 장치.

## 청구항 16

제13항에 있어서,

상기 고압의 산소 분위기에서 열처리된 금속 산화물 반도체층은,

10nm 내지 200nm의 두께를 갖는 박막 트랜지스터를 구비한 평판 표시 장치.

## 명세서

### 기술분야

[0001] 본 발명의 실시예들은 박막 트랜지스터 및 그 제조 방법, 박막 트랜지스터를 구비한 평판 표시 장치에 관한 것으로, 보다 상세하게는, 고압의 산소 분위기에서 열처리된 금속 산화물 반도체층을 포함하는 박막 트랜지스터 및 그 제조 방법, 박막 트랜지스터를 구비한 평판 표시 장치에 관한 것이다.

### 배경기술

[0002] 일반적으로 박막 트랜지스터(Thin Film Transistor)는 채널 영역, 소스 영역 및 드레인 영역을 제공하는 활성층과, 채널 영역 상부에 형성되며 게이트 절연막에 의해 활성층과 전기적으로 절연되는 게이트 전극으로 이루어진다. 이 같은 박막 트랜지스터의 활성층은 대개 비정질 실리콘(amorphous silicon)으로 형성되는데, 활성층이 비정질 실리콘으로 형성되면 이동도(mobility)가 낮아 고속으로 동작되는 구동 회로의 구현이 어렵다. 따라서, 비정질 실리콘을 이용한 박막 트랜지스터를 50인치 대형, 2000×4000 이상의 UD(ultra-definition)급, 240Hz 이상의 구동주파수를 갖는 차세대 디스플레이 응용 분야에 지속적으로 이용하는 것이 어려울 수도 있다.

[0003] 최근 금속 산화물 반도체를 이용한 박막 트랜지스터가 연구 및 개발되고 있다. 금속 산화물 반도체를 이용한 박막 트랜지스터는 대면적화가 가능하고, 고이동도를 가짐과 동시에 제조 비용이 낮다는 장점이 있다. 구체적으로, 대면적 증착 방법인 스퍼터링(sputtering) 방식으로 산화물 반도체를 증착하기 때문에 대면적화가 가능하고, 상온에서 증착하더라도 10cm<sup>2</sup>/Vs 이상의 고이동도를 구현할 수 있어 기존의 비정질 실리콘 반도체를 이용하는 것에 비해 10배 이상 우수한 전류 공급 능력을 갖는다. 또한, 기존의 비정질 실리콘 반도체를 이용한 박막 트랜지스터의 공정 라인에서 제조할 수 있으므로, 비정질 실리콘 반도체를 이용한 박막 트랜지스터와 동등한 수준의 제조 비용을 가질 수 있다. 그러나, 기존 박막 트랜지스터에 이용되는 금속 산화물 반도체는 광 신뢰성이 떨어져 양산이 어렵다는 문제가 있었다.

### 발명의 내용

#### 해결하려는 과제

[0004] 본 발명은 상술한 문제점을 해결하기 위한 것으로, 본 발명의 목적은 금속 산화물 반도체를 고압의 산소 분위기에서 열처리하여 광 신뢰성을 향상시킬 수 있는 박막 트랜지스터 및 그 제조 방법, 박막 트랜지스터를 구비한 평판 표시 장치를 제공하기 위한 것이다.

#### 과제의 해결 수단

[0005] 이상과 같은 목적을 달성하기 위한 본 발명의 일 실시예에 따른 박막 트랜지스터는 기판, 상기 기판 상에 형성된 게이트 전극, 상기 게이트 전극을 포함하는 상기 기판의 상부에 형성된 게이트 절연층, 상기 게이트 절연층 상에서 채널 영역, 소스 영역 및 드레인 영역을 포함하고 고압의 산소 분위기에서 열처리된 금속 산화물 반도체층, 상기 소스 영역에 형성된 소스 전극 및 상기 드레인 영역에 형성된 드레인 전극을 포함한다.

- [0006] 일측에 따르면, 상기 고압의 산소 분위기에서 열처리된 금속 산화물 반도체층은 인듐갈륨아연산화물(InGaZnO), 아연주석산화물(ZnSnO), 인듐아연산화물(InZnO), 하프늄인듐아연산화물(HfInZnO), 지르코늄아연주석산화물(ZrZnSnO), 하프늄아연주석산화물(HfZnSnO) 중 어느 하나를 포함할 수 있다.
- [0007] 일측에 따르면, 상기 고압의 산소 분위기에서 열처리된 금속 산화물 반도체층은, 인듐(In), 아연(Zn), 주석(Sn), 지르코늄(Zr), 하프늄(Hf) 및 갈륨(Ga) 중 적어도 하나 두 개 이상의 금속 물질을 포함하는 이성분계, 삼성분계 또는 사성분계의 금속 산화물 반도체 물질을 포함할 수 있다.
- [0008] 일측에 따르면, 상기 고압의 산소 분위기에서 열처리된 금속 산화물 반도체층은 10nm 내지 200nm의 두께를 가질 수 있다.
- [0009] 일측에 따르면, 상기 고압의 산소 분위기에서 열처리된 금속 산화물 반도체층은 상기 고압의 산소 분위기에서 열처리된 일 면에 패시베이션층을 포함할 수 있다.
- [0010] 한편, 본 발명의 일 실시예에 따른 박막 트랜지스터의 제조 방법은 기판 상에 게이트 전극을 형성하는 단계, 상기 게이트 전극을 포함하는 상부에 게이트 절연층을 형성하는 단계, 상기 게이트 절연층 상에 채널 영역, 소스 영역 및 드레인 영역을 포함하는 금속 산화물 반도체층을 형성하는 단계, 상기 금속 산화물 반도체층을 고압의 산소 분위기에서 열처리하는 단계 및 상기 소스 영역 상에 소스 전극을 형성하고, 상기 드레인 영역 상에 드레인 전극을 형성하는 단계를 포함한다.
- [0011] 일측에 따르면, 상기 금속 산화물 반도체층을 형성하는 단계는 적어도 하나 이상의 타겟을 스퍼터링하여 상기 게이트 절연층 상에 인듐갈륨아연산화물(InGaZnO), 아연주석산화물(ZnSnO), 인듐아연산화물(InZnO), 하프늄인듐아연산화물(HfInZnO), 지르코늄아연주석산화물(ZrZnSnO), 하프늄아연주석산화물(HfZnSnO) 중 어느 하나를 포함하는 물질을 증착할 수 있다.
- [0012] 일측에 따르면, 상기 금속 산화물 반도체층을 형성하는 단계는, 인듐(In), 아연(Zn), 주석(Sn), 지르코늄(Zr), 하프늄(Hf) 및 갈륨(Ga) 중 적어도 하나 두 개 이상의 금속 타겟을 동시 스퍼터링하여 상기 게이트 절연층 상에 이성분계, 삼성분계 또는 사성분계의 금속 산화물 반도체 물질을 증착할 수 있다.
- [0013] 일측에 따르면, 상기 금속 산화물 반도체층을 고압의 산소 분위기에서 열처리하는 단계는 1 내지 11 기압의 산소 분위기에서 150~500℃로 상기 금속 산화물 반도체층을 열처리할 수 있다.
- [0014] 일측에 따르면, 상기 금속 산화물 반도체층을 고압의 산소 분위기에서 열처리하는 단계는 10 기압의 산소 분위기에서 250℃로 상기 금속 산화물 반도체층을 열처리할 수 있다.
- [0015] 일측에 따르면, 상기 금속 산화물 반도체층을 형성하는 단계는 상기 금속 산화물 반도체층의 일 면에 패시베이션층을 형성하는 단계를 포함할 수 있다.
- [0016] 일측에 따르면, 상기 소스 전극 및 상기 드레인 전극을 형성하는 단계는 상기 금속 산화물 반도체층의 상기 소스 영역 및 상기 드레인 영역이 노출되도록 상기 패시베이션층을 식각하는 단계, 상기 노출된 소스 영역 및 드레인 영역을 포함하는 상기 패시베이션층 상에 도전성 물질을 형성하는 단계 및 상기 도전성 물질을 패터닝하여 상기 소스 영역에 상기 소스 전극을 형성하고, 상기 드레인 영역에 상기 드레인 전극을 형성하는 단계를 포함할 수 있다.
- [0017] 한편, 본 발명의 일 실시예에 따른 박막 트랜지스터를 구비한 평판 표시 장치는 복수의 제1 도전 라인 및 복수의 제2 도전 라인에 의해 복수의 화소가 정의되고, 상기 복수의 화소 각각에 공급되는 신호를 제어하는 박막 트랜지스터 및 박막 트랜지스터와 연결된 제1 전극이 형성된 제1 기판, 제2 전극이 형성된 제2 기판 및 상기 제1 전극과 상기 제2 전극 사이의 밀폐된 공간에 주입된 액정층을 포함하고, 상기 박막 트랜지스터는 상기 제1 기판 상에 형성된 게이트 전극, 상기 게이트 전극을 포함하는 상부에 형성된 게이트 절연층, 상기 게이트 절연층 상에 형성되어 채널 영역, 소스 영역 및 드레인 영역을 포함하고 고압의 산소 분위기에서 열처리된 금속 산화물 반도체층, 상기 소스 영역 상에 형성된 소스 전극 및 상기 드레인 영역 상에 형성된 드레인 전극을 포함할 수 있다.
- [0018] 일측에 따르면, 상기 고압의 산소 분위기에서 열처리된 금속 산화물 반도체층은 인듐갈륨아연산화물(InGaZnO), 아연주석산화물(ZnSnO), 인듐아연산화물(InZnO), 하프늄인듐아연산화물(HfInZnO), 지르코늄아연주석산화물(ZrZnSnO), 하프늄아연주석산화물(HfZnSnO) 중 어느 하나를 포함할 수 있다.
- [0019] 일측에 따르면, 상기 고압의 산소 분위기에서 열처리된 금속 산화물 반도체층은, 인듐(In), 아연(Zn), 주석

(Sn), 지르코늄(Zr), 하프늄(Hf) 및 갈륨(Ga) 중 적어도 하나 두 개 이상의 금속 물질을 포함하는 이성분계, 삼성분계 또는 사성분계의 금속 산화물 반도체 물질을 포함할 수 있다.

[0020] 일측에 따르면, 상기 고압의 산소 분위기에서 열처리된 금속 산화물 반도체층은 10nm 내지 200nm의 두께를 가질 수 있다.

### 발명의 효과

[0021] 본 발명의 실시예들에 따르면, 금속 산화물 반도체층을 고압의 산소 분위기에서 열처리하여 박막 트랜지스터가 광에 노출되더라도 문턱전압이 음의 방향으로 이동하는 것을 억제할 수 있다. 따라서, 박막 트랜지스터의 광 신뢰성을 향상시켜 양산이 가능해진다.

### 도면의 간단한 설명

[0022] 도 1은 본 발명의 일 실시예에 따른 박막 트랜지스터의 구조를 나타내는 단면도이다.  
 도 2는 본 발명의 다른 실시예들에 따른 박막 트랜지스터의 구조를 나타내는 단면도이다.  
 도 3 내지 도 7은 본 발명의 일 실시예에 따른 박막 트랜지스터의 제조 방법을 설명하기 위한 단면도이다.  
 도 8a 내지 도 8c는 비교예 1 및 2와 본 발명의 실시예에 따른 박막 트랜지스터의 문턱 전압의 이동 그래프이다.  
 도 9a 내지 도 9c는 비교예 1 및 2와 본 발명의 실시예에 따른 박막 트랜지스터의 문턱 전압의 이동 그래프이다.  
 도 10a는 비교예 1 및 2와 본 발명의 실시예에 따른 박막 트랜지스터의 문턱 전압의 이동 그래프이고, 도 10b는 비교예 1 및 2와 본 발명의 실시예에 따른 박막 트랜지스터의 문턱전압 이하에서의 기울기(SS, subthreshold gate swing) 그래프이다.  
 도 11a 내지 도 11c는 비교예 1 및 2와 본 발명의 실시예에 따른 박막 트랜지스터의 결합 에너지-강도를 나타내는 그래프이다.  
 도 12는 본 발명의 실시예에 따른 박막 트랜지스터를 구비한 평판 표시 장치를 설명하기 위한 사시도이다.  
 도 13은 본 발명의 실시예에 따른 박막 트랜지스터를 구비한 평판 표시 장치의 다른 실시예를 나타내는 평면도이다.  
 도 14는 도 13에 도시된 유기전계발광소자를 설명하기 위한 단면도이다.

### 발명을 실시하기 위한 구체적인 내용

[0023] 이하 첨부된 도면을 참조하여 본 발명의 실시예들을 상세히 설명한다. 본 발명을 설명함에 있어서, 관련된 공지 기능 또는 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명을 생략할 것이다. 또한, 본 명세서에서 사용되는 용어(terminology)들은 본 발명의 바람직한 실시예를 적절히 표현하기 위해 사용된 용어들로서, 이는 사용자, 운용자의 의도 또는 본 발명이 속하는 분야의 관례 등에 따라 달라질 수 있다. 따라서, 본 용어들에 대한 정의는 본 명세서 전반에 걸친 내용을 토대로 내려져야 할 것이다. 각 도면에 제시된 동일한 참조 부호는 동일한 구성을 나타낸다.

[0024] 도 1은 본 발명의 일 실시예에 따른 박막 트랜지스터의 구조를 나타내는 단면도이다. 도 1을 참조하면, 박막 트랜지스터(100)는 기판(110), 게이트 전극(120), 게이트 절연층(130), 금속 산화물 반도체층(140), 패시베이션층(150), 소스 전극(160) 및 드레인 전극(170)을 포함한다.

[0025] 도 1에 도시된 박막 트랜지스터(100)는 게이트 전극(120), 소스 전극(160) 및 드레인 전극(170) 중 게이트 전극(120)이 소스 전극(160)과 드레인 전극(170)을 기준으로 아래에 위치하는 바텀(bottom) 게이트 구조를 갖는다.

[0026] 게이트 전극(120)은 절연 특성을 갖는 기판(110) 상의 일 영역에 형성된다. 도 1에 도시되어 있지는 않으나, 기판(110)과 게이트 전극(120) 사이에 버퍼층이 더 포함될 수 있다.

[0027] 게이트 절연층(130)은 게이트 전극(120) 상에 형성되어 게이트 전극(120)과, 게이트 절연층(130) 상부에 형성된

구성들 간을 전기적으로 절연한다.

- [0028] 금속 산화물 반도체층(140)은 게이트 절연층(130) 상에 형성되어 채널 영역, 소스 영역 및 드레인 영역을 포함한다. 금속 산화물 반도체층(140)은 고압의 산소 분위기에서 열처리된 상태일 수 있고, 비정질일 수 있다. 이 같이 고압의 산소 분위기에서 열처리된 금속 산화물 반도체층(140)은 인듐갈륨아연산화물(InGaZnO), 아연주석산화물(ZnSnO), 인듐아연산화물(InZnO), hafnium인듐아연산화물(HfInZnO), 지르코늄아연주석산화물(ZrZnSnO), hafnium아연주석산화물(HfZnSnO) 중 어느 하나를 포함할 수 있다.
- [0029] 금속 산화물 반도체층(140)은 인듐(In), 아연(Zn), 주석(Sn), 지르코늄(Zr), hafnium(Hf) 및 갈륨(Ga) 중 적어도 하나 두 개 이상의 금속 물질을 포함하는 이성분계, 삼성분계 또는 사성분계의 금속 산화물 반도체 물질을 포함할 수 있다.
- [0030] 금속 산화물 반도체층(140)은 1 내지 11 기압의 산소 분위기에서 150~500℃로 열처리된 상태일 수 있다. 바람직하게는, 10 기압의 산소 분위기에서 250℃로 열처리된 상태일 수 있다.
- [0031] 고압의 산소 분위기에서 열처리됨에 따라, 금속 산화물 반도체층(140)은 내부 산소 공공(oxygen vacancy)의 농도가 감소될 수 있다. 금속 산화물 반도체층(140)은 내부 산소 공공의 농도가 높아질 경우, 결함이 증가할 수 있다. 또한, 금속 산화물 반도체층(140)의 결함이 증가할 경우, 박막 트랜지스터(100)의 전하 이동도가 감소되고, 광에 노출될 경우 소자 특성이 변화되며, 문턱 전압의 이동이 발생할 수 있다.
- [0032] 도 1에 도시된 금속 산화물 반도체층(140)은 고압의 산소 분위기에서 열처리되는 과정에서 산소 원자를 공급받아 내부 산소 공공의 농도가 감소되고, 결과적으로 결함이 감소될 수 있다.
- [0033] 소스 전극(160)은 금속 산화물 반도체층(140) 상의 소스 영역에 형성되고, 드레인 전극(170)은 금속 산화물 반도체층(140)의 드레인 영역에 형성된다. 소스 전극(160) 및 드레인 전극(170)은 금속 산화물 반도체층(140)과 오믹 접촉한다.
- [0034] 패시베이션층(150)은 소스 전극(160)과 드레인 전극(170) 사이에 노출된 금속 산화물 반도체층(140) 상에 형성된다. 이때, 패시베이션층(150)은 실리콘 산화물(SiO<sub>2</sub>)을 포함할 수 있다. 패시베이션층(150)은 에치 스탑층(etch-stop layer)으로, 금속 산화물 반도체층(140) 상에 형성되어 금속 산화물 반도체층(140)을 보호한다. 패시베이션층(150)은 소스 전극(160)과 드레인 전극(170)을 형성하는 과정에서 금속 산화물 반도체층(140)의 채널 영역이 손상되는 것을 방지한다.
- [0035] 구체적으로, 금속 산화물 반도체층(140) 상에 패시베이션층(150)을 형성하고 난 후, 금속 산화물 반도체층(140)의 소스 영역 및 드레인 영역이 노출되도록 패시베이션층(150)을 식각한다. 그리고, 노출된 소스 영역 및 드레인 영역을 포함하는 패시베이션층(150) 상에 도전성 물질을 형성하고, 도전성 물질을 패터닝하여 소스 영역에 소스 전극(160)을 형성하고, 드레인 영역에 드레인 전극(170)을 형성한다.
- [0036] 금속 산화물 반도체층(140) 상에 패시베이션층(150)이 형성되지 않은 경우, 도전성 물질을 패터닝하는 과정에서 산화물 반도체층(140)의 채널 영역이 손상될 수 있다. 그러나, 도 1에 도시된 바와 같이, 패시베이션층(150)을 형성함에 따라 채널 영역이 손상되는 것을 방지할 수 있다.
- [0037] 한편, 앞서 설명한 바와 같이, 금속 산화물 반도체층(140)이 고압의 산소 분위기에서 열처리된 상태일 수도 있으나, 금속 산화물 반도체층(140) 상에 형성된 패시베이션층(150)이 고압의 산소 분위기에서 열처리된 상태일 수도 있다. 구체적으로, 금속 산화물 반도체층(140)은 일 면에 패시베이션층(150)을 포함하고, 이 패시베이션층(150)이 포함된 일 면이 고압의 산소 분위기에서 열처리된 상태일 수 있다. 패시베이션층(150)을 고압의 산소 분위기에서 열처리하는 경우, 금속 산화물 반도체층(140)을 고압의 산소 분위기에서 열처리하는 경우와 동일한 계 내부 산소 공공의 농도를 감소시킬 수 있다.
- [0038] 도 2는 본 발명의 다른 실시예들에 다른 박막 트랜지스터의 구조를 나타내는 단면도이다. 구체적으로, 도 2는 게이트 전극(260)이 소스 전극(220)과 드레인 전극(230)을 기준으로 위에 위치하는 탑(top) 게이트 구조를 갖는 박막 트랜지스터(200)의 구조를 나타내는 단면도이다.
- [0039] 절연 특성을 갖는 기판(210) 상에 일정 거리 이격된 소스 전극(220) 및 드레인 전극(230)이 형성된다.
- [0040] 금속 산화물 반도체층(240)은 기판(210) 상에서 소스 전극(220)과 드레인 전극(230)을 포함하는 영역에 형성된다. 금속 산화물 반도체층(240)은 채널 영역, 소스 영역 및 드레인 영역을 포함하고, 인듐갈륨아연산화물

(InGaZnO), 아연주석산화물(ZnSnO), 인듐아연산화물(InZnO), 하프늄인듐아연산화물(HfInZnO), 지르코늄아연주석산화물(ZrZnSnO), 하프늄아연주석산화물(HfZnSnO) 중 어느 하나를 포함할 수 있다.

[0041] 또한, 금속 산화물 반도체층(240)은 인듐(In), 아연(Zn), 주석(Sn), 지르코늄(Zr), 하프늄(Hf) 및 갈륨(Ga) 중 적어도 하나 두 개 이상의 금속 물질을 포함하는 이성분계, 삼성분계 또는 사성분계의 금속 산화물 반도체 물질을 포함할 수 있다.

[0042] 또한, 금속 산화물 반도체층(240)은 고압의 산소 분위기에서 열처리된 상태일 수 있다.

[0043] 게이트 절연층(250)은 산화물 반도체층(240) 상에 형성되고, 게이트 전극(260)은 게이트 절연층(250) 상에 형성된다.

[0044] 도 3 내지 도 7은 본 발명의 일 실시예에 따른 박막 트랜지스터의 제조 방법을 설명하기 위한 단면도이다.

[0045] 도 3을 참조하면, 박막 트랜지스터의 제조 방법은 절연 특성을 갖는 기판(310) 상에 게이트 전극(320) 및 게이트 절연층(330)을 형성하는 과정을 포함한다.

[0046] 우선, 투명 유리 기판(310) 상의 일 영역에 몰리브덴(Mo)과 같은 금속 물질을 약 200nm의 두께로 증착한 후, 노광 공정을 거쳐 금속 물질을 패터닝한다. 이 같이 패터닝된 금속 물질이 게이트 전극(320)이 될 수 있다. 이때, 게이트 전극(320)은 몰리브덴(Mo) 외에 몰리브덴 텅스텐(MoW)과 같은 몰리브덴 합금, 또는 알루미늄(Al) 등의 금속 물질로 형성될 수도 있다.

[0047] 다음, 게이트 전극(320)을 포함하는 기판(310)의 상부에 게이트 절연층(330)을 형성한다. 구체적으로, PECVD(Plasma Enhanced Chemical Vapor Deposition) 방법을 이용하여 게이트 전극(320)을 포함하는 기판(310) 상에 실리콘 산화물(SiO<sub>2</sub>) 또는 실리콘 질화물(SiN<sub>x</sub>)을 성장시킴으로써, 게이트 절연층(330)을 형성할 수 있다. 이때, 게이트 절연층(330)은 약 120nm의 두께로 형성될 수 있다.

[0048] 도 4를 참조하면, 박막 트랜지스터의 제조 방법은 게이트 절연층(330) 상에 금속 산화물 반도체층(340)을 형성하는 과정을 포함한다. 도 4에 도시된 바와 같이, 게이트 전극(320) 및 게이트 절연층(330)이 형성된 기판(310)을 스퍼터링 챔버에 장착한 상태에서 적어도 하나 이상의 타겟을 실온에서 DC 스퍼터링하여 게이트 절연층(330) 상에 금속 산화물 반도체층(340)을 형성할 수 있다. 타겟은 인듐갈륨아연산화물(InGaZnO), 아연주석산화물(ZnSnO), 인듐아연산화물(InZnO), 하프늄인듐아연산화물(HfInZnO), 지르코늄아연주석산화물(ZrZnSnO), 하프늄아연주석산화물(HfZnSnO) 중 어느 하나의 단일 물질이 될 수 있다.

[0049] 또는, 타겟은 인듐(In), 갈륨(Ga), 아연(Zn), 주석(Sn), 하프늄(Hf) 및 지르코늄(Zr) 중 적어도 두 개 이상의 금속 타겟을 동시 스퍼터링하여 게이트 절연층(330) 상에 이성분계, 삼성분계 또는 사성분계의 금속 산화물 반도체 물질을 증착할 수도 있다. 이때, 금속 산화물 반도체층(340)은 10nm 내지 200nm의 두께를 가질 수 있다. 또한, 금속 산화물 반도체층(340)을 노광하여 습식 식각을 통해 패터닝하는 과정을 포함할 수 있다. 산화물 반도체층(340)은 채널 영역, 소스 영역 및 드레인 영역을 포함한다.

[0050] 도 5를 참조하면, 박막 트랜지스터의 제조 방법은 금속 산화물 반도체층(340)을 고압의 산소 분위기에서 열처리하는 과정을 포함한다. 구체적으로, 금속 산화물 반도체층(340)을 1 내지 11 기압의 산소 분위기에서 150~500℃로 열처리(annealing)할 수 있다. 바람직하게는, 금속 산화물 반도체층(340)을 10 기압의 산소 분위기에서 250℃로 열처리할 수 있다. 이 같은 고압의 산소 분위기에서 금속 산화물 반도체층(340)을 열처리함에 따라 금속 산화물 반도체층(340)에 산소 원자를 공급하여 내부 산소 공공의 농도를 감소시킬 수 있다.

[0051] 도 6을 참조하면, 박막 트랜지스터의 제조 방법은 패시베이션층(350)을 형성하는 과정을 포함한다. 구체적으로, 게이트 절연층(330) 및 금속 산화물 반도체층(340) 상에 실리콘 산화물(SiO<sub>2</sub>)을 200℃의 온도에서 PECVD 방법을 이용하여 증착한다. 그리고, 증착된 실리콘 산화물(SiO<sub>2</sub>)을 금속 산화물 반도체층(340)의 소스 영역 및 드레인 영역이 노출되도록 패터닝하여 패시베이션층(350)을 형성한다. 이때, 패시베이션층(350)은 100nm의 두께를 가질

수 있다.

[0052] 도 7을 참조하면, 박막 트랜지스터의 제조 방법은 산화물 반도체층(340)의 소스 영역 상에 소스 전극(360)을 형성하고, 드레인 영역 상에 드레인 전극(370)을 형성하는 과정을 포함한다. 즉, 산화물 반도체층(340) 및 패시베이션층(350)의 상부에 도전층을 형성하고, 이 도전층을 패터닝하여 소스 영역과 접촉하는 소스 전극(360), 그리고 드레인 영역과 접촉하는 드레인 전극(370)을 형성한다.

[0053] 이하에서는, 본 발명에 따른 실시예를 이용하여 제조된 박막 트랜지스터와 본 발명의 실시예에 벗어나는 비교예 1 및 2를 이용하여 제조된 박막 트랜지스터의 특성을 측정하였다.

[0054] 비교예 1, 비교예 2 및 실시예에 따른 박막 트랜지스터들은 모두 동일한 구조를 가지나, 상이한 산소 분위기에서 열처리된 금속 산화물 반도체층(예를 들어, 인듐갈륨주석산화물(InGaSnO))을 포함한다. 구체적으로, 비교예 1에 따른 박막 트랜지스터는 0.2 기압의 산소 분위기에서 열처리된 금속 산화물 반도체층을 포함하고, 비교예 2에 따른 박막 트랜지스터는 0.5 기압의 산소 분위기에서 열처리된 금속 산화물 반도체층을 포함한다.

[0055] 또한, 실시예에 따른 박막 트랜지스터는 고압인 10 기압의 산소 분위기에서 열처리된 금속 산화물 반도체층을 포함한다. 비교예 1 및 2와 실시예는 상기의 산소 분위기에서 모두 250℃의 온도로 한 시간동안 열처리 되었다. 이하에서는 비교예 1 및 2와 실시예에 따른 박막 트랜지스터에 대한 다양한 특성들을 설명한다.

[0056] 도 8a 내지 도 8c는 비교예 1 및 2와 본 발명의 실시예에 따른 박막 트랜지스터의 전이(transfer) 특성 그래프이다. 도 8a 내지 도 8c에 도시된 전이 특성 그래프는 비교예 1 및 2와 실시예에 따른 박막 트랜지스터가 스트레스에 노출되지 않은 상태에서 측정된 결과 그래프이다.

[0057] 구체적으로, 각 박막 트랜지스터들이 NBIS(Negative Bias Illumination Stress)에 노출되지 않은 상태에서 측정된 결과로, NBIS란, 각 박막 트랜지스터의 게이트 전극에 음(-) 전압을 인가한 상태에서, 광(예를 들어, 청색 광)에 노출시키는 스트레스를 의미한다.

[0058] 전계 효과 이동도( $\mu_{FE}$ ) 및 문턱 전압( $V_{th}$ )은 포화(saturation) 영역에서  $I_{DS}^{1/2}$ - $V_{GS}$ 의 기울기(slope) 및 x-축 절편으로 결정될 수 있다.  $I_{DS}$ 는 아래의 수학식 1로 표현될 수 있다.

### 수학식 1

$$I_{DS} = (WC_i / 2L) \mu_{FE} (V_{GS} - V_{th})^2$$

[0060] 수학식 1에서, L은 금속 산화물 반도체층의 채널 영역 길이, W는 금속 산화물 반도체층의 채널 영역 폭,  $C_i$ 는 단위 면적 당 게이트 정전용량(gate capacitance)이다.

[0061] 또한, 문턱전압 이하에서의 기울기(SS, subthreshold gate swing)는 아래의 수학식 2로 표현될 수 있다.

### 수학식 2

$$SS = dV_{GS} / d \log I_{DS} [V/decade]$$

[0063] 문턱전압 이하에서의 기울기(SS)는  $\log(I_{DS})$ - $V_{GS}$ 의 선형(linear) 영역으로부터 얻어질 수 있다.

[0064] 도 8a는 비교예 1에 따른 박막 트랜지스터의 전이 특성 그래프이다. 비교예 1에 따른 박막 트랜지스터는  $W/L=29 \mu m/10 \mu m$ 의 채널 영역 폭(W)/채널 영역 길이(L)를 갖고,  $19.1 cm^3/Vs$ 의 전계 효과 이동도( $\mu_{FE}$ )를 가지며,  $>10^8$ 의

$I_{on/off}$  비율값을 갖는다. 또한, 0.3V의 문턱전압( $V_{th}$ )과, 0.32V/decade의 문턱전압 이하에서의 기울기(SS)를 갖는다.

- [0065] 도 8b는 비교예 2에 따른 박막 트랜지스터의 전이 특성 그래프이고, 도 7c는 실시예에 따른 박막 트랜지스터의 전이 특성 그래프이다.
- [0066] 도 8b 및 도 8c를 참조하면, 비교예 2에 따른 박막 트랜지스터는 0.78V의 문턱전압을 가지고, 실시예에 따른 박막 트랜지스터는 2.0V의 문턱전압을 갖는다. 이는 비교예 2 및 실시예에 따른 박막 트랜지스터에 포함된 금속 산화물 반도체층이 비교예 1보다 상승된 압력의 산소 분위기에서 열처리됨에 따라 채널 영역에 자유 전자 캐리어 밀도가 낮아져 문턱전압이 낮게 나타난다.
- [0067] 도 9a 내지 도 9c는 NBIS(Negative Bias Illumination Stress) 기간 동안 비교예 1 및 2와 본 발명의 실시예에 따른 박막 트랜지스터의 전이 특성 그래프이다. 도 9a 내지 도 9c에 도시된 전이 특성 그래프는 비교예 1 및 2와 실시예에 따른 박막 트랜지스터가 NBIS에 노출된 상태에서 측정된 결과이다.
- [0068] 비교예 1 및 2와 실시예에 따른 박막 트랜지스터는 실온에서 -20V 및 10V로 각각 설정된  $V_{GS}$  및  $V_{DS}$  조건 하에서 청색광에 노출되는 스트레스를 받았다. 이 같은 스트레스는 7,200초(7.2Ks)(NBIS 기간) 동안 지속되었다.
- [0069] 도 9a를 참조하면, 비교예 1에 따른 박막 트랜지스터는 NBIS 기간 전(0s)과 비교하여 NBIS 기간 후에 문턱전압이 7.1V만큼 음의 방향으로 이동되었다. 이 경우, 전계 효과 이동도( $\mu_{FE}$ ),  $I_{on/off}$ 는 변함이 없다. NBIS 기간 후에, 문턱전압이 음의 방향으로 이동되는 것은 게이트 절연층과 채널 영역 근처에서 청색광에 의해 생성된 내부 산소 공공의 전하 트랩핑(charge trapping)에 의한 것이다.
- [0070] 한편, 도 9b를 참조하면, 비교예 2에 따른 박막 트랜지스터는 NBIS 기간 전(0s)과 비교하여 NBIS 기간 후에 4.5V만큼 음의 방향으로 이동되었다.
- [0071] 또한, 도 9c를 참조하면, 실시예에 따른 박막 트랜지스터는 NBIS 기간 전(0s)과 비교하여 NBIS 기간 후에 문턱전압이 1.9V만큼 음의 방향으로 이동되었다. 이는 실시예에 따른 박막 트랜지스터가 높은 광 신뢰성을 갖는 것을 나타낸다. 이 같이 박막 트랜지스터의 광 신뢰성은 홀 트랩핑(hole trapping)에 의한 것일 수 있다. 구체적으로, 게이트 절연층과 금속 산화물 반도체층의 채널 영역 간의 가전자 오프셋(valence offset)이 열처리 조건에 의해 영향을 받기 때문이다. 보다 구체적으로, 금속 산화물 반도체층은 내부 산소 공공의 농도를 포함하는데, 고압의 산소 분위기에서 열처리되는 동안 산소 압력이 부분적으로 변화하여 산소 원자 또는 산소 분자가 채널 영역으로 확산된다. 따라서, 실시예에 따른 박막 트랜지스터는 금속 산화물 반도체층의 내부 산소 공공 $[V_0]$ 의 농도가 감소된다.
- [0072] 만약, 일반적인 박막 트랜지스터(고압의 산소 분위기에서 열처리되지 않은 금속 산화물 반도체층)가 광에 노출될 경우, 광 전이(photo-transition)에 의해 두 개의 비국소 자유 전자가 전도대 밴드로 유도되어 박막 트랜지스터의 문턱 전압은 광학 전자 도핑에 따라 음의 방향으로 이동된다. 그러나, 실시예에 따른 박막 트랜지스터에서 금속 산화물 반도체층은 고압의 산소 분위기에서 열처리됨에 따라 비국소 전자 캐리어의 광 생성이 지연되어 내부 산소 공공의 농도가 감소된다.
- [0073] 도 10a는 비교예 1 및 2와 본 발명의 실시예에 따른 박막 트랜지스터의 문턱 전압의 이동 그래프이고, 도 10b는 비교예 1 및 2와 본 발명의 실시예에 따른 박막 트랜지스터의 문턱전압 이하에서의 기울기(SS, subthreshold gate swing) 그래프이다.
- [0074] 도 10a를 참조하면, NBIS 시간 동안 비교예 1에 따른 박막 트랜지스터는 문턱전압이 약 -7V 이동하였고, 비교예 2에 따른 박막 트랜지스터는 약 -5V 이동하였으며, 실시예에 따른 박막 트랜지스터는 약 -2V 이하로 이동하였다.
- [0075] 도 10b를 참조하면, NBIS 시간 동안 비교예 1 및 2에 따른 박막 트랜지스터는 SS가 약 2.5V 이동하였고, 실시예에 따른 박막 트랜지스터는 약 0.6 이동하였다.
- [0076] 문턱전압 이하(subthreshold) 드레인 전류 영역의 연장(stretch-out)은 음의 전압(negative bias) 및 NBIS에 의해 트랩(trap)을 생성할 수 있다. 그러나, 실시예의 박막 트랜지스터와 같이 금속 산화물 반도체층을 고압의

산소 분위기에서 열처리하는 경우, 산소에 의해 트랩 생성이 강하게 억제될 수 있다. 따라서, 비교예 1 및 비교예 2에 따른 박막 트랜지스터에 비해 실시예에 따른 박막 트랜지스터는 SS의 이동이 낮게 나타난다.

- [0077] 도 11a 내지 도 11c는 비교예 1 및 2와 본 발명의 실시예에 따른 박막 트랜지스터의 결합 에너지-강도(Binding Energy-Intensity)를 나타내는 그래프이다. 도 11a 내지 도 11c는 비교예 1 및 2와 실시예에 따른 박막 트랜지스터를 O1s(산소 피크 강도) X-선 광전자 분광법(XPS, X-ray Photoelectron Spectroscopy)을 이용하여 얻을 수 있다.
- [0078] 도 11a를 참조하면, 비교예 1에 따른 박막 트랜지스터는 약 530.8[eV]의 O1s를 나타내고, 비교예 2에 따른 박막 트랜지스터는 약 532.3[eV]의 O1s를 나타내며, 실시예에 따른 박막 트랜지스터는 약 533.2[eV]의 O1s를 나타낸다.
- [0079] 비교예 1, 비교예 2 및 실시예에 따른 박막 트랜지스터에 포함된 금속 산화물 반도체층은 열처리하는 동안 산소 압력이 증가함에 따라 산소 공공 관련 피크 영역이 감소된다. 비교예 1, 비교예 2 및 실시예에 따르면, 산소 공공 관련 피크 영역은 각각 46.5%, 41.8% 및 39.8%가 된다. 이 같이, 실시예에 따른 박막 트랜지스터는 산소 공공[Vo]의 결합 밀도가 감소되어 광 신뢰성이 향상된다.
- [0080] 도 12는 본 발명에 따른 박막 트랜지스터를 구비한 평판 표시 장치를 설명하기 위한 사시도로, 화상을 표시하는 표시 패널(1200)을 중심으로 설명한다.
- [0081] 표시 패널(1200)은 서로 대향하도록 배치된 제1 기판(1210)과 제2 기판(1220), 제1 기판(1210)과 제2 기판(1220) 사이에 배치된 액정층(1230)을 포함하고, 기판(1210)에 매트릭스 형태로 배열된 복수의 게이트 선(1211)과 데이터 선(1212)에 의해 정의되는 화소 영역(1213)을 포함한다.
- [0082] 또한, 표시 패널(1200)에서, 복수의 게이트 선(1211)과 데이터 선(1212)이 교차되는 부분의 제1 기판(1210)에는 각 화소로 공급되는 신호를 제어하는 박막 트랜지스터(1214) 및 박막 트랜지스터(1214)와 연결되는 화소 전극(1215)이 형성된다. 여기서 박막 트랜지스터(1214)는 도 1에 도시된 것과 같은 구조를 가질 수 있다. 즉, 고온의 산소 분위기에서 열처리된 금속 산화물 반도체층(140)을 포함할 수 있다.
- [0083] 도 12에 도시된 표시 패널(1200)의 제조 방법은 우선, 제2 기판(1220)에 컬러 필터(1221) 및 공통 전극(1222)을 형성하고, 제1 기판(1210)과 제2 기판(1220) 각각의 배면에 제1 및 제2 편광판(1240, 1250)을 형성한 후, 제1 편광판(1240)의 하부에는 광원으로 백 라이트(미도시)를 배치시킨다.
- [0084] 또한, 표시 패널(1200)의 화소 영역(1213) 주변에는 표시 패널(1200)을 구동시키기 위한 구동부(LCD Drive IC, 미도시)가 실장된다. 구동부는 외부로부터 제공되는 전기적 신호를 주사 신호 및 데이터 신호로 변환하여 게이트 선(1211)과 데이터 선(1212)으로 공급한다.
- [0085] 도 13은 본 발명에 따른 박막 트랜지스터를 구비한 평판 표시 장치의 다른 실시예를 나타내는 평면도로, 화상을 표시하는 표시 패널(1300)을 중심으로 설명한다. 또한, 도 14는 도 13에 도시된 유기전계발광소자를 설명하기 위한 단면도이다.
- [0086] 도 13을 참조하면, 기판(1310)은 화소 영역(1320)과, 화소 영역(1320)을 둘러싸는 비화소 영역(1330)으로 정의된다. 기판(1310)에서 화소 영역(1320)에는 주사 라인(1321) 및 데이터 라인(1322) 사이에 매트릭스 방식으로 연결된 다수의 유기전계발광소자(1400)가 형성되고, 비화소 영역(1430)에는 화소 영역(1420)의 주사 라인(1421) 및 데이터 라인(1422)으로부터 연장된 주사 라인(1421) 및 데이터 라인(1422), 유기전계발광소자(1400)의 동작을 위한 전원공급라인(미도시)이 형성되고, 패드(1423)를 통해 외부로부터 제공된 신호를 처리하여 주사 라인(1421) 및 데이터 라인(1422)으로 공급하는 주사 구동부(1431) 및 데이터 구동부(1432)가 형성된다.
- [0087] 도 14를 참조하면, 유기전계발광소자(1400)는 애노드 전극(1420) 및 캐소드 전극(1440)과, 애노드 전극(1420) 및 캐소드 전극(1440) 사이에 형성된 유기 박막층(1431)으로 이루어진다. 유기 박막층(1431)은 정공 수송층, 유기 발광층 및 전자 수송층이 적층된 구조로 형성되며, 정공 주입층과 전자 주입층이 더 포함될 수 있다. 또한, 유기전계발광소자(1400)의 동작을 제어하기 위한 박막 트랜지스터와, 신호를 유지시키기 위한 캐패시터가 더 포함될 수 있다.

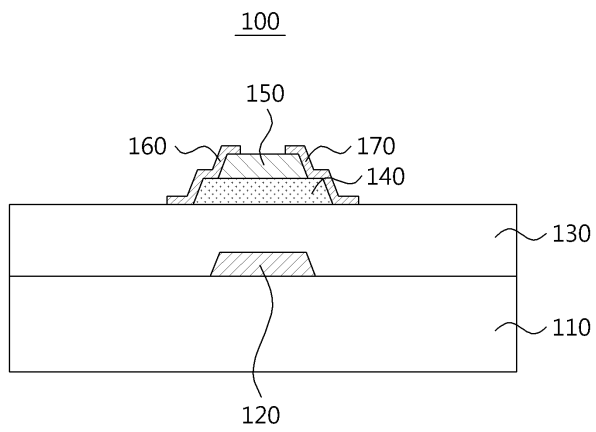
- [0088] 박막 트랜지스터는 도 1과 같은 구조를 가지며, 도 4 내지 도 7에 도시된 제조 방법에 따라 제조될 수 있다.
- [0089] 이하에서는 도 13 및 도 14를 이용하여 박막 트랜지스터를 포함하는 유기전계 발광 소자(1400)를 자세하게 설명한다.
- [0090] 기관(1310) 상에는 게이트 전극(120)이 형성된다. 이때, 화소 영역(1420)에는 게이트 전극(120)과 연결되는 주사 라인(1321)이 형성되고, 비화소 영역(1330)에는 화소 영역(1320)의 주사 라인(1321)으로부터 연장되는 주사 라인(1321) 및 외부로부터 신호를 제공받기 위한 패드(1323)가 형성된다.
- [0091] 또한, 게이트 전극(120)을 포함하는 상부는 게이트 절연층(130)에 의해 게이트 전극(120)과 전기적으로 절연되고, 게이트 절연층(130)의 상부에는 채널 영역, 소스 영역 및 드레인 영역을 제공하는 금속 산화물 반도체층(140)이 형성된다. 금속 산화물 반도체층(140)은 고압의 산소 분위기에서 열처리된 비정질의 금속 산화물 반도체 물질을 포함한다.
- [0092] 금속 산화물 반도체층(140) 상의 일부 영역에는 패시베이션층(150)이 더 형성되고, 금속 산화물 반도체층(140) 상에는 소스 영역 및 드레인 영역과 접촉되는 소스 전극(160) 및 드레인 전극(170)이 형성된다. 이때, 화소 영역(1320)에는 소스 전극(160) 및 드레인 전극(170)과 연결되는 데이터 라인(1322)이 형성되고, 비화소 영역(1330)에는 화소 영역(1320)의 데이터 라인(1322)으로부터 연장되는 데이터 라인(1322) 및 외부로부터 신호를 제공받기 위한 패드(1323)가 형성된다.
- [0093] 소스 전극(160) 및 드레인 전극(170)을 포함하는 상부에는 보호막(1410)이 형성되고, 보호막(1410)에는 소스 전극(160) 또는 드레인 전극(170)이 노출되도록 비아홀이 형성된다. 보호막(1410)은 절연 및 평탄화를 위해 다층 구조로 형성될 수 있다.
- [0094] 비아홀을 통해 소스 전극(160) 또는 드레인 전극(170)과 연결되는 애노드 전극(1420)이 형성되고, 애노드 전극(1420)의 일부 영역 상이 노출되도록 보호막(1410) 상에 화소 정의막(1430)이 형성된다. 또한, 노출된 애노드 전극(1420) 상에 유기 박막층(1431)이 형성되고, 유기 박막층(1431)을 포함하는 화소 정의막(1430) 상에 캐소드 전극(1440)이 형성된다.
- [0095] 도시하고 있지 않으나, 유기전계발광소자(1400)가 형성된 기관(1310) 상부에는 화소 영역(1320)을 밀봉시키기 위한 봉지 기관이 배치되며, 밀봉재에 의해 봉지 기관과 기관(1310)이 합착되어 표시 패널(1300)을 완성할 수 있다.
- [0096] 이상과 같이 본 발명은 비록 한정된 실시 예와 도면에 의해 설명되었으나, 본 발명은 상기의 실시 예에 한정되는 것은 아니며, 본 발명이 속하는 분야에서 통상의 지식을 가진 자라면 이러한 기재로부터 다양한 수정 및 변형이 가능하다. 그러므로, 본 발명의 범위는 설명된 실시 예에 국한되어 정해져서는 아니 되며, 후술하는 특허 청구범위뿐 아니라 이 특허청구범위와 균등한 것들에 의해 정해져야 한다.

### 부호의 설명

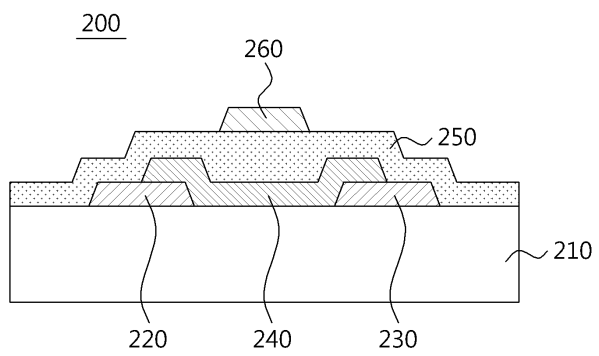
- [0097] 100, 200, 300 : 박막 트랜지스터  
 120, 260, 320 : 게이트 전극  
 140, 240, 340 : 산화물 반도체층  
 160, 220, 360 : 소스 전극  
 170, 230, 370 : 드레인 전극

도면

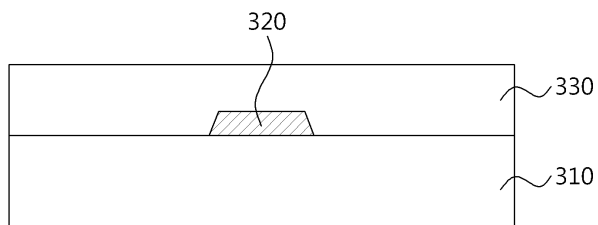
도면1



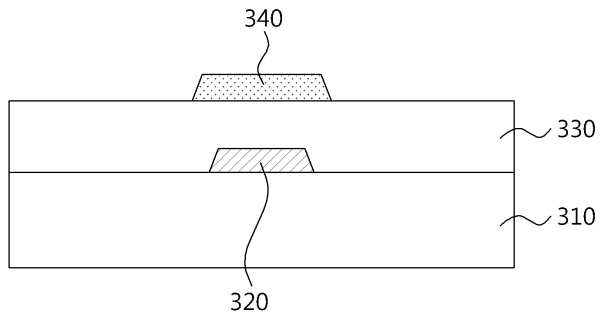
도면2



도면3

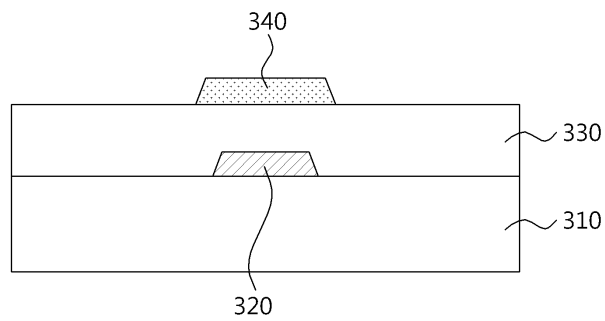


도면4

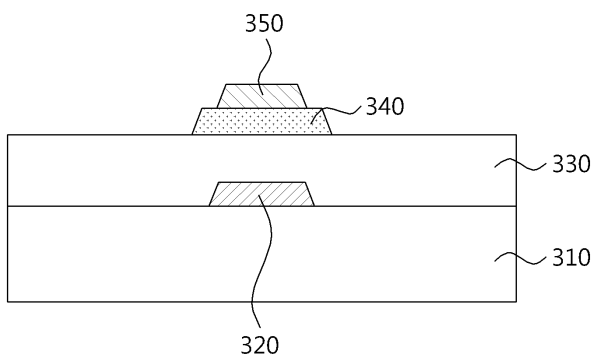


도면5

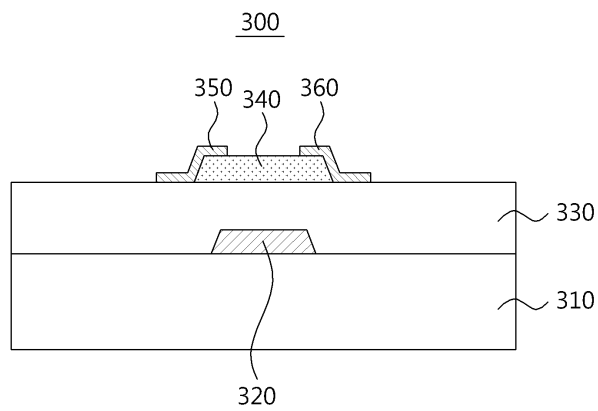
10 기압의 산소 분위기에서 250°C로 열처리



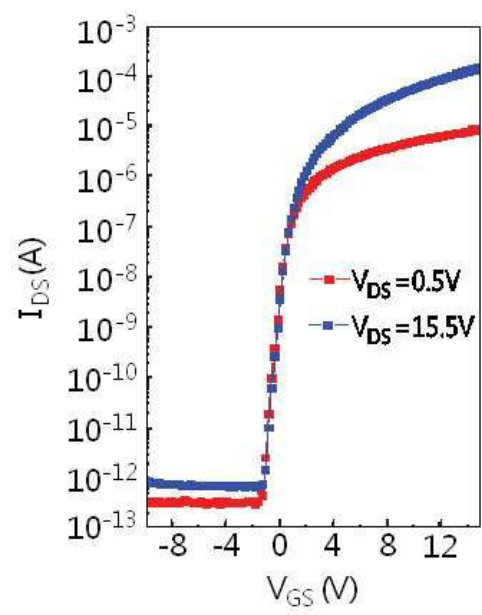
도면6



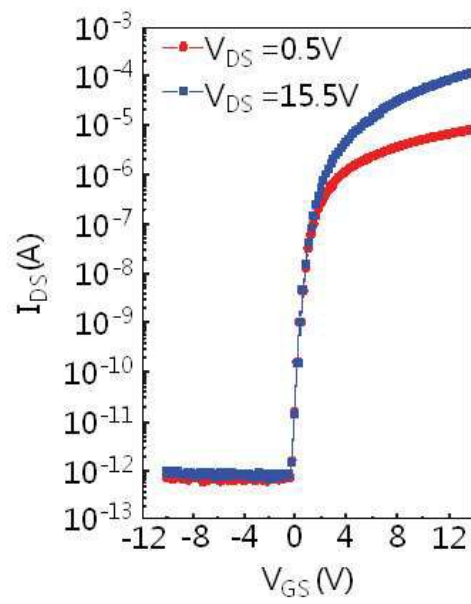
도면7



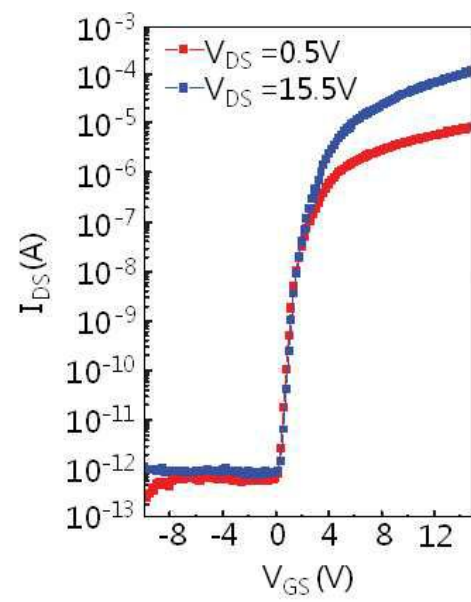
도면8a



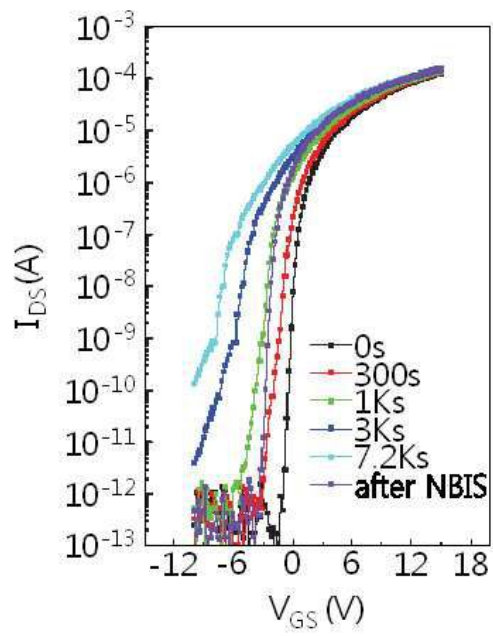
도면8b



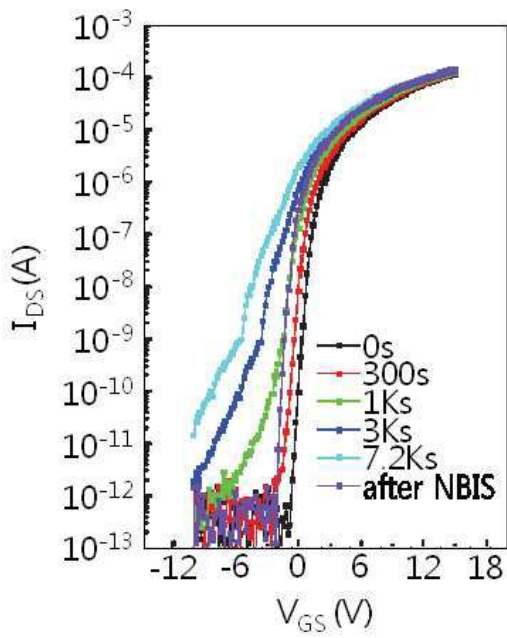
도면8c



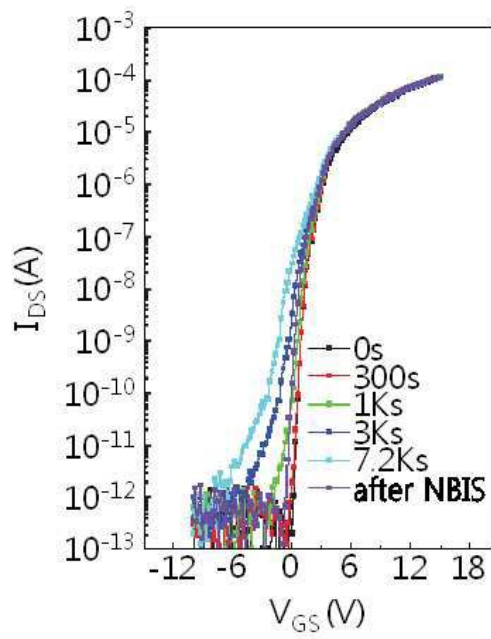
도면9a



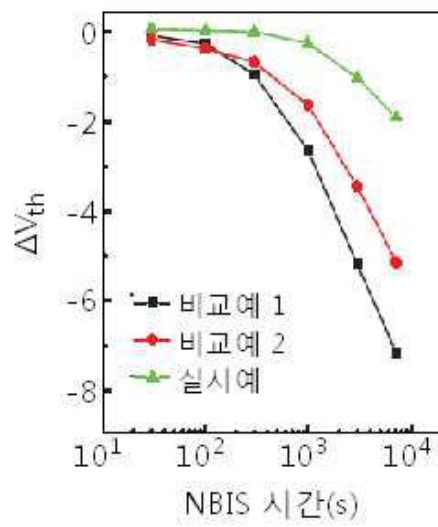
도면9b



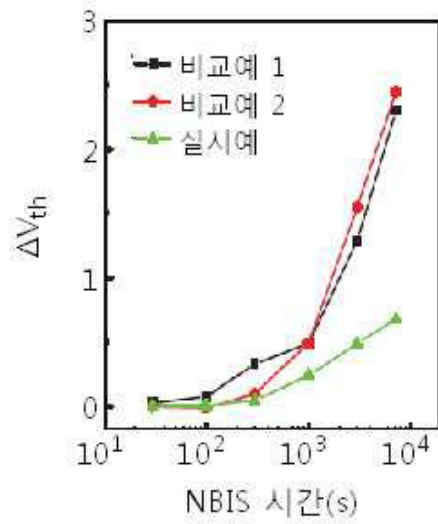
도면9c



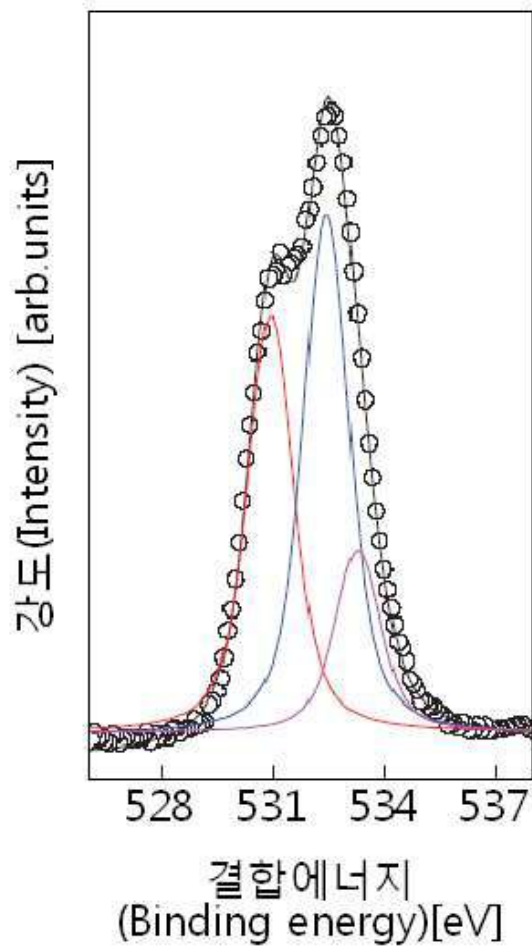
도면10a



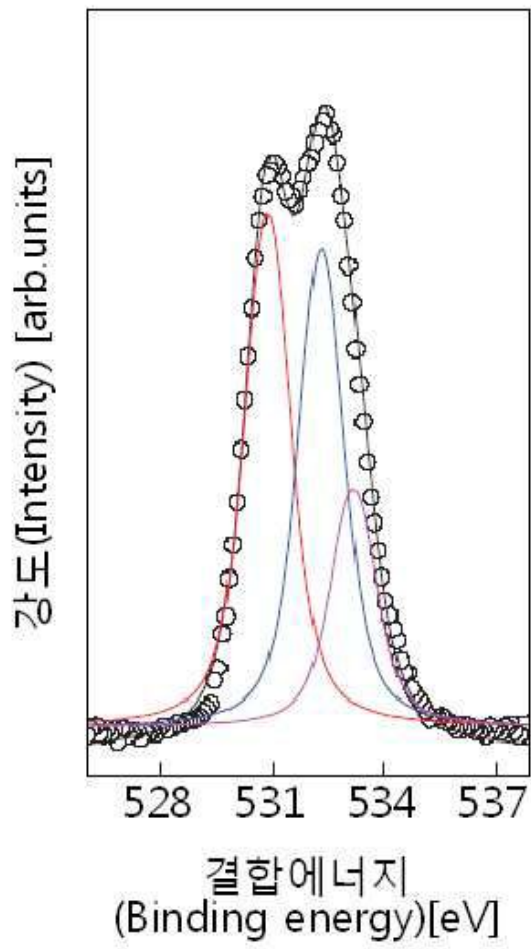
도면10b



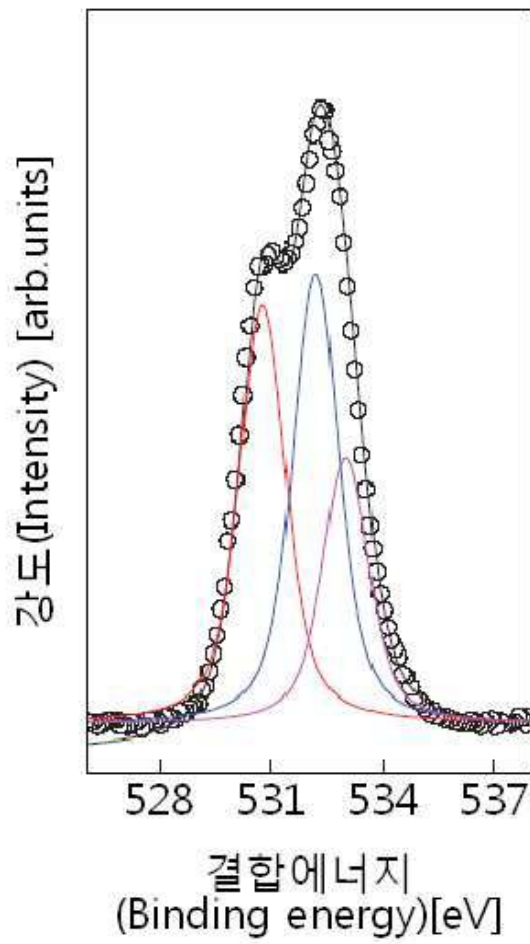
도면11a



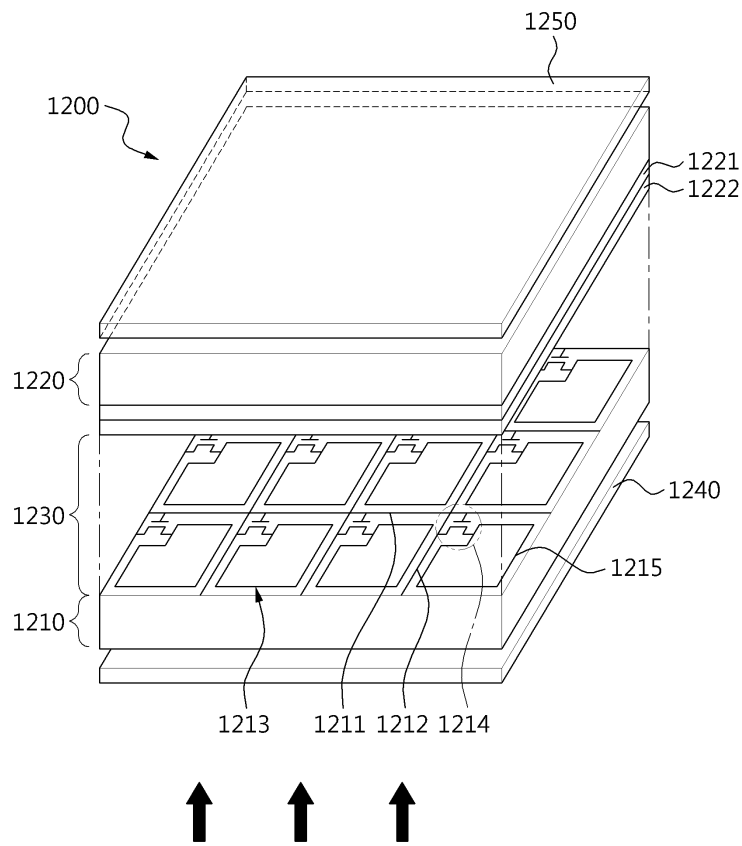
도면11b



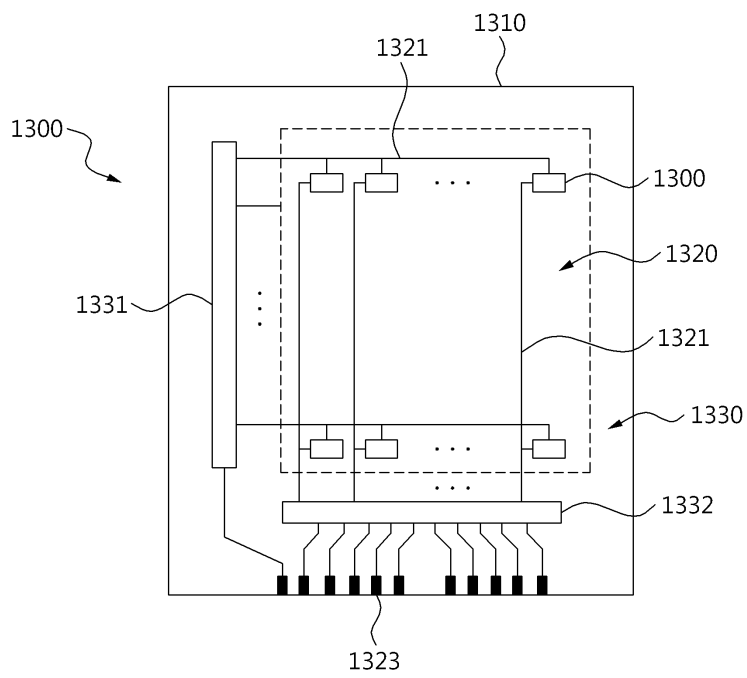
도면11c



도면12



도면13



도면14

