(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0048917
(43) 공개일자 2019년05월09일

(51) 국제특허분류(Int. Cl.)
H01L 21/56 (2006.01) *H01L 21/02* (2006.01)
H01L 21/768 (2006.01)
(52) CPC특허분류
H01L 21/56 (2013.01)
H01L 21/02581 (2013.01)
(21) 출원번호 10-2017-0144214
(22) 출원일자 2017년10월31일
심사청구일자 2017년10월31일

(71) 출원인
이화여자대학교 산학협력단
서울특별시 서대문구 이화여대길 52 (대현동, 이화여자대학교)
(72) 발명자
이상욱
서울특별시 영등포구 여의동로3길 10, 501동 1407호 (여의도동, 여의도자이)
신동훈
경기도 과천시 공원마을2길 42, 302호 (문원동)
윤호열
제주특별자치도 제주시 조천읍 함덕서4길 60-19
(74) 대리인
리앤목특허법인

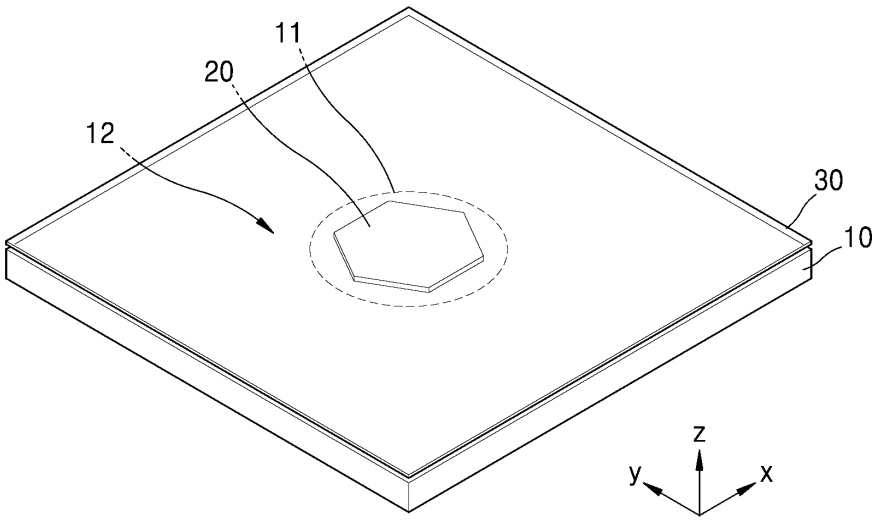
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 **전자장치 제조방법 및 이에 따라 제조된 전자장치**

(57) 요 약

본 발명은 기능층의 오염을 최소화하면서도 효율적인 전사가 가능하도록 하는 전자장치 제조방법 및 이에 따라 제조된 전자장치를 위하여, 소스기판의 상면 중 사전설정된 영역을 제외한 잔여 영역을 표면처리하는 제1표면처리 단계와, 소스기판의 상면 중 사전설정된 영역 상에 기능층을 위치시키는 단계와, 기능층을 덮으며 소스기판의 상면 중 표면처리된 부분까지 덮도록 전사막을 위치시키는 단계와, 전사막의 하면에 기능층이 밀착된 상태로 전사막으로부터 소스기판을 제거하는 단계와, 전사막의 하면에 기능층이 밀착된 상태로 전사막을 타겟기판 상에 위치시키는 단계와, 타겟기판 상에 기능층이 위치한 상태에서 타겟기판으로부터 전사막을 제거하는 단계를 포함하는, 전자장치 제조방법 및 이에 따라 제조된 전자장치가 제공된다.

대 표 도 - 도3



(52) CPC특허분류
H01L 21/02601 (2013.01)
H01L 21/02603 (2013.01)
H01L 21/02606 (2013.01)
H01L 21/768 (2013.01)

이 발명을 지원한 국가연구개발사업
과제고유번호 N0001819
부처명 산업통상자원부
연구관리전문기관 한국산업기술진흥원
연구사업명 산업기술혁신사업-국제공동기술개발사업
연구과제명 대면적 그래핀 기판을 이용한 저비용, 고품위의 III-V 나노선 발광소자 개발
기 여 율 30/100
주관기관 한국전자통신연구원
연구기간 2016.04.01 ~ 2017.09.30
이 발명을 지원한 국가연구개발사업
과제고유번호 2016K2A9A1A03905001
부처명 과학기술정보통신부
연구관리전문기관 한국연구재단
연구사업명 국제협력사업-국제기관간MOU지원사업-글로벌연구협력지원사업-FWF-NKFIHLeadAgency
연구과제명 일-이차원 나노구조 이종접합체의 외부 자극에 대한 인시츄 물성 연구
기 여 율 25/100
주관기관 이화여자대학교 산학협력단
연구기간 2017.01.01 ~ 2019.12.31
이 발명을 지원한 국가연구개발사업
과제고유번호 2015R1A2A2A05050829
부처명 과학기술정보통신부
연구관리전문기관 한국연구재단
연구사업명 기초연구사업(학술진흥)-중견연구-핵심연구-후속연구지원(개인)
연구과제명 탄소만으로 이루어진 나노 전자, 나노 전기역학 시스템 개발
기 여 율 25/100
주관기관 이화여자대학교 산학협력단
연구기간 2015.12.01 ~ 2018.11.30
이 발명을 지원한 국가연구개발사업
과제고유번호 2017R1D1A1B03035727
부처명 교육부
연구관리전문기관 한국연구재단
연구사업명 기초연구사업(학술진흥)-기본연구지원사업
연구과제명 저차원 물질의 나노전기역학시스템 기반 인시츄 압전 특성 연구
기 여 율 20/100
주관기관 이화여자대학교 산학협력단
연구기간 2017.06.01 ~ 2020.05.31

명 세 서

청구범위

청구항 1

소스기판의 상면 중 사전설정된 영역을 제외한 잔여 영역을 표면처리하는 제1표면처리 단계;

소스기판의 상면 중 사전설정된 영역 상에 기능층을 위치시키는 단계;

기능층을 덮으며 소스기판의 상면 중 표면처리된 부분까지 덮도록 전사막을 위치시키는 단계;

전사막의 하면에 기능층이 밀착된 상태로, 전사막으로부터 소스기판을 제거하는 단계;

전사막의 하면에 기능층이 밀착된 상태로, 전사막을 타겟기판 상에 위치시키는 단계; 및

타겟기판 상에 기능층이 위치한 상태에서 타겟기판으로부터 전사막을 제거하는 단계;

를 포함하는, 전자장치 제조방법.

청구항 2

제1항에 있어서,

상기 제1표면처리 단계는, 소수성처리하는 단계인, 전자장치 제조방법.

청구항 3

제1항에 있어서,

상기 전사막을 위치시키는 단계는, 전사막용 물질을 소스기판 상에 코팅하는 것을 포함하는 단계인, 전자장치 제조방법.

청구항 4

제1항에 있어서,

전사막을 타겟기판 상에 위치시키는 단계 이전에, 타겟기판의 상면 중 사전설정된 영역을 제외한 잔여 영역을 표면처리하는 제2표면처리 단계를 더 포함하는, 전자장치 제조방법.

청구항 5

제4항에 있어서,

상기 제2표면처리 단계는, 소수성처리하는 단계인, 전자장치 제조방법.

청구항 6

제4항에 있어서,

상기 전사막을 타겟기판 상에 위치시키는 단계는, 전사막의 하면에 밀착된 기능층이 타겟기판의 상면 중 사전설정된 영역 내에 위치하도록 하는 단계인, 전자장치 제조방법.

청구항 7

제1항 내지 제6항 중 어느 한 항에 있어서,

기능층은,

튜브, 와이어 또는 막대 형태를 포함하는, 1차원 마이크로 소재층 또는 1차원 나노 소재층; 또는

그래핀, 전이금속 칼코겐 화합물(transition metal dichalcogenide), 육각붕화질소 또는 흑린을 포함하는, 2차원 마이크로 소재층 또는 2차원 나노 소재층;

을 포함하는, 전자장치 제조방법.

청구항 8

제1항 내지 제6항 중 어느 한 항에 있어서,

전사막은 폴리디메틸실록산(PDMS; polydimethylsiloxane), 싸이토프(CYTOP), 폴리메틸메타크릴레이트(PMMA; polymethylmethacrylate), 에틸락테이트(ethyl lactate), 폴리카보네이트(PC; polycarbonate), 폴리프로필렌카보네이트(PPC; poly propylene carbonate), 폴리이미드(PI; polyimide), 파라아라미드피브리드(para-aramid fibrid), 폴리에틸렌 테레프탈레이트(PET; polyethylene terephthalate), 폴리염화비닐(PVC; polyvinyl chloride), 폴리비닐아세테이트(PVAc; poly(vinyl acetate)), 실리카겔(silica-gel) 또는 폴리우레탄아크릴레이트(PUA; polyurethane acrylate)를 포함하는, 전자장치 제조방법.

청구항 9

제1영역과 제1영역 외측의 제2영역을 갖는 기판; 및

상기 기판의 상기 제1영역 상에 위치한 기능층;

을 구비하고, 상기 제2영역의 상면은 상기 제1영역의 상면보다 소수성으로 처리된, 전자장치.

청구항 10

제9항에 있어서,

상기 기능층은,

튜브, 와이어 또는 막대 형태를 포함하는, 1차원 마이크로 소재층 또는 1차원 나노 소재층; 또는

그래핀, 전이금속 칼코겐 화합물(transition metal dichalcogenide), 육각붕화질소 또는 흑린을 포함하는, 2차원 마이크로 소재층 또는 2차원 나노 소재층;

을 포함하는, 전자장치.

발명의 설명

기 술 분 야

[0001] 본 발명의 실시예들은 전자장치 제조방법 및 이에 따라 제조된 전자장치에 관한 것으로서, 더 상세하게는 기능층의 오염을 최소화하면서도 효율적인 전사가 가능하도록 하는 전자장치 제조방법 및 이에 따라 제조된 전자장치에 관한 것이다.

배 경 기 술

[0002] 일반적으로 전자장치를 제조함에 있어서 특정 막을 형성하게 된다. 이러한 막을 형성함에 있어서 전자장치의 일 구성요소가 될 기판 상에 직접 막을 형성할 수도 있지만, 필요에 따라서는 다른 지지체 상에 막을 형성한 후 이 막을 기판 상으로 전사하는 경우가 있다.

[0003] 그러나 종래의 전자장치 제조방법의 경우, 막을 전사하는 과정에서 전사막이 찢어지는 등의 불량이 발생하여, 전사가 제대로 이루어지지 않는다는 문제점이 있었다.

발명의 내용

해결하려는 과제

[0004] 본 발명은 상기와 같은 문제점을 포함하여 여러 문제점들을 해결하기 위한 것으로서, 기능층의 오염을 최소화하면서도 효율적인 전사가 가능하도록 하는 전자장치 제조방법 및 이에 따라 제조된 전자장치를 제공하는 것을 목적으로 한다. 그러나 이러한 과제는 예시적인 것으로, 이에 의해 본 발명의 범위가 한정되는 것은 아니다.

과제의 해결 수단

[0005] 본 발명의 일 관점에 따르면, 소스기판의 상면 중 사전설정된 영역을 제외한 잔여 영역을 표면처리하는 제1표면처리 단계와, 소스기판의 상면 중 사전설정된 영역 상에 기능층을 위치시키는 단계와, 기능층을 덮으며 소스기판의 상면 중 표면처리된 부분까지 덮도록 전사막을 위치시키는 단계와, 전사막의 하면에 기능층이 밀착된 상태로 전사막으로부터 소스기판을 제거하는 단계와, 전사막의 하면에 기능층이 밀착된 상태로 전사막을 타겟기판 상에 위치시키는 단계와, 타겟기판 상에 기능층이 위치한 상태에서 타겟기판으로부터 전사막을 제거하는 단계를 포함하는, 전자장치 제조방법이 제공된다. 이때, 상기 제1표면처리 단계는, 소수성처리하는 단계일 수 있다.

[0006] 상기 전사막을 위치시키는 단계는, 전사막용 물질을 소스기판 상에 코팅하는 것을 포함하는 단계일 수 있다.

[0007] 전사막을 타겟기판 상에 위치시키는 단계 이전에, 타겟기판의 상면 중 사전설정된 영역을 제외한 잔여 영역을 표면처리하는 제2표면처리 단계를 더 포함할 수 있다. 이때, 상기 제2표면처리 단계는, 소수성처리하는 단계일 수 있다.

[0008] 상기 전사막을 타겟기판 상에 위치시키는 단계는, 전사막의 하면에 밀착된 기능층이 타겟기판의 상면 중 사전설정된 영역 내에 위치하도록 하는 단계일 수 있다.

[0009] 기능층은, (i) 튜브, 와이어 또는 막대 형태를 포함하는, 1차원 마이크로 소재층 또는 1차원 나노 소재층이나, (ii) 그래핀, 전이금속 칼코겐 화합물(transition metal dichalcogenide), 육각붕화질소 또는 흑린을 포함하는, 2차원 마이크로 소재층 또는 2차원 나노 소재층을 포함할 수 있다.

[0010] 전사막은 폴리디메틸실록산(PDMS; polydimethylsiloxane), 싸이토프(CYTOP), 폴리메틸메타크릴레이트(PMMA; polymethylmethacrylate), 에틸락테이트(ethyl lactate), 폴리카보네이트(PC; polycarbonate), 폴리프로필렌카보네이트(PPC; poly propylene carbonate), 폴리이미드(PI; polyimide), 파라아라미드피브리드(para-aramid fibrid), 폴리에틸렌 테레프탈레이트(PET; polyethylene terephthalate), 폴리염화비닐(PVC; polyvinyl chloride), 폴리비닐아세테이트(PVAc; poly(vinyl acetate)), 실리카겔(silica-gel) 또는 폴리우레탄아크릴레이트(PUA; polyurethane acrylate)를 포함할 수 있다.

[0011] 본 발명의 다른 일 관점에 따르면, 제1영역과 제1영역 외측의 제2영역을 갖는 기판과, 상기 기판의 상기 제1영역 상에 위치한 기능층을 구비하고, 상기 제2영역의 상면은 상기 제1영역의 상면보다 소수성으로 처리된, 전자장치가 제공된다.

[0012] 상기 기능층은, (i) 튜브, 와이어 또는 막대 형태를 포함하는, 1차원 마이크로 소재층 또는 1차원 나노 소재층이나, (ii) 그래핀, 전이금속 칼코겐 화합물(transition metal dichalcogenide), 육각붕화질소 또는 흑린을 포함하는, 2차원 마이크로 소재층 또는 2차원 나노 소재층을 포함할 수 있다.

[0013] 전술한 것 외의 다른 측면, 특징, 이점은 이하의 발명을 실시하기 위한 구체적인 내용, 청구범위 및 도면으로부터 명확해질 것이다.

발명의 효과

[0014] 상기한 바와 같이 이루어진 본 발명의 일 실시예에 따르면, 기능층의 오염을 최소화하면서도 효율적인 전사가 가능하도록 하는 전자장치 제조방법 및 이에 따라 제조된 전자장치를 구현할 수 있다. 물론 이러한 효과에 의해 본 발명의 범위가 한정되는 것은 아니다.

도면의 간단한 설명

[0015] 도 1 내지 도 7은 본 발명의 일 실시예에 따른 전자장치 제조방법의 공정들을 개략적으로 도시하는 사시도들이다.

도 8은 본 발명의 다른 일 관점에 따른 전자장치 제조방법의 일 공정을 개략적으로 도시하는 사시도이다.

발명을 실시하기 위한 구체적인 내용

[0016] 본 발명은 다양한 변환을 가할 수 있고 여러 가지 실시예를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 상세한 설명에 상세하게 설명하고자 한다. 본 발명의 효과 및 특징, 그리고 그것들을 달성하는 방법은 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 다양한 형태로 구현될 수 있다.

[0017] 이하, 첨부된 도면을 참조하여 본 발명의 실시예들을 상세히 설명하기로 하며, 도면을 참조하여 설명할 때 동일

하거나 대응하는 구성 요소는 동일한 도면부호를 부여하고 이에 대한 중복되는 설명은 생략하기로 한다.

[0018] 이하의 실시예에서 층, 막, 영역, 판 등의 각종 구성요소가 다른 구성요소 "상에" 있다고 할 때, 이는 다른 구성요소 "바로 상에" 있는 경우뿐 아니라 그 사이에 다른 구성요소가 개재된 경우도 포함한다. 또한 설명의 편의를 위하여 도면에서는 구성 요소들이 그 크기가 과장 또는 축소될 수 있다. 예컨대, 도면에서 나타난 각 구성의 크기 및 두께는 설명의 편의를 위해 임의로 나타내었으므로, 본 발명이 반드시 도시된 바에 한정되지 않는다.

[0019] 이하의 실시예에서, x축, y축 및 z축은 직교 좌표계 상의 세 축으로 한정되지 않고, 이를 포함하는 넓은 의미로 해석될 수 있다. 예를 들어, x축, y축 및 z축은 서로 직교할 수도 있지만, 서로 직교하지 않는 서로 다른 방향을 지칭할 수도 있다.

[0020] 도 1 내지 도 7은 본 발명의 일 실시예에 따른 전자장치 제조방법의 공정들을 개략적으로 도시하는 사시도들이다.

[0021] 먼저 소스기판(10)을 준비한다. 소스기판(10)은 실리콘옥사이드 또는 웨이퍼 등을 포함할 수 있다. 소스기판(10)을 준비한 후, 소스기판(10)의 상면을 표면처리하는 제1표면처리 단계를 거친다. 구체적으로, 도 1에 도시된 것과 같이 소스기판(10)의 상면 중 사전설정된 제1영역(11)을 제외한 잔여 영역(12)을 표면처리한다. 이에 따라 제1영역(11)의 표면 상태는 잔여 영역(12)의 표면 상태와 상이한 상태가 될 수 있다.

[0022] 예컨대 소스기판(10)의 상면 중 제1영역(11)을 제외한 잔여 영역(12)이 소수성이 되도록 소수성처리할 수 있다. 예컨대, 소스기판(10)의 상면 중 제1영역(11)을 제외한 잔여 영역(12)에 실란코팅을 실시할 수 있다. 이는 실란기능기를 포함하는 액체, 고체 또는 기체를 이용하여 이루어질 수 있다. 그러한 화학물질의 예로, HMDS(Hexamethyldisilazane)를 들 수 있다.

[0023] 소스기판(10)의 잔여 영역(12)을 실란코팅하여 표면을 개질하는 공정은 예컨대 다음과 같을 수 있다. 먼저 SiO_2 기판과 같은 소스기판(10)을 초순수, 아세톤 또는 이소프로판알콜(IPA)을 이용하여 세척한다. 그리고 진공챔버에 위치시키고 1 Torr 이하의 진공도에서 200℃ 내지 600℃ 범위의 온도로 3시간 이상 가열하여 기판에 흡착된 수분을 제거한다. 그 후 HMDS 가스를 캐리어가스와 함께 챔버에 주입하여 20℃ 내지 300℃ 에서 SiO_2와 반응시킴으로써, 소스기판(10) 표면의 -OH를 $-Si-(CH_3)_3$로 치환할 수 있다. 물론 소스기판(10)의 사전설정된 제1영역(11)은 그와 같은 표면처리되지 않도록, 테이프 등으로 마스킹할 수 있다.

[0024] 이후, 소스기판(10)의 상면 중 사전설정된 영역인 제1영역(11) 상에 도 2에 도시된 것과 같이 기능층(20)을 위치시킨다. 기능층(20)은 예컨대 그래핀일 수 있다. 이 경우 소스기판(10) 상에 패터닝되지 않은 그래핀막을 형성하거나 위치시킨 후, 전자빔 리소그래피 및/또는 O_2 플라즈마 공정 등을 통해 필요한 형상 및/또는 크기로 패터닝된 기능층(20)이 제1영역(11) 내에 위치하도록 할 수 있다. 제1영역(11) 내에만 위치하는 기능층(20)은 제1영역(11)이 표면처리된 것이 아니기에, 이전에 이루어진 표면처리에 의한 영향을 받아 기능층(20)이 손상되는 것을 방지할 수 있다.

[0025] 물론 기능층(20)은 그래핀에 한정되지 않으며, 기능층(20)은 유기반도체물질, 탄소나노튜브 또는 전이금속 칼코겐화물(transition metal dichalcogenide)을 포함할 수도 있다. 예컨대, 기능층(20)은 튜브, 와이어 또는 막대 형태를 포함하는 1차원 마이크로 소재층이나, 튜브, 와이어 또는 막대 형태를 포함하는 1차원 나노 소재층을 포함할 수 있다. 물론 기능층(20)은 그래핀, 전이금속 칼코겐 화합물(transition metal dichalcogenide), 육각붕화질소 또는 흑린을 포함하는 2차원 마이크로 소재층이나, 그래핀, 전이금속 칼코겐 화합물(transition metal dichalcogenide), 육각붕화질소 또는 흑린을 포함하는 2차원 나노 소재층을 포함할 수 있다. 이는 후술하는 실시예들 및 그 변형예들에 있어서도 마찬가지이다.

[0026] 이후, 도 3에 도시된 것과 같이 소스기판(10) 상에 전사막(30)을 위치시킨다. 구체적으로, 기능층(20)을 덮으며 소스기판(10)의 상면 중 표면처리된 부분인 잔여 영역(20)까지 덮도록 전사막(30)을 위치시킨다. 전사막(30)은 폴리디메틸실록산(PDMS; polydimethylsiloxane), 싸이토프(CYTOP), 폴리메틸메타크릴레이트(PMMA; polymethylmethacrylate), 에틸락테이트(ethyl lactate), 폴리카보네이트(PC; polycarbonate), 폴리프로필렌카보네이트(PPC; poly propylene carbonate), 폴리이미드(PI; polyimide), 파라아라미드피브리드(para-aramid fibrid), 폴리에틸렌 테레프탈레이트(PET; polyethylene terephthalate), 폴리염화비닐(PVC; polyvinyl chloride), 폴리비닐아세테이트(PVAc; poly(vinyl acetate)), 실리카겔(silica-gel) 또는 폴리우레탄아크릴레이트(PUA; polyurethane acrylate)를 포함할 수 있다.

[0027] 예컨대 이와 같은 물질을 소스기판(10) 상에 코팅함으로써, 기능층(20)을 덮도록 전사막(30)을 소스기판(10) 상

에 위치시킬 수 있다. 물론 필요에 따라서는 스핀코팅법 등으로 전사막(30)을 별도의 지지체 상에 형성한 후, 지지체로부터 전사막(30)을 분리하여 이를 기능층(20)을 덮도록 위치시킬 수도 있다.

[0028] 이때, 전술한 것과 같이 소스기판(10)의 상면 중 사전설정된 제1영역(11)을 제외한 잔여 영역(12)을 표면처리하였기에, 잔여 영역(12)과 전사막(30)은 도 3에 도시된 것과 같이 접합되지 않아 그 사이에 공간이 살짝 존재하거나, 잔여 영역(12)과 전사막(30)이 접합되더라도 그 접합 강도가 소스기판(10)의 사전설정된 제1영역(11)과 전사막(30) 사이의 접합 강도보다 낮도록 할 수 있다. 물론 기능층(20)의 상면은 표면처리되지 않았기에, 전사막(30)은 기능층(20)과 결합되어 기능층(20)의 전사(transfer)에 이용될 수 있다.

[0029] 이어, 전사막(30)의 (z- 방향) 하면에 기능층(20)이 밀착된 상태로, 도 4에 도시된 것과 같이 전사막(30)으로부터 소스기판(10)을 제거한다. 전사막(30)으로부터 소스기판(10)을 제거하는 것은 다양한 방법을 통해 이루어질 수 있는데, 예컨대 소스기판(10)이 산화 실리콘 또는 실리콘을 포함할 경우, 산화 실리콘 또는 실리콘을 용해시킬 수 있는 액체에 소스기판(10)을 침지하여 전사막(30)으로부터 소스기판(10)을 제거할 수 있다. 그러한 액체로는 수산화칼륨 수용액, 수산화나트륨 수용액 또는 불산 수용액일 수 있다. 그러한 액체에 소스기판(10)을 침지시킬 경우, 전사막(30)과 소스기판(10)을 해당 액체에 침지시킴으로써, 전사막(30)으로부터 소스기판(10)이 제거되도록 할 수 있다.

[0030] 이때 산화 실리콘 또는 실리콘을 포함하는 소스기판(10)을, 산화 실리콘 또는 실리콘을 용해시킬 수 있는 액체에 침지할 시, 소스기판(10)이 모두 완전히 용해되는 것만은 아니다. 예컨대 소스기판(10)의 측면에서 소스기판(10)과 전사막(30) 사이의 계면으로 액체가 침투하면서, 전사막(30)이 소스기판(10)으로부터 서서히 분리될 수도 있다.

[0031] 전술한 것과 같이 소스기판(10)의 상면 중 사전설정된 제1영역(11)을 제외한 잔여 영역(12)을 표면처리하였기에, 잔여 영역(12)과 전사막(30)은 도 3에 도시된 것과 같이 접합되지 않아 그 사이에 공간이 살짝 존재하거나, 잔여 영역(12)과 전사막(30)이 접합되더라도 그 접합 강도가 소스기판(10)의 사전설정된 제1영역(11)과 전사막(30) 사이의 접합 강도보다 낮도록 할 수 있다. 따라서 소스기판(10)과 전사막(30) 사이의 계면으로 액체가 침투하는 것이 용이하게 이루어져, 효과적으로 소스기판(10)이 전사막(30)으로부터 분리되도록 할 수 있다.

[0032] 물론 필요에 따라 소스기판(10)으로부터 분리된 기능층(20)과 전사막(30)을 초순수에 침치하여, 기능층(20)과 전사막(30)에 잔존하는 수산화칼륨 수용액 등의 용액을 제거하는 등의 세정단계를 거칠 수도 있다.

[0033] 전사막(30)으로부터 소스기판(10)을 제거하는 것은 상술한 것과 달리 기계적 분리법으로 진행될 수도 있다. 전술한 것과 같이 소스기판(10)의 상면 중 사전설정된 제1영역(11)을 제외한 잔여 영역(12)을 표면처리하였기에, 잔여 영역(12)과 전사막(30)은 도 3에 도시된 것과 같이 접합되지 않아 그 사이에 공간이 살짝 존재하거나, 잔여 영역(12)과 전사막(30)이 접합되더라도 그 접합 강도가 소스기판(10)의 사전설정된 제1영역(11)과 전사막(30) 사이의 접합 강도보다 낮도록 할 수 있다. 따라서 전사막(30)으로부터 소스기판(10)을 또는 소스기판(10)으로부터 전사막(30)을 분리할 시 이들 중 적어도 어느 하나에 힘을 인가하여 뜯어내는 기계적 분리법을 이용할 시에도, 그 분리가 용이하게 진행되도록 할 수 있다.

[0034] 이때, 기능층(20)이 전사막(30)의 하면에 밀착된 상태로 소스기판(10)으로부터 분리되도록 하기 위해, 기능층(20)과 전사막(30)의 접합력이 커지도록 할 필요가 있다. 따라서 필요한 경우, 도 3에 도시된 것과 같은 상태에서 프로브(미도시)를 이용해, 기능층(20)에 대응하는 전사막(30)의 부분에 압력을 인가할 수 있다. 이와 같이 전사막(30)에 압력을 인가하게 되면, 전사막(30) 하부의 기능층(20)과 전사막(30) 사이의 반데르발스 힘이 커지면서 기능층(20)이 전사막(30) 하면에 밀착된다. 이에 따라 전사막(30)을 소스기판(10)으로부터 이격시키면, 도 4에 도시된 것과 같이 전사막(30)의 (-z 방향) 하면에 기능층(20)이 밀착된 상태로 전사막(30)이 소스기판(10)으로부터 이격될 수 있다.

[0035] 참고로 전술한 것과 같이 전사막(30)이 폴리디메틸실록산을 포함하거나, 다른 물질을 포함한다 하더라도 그 두께가 매우 얇으면, 전사막(30) 자체는 투명하거나 반투명한 상태를 갖는다. 이에 따라 전사막(30)을 통해 그 하부의 기능층(20)의 위치를 파악하고, 기능층(20)에 정확하게 대응하는 전사막(30)의 부분에 압력을 인가할 수 있다.

[0036] 이후, 도 5에 도시된 것과 같이 전사막(30)의 하면에 기능층(20)이 밀착된 상태로, 전사막(30)을 타겟기판(50) 상에 위치시킨다. 타겟기판(50) 상에는 도 5에 도시된 것과 같이 필요에 따라 사전에 전극패턴(60) 등이 형성되어 있을 수 있다. 이때, 기능층(20)이 타겟기판(50) 상의 사전설정된 부분 상에 대응하도록, 기능층(20) 및 전

사막(30)의 타겟기판(50)에 대한 상대적인 위치를 조절할 수 있다. 전사막(30)이 폴리디메틸실록산을 포함하거나, 전사막(30)이 다른 물질을 포함한다 하더라도 그 두께가 매우 얇으면, 전사막(30) 자체는 투명하거나 반투명한 상태를 갖는다. 이에 따라 도 5에 도시된 것과 같이 전사막(30)을 타겟기판(50) 상에 위치시킬 시, 전사막(30) 하부의 기능층(20)의 위치를 전사막(30)을 통해 확인할 수 있다.

[0037] 이와 같이 기능층(20)과 전사막(30)을 타겟기판(50)에 대해 정렬한 후, 기능층(20)을 타겟기판(50)에 부착한다. 여기서 기능층(20)을 타겟기판(50)에 부착한다고 함은, 기능층(20)과 타겟기판(50) 사이에 접착제 등을 추가하는 것이 아니라, 기능층(20)과 타겟기판(50)이 상호 면접촉하도록 위치시킨다는 것으로 이해될 수 있다. 이에 따라 기능층(20)과 타겟기판(50) 사이의 반데르발스 힘 등에 의해 기능층(20)과 타겟기판(50)이 서로 접착되도록 할 수 있다. 물론 필요에 따라서는 도 6에 도시된 것과 같이, 기능층(20)에 대응하는 전사막(30)의 부분에 압력을 인가하여, 기능층(20)과 타겟기판(50) 상의 사전설정된 부분 사이의 결합이 확실하게 이루어지도록 할 수도 있다. 이 때에도 프로브(40)를 이용해 전사막(30)의 필요한 부분에 선택적으로 압력을 인가할 수 있다.

[0038] 이후 전사막(30)을 타겟기판(50)으로부터 제거하여, 도 7에 도시된 것과 같이 타겟기판(50)의 사전설정된 곳에 기능층(20)이 위치하는 전자장치를 제조할 수 있게 된다. 물론 도 7에서는 도시의 편의상 전사된 기능층(20)이 타겟기판(50) 상의 전극패턴(60) 등과 이격된 것으로 도시하고 있으나, 이는 도시의 편의상 그와 같이 도시한 것일 뿐이며, 실제로는 기능층(20)이 어느 일 전극패턴(60)과 전기적으로 연결될 수 있다. 전사막(30)을 타겟기판(50)으로부터 제거할 시, 아세톤(acetone)이나 클로로포름(chloroform) 등과 같은 용액을 이용하여 전사막(30)을 제거하는 방법이나 힘을 인가하여 전사막(30)을 뜯어내는 기계적 박리법 등을 이용할 수 있다.

[0039] 이와 같은 본 실시예에 따른 전자장치 제조방법의 경우, 소스기판(10)의 상면 중 사전설정된 영역을 제외한 잔여 영역을 표면처리하여, 잔여 영역에서는 소스기판(10)과 전사막(30) 사이의 접합력이 약하도록 하거나 결합되지 않도록 할 수 있다. 이를 통해 전사막(30)의 하면에 기능층(20)이 밀착된 상태로 전사막(30)을 소스기판(10)으로부터 분리할 시, 그 분리가 용이하게 이루어지도록 할 수 있다.

[0040] 물론 소스기판(10)의 전면을 표면처리하는 것을 고려할 수도 있다. 하지만 이 경우 기능층(20)의 소스기판(10) 방향의 면이 그러한 표면처리에 의해 오염될 수 있다. 예컨대 표면처리는 소스기판(10)의 사전설정된 영역을 제외한 잔여 영역에 실란코팅을 실시하여 코팅된 부분에서의 표면을 개질시키는 것일 수 있다. 만일 소스기판(10)의 상면 전체를 실란코팅한다면, 이후 기능층(20)의 소스기판(10) 방향의 면에 그러한 실란기가 부착되어 기능층(20)이 오염될 수 있다. 그러나 본 실시예에 따른 전자장치 제조방법의 경우, 기능층(20)이 위치할 부분인 소스기판(10)의 사전설정된 영역은 제외하고 그 잔여 영역만을 표면처리하기에, 기능층(20)이 오염되는 것을 효과적으로 방지할 수 있다.

[0041] 도 8은 본 발명의 다른 일 관점에 따른 전자장치 제조방법의 일 공정을 개략적으로 도시하는 사시도이다. 구체적으로, 전술한 것과 같이 전사막(30)을 타겟기판(50) 상에 위치시키기에 앞서, 도 8에 도시된 것과 같이 타겟기판(50)의 상면 중 사전설정된 제2영역(51)을 제외한 잔여 영역(52)을 표면처리하는 제2표면처리 단계를 거칠 수도 있다. 여기서 사전설정된 제2영역(51)은 전사막(30)의 하면에 밀착된 기능층(20)이 전사될 영역을 포함하는 부분으로 이해될 수 있다. 타겟기판(50)의 상면 중 사전설정된 제2영역(51)을 제외한 잔여 영역(52)을 표면처리하는 것은, 소스기판(10)의 상면 중 사전설정된 제1영역(11)을 제외한 잔여 영역(12)을 표면처리하는 것과 동일하게 이해될 수 있다. 예컨대 제2표면처리 단계는 소수성처리하는 단계일 수 있으며, 그 외에 소스기판(10)의 표면처리에 대해 전술한 설명은 타겟기판(50)의 표면처리에 그대로 적용될 수 있다.

[0042] 물론 이 경우, 전사막(30)을 타겟기판(50) 상에 위치시키는 것은, 전사막(30)의 하면에 밀착된 기능층(20)이 타겟기판(50)의 상면 중 사전설정된 제2영역(51) 내에 위치하도록 하는 것일 수 있다. 이에 따라 전사막(30)과 타겟기판(50)의 잔여 영역(52) 사이의 접합력을 약화시키거나 접합되지 않도록 함으로써, 이후 전사막(30)을 타겟기판(50)으로부터 제거할 시, 그 제거가 원활하게 이루어지도록 할 수 있다.

[0043] 전자장치를 제조함에 있어서, 지금까지 설명한 다양한 실시예들에 따른 제조방법들을 연속적으로 적용할 수도 있다. 이를 통해 용액을 사용하지 않고 오염 없이 깨끗하게 나노물질들의 접합구조를 제조할 수 있다. 예컨대 도 1 내지 도 6에 도시된 것과 같은 과정을 거쳐 도 7에 도시된 것과 같이 타겟기판(50)의 사전설정된 곳에 기능층(20)이 위치하도록 한 후, 다시 도 1 내지 도 6에 도시된 것과 같은 과정을 거쳐 도 7에 도시된 것과 같은 구조물 상에 다른 구성요소를 위치시키는 것이 가능하다. 그러한 다른 구성요소는 타겟기판(50) 상에 위치한 기능층(20) 상에 위치할 수도 있고, 기능층(20) 상이 아닌 타겟기판(50)의 다른 부분에 위치할 수도 있다.

[0044] 지금까지는 전자장치 제조방법에 대해 설명하였으나 본 발명이 이에 한정되는 것은 아니며, 이와 같은 방법에

따라 제조된 전자장치 역시 본 발명에 포함된다고 할 것이다. 전술한 것과 같이 타겟기판(50)의 상면 중 사전설정된 영역(51)을 제외한 잔여 영역(52)은 소수성으로 표면처리되기에, 그러한 방법으로 제조된 전자장치는 사전설정된 영역(51)과 그 외측의 잔여 영역(52)을 갖는 기판(50, 타겟기판)과, 기판(50)의 사전설정된 영역(51) 상에 위치한 기능층(20)을 구비하고, 이때 잔여 영역(52)의 상면은 사전설정된 영역(51)보다 소수성으로 처리된 특성을 가질 수 있다.

[0045] 이때 기능층(20)은 그래핀일 수도 있다. 또는 기능층(20)은 유기반도체물질, 탄소나노튜브 또는 전이금속 칼코겐화물(transition metal dichalcogenide)을 포함할 수도 있다. 예컨대, 기능층(20)은 튜브, 와이어 또는 막대 형태를 포함하는 1차원 마이크로 소재층이나, 튜브, 와이어 또는 막대 형태를 포함하는 1차원 나노 소재층을 포함할 수 있다. 물론 기능층(20)은 그래핀, 전이금속 칼코겐 화합물(transition metal dichalcogenide), 육각붕화질소 또는 흑린을 포함하는 2차원 마이크로 소재층이나, 그래핀, 전이금속 칼코겐 화합물(transition metal dichalcogenide), 육각붕화질소 또는 흑린을 포함하는 2차원 나노 소재층을 포함할 수 있다.

[0046] 지금까지는 소스기판(10) 및/또는 타겟기판(50)의 사전설정된 영역(11, 51)을 제외한 잔여 영역(12, 52)을 소수성이 되도록 표면처리하는 것으로 설명하였으나, 본 발명이 이에 한정되는 것은 아니다. 예컨대 전사막(30)의 하면이 친수성이라면, 전술한 것과 같이 소스기판(10) 및/또는 타겟기판(50)의 사전설정된 영역(11, 51)을 제외한 잔여 영역(12, 52)을 소수성이 되도록 표면처리할 수 있다. 만일 전사막(30)의 하면이 소수성이라면, 소스기판(10) 및/또는 타겟기판(50)의 사전설정된 영역(11, 51)을 제외한 잔여 영역(12, 52)을 친수성이 되도록 표면처리하여, 소스기판(10) 및/또는 타겟기판(50)의 사전설정된 영역(11, 51)을 제외한 잔여 영역(12, 52)과 전사막(30) 사이의 접합력을 낮추거나 이들이 접합되지 않도록 할 수 있다.

[0047] 이와 같이 본 발명은 도면에 도시된 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 당해 기술분야에서 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 다른 실시예가 가능하다는 점을 이해할 것이다. 따라서 본 발명의 진정한 기술적 보호 범위는 첨부된 청구범위의 기술적 사상에 의하여 정해져야 할 것이다.

부호의 설명

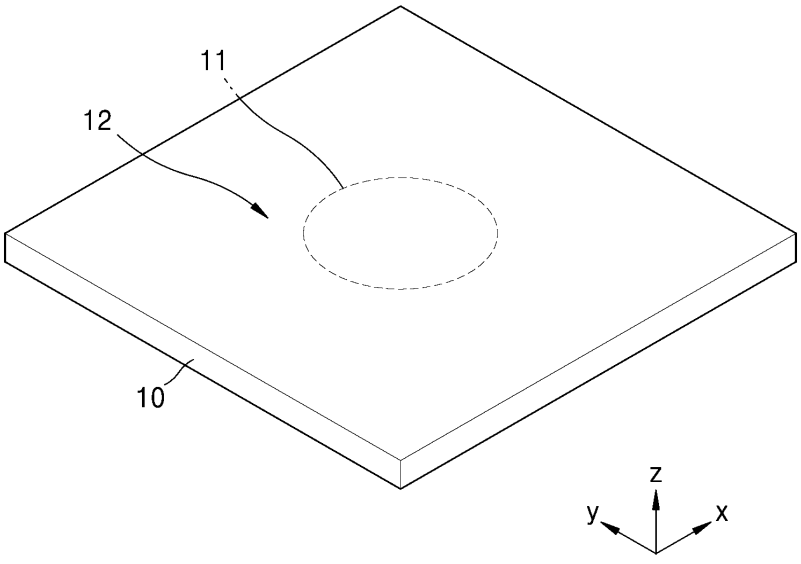
[0048] 10: 소스기판 20: 기능층

30: 전사막 40: 프로브

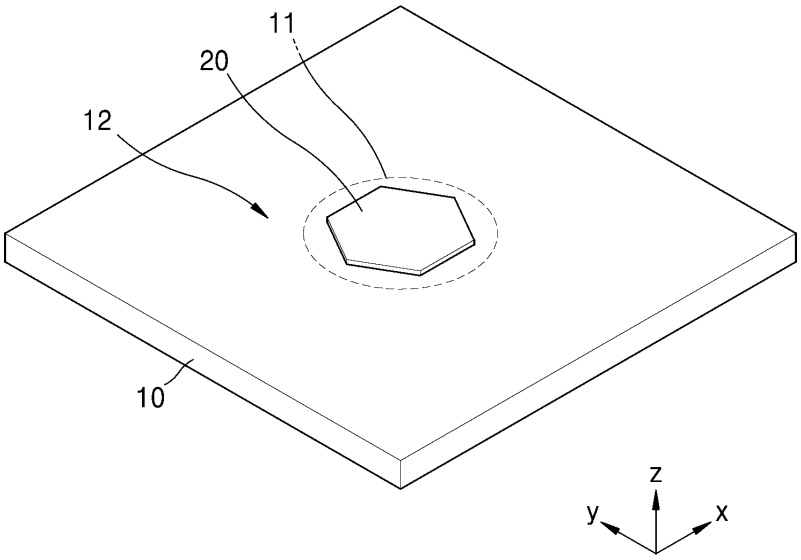
50: 타겟기판 60: 전극패턴

도면

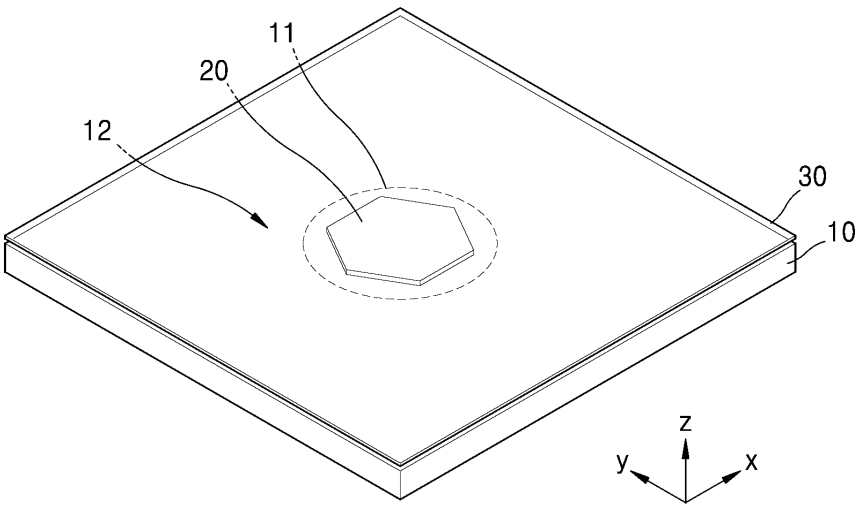
도면1



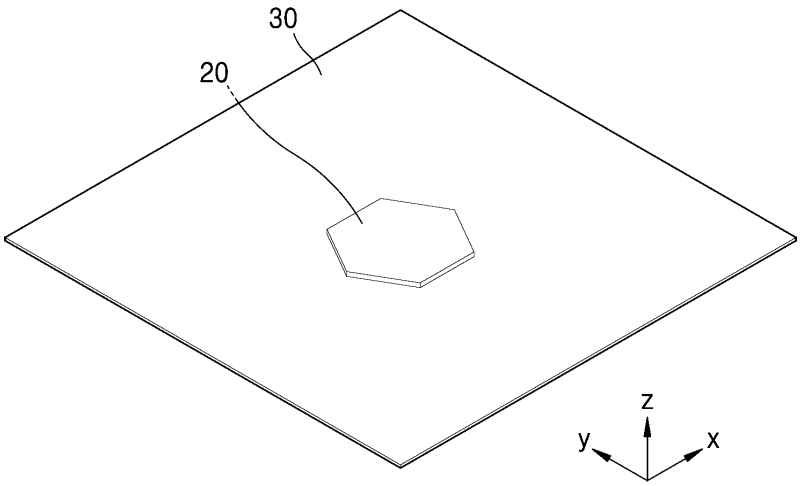
도면2



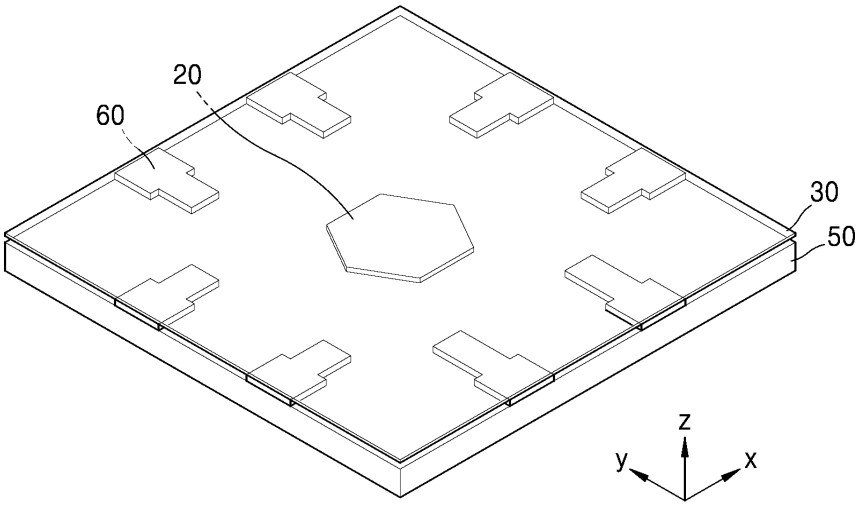
도면3



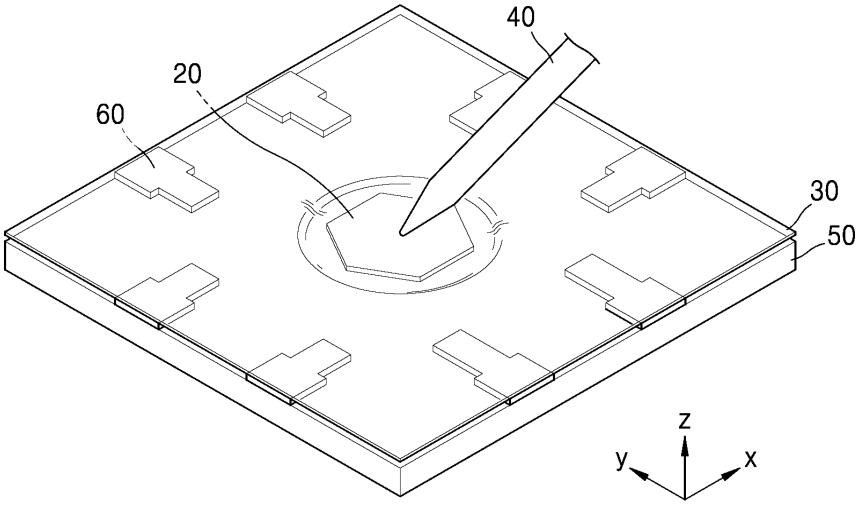
도면4



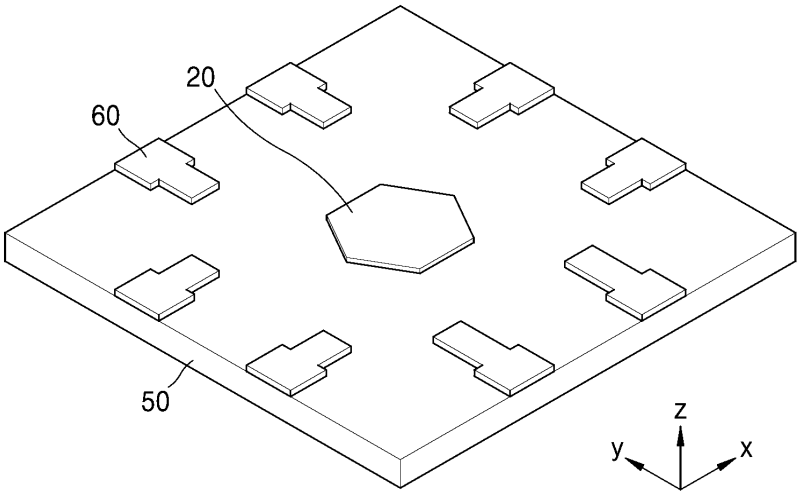
도면5



도면6



도면7



도면8

