

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

**特許第3930116号  
(P3930116)**

(45) 発行日 平成19年6月13日(2007.6.13)

(24) 登録日 平成19年3月16日(2007.3.16)

(51) Int. Cl.

F I

**G 0 6 F 9/48 (2006.01)**

G O 6 F 9/46 3 1 1 Z

**G 0 6 F 1/00 (2006.01)**

G O 6 F 1/00 3 7 O D

請求項の数 4 (全 20 頁)

(21) 出願番号	特願平9-234285	(73) 特許権者	000003078
(22) 出願日	平成9年8月29日(1997.8.29)		株式会社東芝
(65) 公開番号	特開平11-73330		東京都港区芝浦一丁目1番1号
(43) 公開日	平成11年3月16日(1999.3.16)	(73) 特許権者	390010308
審査請求日	平成16年6月23日(2004.6.23)		東芝デジタルメディアエンジニアリング株式会社
前置審査			東京都青梅市新町3丁目3番地の5
		(74) 代理人	100058479
			弁理士 鈴江 武彦
		(74) 代理人	100091351
			弁理士 河野 哲
		(74) 代理人	100088683
			弁理士 中村 誠
		(74) 代理人	100108855
			弁理士 蔵田 昌俊
			最終頁に続く

(54) 【発明の名称】 コンピュータシステム

(57) 【特許請求の範囲】

【請求項1】

割り込み要求を受付ないシステム管理モードで所定の処理を実行するコンピュータシステムに於いて、

OSの動作中にシステム管理割り込み要求を発生する手段と、

第1のシステム管理割り込み要求に応答して、CPUの動作モードを前記システム管理モードに変更する手段と、

前記CPUの動作モードが前記システム管理モードに変更された後、前記CPUの動作モードを、割り込み要求の受付が可能な割り込み受付可能モードに設定する手段と、

前記割り込み受付可能モードで割り込み制御処理を構成する複数の処理の動作を個々に管理するための複数のテーブルを用いることにより当該複数の処理を並列して実行する手段とを具備し、

前記CPUの動作モードを前記割り込み受付可能モードに設定する手段は、第2のシステム管理割り込み要求に応答して、CPUステートマップ情報を前記メモリの第2のエリアに保存する手段を具備し、

前記CPUの動作モードを前記割り込み受付可能モードに設定する手段は、更に、前記メモリ中の前記第1のエリアに保存された前記CPUステートマップ情報と前記第2のエリアに保存された前記CPUステートマップ情報とを入れ替える手段を具備することを特徴とするコンピュータシステム。

【請求項2】

10

20

前記ＣＰＵの動作モードを前記割り込み受付可能モードに設定する手段は、前記ＣＰＵの動作モードが前記システム管理モードにされているときに、復帰（ＲＳＭ）命令を実行し、前記メモリ中の前記第２のエリアに保存されたＣＰＵステートマップ情報を前記ＣＰＵに設定する手段を具備することを特徴とする請求項１記載のコンピュータシステム。

【請求項３】

前記コンピュータシステムは、前記割り込み受付可能モードで割り込み制御処理を実行終了後、再度、前記ＣＰＵの動作モードを前記システム管理モードに変更するために、システム管理割り込み要求を発生する手段と、前記システム管理割り込み要求に応答して、前記メモリ中の前記第２のエリアにＣＰＵステートマップ情報を保存する手段と、前記メモリ中の前記第１のエリアに保存された前記ＣＰＵステートマップ情報と前記第２のエリアに保存された前記ＣＰＵステートマップ情報とを入れ替える手段とを具備することを特徴とする請求項２記載のコンピュータシステム。

10

【請求項４】

前記コンピュータシステムは、前記システム管理モードから、前記システム管理割り込み要求が発生する以前のＣＰＵモードへ復帰する時、前記メモリ中の前記第２のエリアに格納された前記ＣＰＵステートマップ情報を前記ＣＰＵに設定する手段を具備することを特徴とする請求項３記載のコンピュータシステム。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】

20

この発明は、コンピュータシステムの割り込み制御処理に係わり、特に、その割り込み制御処理中での各処理の並列化に関する。

【０００２】

【従来の技術】

近年、携帯が容易でバッテリーにより動作可能なラップトップタイプまたはノートブックタイプのパーソナルコンピュータが種々開発される。このパーソナルコンピュータの割り込み制御処理、例えば、現在の動作環境を保存し、次回コンピュータシステムの起動時に動作環境をもとに戻すラピッドレジューム／サスペンド処理や、ドッキングステーションやデバイスベイ対応の外部デバイスをコンピュータシステムの通電中に接続及び切り離すドック／アンドック処理は、オペレーティングシステム（以下、ＯＳと称す）動作中の割り込み制御処理として実行された。

30

【０００３】

従来技術の割り込み制御処理の手順は、コンピュータシステム内蔵の電源マイコンが電源スイッチが押圧されたことを検出した場合、電源マイコンは割り込み要求線を通じて割り込み制御ロジックに対して割り込み要求を発行する。又は、ＯＳ動作中にドッキングステーションがコンピュータシステム本体の拡張バスコネクタ及び拡張デバイスがデバイスベイにドッキングした場合、同様に、ドッキングの制御を行う各回路は割り込み制御ロジックに対して割り込み要求を発行する。

【０００４】

割り込み制御ロジックは、前記割り込み要求を受信後、中央処理装置（以下、ＣＰＵと称す）に対してシステムマネジメント割り込み（以下、ＳＭＩと称す）を発行する。

40

【０００５】

ＣＰＵがＳＭＩ信号受信後、ＣＰＵの動作モードをシステムマネジメントモード（以下、ＳＭＭと称する）に移行し、ＢＩＯＳ　ＲＯＭに格納されている割り込み制御処理を起動する。割り込み制御処理は、ＣＰＵに要求された割り込み信号に対応した割り込み制御処理を実行する。

【０００６】

ここで、ＳＭＭとは、米国インテル社製造のＣＰＵに於いて、コンピュータシステムからＣＰＵへＳＭＩ＃信号が入力された場合、ＣＰＵがＢＩＯＳ　ＲＯＭ内の割り込み制御処理に移行するときに設定されるＣＰＵの動作モードである。

50

## 【 0 0 0 7 】

C P Uが、S M M中に入っている間、コンピュータシステムからC P Uに対して新たに割り込み( I R Q、I N T RやS M I等)を要求することが出来ない。従って、割り込み制御処理は、一連の処理を直接的に実行しなければならず、各種I / Oデバイスに発行した所定のコマンド処理で時間待ちが必要な場合、割り込み制御処理中の他の処理を実行できず、時間待ちを行う必要があった。

## 【 0 0 0 8 】

次に、割り込み制御処理の例として、図10に示される通り、ラピットサスペンド処理を説明する。ラピットサスペンド処理は、以下の5つの処理から構成される。

## 【 0 0 0 9 】

- ( 1 ) パネルライトオフシーケンス処理( S 6 0 0 )
- ( 2 ) H D Dモータオフシーケンス処理( S 6 1 0 )
- ( 3 ) 各種I / Oデバイスのレジスタ保存シーケンス処理( S 6 2 0 )
- ( 4 ) メモリチェックサム( S 6 3 0 )
- ( 5 ) フラッシュR O M書き換え( S 6 4 0 )

ここで、( 1 ) ~ ( 3 ) のシーケンス処理に於いては、コマンドを受信した各種I / Oデバイスがそのコマンドに対応する処理を完了するまでにはある一定時間が必要となる。各シーケンスの処理が完了しない限り、次のシーケンスを実行することは出来ない。

## 【 0 0 1 0 】

このように、各シーケンスの処理に於いては、そのデバイスのコマンド処理に要する時間だけ、次のシーケンス処理のタイミングが遅延されることになる。従って、S M Mを用いたシステムの割り込み制御処理(ラピットサスペンド処理)を実行する時間は、各シーケンス処理のコマンドに対応する時間(待ち時間を含む)の総和となり、多くの時間が要した。

## 【 0 0 1 1 】

更に、上記ラピットサスペンド処理中に、コンピュータシステムのI / Oデバイス(電源マイコン)からの電源オフ・オンの要求を受け付けるために、ラピットサスペンド処理中に電源マイコンからの要求の有無をポーリング( S 6 6 0 )してチェックしていたので、タイムリーな処理ができなかった。

## 【 0 0 1 2 】

## 【 発明が解決しようとする課題 】

上記した従来技術では、S M M中で割り込み制御処理を実行する場合、他の割り込み要求を受け付けられないので、割り込み制御処理に時間がかかるという問題があった。

## 【 0 0 1 3 】

また、割り込み制御処理中に他のI / Oデバイスからの割り込み要求を受け付けられないので、各種I / Oデバイスに対してポーリングして要求の有無をチェックする別途特別な処理を必要としていた。

## 【 0 0 1 4 】

そこで、本発明は上記の問題を解決するためになされたものであり、割り込み要求を受付けないS M Mで、C P Uの動作モードを割り込み可能とし、割り込み制御処理中で必要な処理を並列化することにより割り込み制御処理全体の処理時間の短縮を提供することを目的とする。

## 【 0 0 1 5 】

## 【 課題を解決するための手段 】

この発明は、割り込み要求を受付けないシステム管理モードで所定の処理を実行するコンピュータシステムに於いて、O Sの動作中にシステム管理割り込み要求を発生する手段と、第1のシステム管理割り込み要求に応答して、C P Uの動作モードを前記システム管理モードに変更する手段と、前記C P Uの動作モードが前記システム管理モードに変更された後、前記C P Uの動作モードを、割り込み要求の受付が可能な割り込み受付可能モードに設定する手段と、前記割り込み受付可能モードで割り込み制御処理を構成する複数の処

10

20

30

40

50

理の動作を個々に管理するための複数のテーブルを用いることにより当該複数の処理を並列して実行する手段とを具備し、前記CPUの動作モードを前記割り込み受付可能モードに設定する手段は、第2のシステム管理割り込み要求に応答して、CPUステートマップ情報を前記メモリの第2のエリアに保存する手段を具備し、前記CPUの動作モードを前記割り込み受付可能モードに設定する手段は、更に、前記メモリ中の前記第1のエリアに保存された前記CPUステートマップ情報と前記第2のエリアに保存された前記CPUステートマップ情報とを入れ替える手段を具備することを特徴とする。

#### 【0016】

このような構成によれば、システムの初期化時、CPUステートマップ情報をメモリ上に保存することによって、OS起動中にシステム管理割り込み要求を受けた場合、CPUの動作モードをシステム管理モードから割り込み可能なモードへ変更し、割り込み制御処理を割り込み可能なモードで実行することによって、割り込み制御処理中で必要な処理を並列化することができ、割り込み制御処理全体の処理時間を短縮することができる。

#### 【0017】

##### 【発明の実施の形態】

以下、図面を参照してこの発明の実施形態を説明する。

図1には、この発明の一実施形態に係るコンピュータシステムの構成が示される。このコンピュータシステムは、バッテリー駆動可能なノートブックタイプまたはラップトップタイプのポータブルコンピュータであり、そのシステムボード上には、プロセッサバス1、内部PCIバス2、内部ISAバス3、およびI2Cバス4が配設される。また、このポータブルコンピュータ本体に設けられたドッキングコネクタ10には、機能拡張のための拡張ユニットとして、図2のドッキングステーション30がユーザによって必要に応じて接続される。ドッキングコネクタ10は、図示のように、3つのコネクタ要素101、102、103から構成される。

#### 【0018】

コンピュータ本体内に、CPU11、ホスト-PCIブリッジ装置12、メモリ13、ディスプレイコントローラ14、DSPインタフェースゲートアレイ（以下、DSP IFGAと称す）15、内部PCI-ISAブリッジ装置16、デバイスベイコントローラ17、PCI-DS（DS：ドッキングステーション）ブリッジ装置18、BIOS ROM19、ハードディスクドライブ20、キーボードコントローラ21、リアルタイムクロック（以下、RTCと称す）22、I/Oコントロールゲートアレイ23、電源コントローラ（以下、PSCと称す）24などが設けられる。

#### 【0019】

ドッキングステーション30は、PCI拡張カード、ISA拡張カード、PCカード、ハードディスクドライブ、CD-ROMドライブなどの拡張デバイスの増設のために使用されるものであり、このドッキングステーション30内には、図2に示されているように、外部PCIバス5および外部ISAバス6が拡張バスとして配設されており、そこにはPCI拡張スロットおよびISA拡張スロットなどが接続される。ここでは、この外部ISAバス6にハードディスクドライブ36が接続される。

#### 【0020】

また、このドッキングステーション30内には、DS-PCI/ISAブリッジ装置31、DSコントローラ33、EEPROM34なども設けられる。

次に、図1のコンピュータ本体に設けられた各コンポーネントの機能および構成について説明する。

#### 【0021】

CPU11は、たとえば、米インテル社によって製造販売されているマイクロプロセッサ“pentium”などによって実現される。このCPU11の入出力ピンに直結されているプロセッサバス1は、64ビット幅のデータバスを有す。

#### 【0022】

ホスト-PCIブリッジ装置12は、プロセッサバス1と内部PCIバス2との間を繋ぐ

10

20

30

40

50

ブリッジ L S I であり、P C I バス 2 のバスマスタの 1 つとして機能する。このホスト - P C I ブリッジ装置 1 2 は、プロセッサバス 1 と内部 P C I バス 2 との間で、データおよびアドレスを含むバスサイクルを双方向で変換する機能、およびメモリバスを介してメモリ 1 3 をアクセス制御する機能などを有す。

【 0 0 2 3 】

更に、ホスト - P C I ブリッジ装置 1 2 は、C P U 1 1 に対する割り込みを発行する割り込み制御回路を内蔵し、該回路は S M I 発生回路 1 2 1、S M I 要因レジスタ 1 2 2、ソフト S M I タイマーイネーブルレジスタ 1 2 3 と、カウンタレジスタ 1 2 4 から構成される。

【 0 0 2 4 】

S M I 発生回路 1 2 1 は、電源スイッチのオン / オフ動作、ドッキングステーションのドック / アンドック動作、ホットキーからの H / W 割り込みに応じて C P U 1 1 の S M I # ピンに対して S M I # 信号を発行する。

【 0 0 2 5 】

S M I 要因レジスタ 1 2 2 は、S M I 発生回路 1 2 1 に接続され、S M I 発生のを要因を識別するためのレジスタであり、ここでは、電源スイッチのオン / オフ動作、ドッキングステーションのドック / アンドック動作、ホットキーからの H / W 割り込みの状態を示すステータスビットを格納する。

【 0 0 2 6 】

ソフト S M I タイマーイネーブルレジスタ 1 2 3 は、カウンタレジスタ 1 1 2 3 のダウン

カウントの開始をイネーブルするレジスタである。  
カウンタレジスタ 1 2 4 は、後述する各シーケンステーブルのうち、次回起動時間が最も早い時刻から現在の時間を引いた値が設定され、カウンタ値が “ 0 ” に達した時、C P U 1 1 に対して S M I # 信号を発行する。

【 0 0 2 7 】

メモリ 1 3 は、オペレーティングシステム、デバイスドライバ、実行対象のアプリケーションプログラム、および処理データなどを格納するメモリデバイスであり、複数の D R A M モジュールによって構成される。

【 0 0 2 8 】

また、このメモリ 1 3 は、システムボード上に予め実装されるシステムメモリ 1 3 1 と、

【 0 0 2 9 】

これらシステムメモリ 1 3 1 および S M - R A M 1 3 2 を構成する D R A M モジュールとしては、シンクロナス D R A M や R a m b u s など、バンク毎にメモリクロックの供給が必要な高速メモリが利用される。

【 0 0 3 0 】

S M - R A M 1 3 2 には、不揮発性メモリ又はバックアップされた 6 4 k バイトメモリで構成され、後述する C P U ステートマップを格納するエリア A 及びエリア B や割り込み制御処理の並列化を行う為のシーケンステーブルの各々が設けられる。

【 0 0 3 1 】

更に、S M - R A M 1 3 2 には、ユーザがシステム起動時に入力したパスワード情報や S M M 起動時の S M - B I O S 1 9 への飛び先を指定する S M I ハンドラーを格納する。

【 0 0 3 2 】

このメモリ 1 3 は、3 2 ビット幅または 6 4 ビット幅のデータバスを有する専用のメモリバスを介してホスト - P C I ブリッジ装置 1 2 に接続される。メモリバスのデータバスとしてはプロセッサバス 1 のデータバスを利用することもできる。この場合、メモリバスは、アドレスバスと各種メモリ制御信号線とから構成される。

【 0 0 3 3 】

内部 P C I バス 2 はクロック同期型の入出力バスであり、内部 P C I バス 2 上の全てのサイクルは P C I バスクロックに同期して行われる。P C I バスクロックの周波数は最大 3

10

20

30

40

50

3 MHz である。P C I バス 2 は、時分割的に使用されるアドレス / データバスを有す。このアドレス / データバスは、32 ビット幅である。

【0034】

P C I バス 2 上のデータ転送サイクルは、アドレスフェーズとそれに後続する 1 以上のデータフェーズとから構成される。アドレスフェーズにおいてはアドレスおよび転送タイプが出力され、データフェーズでは 8 ビット、16 ビット、24 ビットまたは 32 ビットのデータが出力される。

【0035】

ディスプレイコントローラ 14 は、ホスト P C I ブリッジ装置 12 と同様に P C I バス 2 のバスマスタの 1 つであり、ビデオメモリ (V R A M) 143 の画像データを L C D 141 や外部の C R T ディスプレイ 142 に表示する。

10

【0036】

D S P インタフェースゲートアレイ 15 は、P C I デバイスの 1 つであり、D S P 151、モデム (C O D E C) 152、およびサウンド C O D E C 153 と共同して各種サウンド処理や電話 / データの通信処理を行なうための D S P システムを構成する。

【0037】

この D S P インタフェースゲートアレイ 15 は、メモリ 13 に読み込まれて実行される専用のデバイスドライバプログラムの制御の下で D S P 151、M O D E M (C O D E C) 152、およびサウンド C O D E C 153 と通信して、D S P 151 のデジタル信号処理機能を利用したサウンド処理や通信処理を制御する。

20

【0038】

内部 P C I - I S A ブリッジ装置 16 は、内部 P C I バス 2 と内部 I S A バス 3 との間を繋ぐブリッジ L S I であり、P C I デバイスの 1 つとして機能する。この内部 P C I - I S A ブリッジ装置 16 には、P C I バスアービタ、および D M A コントローラなどが内蔵される。内部 I S A バス 3 には、B I O S R O M 19、H D D 20、キーボードコントローラ 21、R T C 22、I / O コントロールゲートアレイ 23 が接続される。

【0039】

デバイスベイコントローラ 17 は、P C I デバイスの 1 つであり、ドッキングされたデバイスベイ仕様の外部拡張デバイスを制御する。

P C I - D S ブリッジ装置 18 は、ドッキングステーション 30 との間でバスの接続および切断を制御する。すなわち、P C I - D S ブリッジ装置 18 は、内部 P C I バス 2 と P C I バス相当のドッキングバスとを繋ぐブリッジ L S I であり、P C I デバイスの 1 つとして機能する。このドッキングバス 7 は、ドッキングコネクタ 10 のコネクタ要素 101 を介して外部に導出され、ドッキングステーション 30 に接続される。

30

【0040】

B I O S R O M 19 は、システム B I O S (B a s i c I / O S y s t e m) を記憶するためのものであり、プログラム書き換えが可能なようにフラッシュメモリ (E E P R O M) によって構成される。このシステム B I O S には、システムブート時に実行される I R T ルーチン (P O S T) と、各種 I / O デバイスを制御するためのデバイスドライバ (ランタイム) と、割り込み制御処理を実行するシステム管理プログラム (S M - B I O S) と、セットアップルーチンやユーザが設定したパスワード情報が含まれる。

40

【0041】

システム管理プログラムは、S M M において実行される割り込みプログラムであり、S M I ハンドラー、およびホットキー処理ルーチンなどの各種 S M I サービスルーチンを含む。S M I ハンドラーは、S M I の発生要因に応じて S M I サービスルーチンを起動するためのものであり、ホットキーによる S M I が発生した場合にはホットキー処理ルーチンを起動し、他の要因による S M I が発生した場合にはその要因に対応する S M I サービスルーチンを起動する。本願発明の実施形態に於いては、S M - B I O S は、I / O トラップ命令とソフト S M I タイマーにより C P U 11 に S M I # 信号を発行し、S M I サービスルーチンから割り込み制御処理を実行する。

50

## 【 0 0 4 2 】

ハードディスクドライブ（HDD）20は、内部ISAバス3に接続され、オペレーティングシステム（以降、OSと称す）を格納したプライマリーなHDDであり、このハードディスクドライブ20はアクセスロック機構によりアクセスロック状態である。更に、ハードディスクドライブ20は、システムとの入出力を制御するハードディスクコントローラと、パスワードを格納するメモリと、コンピュータシステムのデータを格納可能なメディアから構成される。

## 【 0 0 4 3 】

I/Oコントロールゲートアレイ23は、内部ISAバス3とI2Cバス4とを繋ぐブリッジLSIであり、CPU11によってリード/ライト可能な複数のレジスタ群を内蔵する。これらレジスタ群を使用することにより、CPU11とI2Cバス4上の電源コントローラ24やDSコントローラ33との通信が可能となる。

10

## 【 0 0 4 4 】

このI/Oコントロールゲートアレイ23からは、ドッキングステーション30と接続される制御信号線がドッキングコネクタ10のコネクタ要素102を介して複数本外部に導出される。また、I/Oコントロールゲートアレイ23は、コンピュータ本体とドッキングステーション30とのドッキング/アンドッキングを検出し、さらにコンピュータ本体が電源オン状態のままドッキングステーション30の接続が行われたときに、活線挿抜などによってドッキングステーション30内の拡張ユニットの破壊やシステムの誤動作が生じないように制御する。

20

## 【 0 0 4 5 】

更に、I/Oコントロールゲートアレイ23は、割り込みレジスタ231を内蔵し、電源スイッチのオン/オフを示すデータを電源コントローラ24経由およびドッキングステーション30内のドッキング/アンドックを示すデータをDSコントローラ33経由で設定される。

## 【 0 0 4 6 】

I2Cバス4は、1本のクロック信号線と1本のデータ線（SDA）から構成される双方向バスであり、これはドッキングコネクタ10のコネクタ要素103を介して外部に導出される。

## 【 0 0 4 7 】

電源コントローラ24は、電源スイッチのオン/オフなどに応じてコンピュータ本体をパワーオン/パワーオフするためのものであり、また、ドッキングステーション30とのドック/アンドック応じた電源制御も行う。

30

## 【 0 0 4 8 】

次に、図2のドッキングステーション30のコンポーネントについて説明する。

前述したように、ドッキングステーション30は、ポータブルコンピュータ本体に取り外し可能に装着できる拡張ユニットである。図3はコンピュータ本体がドッキングステーション30に装着される様子を示すものである。

## 【 0 0 4 9 】

このような外観を持つドッキングステーション30内部に設けられたDS-PCI/ISAブリッジ装置31は、コンピュータ本体からドッキングステーション30に導出されるドッキングバス7と外部PCIバス5および外部ISAバス6とを繋ぐブリッジLSIである。このDS-PCI/ISAブリッジ装置31はPCIデバイスの1つである。

40

## 【 0 0 5 0 】

DSコントローラ33は、ドッキングステーション30の電源のオン/オフ、およびポータブルコンピュータ本体とドッキングステーション30とのドッキング/アンドッキングを制御するためのマイコンであり、I2Cバス4を使用してコンピュータ本体のI/Oコントロールゲートアレイ23と通信する。

## 【 0 0 5 1 】

EEPROM34は、ドッキングステーション30の拡張スロットに装着されている拡張

50

カードなどの属性（アドレス、DMAチャンネル、IRQ番号、その他）など、プラグ・アンド・プレイ（Plug and Play）に必要なPnP情報が格納される。このPnP情報は、コンピュータ本体とドッキングステーション30とがドッキングされた時や、コンピュータ本体又はドッキングステーション30のパワーオン時などに、BIOS ROM 19のシステムBIOSの制御の下、I2Cバス4を介してI/Oコントロールゲートアレイ23によってEEPROM 34からリードされる。

#### 【0052】

カードコントローラ35は、コンピュータ本体内のカードコントローラ17と同様に、PCMCIA/カードバス準拠のPCカードを制御する。

次に、図4と図5のフローチャートと図6のCPUメモリマップを参照して、図1のコンピュータシステムの電源投入時（初期化処理時）の動作について説明する。

10

#### 【0053】

図1のコンピュータシステムがパワーオンされると、CPU 11はリセットされ、リアルモードで動作を開始する（S210）。システムパワーオン時には、BIOS ROM 19内のシステムBIOSがCPUメモリアドレスF0000～FFFFFに割当てられており、CPU 11は、アドレスFFFF0の命令をフェッチする。これにより、システムBIOSのPOST（Power On Self Test）ルーチンの実行がリアルモード環境で開始される。

#### 【0054】

POSTルーチンは、CPU 11のMSWレジスタの設定などによってCPU 11の動作モードをリアルモードに変更する（S220）。この後、プロテクトモードにおいて、コンピュータシステムの各種ゲートアレイ等の初期化処理やシステムメモリ131/SM-RAM 132のリード/ライトコンペアチェックを実行する（S230～240）。

20

#### 【0055】

次に、図6に示される通り、SM-RAM 132は、POSTルーチンの初期化開始時、SM-BASEレジスタによって、30000Hに割り付けられており、CPU 11にSMI#信号が発行された際のSM-BIOSへのファージャンプ先を設定する為に、38000Hに割り付けられたSMIハンドラーにファージャンプ先の設定を実行する（S250）。

#### 【0056】

30

POSTルーチンは、CPU 11に対するSMI#信号発行後のSM-RAM 132のCPUメモリマップの割り付け変更の為に、SMI発生回路121のイネーブル化を行い、SMI発生回路からCPU 11に対するSMI#信号を発行可能とする（S310）。

#### 【0057】

POSTルーチンは、CPUのAHレジスタにBIOSファンクションコールを設定し、特定のI/Oアドレスで割り込みトラップを仕掛け、CPU 11に対してSMI#信号（以下、I/OトラップSMIと称す）を発行する（S320）。

#### 【0058】

CPU 11に対するSMI#信号発行に伴い、割り込み発生時のCPUステートマップが3FE00H以降512Kバイトに自動的に格納され、SMIハンドラーが呼び出される。SMIハンドラーは、SMIハンドラーに設定されたファージャンプ先のSM-BIOSを起動し、SM-RAM 132のCPUメモリマップの割り付け変更を実行する。

40

#### 【0059】

ここで、CPUステートマップとは、CPU 11にSMI#信号を発行して、CPU 11の動作モードをSMMに移行する際、SMI#信号発行時のCPUの現在の状態をSM-RAM 132内の所定エリアに保存し、SMMから抜ける際に、前記エリアに保存していた情報をCPU 11にストアーするために使用される。

#### 【0060】

SM-BIOSは、SM-BASEレジスタ値をFFFE0000Hに書き換える（S330）。SM-BASEレジスタ値の書き換えで設定されたSM-RAM 132のCPU

50



メモリマップは、図 6 に示される通り、 F F F E 0 0 0 0 H 以降の 6 4 K バイトに割り付けられる。

【 0 0 6 1 】

S M - B I O S は、 S M - B A S E レジスタの値を書換え後、 R S M 命令を実行し、以降の S M I # 信号の発生を禁止する ( S 3 4 0 ~ S 3 5 0 )。

S M - B A S E レジスタ値の書換え割り込み処理から復帰した P O S T ルーチンは、 C P U 1 1 が割り込み可能な独自モードを作成する為、 3 F E 0 0 H 以降 5 1 2 K バイトに格納された C P U ステートマップを S M - R A M 1 3 2 の F F F E F E 0 0 H 以降の 5 1 2 バイトのエリア B に書き込む ( S 2 7 0 )。

【 0 0 6 2 】

ここで、 C P U 1 1 が割り込み可能な独自モードとは、 S M I を含めた全割り込み ( I R Q 、 N M I 等 ) が可能であり、その割り込みをシステム B I O S が管理可能な状態である。

【 0 0 6 3 】

次に、 P O S T ルーチンは、 O S 起動後、 S M I 発生回路から C P U 1 1 に対する S M I # 信号を発行可能とする為、 S M I 発生回路 1 2 1 のイネーブル化を実行し、各種デバイスの初期化 ( 各種デバイスへの既定値設定 ) を実行する ( S 2 8 0 ~ S 2 9 0 )。

【 0 0 6 4 】

各種デバイスの既定値設定処理終了後、 P O S T ルーチンは、 C P U 1 1 の M S W レジスタの設定などによって C P U 1 1 の動作モードをプロテクトモードからリアルモードに変更し、 O S を起動する ( S 3 0 0 )。

【 0 0 6 5 】

次に、図 7 のフローチャートを参照して、 O S 起動中の割り込み制御処理の動作を説明する。

システム B I O S の P O S T ルーチン完了後、 O S に制御を移行した後、サスペンド / レジューム要求の発生、又は、デスクステーションのドッキング / アンドッキング要求の発生、即ち、 I / O コントロールゲートアレイ 2 3 内の割り込みレジスタ 2 3 1 に電源スイッチのオン / オフ、又は、ドッキングステーション 3 0 のドック / アンドックの状態変化を設定すると、ポイント - ポイントの割り込み線を介して S M I 発生回路 1 2 1 に S M I # 信号発行を要求する。 S M I 発生回路 1 2 1 は、 S M I 要因レジスタ 1 2 2 に対応する要因ビットを設定し、 C P U 1 1 に対して S M I # 信号を発行する。

【 0 0 6 6 】

C P U 1 1 が S M I # 信号を受信すると、 C P U 1 1 の動作モードを S M M に変更し、割り込み時の C P U ステートを S M - R A M 内のエリア B に格納する ( S 4 1 0 )。

【 0 0 6 7 】

次に、 S M - R A M 内の S M I ハンドラーに設定されたファージャンプ先の S M B I O S が起動され、 S M - B I O S は、 S M I 発生要因のチェックを行う。 S M B I O S は、 S M I 要因レジスタ 1 2 2 の内容をチェックし、もし S M - B I O S が電源スイッチのオン / オフ動作に伴う状態変化であると判断したならば、 S M - R A M 1 3 2 のエリア B に格納された C P U ステートマップ情報を初期化時保存したエリア A の C P U ステートマップ情報と相互に入れ替える ( S 4 2 0 ~ S 4 3 0 )。

【 0 0 6 8 】

C P U 1 1 の動作モードを独自モードに切り替え、ラビットサスペンド処理を並列処理する為、 S M - B I O S は、初期化時設定した C P U ステートマップ情報中のプログラムカウンタ ( 以降、 P C と称す ) の値をラビットサスペンド処理が格納された B I O S R O M 番地に設定し、 R S M 命令を実行する。 C P U 1 1 は、 R S M 命令に应答して、 S M - R A M 1 3 2 内のエリア B に格納された C P U ステートマップ情報を C P U 1 1 内の各レジスタにリストアーする ( S 4 4 0 )。

【 0 0 6 9 】

C P U 1 1 が独自モードに変更後、 C P U 1 1 の P C に設定されたアドレス値から次の命

10

20

30

40

50

令を実行し、図 8 に示された通り、後述するラピットサスペンド処理の並列化を実行する ( S 4 5 0 )。

【 0 0 7 0 】

ラピットサスペンド処理の並列化実行終了後、システム B I O S は I / O トラップ S M I を C P U 1 1 に発行する。システム B I O S は、この S M I # 信号を発行する前に、C P U 1 1 の A H レジスタに S M M モードでの B I O S ファンクションを設定する ( S 4 6 0 )。

【 0 0 7 1 】

C P U 1 1 が S M M モードに遷移後、S M - B I O S が起動される。S M - B I O S は、S M I 要因レジスタ 1 2 2 をチェックし、S M I 発生の要因を確認する。S M - B I O S は、S M I が I / O トラップ S M I で発行されたことを確認後、C P U ステートマップ情報が格納されたエリア B の A H レジスタの値を確認し、S M B I O S は、独自モードからの S M I 発行と判断し、S M - R A M 1 3 2 内のエリア B に格納された C P U ステートマップ情報をエリア A の内容と相互に入れ替える ( S 4 7 0 )。

10

【 0 0 7 2 】

S M - B I O S は、R S M 命令を実行後、S M - R A M 1 3 2 内のエリア B に格納された C P U ステートマップ情報を C P U 1 1 にリストアーし、ラピットサスペンド処理に係わる割り込み制御処理の全て終了する ( S 4 8 0 )。

【 0 0 7 3 】

次に、図 8 の C P U 処理の進行状況タイミング、図 9 のシーケンステーブル内の各ワーキングエリア情報と、図 1 0 の各シーケンス処理のフローチャートを参照して、割り込みを用いた並列処理の動作を説明する。

20

【 0 0 7 4 】

システム B I O S は、ラピットサスペンド処理のパネルオフシーケンス処理を起動する為に、C P U 1 1 の A H レジスタに B I O S ファンクションを設定し、I / O トラップ S M I を C P U 1 1 に発行する ( S 5 0 0 )。

【 0 0 7 5 】

C P U 1 1 の動作モードが、S M M に遷移後、パネルオフシーケンス処理が呼び出される。パネルオフシーケンス処理は、初めに、電源コントローラ 2 4 のビジーチェックを要求する ( S 5 1 0 )。電源コントローラ 2 4 のビジーチェックは、所定インターバル ( 待ち時間 ) を費やすので、パネルオフシーケンス処理は電源コントローラ 2 4 のビジーチェック要求後、S M - R A M 1 3 2 内のシーケンステーブル 1 2 5 に現在のプログラムカウンタ値 “ A ”、パネルオフシーケンス処理が動作中であることを示すフラグと、インターバルタイム値 ( 次回起動時間 : インターバル 1 ) を設定する ( S 5 2 0 )。

30

【 0 0 7 6 】

パネルオフシーケンス処理は、各シーケンステーブル 1 2 5 内の次回起動時間の値を読み出し、最も早い起動時間のシーケンスを判断し、現在時刻から選択された最も早い起動時間を引いた値をカウンタレジスタ 1 2 4 に設定する ( S 5 3 0 ~ S 5 5 0 )。この場合、パネルオフシーケンス処理の動作フラグしか立っていないので、最も早い次回起動時間は、パネルオフシーケンスの起動時間である。

40

【 0 0 7 7 】

カウンタレジスタ 1 2 4 に次回起動時間を設定後、パネルオフシーケンス処理は、S M I タイマーイネーブルレジスタ 1 2 3 を設定し、カウンタレジスタ 1 2 4 のダウンカウントを開始する ( S 5 6 0 )。

【 0 0 7 8 】

パネルオフシーケンス処理は、R S M 命令を実行して、ラピットサスペンド処理のメインルーチンに復帰する ( S 5 7 0 )。

ラピットサスペンド処理のメインルーチンに復帰後、ラピットサスペンド処理は、C P U 1 1 の A H レジスタに S M - B I O S ファンクションを設定後、I / O トラップ S M I を C P U 1 1 に発行して、H D D モータオフシーケンス処理を起動する ( S 5 0 0 )。

50

## 【 0 0 7 9 】

起動されたHDDモータオフシーケンス処理は、最初に、HDD20内蔵のハードディスクコントローラのビジーチェックを要求する（S510）。ハードディスクコントローラのビジーチェックは、所定インターバル（待ち時間）を費やすので、HDDモータオフシーケンス処理はハードディスクコントローラのビジーチェック要求後、SM-RAM132内のシーケンステーブル125に現在のプログラムカウンタ値“B”、ハードディスクコントローラオフシーケンス処理が動作中であることを示すフラグと、インターバルタイム値（次回起動時間：インターバル1）を設定する（S520）。

## 【 0 0 8 0 】

ハードディスクコントローラオフシーケンス処理は、各シーケンステーブル内の次回起動時間の値を読み出し、最も早い起動時間のシーケンスを判断し、現在時刻から選択された最も早い起動時間を引いた値をカウンタレジスタ124に設定する（S530～S550）。この場合、パネルオフシーケンス処理の次回起動時間の方が、HDDモータオフシーケンス処理の次回起動時間より早いので、最も早い次回起動時間は、パネルオフシーケンスの起動時間である。

10

## 【 0 0 8 1 】

HDDモータオフシーケンス処理は、カウンタレジスタ124にパネルオフシーケンスの次回起動時間を設定後、SMIタイマーイネーブルレジスタ123を設定し、カウンタレジスタ125のダウンカウントを開始する（S560）。

## 【 0 0 8 2 】

HDDモータオフシーケンス処理は、RSM命令を実行して、ラビットサスペンド処理のメインルーチンに復帰する（S570）。

20

ラビットサスペンド処理のメインルーチンに復帰後、ラビットサスペンド処理は、CPU11のAHレジスタにSM-BIOSファンクションを設定後、I/OトラップSMIをCPU11に発行して、各種I/Oレジスタの保存シーケンス処理を起動する（S500）。

## 【 0 0 8 3 】

各種I/Oレジスタの保存シーケンス処理は、各種I/Oレジスタに格納されているデータの出力を要求する為にコマンドを発行する（S510）。各種I/Oレジスタのデータ出力要求の処理は、所定インターバル（待ち時間）を費やすので、各種I/Oレジスタの保存シーケンス処理はコマンド出力後、SM-RAM132内のシーケンステーブル125に現在のプログラムカウンタ値“C”、各種I/Oレジスタの保存シーケンス処理が動作中であることを示すフラグと、インターバルタイム値（次回起動時間：インターバル1）を設定する（S520）。

30

## 【 0 0 8 4 】

各種I/Oレジスタの保存シーケンス処理は、各シーケンステーブル125内の次回起動時間の値を読み出し、最も早い起動時間のシーケンスを判断し、現在時刻から選択された最も早い起動時間を引いた値をカウンタレジスタ124に設定する（S530～S550）。この場合、パネルオフシーケンス処理の次回起動時間の方が、HDDモータオフシーケンス処理の次回起動時間や各種I/Oレジスタの保存シーケンス処理の次回起動時間より早いので、最も早い次回起動時間は、パネルオフシーケンスの起動時間である。

40

## 【 0 0 8 5 】

各種I/Oレジスタの保存シーケンス処理は、カウンタレジスタ124にパネルオフシーケンスの次回起動時間を設定後、SMIタイマーイネーブルレジスタ123を設定し、カウンタレジスタ124のダウンカウントを開始する（S560）。

## 【 0 0 8 6 】

各種I/Oレジスタの保存シーケンス処理は、RSM命令を実行して、ラビットサスペンド処理のメインルーチンに復帰する（S570）。

この場合、既に、パネルオフシーケンス処理の起動時間が経過しているので、各種I/Oレジスタの保存シーケンス処理がRSM命令実行後、直ぐに、カウンタレジスタ124は

50

ゼロカウントとなる。カウンタレジスタ124のゼロカウント到達に应答して、I/OトラップSMIがCPU11に発行される。SM BIOSは、SM-RAM132内の各シーケンステーブルから最も早い起動時間であるパネルオフシーケンス処理の処理を実行する(S500)。

【0087】

パネルオフシーケンス処理は、初めに、電源コントローラ24のビジーチェック後、電源コントローラ24に対してパネルオフコマンドを出力する(S510)。電源コントローラ24はパネルオフコマンドの処理を実行するために所定インターバル(待ち時間)を費やすので、パネルオフシーケンス処理は電源コントローラ24にパネルオフコマンド出力後、SM-RAM132内のシーケンステーブル125に現在のプログラムカウンタ値“ A2 ”、パネルオフシーケンス処理が動作中であることを示すフラグと、インターバルタイマ値(次回起動時間:インターバル2)を設定する(S520)。

10

【0088】

パネルオフシーケンス処理は、各シーケンステーブル125内の次回起動時間の値を読み出し、最も早い起動時間のシーケンスを判断し、現在時刻から選択された最も早い起動時間を引いた値をカウンタレジスタ124に設定する(S530~S550)。この場合、パネルオフシーケンス処理とHDDモータオフシーケンス処理と各種I/Oレジスタの保存シーケンス処理の動作フラグが立っている。最も早い次回起動時間は、HDDモータオフシーケンスの起動時間である。

【0089】

20

カウンタレジスタ124に次回起動時間を設定後、パネルオフシーケンス処理は、SMIタイマーイネーブルレジスタ123を設定し、カウンタレジスタ124のダウンカウントを開始する(S560)。

【0090】

パネルオフシーケンス処理は、RSM命令を実行して、ラピッドサスペンド処理のメインルーチンに復帰する(S570)。

既に、HDDモータオフシーケンス処理の起動時間が経過しているので、パネルオフシーケンス処理がRSM命令実行後、直ぐに、カウンタレジスタ124はゼロカウントとなる。カウンタレジスタ124のゼロカウント到達に应答して、I/OトラップSMIがCPU11に発行される。SM BIOSは、SM-RAM132内の各シーケンステーブルから最も早い起動時間であるHDDモータオフ処理の処理を実行する(S500)。

30

【0091】

HDDモータオフシーケンス処理は、ハードディスクコントローラのビジーチェック後、ハードディスクコントローラに対してハードディスクコントローラモータオフコマンドを出力する(S510)。ハードディスクコントローラはモータオフコマンドの処理を実行するために所定インターバル(待ち時間)を費やすので、HDDモータオフシーケンス処理はハードディスクコントローラにモータオフコマンド出力後、SM-RAM132内のシーケンステーブル125に現在のプログラムカウンタ値“ B2 ”、HDDモータオフシーケンス処理が動作中であることを示すフラグと、インターバルタイマ値(次回起動時間:インターバル2)を設定する(S520)。

40

【0092】

HDDモータオフシーケンス処理は、各シーケンステーブル125内の次回起動時間の値を読み出し、最も早い起動時間のシーケンスを判断し、現在時刻から選択された最も早い起動時間を引いた値をカウンタレジスタ124に設定する(S530~S550)。この場合、パネルオフシーケンス処理、HDDモータオフシーケンス処理と各種I/Oレジスタの保存シーケンス処理の動作フラグが立っている。最も早い次回起動時間は、各種I/Oレジスタの保存シーケンスの起動時間である。

【0093】

カウンタレジスタ124に次回起動時間を設定後、パネルオフシーケンス処理は、SMIタイマーイネーブルレジスタ123を設定し、カウンタレジスタ124のダウンカウント

50

を開始する ( S 5 6 0 )。

【 0 0 9 4 】

パネルオフシーケンス処理は、R S M命令を実行して、ラビットサスペンド処理のメインルーチンに復帰する ( S 5 7 0 )。

既に、各種 I / Oレジスタの保存シーケンス処理の起動時間が経過しているので、H D Dモータオフシーケンス処理がR S M命令実行後、直ぐに、カウンタレジスタ 1 2 4 はゼロカウントとなる。カウンタレジスタ 1 2 4 のゼロカウント到達に应答して、I / Oトラップ S M I が C P U 1 1 に発行される。S M B I O S は、S M - R A M 1 3 2 内の各シーケンステーブルから最も早い起動時間である各種 I / Oレジスタの保存シーケンス処理の処理を実行する ( S 5 0 0 )。

10

【 0 0 9 5 】

各種 I / Oレジスタの保存シーケンス処理は、レジスタデータ要求のコマンド出力に应答して、各種 I / Oからレディー信号を受信する。各種 I / Oレジスタの保存シーケンス処理は、各種 I / O内のレジスタデータを読み出し、システムメモリ内のバックアップされた所定領域に該データを保存する ( S 5 1 0 )。各種 I / Oレジスタの保存シーケンス処理は、S M - R A M 1 3 2 内のシーケンステーブル 1 2 5 に各種 I / Oレジスタの保存シーケンス処理が終了したことを示すフラグを設定する ( S 5 2 0 )。

【 0 0 9 6 】

各種 I / Oレジスタの保存シーケンス処理は、各シーケンステーブル内の次回起動時間の値を読み出し、最も早い起動時間のシーケンスを判断し、現在時刻から選択された最も早い起動時間を引いた値をカウンタレジスタ 1 2 4 に設定する ( S 5 3 0 ~ S 5 5 0 )。この場合、パネルオフシーケンス処理とH D Dモータオフシーケンス処理の動作フラグが立っている。最も早い次回起動時間は、H D Dモータオフシーケンスの起動時間である。

20

【 0 0 9 7 】

各種 I / Oレジスタの保存シーケンス処理は、カウンタレジスタ 1 2 4 に次回起動時間を設定後、ソフト S M I タイマーイネーブルレジスタ 1 2 3 を設定し、カウンタレジスタ 1 2 4 のダウンカウントを開始する ( S 5 6 0 )。

【 0 0 9 8 】

各種 I / Oレジスタの保存シーケンス処理は、R S M命令を実行して、ラビットサスペンド処理のメインルーチンに復帰する ( S 5 7 0 )。

30

既に、H D Dモータオフシーケンス処理の起動時間が経過しているので、各種 I / Oレジスタの保存シーケンス処理がR S M命令実行後、直ぐに、カウンタレジスタ 1 2 4 はゼロカウントとなる。カウンタレジスタ 1 2 4 のゼロカウント到達に应答して、I / Oトラップ S M I が C P U 1 1 に発行される。起動された S M B I O S は、S M - R A M 1 3 2 内の各シーケンステーブル 1 2 5 から最も早い起動時間であるパネルオフシーケンス処理の処理を実行する ( S 5 0 0 )。

【 0 0 9 9 】

パネルオフシーケンス処理は、パネルオフコマンド出力に应答して、電源コントローラ 2 4 からレディー信号を受信する。パネルオフシーケンス処理は、レディー信号受信後、2 2 0 m s のウェイト処理を実行する ( S 5 1 0 )。パネルオフシーケンス処理は、S M - R A M 1 3 2 内のシーケンステーブル 1 2 5 に現在のプログラムカウンタ値 “ A 3 ”、パネルオフオフシーケンス処理が動作中であることを示すフラグと、インターバルタイマ値 ( 次回起動時間：インターバル 3 ) を設定する ( S 5 2 0 )

40

パネルオフシーケンス処理は、各シーケンステーブル 1 2 5 内の次回起動時間の値を読み出し、最も早い起動時間のシーケンスを判断し、現在時刻から選択された最も早い起動時間を引いた値をカウンタレジスタ 1 2 4 に設定する ( S 5 3 0 ~ S 5 5 0 )。この場合、パネルオフシーケンス処理とH D Dモータオフシーケンス処理の動作フラグが立っている。最も早い次回起動時間は、H D Dモータオフシーケンスの起動時間である。

【 0 1 0 0 】

パネルオフシーケンス処理は、カウンタレジスタ 1 2 4 に次回起動時間を設定後、ソフト

50

S M I タイマーイネーブルレジスタ 1 2 3 を設定し、カウンタレジスタ 1 2 4 のダウンカウントを開始する ( S 5 6 0 )。

【 0 1 0 1 】

パネルオフシーケンス処理は、R S M 命令を実行して、ラビットサスペンド処理のメインルーチンに復帰する ( S 5 7 0 )。

既に、H D D モータオフシーケンス処理の起動時間が経過しているため、パネルオフシーケンス処理が R S M 命令実行後、直ぐに、カウンタレジスタ 1 2 4 はゼロカウントとなる。カウンタレジスタ 1 2 4 のゼロカウント到達に 응답して、I / O トラップ S M I が C P U 1 1 に発行される。起動された S M B I O S は、S M - R A M 1 3 2 内の各シーケンステーブル 1 2 5 から最も早い起動時間である H D D モータオフシーケンス処理の処理を実行する ( S 5 0 0 )。

10

【 0 1 0 2 】

H D D モータオフシーケンス処理は、ハードディスクコントローラオフコマンド出力に 응답して、ハードディスクコントローラからレディー信号を受信する ( S 5 1 0 )。H D D モータオフシーケンス処理は、H D D モータオフオフシーケンス処理が終了したことを示すフラグを設定する ( S 5 2 0 )

H D D モータオフシーケンス処理は、各シーケンステーブル 1 2 5 内の次回起動時間の値を読み出し、最も早い起動時間のシーケンスを判断し、現在時刻から選択された最も早い起動時間を引いた値をカウンタレジスタ 1 2 4 に設定する ( S 5 3 0 ~ S 5 5 0 )。この場合、パネルオフシーケンス処理の動作フラグのみが立っている。最も早い次回起動時間は、パネルオフシーケンスの起動時間である。

20

【 0 1 0 3 】

H D D モータオフシーケンス処理は、カウンタレジスタ 1 2 4 に次回起動時間を設定後、ソフト S M I タイマーイネーブルレジスタ 1 2 3 を設定し、カウンタレジスタ 1 2 4 のダウンカウントを開始する ( S 5 6 0 )。

【 0 1 0 4 】

パネルオフシーケンス処理は、R S M 命令を実行して、ラビットサスペンド処理のメインルーチンに復帰する ( S 5 7 0 )。

ラビットサスペンド処理のメインルーチンは、メモリ 1 3 のチェックサムを実行し、その結果をメモリの所定領域に保存する。次に、ラビットサスペンド処理のメインルーチンは、パスワード情報や P n P 情報を B I O S R O M 1 9 に保存する。B I O S R O M 1 9 の書き換え中に、カウンタレジスタ 1 2 4 のカウントがゼロに達した場合、C P U 1 1 に対して I / O トラップ S M I が発行される ( S 5 0 0 )。B I O S - R O M 1 9 の書き換え処理は一時中断され、C P U 1 1 のステータスマップ情報は、S M - R A M 内のエリア B に格納される。C P U の A H レジスタにセットされたファンクションに基づき、S M - B I O S 処理が起動される。

30

【 0 1 0 5 】

起動された S M - B I O S は、S M I 要因レジスタ 1 2 2 等の内容を確認し、パネルオフシーケンス処理を実行する。パネルオフシーケンス処理は、2 2 0 m s のウェイト後、L C D パネルをディスエーブル処理し、パネルオフオフシーケンス処理が終了したことを示すフラグを設定する ( S 5 1 0 ~ S 5 2 0 )

40

パネルオフシーケンス処理は、各シーケンステーブル 1 2 5 内の動作中フラグが全て終了しているので、カウンタレジスタ 1 2 4 にはなにも設定せず、R S M 命令を実行して、S M - R A M 1 3 2 内のエリア B に格納されていた C P U ステータスマップ情報を C P U にリストアして、ラビットサスペンド処理のメインルーチンに復帰する ( S 5 3 0 ~ S 5 7 0 )。

【 0 1 0 6 】

B I O S R O M 1 9 の書き換え処理は、中断された個所から処理を継続し、その処理を終了する。更に、ラビットサスペンド処理のメインは、各シーケンス処理が全て終了しているか S M - R A M 1 3 2 内の動作フラグを確認し、各シーケンス処理が全て終了してい

50

ることを確認後、割り込みを用いた処理並列化（ラビットサスペンド処理）を終了する。

#### 【 0 1 0 7 】

本願実施形態の様な構成にすれば、CPU 11を独自モードに切り替え後、I/Oデバイスからの応答を割り込み制御処理で受け付けられるので、ポーリング処理で検出するより確実な検出が可能となる。

#### 【 0 1 0 8 】

例えば、OS起動中に電源スイッチが押圧され、ラビットサスペンド処理の実行中に、再度、電源スイッチが押圧されたとしても、電源コントローラ24は、I/OコントローラGA23内の割り込みレジスタに電源スイッチのオン/オフ状態を設定する。割り込みレジスタ231は、SMI121発生回路121にポイン - ポイントの割り込み専用線を介して接続されているので、割り込みレジスタ231に状態変化に対応したビットを設定することによって、SMI#信号をCPU11に発行することが出来る。

10

#### 【 0 1 0 9 】

尚、本願発明の実施形態では、ラビットサスペンド処理の並列化の動作を説明したが、通常のサスペンド/レジューム処理、ドック/アンドocking処理もCPUを独自モードに切り替えることによって並列化処理が出来る。

#### 【 0 1 1 0 】

#### 【 発明の効果 】

以上説明したように、この発明によれば、割り込み要求を受付ないSMMで、CPUの動作モードを割り込み可能とし、割り込み制御処理中で必要な処理を並列化することにより割り込み制御処理全体の処理時間を短縮できる。

20

#### 【 図面の簡単な説明 】

【 図 1 】 本発明の一実施形態に係わるコンピュータシステムのシステム構成を示すブロック図。

【 図 2 】 同実施形態のシステムで使用されるドッキングステーションの構成を示すブロック図。

【 図 3 】 同実施形態のコンピュータ本体がドッキングステーションに装着される様子を示す図。

【 図 4 】 同実施形態のシステムで電源投入時（初期化処理時）の動作の手順を示すフローチャート。

30

【 図 5 】 同実施形態のシステムでSM - BASEレジスタ値の書換え処理の動作の手順を示すフローチャート。

【 図 6 】 同実施形態のシステムでCPUのメモリマップを示すブロック図。

【 図 7 】 同実施形態のシステムでOS起動中の割り込み制御処理の手順を示すフローチャート。

【 図 8 】 同実施形態のシステムで並列化されたラビットサスペンド処理のCPU進行状況を示すタイミング図。

【 図 9 】 同実施形態のシステムでSM - RAM中に設けられたシーケンステーブルの構成を示すブロック図。

【 図 1 0 】 同実施形態のシステムでラビットサスペンド処理中の各シーケンス処理の手順を示すフローチャート。

40

【 図 1 1 】 従来のOS起動中の割り込み制御処理の手順を示すフローチャート。

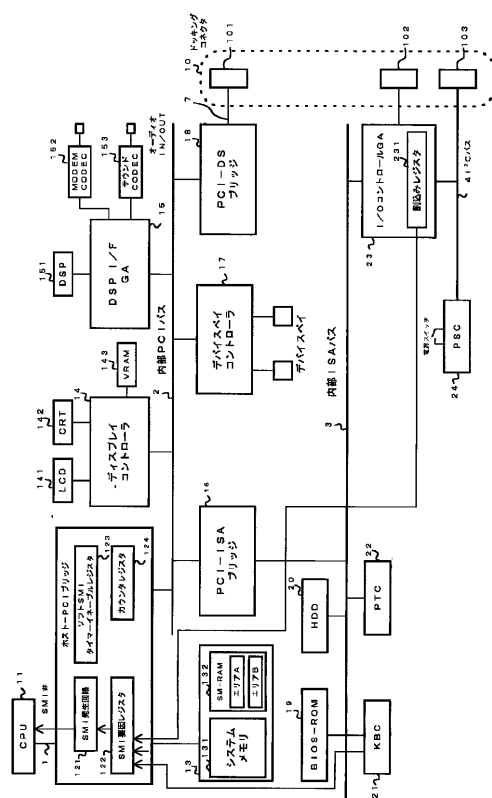
#### 【 符号の説明 】

1 ... プロセッサバス、 2 ... 内部PCIバス、 3 ... 内部ISAバス、 4 ... I2Cバス、 5 ... 外部PCIバス、 6 ... 外部ISAバス、 10 ... ドッキングコネクタ、 11 ... CPU、 12 ... ホスト - PCIブリッジ装置、 13 ... メモリ、 14 ... ディスプレイコントローラ、 15 ... DSPインタフェースゲートアレイ、 16 ... 内部PCI - ISAブリッジ装置、 17 ... デバイスベイコントローラ、 18 ... PCI - DSブリッジ装置、 19 ... BIOS ROM、 20 ... HDD、 21 ... キーボードコントローラ、 22 ... RTC、 23 ... I/Oコントロールゲートアレイ、 24 ... 電源コントローラ（PSC）、 30 ... ドッキングステーション

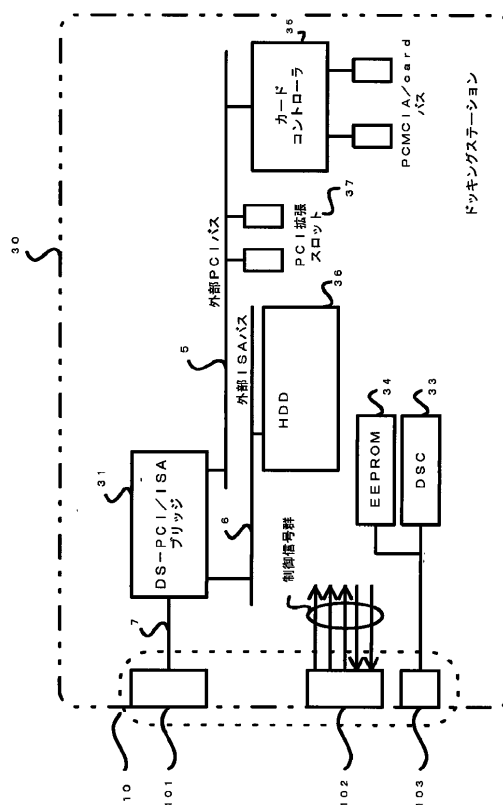
50

、 3 1 ... D S - P C I / I S A ブリッジ装置、 3 3 ... D S コントローラ、 3 5 ... カードコ  
ントローラ、 3 6 ... H D D 、 1 0 0 ... コンピュータ本体、 1 3 1 ... システムメモリ、 1 3  
2 ... S M - R A M

【 図 1 】

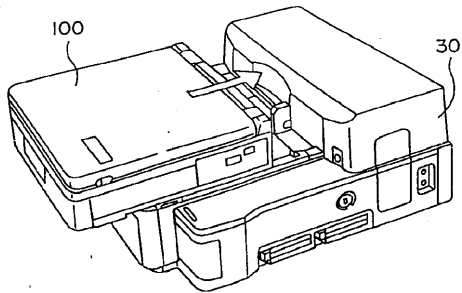


【 図 2 】

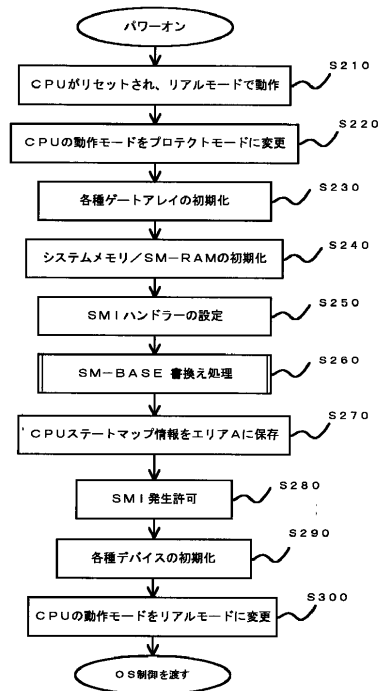




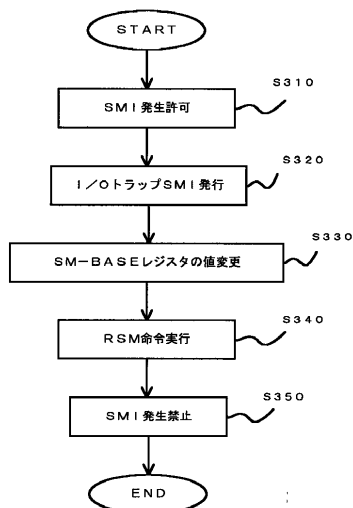
【図 3】



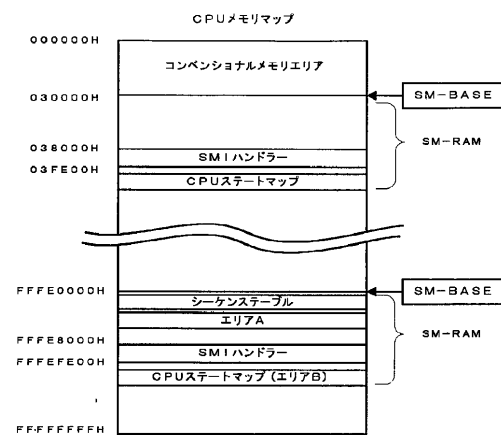
【図 4】



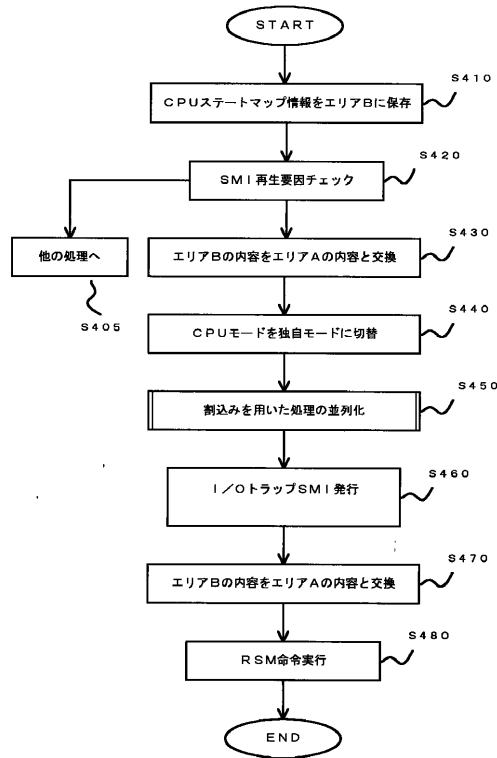
【図 5】



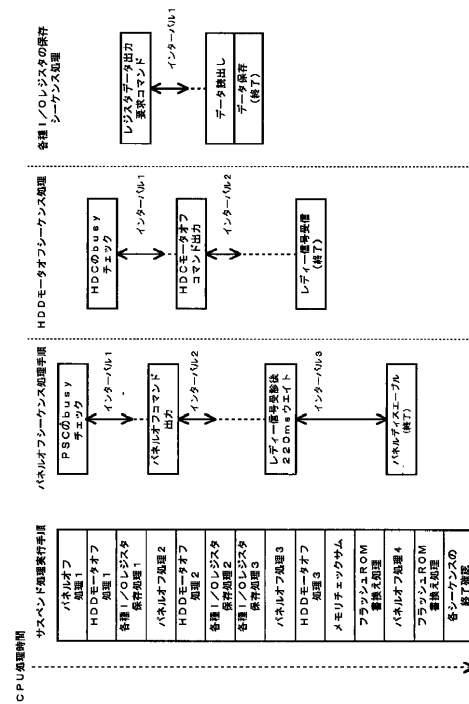
【図 6】



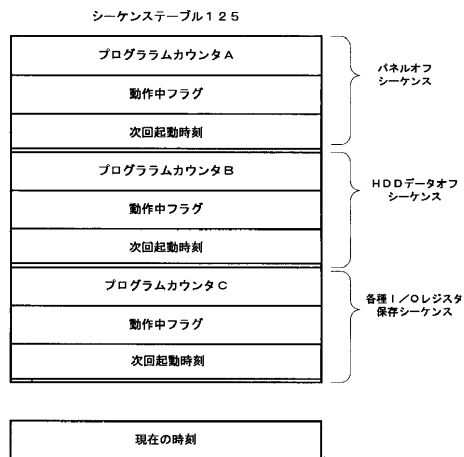
【図 7】



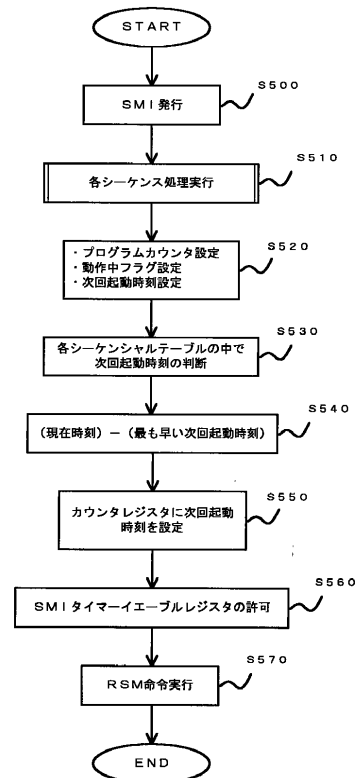
【図 8】



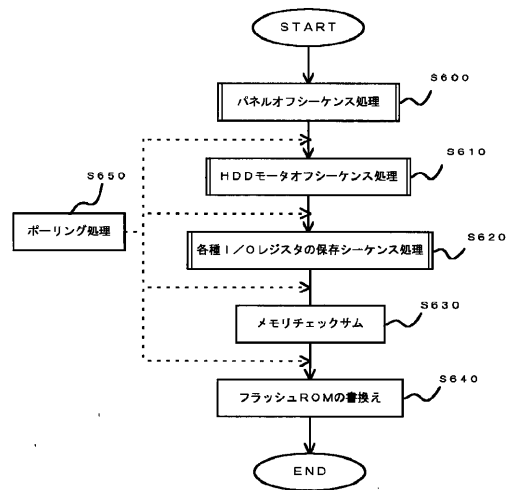
【図 9】



【図 10】



【図 11】



---

フロントページの続き

- (74)代理人 100084618  
弁理士 村松 貞男
- (74)代理人 100092196  
弁理士 橋本 良郎
- (72)発明者 山崎 浩  
東京都青梅市新町 1 3 8 1 番地 1 東芝コンピュータエンジニアリング株式会社内
- (72)発明者 小荒井 学  
東京都青梅市新町 1 3 8 1 番地 1 東芝コンピュータエンジニアリング株式会社内
- (72)発明者 藤原 尚伸  
東京都青梅市新町 1 3 8 1 番地 1 東芝コンピュータエンジニアリング株式会社内

審査官 はま 中 信行

- (56)参考文献 特開平 0 9 - 1 2 8 2 4 9 ( J P , A )  
特開平 0 6 - 2 3 0 9 7 9 ( J P , A )  
特開平 0 6 - 1 8 0 6 6 8 ( J P , A )  
特開平 0 9 - 1 1 4 5 4 6 ( J P , A )  
特開平 0 1 - 2 7 4 2 4 6 ( J P , A )  
特開平 0 5 - 0 3 5 5 0 7 ( J P , A )  
特開平 0 7 - 2 0 0 3 2 0 ( J P , A )  
特開平 0 5 - 1 2 8 0 7 8 ( J P , A )  
特公平 0 7 - 1 0 4 8 3 3 ( J P , B 2 )

(58)調査した分野(Int.Cl. , D B 名)

G06F 9/46- 9/48  
G06F 1/00, 1/20  
G06F 1/26- 1/32  
G06F 13/20-13/378  
G06F 15/16-15/177