

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5745107号
(P5745107)

(45) 発行日 平成27年7月8日(2015.7.8)

(24) 登録日 平成27年5月15日(2015.5.15)

(51) Int. Cl.		F I	
G06F	12/06	(2006.01)	G06F 12/06 515G
G06F	3/06	(2006.01)	G06F 12/06 515F
G06F	3/08	(2006.01)	G06F 3/06 301F
			G06F 3/08 H

請求項の数 15 (全 17 頁)

(21) 出願番号	特願2013-557825 (P2013-557825)	(73) 特許権者	595168543
(86) (22) 出願日	平成24年3月7日(2012.3.7)		マイクロン テクノロジー, インク.
(65) 公表番号	特表2014-509024 (P2014-509024A)		アメリカ合衆国, アイダホ州 83716
(43) 公表日	平成26年4月10日(2014.4.10)		-9632, ボイズ, サウス フェデ
(86) 国際出願番号	PCT/US2012/028049		ラル ウェイ 8000
(87) 国際公開番号	W02012/125363	(74) 代理人	100106851
(87) 国際公開日	平成24年9月20日(2012.9.20)		弁理士 野村 泰久
審査請求日	平成25年10月10日(2013.10.10)	(74) 代理人	100074099
(31) 優先権主張番号	13/046, 439		弁理士 大菅 義之
(32) 優先日	平成23年3月11日(2011.3.11)	(72) 発明者	バターフィールド, ジェレミー ダブリュ
(33) 優先権主張国	米国 (US)		.
			アメリカ合衆国, アイダホ州 83704
			, ボイズ, キャプソン レーン 5428
		審査官	桜井 茂行
			最終頁に続く

(54) 【発明の名称】 メモリを制御するためのシステム、装置、メモリコントローラ、および方法

(57) 【特許請求の範囲】

【請求項 1】

メモリ装置のメモリユニットをアクティブにすることと、
 前記メモリユニットをアクティブにした後に、前記メモリ装置に結合されたコントローラによって発行されるサイクルのサイクルタイプを決定することと、
 前記サイクルタイプがコマンドサイクルであるという決定に応答して、前記アクティブにされたメモリユニットに提供され且つ前記コマンドサイクルに対応するコマンドがボリューム選択コマンドであるかどうかを決定することと、
 前記コマンドがボリューム選択コマンドではないと決定されて、前記コマンドがターゲットメモリボリュームを示さない場合に、前記メモリユニットを前の状態に戻すことであって、前記コマンドがボリューム選択コマンドであると決定されて、前記コマンドが前記メモリユニットに関連するターゲットメモリボリュームを示す場合に、前記メモリユニットがアクティブなままとなる、ことと、
 前記サイクルタイプがアドレスサイクル及びデータサイクルのうちの少なくとも一方であるという決定に応答して、前に選択されたメモリボリュームを再選択することと、
 を含む、メモリを制御するための方法。

【請求項 2】

前記メモリユニットをアクティブにすることが、前記メモリ装置にイネーブル信号を提供することを含み、前記メモリ装置が、他のメモリ装置とそのイネーブル信号を共有する、請求項 1 に記載の方法。

【請求項 3】

前記メモリユニットをアクティブにすることが、前記共有されたイネーブル信号を第 1 の状態から第 2 の状態に切り替えることを含む、請求項 2 に記載の方法。

【請求項 4】

前記イネーブル信号を提供することが、コントローラのイネーブル端子から前記メモリ装置に関連する各イネーブル端子に前記共有されたイネーブル信号を提供することを含む、請求項 2 に記載の方法。

【請求項 5】

前記コマンドがターゲットメモリボリュームを示さない場合に前記メモリユニットを前の状態に戻すことが、前記コマンドがボリュームアドレスを示さない場合に前記メモリユニットを前の状態に戻すことを含む、請求項 1 から 4 のいずれか 1 項に記載の方法。

10

【請求項 6】

前記メモリユニットをアクティブにする前に前記メモリユニットを非アクティブにすることをさらに含み、前記メモリユニットを前の状態に戻すことが、前記メモリユニットを非アクティブにする直前の前記メモリユニットの状態に、前記メモリユニットを戻すことを含む、請求項 1 から 4 のいずれか 1 項に記載の方法。

【請求項 7】

前記前の状態が非アクティブ状態を含む、請求項 1 から 4 のいずれか 1 項に記載の方法。

【請求項 8】

前記前の状態がスヌーピング状態を含む、請求項 1 から 4 のいずれか 1 項に記載の方法。

20

【請求項 9】

前記ターゲットメモリボリューム以外のメモリボリュームと関連するメモリユニットを、前記ターゲットメモリボリュームを示す前記コマンドに応答してスヌーピング状態にすることをさらに含む、請求項 1 から 4 のいずれか 1 項に記載の方法。

【請求項 10】

前記メモリ装置に結合され且つ共用バスを介して少なくとも 1 つの追加のメモリ装置に結合されたコントローラの単一のチップイネーブル端子から受信される信号によって、前記メモリユニットをアクティブにすることを含み、前記方法が、前記コントローラの前記単一のチップイネーブル端子から受信された前記信号によって、前記少なくとも 1 つの追加のメモリ装置の少なくとも 1 つの追加のメモリユニットをアクティブにすることをさらに含む、請求項 1 から 4 のいずれか 1 項に記載の方法。

30

【請求項 11】

バスを共有するいくつかのメモリボリュームと、
前記バスに結合されたコントローラと、
を備えるメモリシステムであって、

前記コントローラは、

前記いくつかのメモリボリュームに提供されるイネーブル信号を第 1 の状態から第 2 の状態に切り替えることによって、前記バスを共有する前記いくつかのメモリボリュームをアクティブにし、

40

その後、前記いくつかのメモリボリュームに結合されたコントローラによって実行されるサイクルタイプを決定し、

前記サイクルタイプがコマンドサイクルであるという決定に応答して、前記アクティブにされたいくつかのメモリボリュームに提供され且つ前記コマンドサイクルに対応するコマンドがボリューム選択コマンドであるかどうかを決定し、

前記イネーブル信号の前記切り替え後に前記アクティブにされたいくつかのメモリボリュームに提供される第 1 のコマンドがボリューム選択コマンド以外のコマンドであることに応答して、前記イネーブル信号の前記切り替え前に選択された前記いくつかのメモリボリュームのうちのメモリボリュームを再選択し、

50

前記イネーブル信号の前記切り替え後に前記アクティブにされたいくつかのメモリボリュームに提供される前記第 1 のコマンドがボリューム選択コマンドであることに応答して、前記ボリューム選択コマンドによって示される前記いくつかのメモリボリュームのうちの特定のメモリボリュームを選択し、

前記サイクルタイプがコマンドサイクルではないという決定に応答して、前に選択されたメモリボリュームを再選択する、

ように構成される、メモリシステム。

【請求項 1 2】

前記コントローラが、
ホストに結合するための第 1 のインタフェースと、
前記いくつかのメモリボリュームを備えるいくつかのメモリ装置に結合するための第 2 のインタフェースと、
を備え、

前記イネーブル信号が、前記いくつかのメモリボリュームのうちの少なくとも 2 つのメモリボリュームによって共有され、かつ、前記コントローラの単一のチップイネーブル端子から前記いくつかのメモリ装置のそれぞれの各チップイネーブル端子に提供される、請求項 1 1 に記載のメモリシステム。

【請求項 1 3】

前記イネーブル信号の前記切り替え後に前記アクティブにされたいくつかのメモリボリュームに提供される前記第 1 のコマンドがボリューム選択コマンドであることに応答して、前記特定のメモリボリューム以外の前記メモリボリュームが非選択状態に置かれる、請求項 1 1 または 1 2 に記載のメモリシステム。

【請求項 1 4】

前記特定のメモリボリューム以外の前記メモリボリュームのうちの少なくとも 1 つが傍受状態にされる、請求項 1 3 に記載のメモリシステム。

【請求項 1 5】

前記特定のメモリボリューム以外の前記メモリボリュームのうちの少なくとも 1 つが非アクティブ状態に置かれる、請求項 1 4 に記載のメモリシステム。

【発明の詳細な説明】

【技術分野】

【0001】

本開示は、概して半導体メモリシステム、半導体メモリ装置、および半導体メモリ方法に関し、さらに詳細にはメモリを制御するためのシステム、装置、メモリコントローラ、および方法に関する。

【背景技術】

【0002】

メモリ装置は、通常、コンピュータまたは他の電子機器内の内部半導体集積回路として提供される。揮発性メモリおよび不揮発性メモリを含む多くの異なるタイプのメモリがある。揮発性メモリはその情報を維持するために電力を必要とすることがあり、とりわけランダムアクセスメモリ (RAM)、ダイナミックランダムアクセスメモリ (DRAM)、および同期型ダイナミックランダムアクセスメモリ (SDRAM) を含む。不揮発性メモリは、電源が入られていないときに記憶されている情報を保持することによって永続的な情報を提供することができ、とりわけ、NANDフラッシュメモリ、NORフラッシュメモリ、読取り専用メモリ (ROM)、電氣的消去可能 ROM (EEPROM)、消去可能 PROM (EPROM)、相変化 RAM (PCRAM)、抵抗変化メモリ (RRAM (登録商標))、およびスピントルクトランスファランダムアクセスメモリ (STT RAM) 等の磁気ランダムアクセスメモリ (MRAM) を含むことがある。

【発明の概要】

【発明が解決しようとする課題】

【0003】

メモリ装置は、ソリッドステートドライブ（SSD）を形成するためにも組み合わせることができる。ソリッドステートドライブは、多様な他のタイプの不揮発性メモリおよび揮発性メモリの中で、不揮発性メモリ（たとえば、NANDフラッシュメモリおよびNORフラッシュメモリ）を含む、および/または揮発性メモリ（たとえば、DRAMおよびSRAM）を含むことがある。ソリッドステートドライブは、性能、サイズ、重量、耐久性、動作温度範囲、および電力消費の点でハードドライブに優る優位点を有しているため、SSDは、コンピュータのためのメイン記憶装置としてハードディスクに代わるために使用できる。たとえば、磁気ディスクと比較したとき、SSDは可動部品がないために優れた性能を有することができ、これにより磁気ディスクドライブにまつわるシークタイム、待ち時間、および他の電子機械的な遅延を回避し得る。SSDの製造メーカは不揮発性フラッシュメモリを使用して、内蔵電池電源を使用しないことがあるフラッシュSSDを作成し、このようにしてドライブがより用途が広くかつコンパクトとなることができるようにしている。

10

【0004】

SSDは、マルチチップパッケージ（MCP）であることがある1つまたは複数の離散メモリ装置（たとえばパッケージ）を含むことがある。MCPは、それぞれがそれと関連する1つまたは複数のメモリユニットを有するいくつかのメモリダイおよび/またはメモリチップを含むことがある。メモリユニットは、ホストから受信したコマンドを実行し、ホストにステータスを報告することができ、周辺回路網とともに1つまたは複数のメモリアレイを含むことがある。メモリアレイは、いくつかの物理的なグループ（たとえば、ブロック）に編成できるメモリセルを含むことがあり、グループのそれぞれが複数ページのデータを記憶できる。

20

【課題を解決するための手段】

【0005】

多様なメモリシステムでは、複数のメモリ装置は、共有バスを経由してシステムコントローラに結合される。システムコントローラは、たとえば消去動作、プログラミング動作、および読取り動作等の多様な動作の性能を調節できる。システムコントローラと複数のメモリ装置との間の相互作用は、他のメモリシステムの特徴の中でも電力消費、処理速度、および/またはデータ完全性を含むメモリシステムの多様な特徴に影響を与えることがある。

30

【図面の簡単な説明】

【0006】

【図1】本開示の1つまたは複数の実施形態にかかるコンピューティングシステムのブロック図である。

【図2】本開示の1つまたは複数の実施形態にかかるメモリを制御するように構成されたシステムの一部のブロック図である。

【図3】本開示の1つまたは複数の実施形態にかかるメモリを制御するように構成されたシステムの一部のブロック図である。

【図4】本開示の1つまたは複数の実施形態にかかるメモリを制御するように構成されたシステムの一部のブロック図である。

40

【図5】本開示の1つまたは複数の実施形態にかかるメモリを制御するように構成されたシステムの一部のブロック図である。

【図6】本開示の1つまたは複数の実施形態にかかるメモリを制御するための方法を示すフローチャートである。

【発明を実施するための形態】

【0007】

本開示は、メモリを制御するためのシステム、装置、メモリコントローラ、および方法を含む。かかる1つの方法は、メモリ装置のメモリユニットを活性化する（アクティブにする）ことと、メモリユニットを活性化した後に、メモリ装置にコマンドを提供することと、コマンドがターゲットメモリボリュームを示さない場合にメモリユニットを前の状態

50

に戻すことを含み、コマンドがメモリユニットと関連するターゲットメモリボリュームを示す場合にはメモリユニットはアクティブなままとなる。

【0008】

本開示の実施形態は、他の利点の中でも、従前のメモリシステム、メモリ装置、およびメモリ方法と比較して、多様なメモリ動作と関連して共有されたバスを介して、メモリシステムコントローラと、システムコントローラに結合されたメモリ装置との間の相互作用を削減する等の多様な利点を提供できる。例として、システムコントローラとメモリ装置との間の相互作用を削減することにより、メモリシステムを動作することに関連する電力消費を削減できる。

【0009】

本開示の以下の発明を実施するための形態では、本開示の一部を形成し、本開示の1つまたは複数の実施形態がどのようにして実践され得るのかを実例として示す添付図面が参照される。これらの実施形態は、当業者が本開示の実施形態を実践できるようにするほど詳細に説明されており、他の実施形態が活用され得ること、および本開示の範囲から逸脱することなくプロセスの、電気的な、および/または構造上の変更が加えられてよいことが理解されるべきである。本明細書に示されるように、特に図面の参照数字に関して、指示子「N」および「M」は、そのように示されたいくつかの特定の特長を、本開示の1つまたは複数の実施形態とともに含むことができることを示す。本明細書で示されるように、「いくつかの」何かは1つまたは複数のかかるものを指すことがある。

【0010】

本明細書の図は、1つまたは複数の最初の数字が図面番号に相当し、残りの数字が図中の要素または構成要素を識別する番号付けの慣例に従う。他の図間の類似する要素または構成要素は、類似する数字を使用することによって特定され得る。たとえば、104は図1の要素「04」を参照してよく、類似要素は図2では204と参照されてよい。理解されるように、本明細書中の多様な実施形態に示される要素は、本開示のいくつかの追加の実施形態を提供するために追加、交換、および/または排除できる。さらに、理解されるように、図中に提供される要素の比率および相対的な尺度は、本発明の実施形態を示すことを目的としており、制限的な意味で解釈されるべきではない。

【0011】

図1は、本開示のいくつかの実施形態にかかるコンピューティングシステム100の機能ブロック図である。コンピューティングシステム100は、ホスト102に通信で結合されている、たとえばいくつかのソリッドステートドライブ(SSD)等のメモリシステム104を含む。メモリシステム104は、たとえばバックプレーンまたはバス等のインタフェース106を通してホスト102に通信で結合できる。

【0012】

ホスト102の例は、他のホストシステムの中でも、ラップトップコンピュータ、パーソナルコンピュータ、デジタルカメラ、デジタル記録装置およびデジタル再生装置、携帯電話、PDA、メモリカード読み取り装置、ならびにインタフェースハブを含むことがある。インタフェース106は、他のコネクタおよびインタフェースの中でも、シリアルATA(SATA)、周辺構成要素相互接続エクスプレス(PCIe)、またはユニバーサルシリアルバス(USB)を含むことがある。ただし、一般には、ホストインタフェース106は、メモリシステム104とホスト102との間で制御信号、アドレス信号、データ信号、および他の信号を受け渡すためのインタフェースとなる場合がある。

【0013】

ホスト102は、メモリおよびバスの制御装置107に通信で結合されているいくつかのプロセッサ105(たとえば、パラレルプロセッサ、コプロセッサ等)を含むことがある。プロセッサ105は、たとえばいくつかの特定用途向け集積回路(ASIC)等のいくつかのマイクロプロセッサ、またはいくつかの他のタイプの制御回路網である場合がある。コンピューティングシステム100の他の構成要素もプロセッサを有してよい。メモリおよびバスの制御装置107は、たとえば動的ランダムアクセスメモリ(DRAM)1

10

20

30

40

50

11、グラフィックユーザインタフェース118、および/または他のユーザインタフェース(たとえば、ディスプレイモニタ、キーボード、マウス等)等、それに直接的に通信で結合されるメモリ構成要素および他の構成要素を有することがある。

【0014】

メモリおよびバスの制御装置107は、それに通信で結合される周辺およびバスの制御装置109を有することもあり、周辺およびバスの制御装置109は、たとえば、不揮発性メモリホスト制御インタフェース(NVMHCI)フラッシュメモリ117、ユニバーサルシリアルバス(USB)インタフェースを使用するフラッシュドライブ119、および/またはメモリシステム104等のいくつかの装置に接続できる。読者が理解するように、メモリシステム104は、いくつかの異なるコンピューティングシステム内でハードディスクドライブ(HDD)に加えて、またはハードディスクドライブ(HDD)の代わりに使用できる。図1に示されているコンピューティングシステム100は、かかるシステムの一例である。ただし、本開示の実施形態は、図1に示される構成に制限されていない。

10

【0015】

エンタープライズソリッドステートストレージ機器は、現在たとえば毎秒100MB、毎秒100K入力/出力(IOPS)等のテラバイトの記憶実行能力および高速実行能力によって特徴付けることができるクラスのメモリシステムである。本開示のいくつかの実施形態によると、エンタープライズソリッドステートストレージ機器は、ソリッドステートドライブ(SSD)構成要素を使用して構成できる。たとえば、図1に関して、メモリシステム104は、いくつかの構成要素SSDを使用して実装されるエンタープライズソリッドステートストレージ機器であってよく、いくつかのSSDは、メモリシステムコントローラ(たとえば、図2に示されるメモリシステムコントローラ215)によってメモリシステムとして操作されている。

20

【0016】

図2は、本開示のいくつかの実施形態に従ってメモリを制御するように構成されたシステム200の一部のブロック図である。システム200は、たとえばSSDである場合があるメモリシステム204を含む。メモリシステム204は、ホストインタフェース206を介してホスト202に結合することができ、メモリシステムコントローラ215(たとえば、メモリ制御回路網、ファームウェア、および/ソフトウェア)、ならびにシステムコントローラ215に結合されるいくつかのメモリ装置230-1、. . .、230-Nを含むことがある。いくつかの実施形態では、メモリコントローラ215は、プリント基板に結合される特定用途向け集積回路(ASIC)である場合がある。

30

【0017】

メモリシステム204は、メモリ装置230-1、. . .、230-Nとシステムコントローラ215との間で多様な信号(たとえば、データ信号、制御信号、および/またはアドレス信号)を送信/受信するためにバス220を含む。図2に示されている例は単一のバス220を含むが、メモリシステム204は、いくつかの実施形態では別個のデータバス(DQバス)、制御バス、およびアドレスバスを含むことがある。バス220は、いくつかのメモリ装置230-1、. . .、230-Nによって共有され、オープンNANDフラッシュインタフェース(ONFI)、コンパクトフラッシュ(登録商標)インタフェース、マルチメディアカード(MMC)、セキュアデジタル(SD)、CE-ATA、業界規格アーキテクチャ(ISA)、マイクロチャネルアーキテクチャ(MSA)、拡張ISA(EISA)、インテリジェントドライブエレクトロニクス(IDE)、VESALocalバス(VLB)、周辺構成要素相互接続(PCI)、カードバス、ユニバーサルシリアルバス(USB)、アドバンスドグラフィックスポート(AGP)、パーソナルコンピュータメモリカードインターナショナルアソシエーションバス(PCMCIA)、ファイファイ(IEEE1394)、およびスモールコンピュータシステムインタフェース(SCSI)に関連するバス構造を含むが、これらに限定されない多様なタイプのバス構造を有することがある。

40

50

【0018】

図2に示されるように、メモリ装置230-1、...、230-Nは、メモリシステム204に記憶ボリュームを提供するいくつかのメモリユニット212-1、212-2、...、212-Mを含むことがあるいくつかのダイおよび/またはチップを含むことがある。メモリユニット212-1、212-2、...、212-Mは、ロジカルユニット(LUN)と呼ばれることがあり、その上の周辺回路網とともにいくつかのメモリアレイを含むことがある。いくつかの実施形態では、メモリユニット212-1、212-2、...、212-Mは、メモリシステムコントローラ215および/またはバス220を介したホスト202からのコマンドを独立して実行し、メモリシステムコントローラ215および/またはホスト202にステータスをレポートできるメモリシステム204の最小構成要素である場合がある。メモリユニット212-1、212-2、...、212-Mは、たとえば、NANDアーキテクチャを有するフラッシュメモリアレイを含むことがある。ただし、実施形態は、特定のタイプのメモリアレイまたはアレイアーキテクチャに制限されない。

10

【0019】

図3から図6に関連してさらに以下に説明されるように、メモリ装置230-1、...、230-N内部のメモリユニット212-1、212-2、...、212-Mは、いくつかのターゲットボリュームに編成できる。いくつかの実施形態では、各ターゲットボリュームは、メモリ装置230-1、...、230-Nの内の1つの内部でイネーブル信号(たとえば、コントローラ215から受信されるチップイネーブル(CE)信号)を共有するメモリユニットの集合である場合がある。たとえば、メモリ装置230-1、...、230-Nに関連するいくつかのイネーブル端子(たとえば、ピン)はともに結合することができ、コントローラ215の1つのイネーブル端子(たとえば、ピン)に結合されてよい。このようにして、コントローラの単一のチップイネーブルピンは、多様な実施形態において、いくつかのメモリ装置230-1、...、230-Nによって共有されてよい。

20

【0020】

当業者が理解するように、チップイネーブル信号の状態はメモリユニットを活性化する(アクティブにする)/非活性化する(非アクティブにする)ために使用できる。たとえば、メモリシステムは、メモリユニットがアクティブ低(アクティブロー)である(たとえば、チップイネーブル信号が低(ロー)状態にあるときに、システムコントローラから受け取られたコマンドをメモリユニットが処理できる)ように構成できる。アクティブ低のメモリユニットの場合、チップイネーブル信号が高(ハイ)状態にあるときにメモリユニットはイナクティブ(非アクティブ)になり(たとえば、選択解除され)、コマンドを処理できない。本開示の実施形態は、特定のチップイネーブル構成を有するメモリユニットに制限されない。本明細書で使用されるように、メモリユニットを活性化することは、ターゲットメモリボリュームおよび/またはメモリユニットと関連するメモリ装置を活性化することを含む場合がある。

30

【0021】

メモリ装置230-1、...、230-N内部のターゲットボリューム(複数の場合がある)は、それに割り当てられた(たとえば、指名された)ボリュームアドレスを有することがある。割り当てられたボリュームアドレスは、以下にさらに説明されるように、共有チップイネーブル信号と関連するターゲットボリュームを識別するために使用できる。

40

【0022】

図3は、本開示のいくつかの実施形態にかかるメモリを制御するように構成されたシステムの一部のブロック図である。図3に示されるメモリシステムは、システムコントローラ325を含む。システムコントローラ325は、いくつかのメモリチャネル全体でアクセスを制御できる。この例では、コントローラ325は、それぞれが各メモリチャネルに対するアクセスを制御するいくつかのチャネルコントローラ327-0、...、327

50

- Nを含む。

【 0 0 2 3 】

図3に示されている例では、システムコントローラ325は、バス320（たとえば、共有データバス、共有アドレスバス、および共有制御バス）を介して第1のメモリ装置330-1および第2のメモリ装置330-2に結合される。メモリ装置330-1および330-2のそれぞれは、4つのメモリユニット312-0から312-3を含む。メモリユニット312-0から312-3はメモリダイである場合があり、メモリ装置330-1および330-2は、例としてマルチチップパッケージである場合がある。この例では、各メモリ装置内部のメモリユニット312-0から312-3は、2つのターゲットボリュームに編成され（たとえば、グループ化され）、1つのターゲットボリュームに含まれるメモリユニットのそれぞれはチップイネーブルピンを共有する。たとえば、メモリ装置330-1内において、メモリユニット312-0および312-1はターゲットボリューム313-0を構成し、メモリユニット312-2および312-3はターゲットボリューム313-1を構成する。同様に、メモリ装置330-2内において、メモリユニット312-0および312-1はターゲットボリューム313-2を構成し、メモリユニット312-2および312-3はターゲットボリューム313-3を構成する。

10

【 0 0 2 4 】

この例では、システムコントローラは、メモリ装置330-1および330-2にCE信号を専ら提供する4つのCEピン328-0（CE0）、328-1（CE1）328-2（CE2）、および328-3（CE3）を含む。たとえば、CE0は、メモリ装置330-1内部のターゲットボリューム313-0と関連するCEピンに結合され、CE1は、メモリ装置330-1内部のターゲットボリューム313-1に関連するCEピンに結合され、CE2は、メモリ装置330-2内部のターゲットボリューム313-2に関連するCEピンに結合され、CE3は、メモリ装置330-2内部のターゲットボリューム313-3に関連するCEピンに結合される。

20

【 0 0 2 5 】

当業者は、CEピンが別々に示されているが、コントローラ325ならびにメモリ装置330-1および330-2が、たとえばバス320の一部である場合がある、信号線を介して接続された多様な他のピンを有することを理解するだろう。図3には示されていないが、チャンネルコントローラ327-0から327-Nのそれぞれは、いくつかのメモリ装置（たとえば、この例では2つ）に結合できる。実施形態は、図3に示される例に制限されない。たとえば、メモリシステムは、1チャンネルあたり2より多いまたは少ないメモリ装置、1メモリ装置あたり2より多いまたは少ないターゲットメモリボリューム等を含むことがある。

30

【 0 0 2 6 】

図3に示されている例では、ターゲットメモリボリューム313-0から313-3のそれぞれは、それに関連付けられた割り当てられたボリュームアドレスを有する。図6に関連してさらに以下に説明されるように、コントローラ325によって提供される（たとえば、発行される）コマンドは、コントローラからいくつかの以後のコマンド（たとえば、次のコマンド）を受け取る、ターゲットメモリボリュームの内の特定のメモリボリュームのボリュームアドレスを示し（たとえば指定し）得る。特定のターゲットボリュームアドレスを示すコマンドは、共有バス320に結合されるメモリ装置のそれぞれによって受け取られる。多様な実施形態では、コマンドによって指定されていないそれらのメモリユニットおよび/または関連するターゲットボリュームは、非選択状態に戻る。本明細書で使用されるように、非選択状態は、たとえば、以下にさらに説明されるように、イナクティブ（非アクティブ）状態または「スヌーピング」（たとえば、傍受）状態である場合がある。いくつかの実施形態では、コマンドによって指定されていないそれらのメモリユニットおよび/または関連するターゲットボリュームは、それらの前の状態に戻る。たとえば、コマンドによって指定されているターゲットメモリボリュームのメモリユニットはアクティブなままとなり、残りのターゲットメモリボリュームと関連するメモリユニットは

40

50

その前の非選択状態に戻る。たとえば、コントローラ 3 2 5 が、共有バス 3 2 0 に結合されるメモリ装置 3 3 0 - 1 および 3 3 0 - 2 の内の特定のメモリ装置内部のターゲットボリュームと（たとえば、ターゲットボリュームと関連する特定のメモリユニット）との相互作用（インタラクション）を維持することを希望するとき、未選択のボリュームを含むそれらのメモリ装置が非選択状態に戻ることができる。どのターゲットボリュームが選択されるのか、および/またはどのようにしてシステムが構成されるのかに応じて、非選択のメモリ装置のメモリユニットは、その前の状態に戻る、またはイナクティブ状態からスリーピング状態に切り替わる、または傍受状態からイナクティブ状態に切り替わる、またはアクティブ状態からイナクティブ状態または傍受状態に切り替わることもある。

【 0 0 2 7 】

図 4 は、本開示のいくつかの実施形態にかかるメモリを制御するように構成されたシステムの一部のブロック図である。図 4 に示される実施形態は、図 3 に示されるメモリシステムと比較して削減されたピン数を提供できる。図 4 に示されるメモリシステムは、システムコントローラ 4 2 5 を含む。システムコントローラ 4 2 5 は、いくつかのメモリチャネル全体でアクセスを制御できる。この例では、コントローラ 4 2 5 は、それぞれがそれぞれのメモリチャネルに対するアクセスを制御する、いくつかのチャネルコントローラ 4 2 7 - 0、. . . . 4 2 7 - 1、. . . . 4 2 7 - N を含む。

【 0 0 2 8 】

図 4 に示す例では、システムコントローラ 4 2 5 は、バス 4 2 0（たとえば、データバス、アドレスバス、および制御バス）を介していくつかのメモリ装置 4 3 0 - 1、. . . . 4 3 0 - M に結合される。本実施形態では、メモリ装置 4 3 0 - 1、. . . . 4 3 0 - M は、4 つのメモリユニット 4 1 2 - 0 から 4 1 2 - 3 を含む。図 3 で説明されたシステムと同様に、この例では、各メモリ装置内部のメモリユニット 4 1 2 - 0 から 4 1 2 - 3 は、2 つのターゲットボリュームに編成され、ターゲットボリュームのメモリユニットのそれぞれはチップイネーブルピンを共有する。たとえば、メモリ装置 4 3 0 - 1 において、メモリユニット 4 1 2 - 0 および 4 1 2 - 1 はターゲットボリューム 4 1 3 - 0 を構成し、メモリユニット 4 1 2 - 2 および 4 1 2 - 3 はターゲットボリューム 4 1 3 - 1 を構成する。同様に、メモリ装置 4 3 0 - M において、メモリユニット 4 1 2 - 0 および 4 1 2 - 1 はターゲットボリューム 4 1 3 - 2 を構成し、メモリユニット 4 1 2 - 2 および 4 1 2 - 3 はターゲットボリューム 4 1 3 - 3 を構成する。

【 0 0 2 9 】

この例では、システムコントローラ 4 2 5 は、メモリ装置 4 3 0 - 1 から 4 3 0 - M に CE 信号を専ら提供する 2 本の CE ピン 4 2 8 - 0 (CE 0) および 4 2 8 - 1 (CE 1) を含む。たとえば、CE 0 は、メモリ装置 4 3 0 - 1 内部のターゲットボリューム 4 1 3 - 0 と関連する CE ピン、およびメモリ装置 4 3 0 - M 内部のターゲットボリューム 4 1 3 - 2 と関連する CE ピンに結合される。また、CE 1 はメモリ装置 4 3 0 - 1 内部のターゲットボリューム 4 1 3 - 1 と関連する CE ピン、およびメモリ装置 4 3 0 - M 内部のターゲットボリューム 4 1 3 - 1 と関連する CE ピンに結合される。このようにして、コントローラ 4 2 5 の単一のチップイネーブルピンを介して提供された単一のチップイネーブル信号は、共通バス 4 2 0 に結合されるいくつかのメモリ装置全体で複数のターゲットメモリボリュームによって共有できる。

【 0 0 3 0 】

図 5 は、本開示のいくつかの実施形態に従ってメモリを制御するように構成されたシステムの一部のブロック図である。図 5 に示される実施形態は、いくつかのメモリ装置 5 3 0 - 0、5 3 0 - 1、5 3 0 - 2、および 5 3 0 - 3 を含み、本開示のいくつかの実施形態に従ってメモリを制御するための例のトポロジを示す。メモリ装置 5 3 0 - 0、5 3 0 - 1、5 3 0 - 2、および 5 3 0 - 3 は、それぞれ単一メモリボリューム装置である場合がある。ただし、実施形態はそのように制限されていない。例として、メモリ装置 5 3 0 - 0、5 3 0 - 1、5 3 0 - 2、および 5 3 0 - 3 は、NAND メモリ装置である場合がある。

10

20

30

40

50

【 0 0 3 1 】

図5に示される例では、装置530-0、530-1、530-2、および530-3のそれぞれは、入力ピン539および出力ピン541を含む。たとえば、装置530-0は、入力ピン539-0(ENi__0)および出力ピン541-0(ENo-0)を含み、装置530-1は入力ピン539-1(ENi__1)および出力ピン541-1(ENo__1)を含み、装置530-2は入力ピン539-2(ENi__2)および出力ピン541-2(ENo__2)を含み、装置530-3は、入力ピン539-3(ENi__3)および出力ピン541-3(ENo-3)を含む。

【 0 0 3 2 】

示されるように、メモリ装置530-0、530-1、530-2、および530-3の入力ピン539および出力ピン541は、デジチェーン構成を作成するために結合できる。この例では、チェーンの最初の装置530-0の入力ピン539-0およびチェーンの最後の装置530-3の出力ピン541-3は接続されていない(NC)。図5に示されるデジチェーン構成においては、他の装置の入力ピン539が、前段の装置の出力ピン541に接続されている。本開示の実施形態は、図5に示されるトポロジーに制限されていない。たとえば、実施形態はデジチェーントポロジーに制限されない。

【 0 0 3 3 】

図5に示されるように、および図4に関連して上述されたように、メモリ装置530-0、530-1、530-2、および530-3のそれぞれは、システムコントローラ(たとえば、図4に示されるシステムコントローラ425)からの共通のCEピンを共有する。たとえば、システムコントローラからのチップイネーブル信号544(CE0__N)は、メモリ装置530-0、530-1、530-2、および530-3のそれぞれのチップイネーブルピン538-1(CE1)によって共有される。メモリ装置530-0、530-1、530-2、および530-3のそれぞれのCE1ピンは、特定のターゲットメモリボリューム513-0、513-1、513-2、513-3と関連している(たとえば、対応している)。上述されたように、ターゲットボリュームとは、メモリ装置内部で特定のCE信号を共有するいくつかのメモリユニット(たとえば、LUN)のことを称したものである。ターゲットボリュームのそれぞれにはボリュームアドレスが指定できる。この例では、ターゲットボリューム513-0には、ボリュームアドレスH0N0が割り当てられ、ターゲットボリューム513-1にはボリュームアドレスH0N1が割り当てられ、ターゲットボリューム513-2にはボリュームアドレスH0N2が割り当てられ、ターゲットボリューム513-3にはボリュームアドレスH0N3が割り当てられる。いくつかの実施形態では、ボリュームアドレスは、メモリシステムの初期化時に特定のターゲットボリュームに割り当てることができる。

【 0 0 3 4 】

動作中、入力ピン539-0、539-1、539-2、および539-3の状態、ならびにチップイネーブルピン538-1の状態(たとえば、チップイネーブル信号544の状態に基づいた)が、各メモリ装置530-0、530-1、530-2、および530-3がコマンドを受け入れることができるかどうかを決定する。たとえば、特定の装置の入力ピン539が高(ハイ)であり、この装置のCEピン538-1が低(ロー)である場合には、この特定の装置はコマンドを受け入れることができる。特定の装置のイネーブル入力が低である、またはCEピン538-1が高である場合には、この装置はコマンドを受け入れることができない。

【 0 0 3 5 】

いくつかの実施形態では、システムコントローラは、いくつかの以後のコマンドを処理する特定のターゲットボリュームのターゲットボリュームアドレスを示すコマンドを発行できる。たとえば、ボリューム選択コマンドは、システムコントローラからの特定のチップイネーブル信号544を共有する特定のターゲットボリューム(たとえば、513-0、513-1、513-2、513-3)を選択するためにいくつかのメモリ装置530-0、530-1、530-2、および530-3に対して(たとえば、共有されたバス

10

20

30

40

50

を介して)システムコントローラによって発行できる。このようにしてボリュームアドレス指定は、メモリ装置530-0、530-1、530-2、および530-3の特定のターゲットボリュームにアクセスするために使用できる。

【0036】

いくつかの実施形態では、(図4に示される共有バス420等の共有バスを介して)システムコントローラから受信されるチップイネーブル信号(たとえば、チップイネーブル信号544)が、メモリ装置(たとえば、530-0、530-1、530-2、および530-3)内のいくつかのメモリユニットを活性化するために使用される。たとえば、メモリ装置530-0、530-1、530-2、および530-3内のメモリユニットがアクティブ低であると仮定する場合、それらは第1の状態から第2の状態へ(たとえば、高状態から低状態へ)切り替わるチップイネーブル信号544を検出することに応じて活性化できる。

10

【0037】

コマンドは、メモリ装置530-0、530-1、530-2、および530-3の活性化された(アクティブにされた)いくつかのメモリユニットに以後提供できる。いくつかの実施形態では、コマンドは、(たとえばターゲットメモリボリュームアドレスを介して)いくつかのメモリ装置530-0、530-1、530-2、および530-3のうちの特定のメモリ装置内部のいくつかのターゲットメモリボリューム(たとえば、513-0、513-1、513-2、513-3)のうちの1つのターゲットメモリボリュームを示すことができる。コマンドによって示されるターゲットメモリボリュームは、アクティブの(たとえば、選択された)ままとなり、そのボリュームがその前の状態でアクティブであった場合には、残りのメモリボリュームはそれらの前の状態(たとえば、チップイネーブル信号の切替えを検出することに応じて応答した活性化の前のそのそれぞれの非選択状態)に戻る。

20

【0038】

チップイネーブル信号の切替えに反応した活性化の後に受信されたコマンドがターゲットボリュームを示さない(たとえば、コマンドがボリューム選択コマンドではない)場合には、メモリ装置530-0、530-1、530-2、および530-3のそれぞれ、ならびにその中のターゲットメモリボリュームはそれらの前の状態に戻る。このように、いくつかのメモリボリュームの内の前に選択されたメモリボリューム(たとえば、イネーブル信号の切替え検出前に選択されたメモリボリューム)が選択されたままとなる。また、前に非選択だったそれらのメモリボリュームは非選択状態に戻る。さらに以下に説明されるように、非選択状態は、いくつかの実施形態で、(たとえば、オンダイターミネーション機能が有効である場合)、たとえば、イナクティブ(非アクティブ)状態、または「スヌーピング」(たとえば、傍受)状態を含むことがある。オンダイターミネーション(ODT)は、共有バスのいくつかの信号線に対して終端処理を実行するためにいくつかのメモリユニット(たとえば、ダイ)を使用することを指す。ODTは、共有バス全体で信号と関連する信号品位を改善できる。例として、特定のメモリボリューム選択時にいくつかのメモリユニットが終端処理機能を実行するように、いくつかのメモリユニットを特定のメモリボリュームのためのターミネータとして割り当てることができる。例として、特定のボリュームが選択されるとき、その特定のボリュームのターミネータとして割り当てられるメモリユニットは、選択されたボリュームに提供されたコマンドを監視する傍受状態に入ることができる。ターミネータとして割り当てられたメモリユニットは、終端処理機能を実行するために、特定の動作(たとえば、読取りコマンド、書込みコマンド等)を検出すると活性化できる。メモリユニットは、次いで、それがアクティブのままとならないように傍受状態に戻ることができる。傍受状態でメモリボリュームを維持すると、他の利点の中でもメモリボリュームをアクティブ状態に維持することに比較して、システムの電力使用量を削減できる。

30

40

【0039】

図6は、本開示のいくつかの実施形態に従ってメモリを制御するための方法601を示

50

すフローチャートである。方法601は、図1から図5で上述されたシステム等の多様なメモリシステムに適用できる。一例として、方法601は、共有バスを介してシステムコントローラに結合されるいくつかのメモリ装置に適用できる。この例では、いくつかのメモリ装置は、システムコントローラからのチップイネーブル信号(CE_n)を共有し、アクティブ低である(たとえば、装置のメモリユニットは、チップイネーブル信号の低信号状態の検出時に活性化する)。メモリユニット(たとえば、LUN)は、それぞれ、独立してコマンドを実行して、システムコントローラにステータスを報告することができる。いくつかの実施形態では、ボリュームアドレスは、メモリ装置内部のターゲットボリュームに割り当てることができる。ターゲットメモリボリュームは、メモリ装置(たとえば、パッケージ)内部でチップイネーブル信号を共有するいくつかのメモリユニットを含むことができる。いくつかの実施形態では、ボリュームアドレスは、システムの初期化時に(たとえば、電源投入時に)ターゲットメモリボリュームに割り当てることができる。いくつかの実施形態で、割り当てられたボリュームアドレスはリセットコマンドの前後で維持することができ、異なるボリュームアドレスは、以後のシステム初期化時にターゲットメモリボリュームに割り当てることができる。

【0040】

方法601の場合、チップイネーブル信号を共有するメモリユニットは、共有チップイネーブル信号が低(ロー)状態から高(ハイ)状態へ遷移することにより、それぞれ前の状態からイナクティブ(たとえば、選択解除)状態になることがある。例として、チップイネーブル信号が高状態に遷移する前に、共有バス上のメモリボリューム(および、したがっていくつかのメモリユニット)の内の1つが(たとえば、それに受信された低チップイネーブル信号のために)アクティブになり、システムコントローラ(たとえば、コントローラからの処理コマンド)によって使用されている。チップイネーブル信号が低状態から高状態に遷移すると、その前にアクティブであったメモリボリュームおよびチップイネーブル信号を共有する他のそれぞれのメモリボリュームが非活性化される(非アクティブになる)。ブロック660で示されるように、メモリボリュームは、チップイネーブル信号が高(たとえば、イナクティブ(非アクティブ))から低(たとえば、アクティブ)状態に切り替わるのを待機する。

【0041】

ブロック665で示されるように、チップイネーブル信号の高状態から低状態への切替え(たとえば、遷移)の検出時、チップイネーブル信号を共有するメモリボリュームが活性化し(アクティブになり)、システムコントローラによって発行される次のサイクルのサイクルタイプ(たとえば、コマンド、アドレス、またはデータ)を決定する。いくつかの実施形態では、サイクルが(たとえば、アドレスサイクルおよび/またはデータサイクルとは対立する)コマンドサイクルでなければ、前に選択されたメモリボリューム(たとえば、アクティブであり、チップイネーブル信号の高状態への遷移前にコントローラによって使用されていたメモリボリューム)が再選択され(残りのメモリボリュームが選択解除される)。たとえば、ブロック675で示されるように、前に選択されたメモリボリューム(たとえば、前に選択されたメモリボリュームを含むメモリ装置)が、サイクルタイプがアドレスサイクル、データ入力サイクル、またはデータ出力サイクルであることに応答して、再選択される。また、ブロック675で示されるように、再選択されたターゲットメモリボリュームに対して前に割り当てられたターミネータは傍受状態に置かれる。つまり、前に選択されたメモリボリュームが再選択されるので、選択されたボリュームに対するターミネータとして前に割り当てられたそれらのメモリユニットは、傍受状態であるそれらの前の状態に戻る。このようにして、選択されたボリュームに対するターミネータとして割り当てられていたメモリユニットは、選択されたボリュームに提供されるコマンドを監視し、適切な状況でODT機能を実行する。ターミネータは、再選択されたターゲットメモリボリューム内部の、または非選択のターゲットメモリボリューム内部のいくつかのメモリユニット内部のいくつかのメモリユニット(たとえば、LUN)である場合がある。

10

20

30

40

50

【 0 0 4 2 】

図6に示されている例では、サイクルタイプがコマンドサイクルである(たとえば、コントローラがアドレスサイクルまたはデータサイクルではなくコマンドサイクルを実行する)場合、次いでブロック670で、システムコントローラによって提供されるコマンドのタイプに関して決定を下すことができる。いくつかの実施形態では、コントローラによって提供されるコマンドは、それに受け取られたいくつかの後のコマンドを実行するために対象とされたいくつかのメモリ装置内の特定のメモリ装置内部でのターゲットメモリボリュームを示してよい。いくつかの実施形態では、コマンドがいくつかのメモリ装置のうち特定のメモリ装置内のターゲットメモリボリュームを示していないことに応答して、いくつかのメモリ装置のそれぞれはそれらの前の状態に戻る。多様な実施形態では、コントローラによって提供されるその後のコマンド(複数の場合がある)は、いくつかのメモリ装置の内の1つの内部の示されているターゲットメモリボリュームと関連する特定のメモリユニットによって実行されなければならない。

10

【 0 0 4 3 】

いくつかの実施形態では、コントローラによって発行され、いくつかのメモリボリュームによって受信されたコマンドが特定のタイプのコマンドでなければ、前に選択されたメモリボリュームが再選択される。たとえば、ブロック675に示されるように、前に選択されたメモリボリューム(たとえば、前に選択されたメモリボリュームを含むメモリ装置)が、コマンドがボリューム選択コマンド以外のコマンド(たとえば、読取りコマンド、書込みコマンド、消去コマンド、または他のコマンド等のコマンド)であることに応答して、再選択される。本明細書で使用されるように、ボリューム選択コマンドは、コントローラによって発行されるその後のコマンドを受け取るために特定のターゲットメモリボリューム(たとえば、その後のコマンドが向けられるメモリユニットを含む特定のターゲットメモリボリューム)のボリュームアドレスを示す、コントローラによって発行されるコマンドを指す。いくつかの実施形態では、ボリューム選択コマンドは、高状態から低状態へのチップイネーブル信号の切替えを介していくつかのメモリボリュームを活性化(アクティブに)した後に、システムコントローラによって提供される最初のコマンドである。

20

【 0 0 4 4 】

ブロック680で示されるように、コマンド(たとえば、ボリューム選択コマンド)によって示される特定のターゲットメモリボリュームが、システムコントローラによって選択される。このようにして、選択されたターゲットメモリボリュームをその中に有するメモリ装置が活性化され、残りのメモリ装置はそれらのそれぞれの前の状態に戻る。このようにして、選択されたターゲットボリュームはアクティブなままとなり、この選択されたターゲットボリュームに対応するいくつかのメモリユニットは、(たとえば、チップイネーブル信号の高状態への切り替えによる)選択されたターゲットボリュームのその後の非活性化まで、システムコントローラからのその後のコマンドを実行する。また、いくつかの実施形態では、選択されたターゲットボリュームに対するターミネータは、この選択されたターゲットボリュームが選択されている間、傍受状態に置かれることができる。

30

【 0 0 4 5 】

ブロック685で、方法601は、メモリユニットが、現在選択されているターゲットメモリボリュームであるかどうか、またはメモリユニットが傍受状態にあるかどうかを決定することを含む。メモリユニットが現在選択されているターゲットメモリボリュームの一部ではなく、かつ、傍受状態にない場合、次いでブロック690に示されるように、メモリユニットは選択解除し、チップイネーブル信号の高状態から低状態への次の遷移までイナクティブ(非アクティブ)のままとなる。メモリユニットが現在選択されているターゲットメモリボリュームの一部である場合、ブロック695で示されるように、メモリユニットは、コマンドが適用可能であれば、そのコマンドを実行するように移行する。また、メモリシステムが、有効になったオンダイターミネーション機能を含む場合、次いで選択されたボリュームのメモリユニットに対する適切なODTアクションを実行できる。メモリユニットが傍受状態にあり、かつ、非選択ターゲットメモリボリュームであると判断

40

50

された場合、ブロック699で示されるように、メモリユニットは非選択ターゲットメモリボリューム上のメモリユニットに対する適切なODTアクションを実行するように移行することができる。本開示の実施形態は、図6に示される例に制限されていない。

【0046】

(結論)

本開示は、メモリを制御するためのシステム、装置、メモリコントローラ、および方法を含む。かかる1つの方法は、メモリ装置のメモリユニットを活性化する(アクティブにする)ことと、メモリユニットを活性化した後に、メモリ装置にコマンドを提供することと、コマンドがターゲットメモリボリュームを示さない場合にメモリユニットを前の状態に戻すことを含み、コマンドがメモリユニットと関連するターゲットメモリボリュームを示す場合にはメモリユニットはアクティブなままとなる。

10

【0047】

要素が別の要素「の上に」、「に接続して」、または「と結合して」いると呼ばれるとき、要素は他の要素の上にじかにある、他の要素と直接的に接続されている、もしくは他の要素と直接的に結合している、または介入する要素が存在している場合があることが理解されるだろう。対照的に、要素が別の要素「の上にじかに」、「に直接的に接続して」、または「と直接的に結合して」いると呼ばれるとき、介入する要素または層は存在していない。本明細書に使用されるように、用語「および/または」は、関連する一覧されている項目の内の1つまたは複数のありとあらゆる結合を含む。本明細書に使用されるように、用語「または」は、特に断りのない限り、論理的に包括的なまたはを意味する。すなわち、「AまたはB」は(Aだけ)、(Bだけ)または(AとBの両方)を含むことがある。言い換えると、「AまたはB」は「Aおよび/またはB」または「AおよびBの1つまたは複数」を意味することがある。

20

【0048】

特定の実施形態が本明細書で示され、説明されてきたが、当業者は、同じ結果を達成するために計算された構成が示されている特定の実施形態に代わることができることを理解するだろう。本開示は、本開示の1つまたは複数の実施形態の適応または変形を対象とすることを目的としている。上記説明が、制限的な様式ではなく示されている様式で行われたと理解されるべきである。上記の実施形態、および本明細書に特に説明されていない他の実施形態の組合せは、上記説明を検討すると当業者に明らかとなるだろう。本開示の1つまたは複数の実施形態の範囲は、上記の構造および方法が使用される他の応用を含む。したがって、本開示の1つまたは複数の実施形態の範囲は、かかる特許請求の範囲が権利がある均等物の全範囲とともに、添付の特許請求の範囲に関して決定されるべきである。

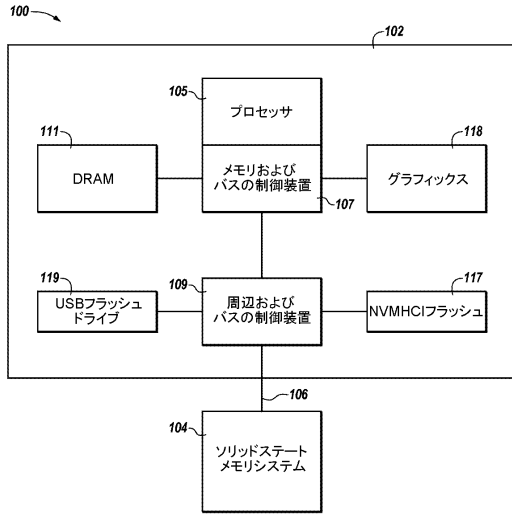
30

【0049】

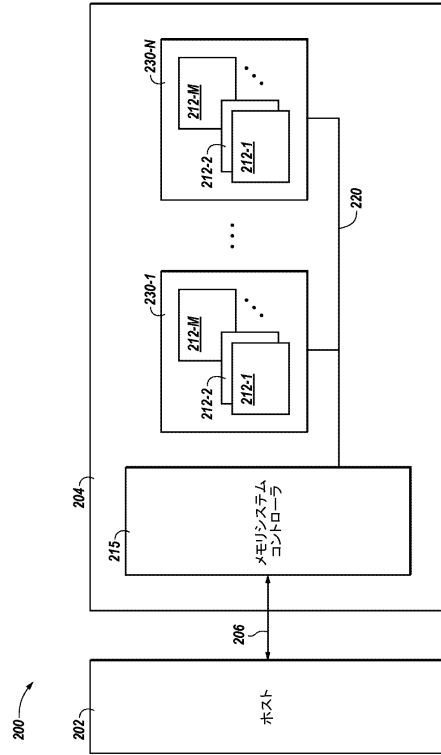
上記の発明を実施するための形態では、いくつかの特長は、開示を合理化するために単一の実施形態にまとめて分類されている。この開示方法は、本開示の開示されている実施形態が、各請求項に明示的に列挙されるよりも多い特長を使用しなければならないという意図を反映するとして解釈されるべきではない。むしろ、以下の特許請求の範囲が反映するように、本発明の主題は、単一の開示された実施形態のすべての特長より少ないところにある。したがって、続く特許請求の範囲は、発明を実施するための形態の中に本書によって組み込まれ、各請求項は別個の実施形態としてそれ自体で成立している。

40

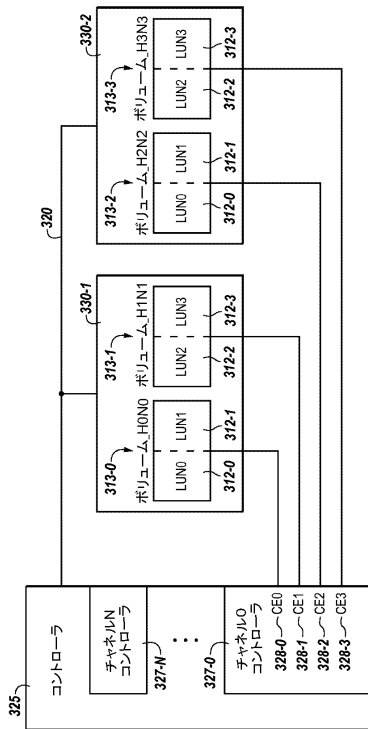
【図1】



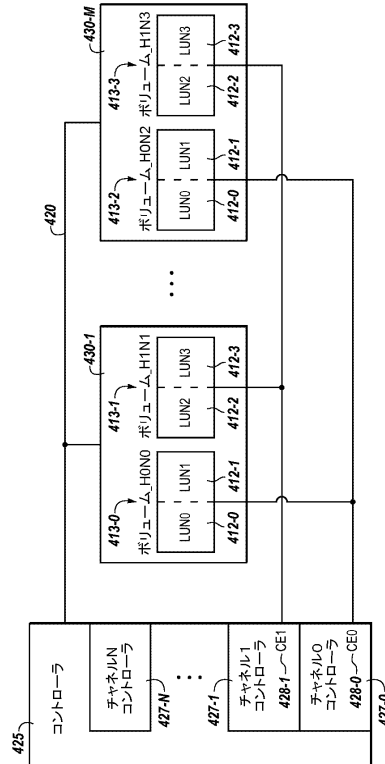
【図2】



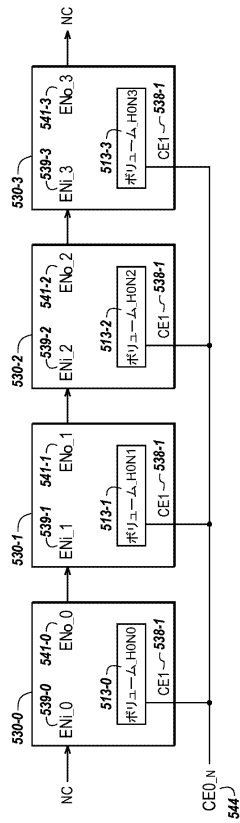
【図3】



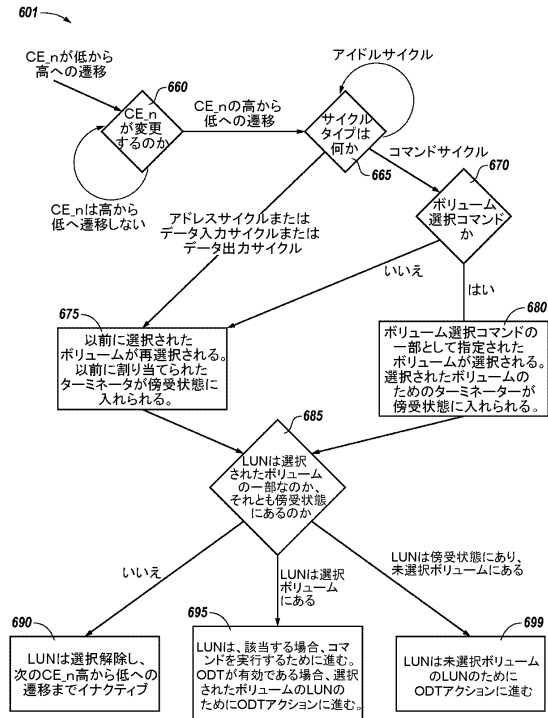
【図4】



【図5】



【図6】



フロントページの続き

- (56)参考文献 特表2010-519626(JP,A)
国際公開第2008/101246(WO,A2)
特開2006-172700(JP,A)
米国特許出願公開第2006/0126404(US,A1)
特開2000-315185(JP,A)
特表2006-516059(JP,A)
特表2014-509025(JP,A)
米国特許第6338113(US,B1)
特開平11-353228(JP,A)

(58)調査した分野(Int.Cl., DB名)

G06F 12/00 - 12/06
G06F 13/16 - 13/18
G06F 3/06
G06F 3/08