

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)(11) 공개번호 10-2020-0079879
(43) 공개일자 2020년07월06일

(51) 국제특허분류(Int. Cl.)

H01L 29/739 (2006.01) H01L 21/02 (2006.01)

H01L 29/10 (2006.01) H01L 29/417 (2006.01)

H01L 29/73 (2006.01)

(52) CPC특허분류

H01L 29/7391 (2013.01)

H01L 21/02126 (2013.01)

(21) 출원번호 10-2018-0169535

(22) 출원일자 2018년12월26일

심사청구일자 2018년12월26일

(71) 출원인

서강대학교산학협력단

서울특별시 마포구 백범로 35 (신수동, 서강대학교)

(72) 발명자

최우영

서울특별시 마포구 신수로 15, 102동 403호(현석동, 강변힐스테이트)

이장우

경기도 안양시 동안구 부림로 55, 304동 403호(평촌동, 초원대원아파트)

신성운

서울특별시 양천구 목동동로 50, 1224동 1206호(신정동, 목동신시가지아파트12단지)

(74) 대리인

정부연

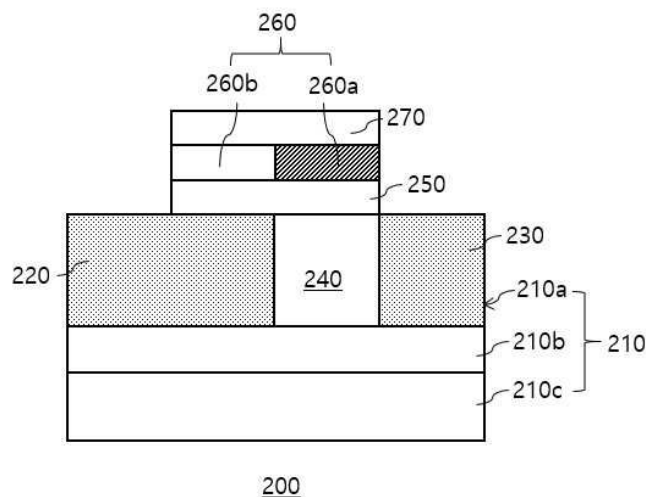
전체 청구항 수 : 총 15 항

(54) 발명의 명칭 터널링 전계효과 트랜지스터 및 이의 제조방법

(57) 요약

본 발명은 터널링 전계효과 트랜지스터 및 이의 제조방법에 관한 것이다. 본 발명은 반도체 기판 상에 형성된 게이트, 반도체 기판 내에 게이트와 일정 영역 중첩되어 형성된 소스 영역, 반도체 기판 내에 소스 영역과 이격되어 형성된 드레인 영역, 반도체 기판 내에 소스 영역과 드레인 영역 사이에 형성된 채널 영역, 반도체 기판과 게이트 사이에 구비되고, 게이트와 채널 영역이 중첩된 영역에 대응하여 형성된 제1 유전체층 및 게이트와 소스 영역이 중첩된 영역에 대응하여 형성된 제2 유전체층을 포함하는 유전체층을 포함한다.

대표도 - 도2



200

(52) CPC특허분류

H01L 21/02164 (2013.01)
H01L 21/02175 (2013.01)
H01L 29/1025 (2013.01)
H01L 29/41725 (2013.01)
H01L 29/7311 (2013.01)

이 발명을 지원한 국가연구개발사업

과제고유번호 201841016
부처명 과학기술정보통신부
연구관리전문기관 한국산업기술평가관리원
연구사업명 전자정보디바이스산업원천기술개발(정보화)
연구과제명 초저전력 로직응용을 위한 SiGe 다중 적층 채널 GAA TFET 개발
기 여 율 0.5/1
주관기관 아주대학교산학협력단
연구기간 2018.04.01 ~ 2018.12.31

이 발명을 지원한 국가연구개발사업

과제고유번호 201839041
부처명 과학기술정보통신부
연구관리전문기관 정보통신기술진흥센터
연구사업명 정보통신기술인력양성(R&D)
연구과제명 인공지능 서비스 실현을 위한 지능형 반도체 설계 핵심기술 개발
기 여 율 0.5/1
주관기관 서강대학교산학협력단
연구기간 2018.06.01 ~ 2019.02.28

명세서

청구범위

청구항 1

반도체 기판 상에 형성된 게이트;

상기 반도체 기판 내에 상기 게이트와 일정 영역 중첩되어 형성된 소스 영역;

상기 반도체 기판 내에 상기 소스 영역과 이격되어 형성된 드레인 영역;

상기 반도체 기판 내에 상기 소스 영역과 상기 드레인 영역 사이에 형성된 채널 영역; 및

상기 반도체 기판과 상기 게이트 사이에 구비되고, 상기 게이트와 상기 채널 영역이 중첩된 영역에 대응하여 형성된 제1 유전체층 및 상기 게이트와 상기 소스 영역이 중첩된 영역에 대응하여 형성된 제2 유전체층을 포함하는 터널링 전계효과 트랜지스터.

청구항 2

제1항에 있어서, 상기 제1 및 제2 유전체층은

상기 소스 영역과 상기 채널 영역 간의 경계면을 기준으로 분리되어 형성된 것을 특징으로 하는 터널링 전계효과 트랜지스터.

청구항 3

제1항에 있어서, 상기 제1 유전체층은

상기 제2 유전체층보다 낮은 유전율을 갖는 물질을 포함하는 것을 특징으로 하는 터널링 전계효과 트랜지스터.

청구항 4

제3항에 있어서, 상기 제1 유전체층은

실리콘 산화막(SiO_2) 및 실리콘 옥시나이트라이드(SiON) 중 적어도 어느 하나를 포함하는 것을 특징으로 하는 터널링 전계효과 트랜지스터.

청구항 5

제3항에 있어서, 상기 제2 유전체층은

스트론튬 산화막(SrO), 알루미늄 산화막(Al_2O_3), 마그네슘 산화막(MgO), 스칸듐 산화막(Sc_2O_3), 가돌리늄 산화막(Gd_2O_3), 이트륨 산화막(Y_2O_3), 사마륨 산화막(Sm_2O_3), 하프늄 산화막(HfO_2), 지르코늄 산화막(ZrO_2), 티타늄 산화막(TiO_2), 탄탈 산화막(Ta_2O_5), 바륨 산화막(BaO) 및 비스무스 산화막(Bi_2O_3) 중 선택된 어느 하나의 단일막 또는 2개 이상의 복수로 적층된 복합막 중 어느 하나를 포함하는 것을 특징으로 하는 터널링 전계효과 트랜지스터.

청구항 6

제1항에 있어서, 상기 소스 영역은

상기 게이트의 일 측면으로부터 상기 게이트의 하부까지 연장되어 형성된 것을 특징으로 하는 터널링 전계효과 트랜지스터.

청구항 7

제6항에 있어서, 상기 드레인 영역은

상기 게이트의 타 측면에 형성되고, 상기 소스 영역과 다른 타입의 불순물로 도핑된 것을 특징으로 하는 터널링 전계효과 트랜지스터.

청구항 8

제1항에 있어서,

상기 반도체 기판 상에 상기 게이트와 중첩되는 상기 소스 영역 및 채널 영역에 접하여 형성된 에피 채널층을 더 포함하는 것을 특징으로 하는 터널링 전계효과 트랜지스터.

청구항 9

제8항에 있어서, 상기 에피 채널층은

실리콘(Si), 게르마늄(Ge) 및 이들의 조합 중 적어도 어느 하나를 포함하는 것을 특징으로 하는 터널링 전계효과 트랜지스터.

청구항 10

반도체 기판 내에 소스 영역, 드레인 영역 및 채널 영역을 형성하는 단계; 및

상기 반도체 기판 상부에 상기 소스 영역의 일부 및 상기 채널 영역에 중첩되고, 유전체층 패턴 및 게이트 물질층 패턴이 적층된 게이트 스택을 형성하는 단계를 포함하고,

상기 유전체층 패턴은 상기 소스 영역과 상기 채널 영역 간의 경계면을 기준으로 상기 채널 영역 상에 형성된 제1 유전체층 패턴 및 상기 소스 영역 상에 형성된 제2 유전체층 패턴을 포함하고,

상기 제1 유전체층 패턴은 상기 제2 유전체층 패턴보다 낮은 유전율을 갖는 것을 특징으로 하는 터널링 전계효과 트랜지스터의 제조방법.

청구항 11

제10항에 있어서, 상기 제1 유전체층 패턴은

실리콘 산화막(SiO_2) 및 실리콘 옥시나이트라이드(SiON) 중 적어도 어느 하나를 포함하는 것을 특징으로 하는 터널링 전계효과 트랜지스터의 제조방법.

청구항 12

제10항에 있어서, 상기 제2 유전체층 패턴은

스트론튬 산화막(SrO), 알루미늄 산화막(Al_2O_3), 마그네슘 산화막(MgO), 스칸듐 산화막(Sc_2O_3), 가돌리늄 산화막(Gd_2O_3), 이트륨 산화막(Y_2O_3), 사마륨 산화막(Sm_2O_3), 하프늄 산화막(HfO_2), 지르코늄 산화막(ZrO_2), 티타늄 산

화막(TiO_2), 탄탈 산화막(Ta_2O_5), 바륨 산화막(BaO) 및 비스무스 산화막(Bi_2O_3) 중 선택된 어느 하나의 단일막 또는 2개 이상의 복수로 적층된 복합막 중 어느 하나를 포함하는 것을 특징으로 하는 터널링 전계효과 트랜지스터의 제조방법.

청구항 13

제10항에 있어서, 상기 제2 유전체층 패턴을 형성하는 단계는

상기 반도체 기판 상부에 제1 유전체층 및 게이트 물질층을 형성하는 단계;

상기 게이트 물질층 및 상기 제1 유전체층을 식각하여 상기 게이트 물질층 패턴 및 상기 제1 유전체층 패턴을 형성하는 단계;

상기 소스 영역에 대응하는 상기 제1 유전체층 패턴을 제거하는 단계;

상기 반도체 기판 전면에 제2 유전체층을 형성하는 단계; 및

상기 제2 유전체층을 식각하여 상기 제1 유전체층 패턴이 제거된 영역에만 상기 제2 유전체층을 남기는 단계를 포함하는 것을 특징으로 하는 터널링 전계효과 트랜지스터의 제조방법.

청구항 14

제13항에 있어서, 상기 제1 유전체층을 형성하는 단계 이전에 상기 반도체 기판 상에 에피 채널층을 형성하는 단계를 더 포함하는 것을 특징으로 하는 터널링 전계효과 트랜지스터의 제조방법.

청구항 15

제14항에 있어서, 상기 에피 채널층은

실리콘(Si), 게르마늄(Ge) 및 이들의 조합 중 적어도 어느 하나를 포함하는 것을 특징으로 하는 터널링 전계효과 트랜지스터의 제조방법.

발명의 설명

기술 분야

[0001]

본 발명은 터널링 전계효과 트랜지스터 및 이의 제조 기술에 관한 것으로, 보다 상세하게는 소스-게이트 간에 중첩 영역을 형성하여 게이트의 수직 방향으로 밴드간 터널링 구간을 증가시키고, 동시에 소스-게이트 중첩 영역과 채널 영역 간의 경계면으로부터 게이트의 대각선 방향으로의 밴드간 터널링을 억제시킴으로써 스위칭 특성을 향상시킬 수 있는 터널링 전계효과 트랜지스터 및 이의 제조방법에 관한 것이다.

배경 기술

[0003]

MOSFET(Metal-Oxide Semiconductor Field Effect Transistor) 소자는 문턱전압이하 기율기(Subthreshold Swing: SS)가 상온에서 60mV/dec 이하로 낮아질 수 없는 물리적인 한계를 가지고 있다. 이로 인해, MOSFET 소자는 구동 전압이 낮아질 경우 누설전류의 증가 또는 구동 전류의 감소로 인한 성능 저하가 발생할 수 있다. 이로 인해, 최근 차세대 MOSFET 소자로 TFET(Tunneling Field-Effect Transistor)가 각광받고 있다.

[0004]

도 1은 일반적인 터널링 전계효과 트랜지스터를 도시한 개념도이다.

[0005]

도 1을 참조하면, 터널링 전계효과 트랜지스터(100)는 반도체 기판(110), 매몰 산화막(120), 소스 영역(130), 채널 영역(140), 드레인 영역(150), 게이트 절연막(160) 및 게이트(170)를 포함한다. 터널링 전계효과 트랜지스

터(100)는 통상의 MOSFET과 달리 채널 영역(140) 양측으로 서로 반대 극성을 갖는 불순물로 비대칭의 소스 영역(130) 및 드레인 영역(150)을 형성하는 것을 특징으로 한다.

[0006] 여기에서, 예를 들어, N채널 터널링 전계효과 트랜지스터인 경우, 소스 영역(130)은 P형 불순물의 고농도 도핑층(이하, P⁺ 영역)으로 형성되고, 드레인 영역(150)은 N형 불순물의 고농도 도핑층(이하, N⁺ 영역)으로 형성된다.

[0007] 상기한 구조를 갖는 N채널 터널링 전계효과 트랜지스터(100)는 게이트(170)에 양(+)의 구동전압이 인가되고, 소스 영역(130) 및 드레인 영역(150) 각각에 역바이어스 전압이 인가되면 소스 영역(130)과 채널 영역(140) 사이에 에너지 밴드 경사를 갖는 터널링 접합(tunneling junction)이 형성되고, 밴드간 터널링(band-to-band tunneling: BTBT)에 의해 캐리어가 이동하여 구동전류(Ion)가 흐르게 된다.

[0008] 이러한 구조 및 동작으로 인해 터널링 전계효과 트랜지스터(100)는 MOSFET의 물리적 한계인 60mV/dec 이하의 문턱전압이하 기울기(SS)를 가질 수 있고, 급격한 온/오프(on/off) 스위칭 동작이 가능하다. 따라서, 터널링 전계효과 트랜지스터(100)는 쇼트 채널 효과(short-channel effect)를 억제하고, 0.5V 이하의 낮은 구동전압 조건에서도 고성능 동작이 가능할 것으로 예상하고 있다.

[0009] 그러나, 상기한 구조를 갖는 터널링 전계효과 트랜지스터(100)는 반전층(inversion layer)이 소스 영역(130) 및 채널 영역(140) 간의 접합 영역에서 핀치-오프(pinch-off)되므로 밴드간 터널링(BTBT) 구간이 소스 영역(130) 및 채널 영역(140)의 접합 영역(화살표 표시)으로 제한된다.

[0010] 또한, 드레인 전류(Id)가 증가함에 따라 문턱전압이하 기울기(SS)가 급속도로 증가하는 특성을 보이며, 이러한 특성도 터널링 전계효과 트랜지스터(100)의 구동전류(Ion)를 감소시키는 원인 중의 하나로 분석되고 있다. 따라서, 터널링 전계효과 트랜지스터(100)의 구동전류(Ion)를 증가시킬 수 있고, 문턱전압이하 기울기(SS)를 보다 더 낮출 수 있는 연구가 활발하게 진행되고 있다.

발명의 내용

해결하려는 과제

[0012] 본 발명의 일 실시예는 소스-게이트 간에 중첩 영역을 형성하여 게이트의 수직 방향으로 밴드간 터널링 구간을 증가시키고, 동시에 소스-게이트 중첩 영역과 채널 영역 간의 경계면으로부터 게이트의 대각선 방향으로의 밴드간 터널링을 억제시킴으로써 스위칭 특성을 향상시킬 수 있는 터널링 전계효과 트랜지스터 및 이의 제조방법을 제공하고자 한다.

과제의 해결 수단

[0014] 실시예들 중에서, 터널링 전계효과 트랜지스터는 반도체 기판 상에 형성된 게이트; 상기 반도체 기판 내에 상기 게이트와 일정 영역 중첩되어 형성된 소스 영역; 상기 반도체 기판 내에 상기 소스 영역과 이격되어 형성된 드레인 영역; 상기 반도체 기판 내에 상기 소스 영역과 상기 드레인 영역 사이에 형성된 채널 영역; 상기 반도체 기판과 상기 게이트 사이에 구비되고, 상기 게이트와 상기 채널 영역이 중첩된 영역에 대응하여 형성된 제1 유전체층 및 상기 게이트와 상기 소스 영역이 중첩된 영역에 대응하여 형성된 제2 유전체층을 포함하는 유전체층을 포함한다.

[0015] 여기에서, 상기 제1 및 제2 유전체층은 상기 소스 영역과 상기 채널 영역 간의 경계면을 기준으로 분리되어 형성된 것을 특징으로 한다. 상기 제1 유전체층은 상기 제2 유전체층보다 낮은 유전율을 갖는 물질을 포함하는 것을 특징으로 한다. 그리고, 상기 제1 유전체층은 실리콘 산화막(SiO₂) 및 실리콘 옥시나이트라이드(SiON) 중 적어도 어느 하나를 포함하는 것을 특징으로 한다.

[0016] 상기 제2 유전체층은 스트론튬 산화막(SrO), 알루미늄 산화막(Al₂O₃), 마그네슘 산화막(MgO), 스칸듐 산화막(Sc₂O₃), 가돌리늄 산화막(Gd₂O₃), 이트륨 산화막(Y₂O₃), 사마륨 산화막(Sm₂O₃), 하프늄 산화막(HfO₂), 지르코늄 산화막(ZrO₂), 티타늄 산화막(TiO₂), 탄탈 산화막(Ta₂O₅), 바륨 산화막(BaO) 및 비스무스 산화막(Bi₂O₃) 중 선택

된 어느 하나의 단일막 또는 2개 이상의 복수로 적층된 복합막 중 어느 하나를 포함하는 것을 특징으로 한다.

[0017] 또한, 상기 소스 영역은 상기 게이트의 일 측면으로부터 상기 게이트의 하부까지 연장되어 형성된 것을 특징으로 한다. 상기 드레인 영역은 상기 게이트의 타 측면에 형성되고, 상기 소스 영역과 다른 타입의 불순물로 도핑된 것을 특징으로 한다.

[0018] 그리고, 본 발명의 실시예에 따른 터널링 전계효과 트랜지스터는 상기 반도체 기판 상에 상기 게이트와 중첩되는 상기 소스 영역 및 채널 영역에 접하여 형성된 에피 채널층을 더 포함하는 것을 특징으로 한다. 상기 에피 채널층은 실리콘(Si), 게르마늄(Ge) 및 이들의 조합 중 적어도 어느 하나를 포함하는 것을 특징으로 한다.

[0019] 또한, 터널링 전계효과 트랜지스터의 제조방법은, 반도체 기판 내에 소스 영역, 드레인 영역 및 채널 영역을 형성하는 단계; 및 상기 반도체 기판 상부에 상기 소스 영역의 일부 및 상기 채널 영역에 중첩되고, 유전체층 패턴 및 게이트 물질층 패턴이 적층된 게이트 스택을 형성하는 단계를 포함하고, 상기 유전체층 패턴은 상기 소스 영역과 상기 채널 영역 간의 경계면을 기준으로 상기 채널 영역 상에 형성된 제1 유전체층 패턴 및 상기 소스 영역 상에 형성된 제2 유전체층 패턴을 포함하고, 상기 제1 유전체층 패턴은 상기 제2 유전체층 패턴보다 낮은 유전율을 갖는 것을 특징으로 한다.

[0020] 그리고, 상기 제1 유전체층 패턴은 실리콘 산화막(SiO_2) 및 실리콘 옥시나이트라이드(SiON) 중 적어도 어느 하나를 포함하는 것을 특징으로 한다. 상기 제2 유전체층 패턴은 스트론튬 산화막(SrO), 알루미늄 산화막(Al_2O_3), 마그네슘 산화막(MgO), 스칸듐 산화막(Sc_2O_3), 가돌리늄 산화막(Gd_2O_3), 이트륨 산화막(Y_2O_3), 사마륨 산화막(Sm_2O_3), 하프늄 산화막(HfO_2), 지르코늄 산화막(ZrO_2), 티타늄 산화막(TiO_2), 탄탈 산화막(Ta_2O_5), 바륨 산화막(BaO) 및 비스무스 산화막(Bi_2O_3) 중 선택된 어느 하나의 단일막 또는 2개 이상의 복수로 적층된 복합막 중 어느 하나를 포함하는 것을 특징으로 한다.

[0021] 또한, 상기 제2 유전체층 패턴을 형성하는 단계는 상기 반도체 기판 상부에 제1 유전체층 및 게이트 물질층을 형성하는 단계; 상기 게이트 물질층 및 상기 제1 유전체층을 식각하여 상기 게이트 물질층 패턴 및 상기 제1 유전체층 패턴을 형성하는 단계; 상기 소스 영역에 대응하는 상기 제1 유전체층 패턴을 제거하는 단계; 상기 반도체 기판 전면에 제2 유전체층을 형성하는 단계; 및 상기 제2 유전체층을 식각하여 상기 제1 유전체층 패턴이 제거된 영역에만 상기 제2 유전체층을 남기는 단계를 포함하는 것을 특징으로 한다.

[0022] 또한, 터널링 전계효과 트랜지스터의 제조방법은 상기 제1 유전체층을 형성하는 단계 이전에 상기 반도체 기판 상에 에피 채널층을 형성하는 단계를 더 포함하는 것을 특징으로 한다. 여기에서, 상기 에피 채널층은 실리콘(Si), 게르마늄(Ge) 및 이들의 조합 중 적어도 어느 하나를 포함하는 것을 특징으로 한다.

발명의 효과

[0024] 개시된 기술은 다음의 효과를 가질 수 있다. 다만, 특정 실시예가 다음의 효과를 전부 포함하여야 한다거나 다음의 효과만을 포함하여야 한다는 의미는 아니므로, 개시된 기술의 권리범위는 이에 의하여 제한되는 것으로 이해되어서는 아니 될 것이다.

[0025] 본 발명의 일 실시예에 따른 터널링 전계효과 트랜지스터 및 이의 제조방법은 소스-게이트 간에 중첩 영역을 형성하여 게이트의 수직 방향으로 밴드간 터널링 구간을 증가시키고, 동시에 소스-게이트 중첩 영역과 채널 영역 간의 경계면으로부터 게이트의 대각선 방향으로의 밴드간 터널링을 억제시킴으로써 스위칭 특성을 향상시킬 수 있다.

도면의 간단한 설명

[0027] 도 1은 일반적인 터널링 전계효과 트랜지스터를 도시한 개념도이다.

도 2는 본 발명의 일 실시예에 따른 터널링 전계효과 트랜지스터를 도시한 도면이다.

도 3은 본 발명의 비교예에 따른 터널링 전계효과 트랜지스터를 설명하기 위해 도시한 도면이다.

도 4는 본 발명의 일 실시예 및 비교예에 따른 터널링 전계효과 트랜지스터의 전자 밴드간 터널링(BTBT) 생성

비율을 도시한 등고선도이다.

도 5는 본 발명의 일 실시예 및 비교예에 따른 터널링 전계효과 트랜지스터의 게이트 오버드라이브 전압-드레인 전류를 도시한 그래프이다.

도 6은 본 발명의 일 실시예와 비교예에 따른 터널링 트랜지스터의 밴드간 터널링 각도 및 게이트 오버드라이브 전압을 도시한 그래프이다.

도 7은 본 발명의 다른 실시예에 따른 터널링 전계효과 트랜지스터를 도시한 도면이다.

도 8a 내지 도 8e는 본 발명의 일 실시예에 따른 터널링 전계효과 트랜지스터의 제조 방법을 도시한 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0028] 본 발명에 관한 설명은 구조적 내지 기능적 설명을 위한 실시예에 불과하므로, 본 발명의 권리범위는 본문에 설명된 실시예에 의하여 제한되는 것으로 해석되어서는 아니 된다. 즉, 실시예는 다양한 변경이 가능하고 여러 가지 형태를 가질 수 있으므로 본 발명의 권리범위는 기술적 사상을 실현할 수 있는 균등물들을 포함하는 것으로 이해되어야 한다. 또한, 본 발명에서 제시된 목적 또는 효과는 특정 실시예가 이를 전부 포함하여야 한다거나 그러한 효과만을 포함하여야 한다는 의미는 아니므로, 본 발명의 권리범위는 이에 의하여 제한되는 것으로 이해되어서는 아니 될 것이다.
- [0029] 한편, 본 출원에서 서술되는 용어의 의미는 다음과 같이 이해되어야 할 것이다.
- [0030] "제1", "제2" 등의 용어는 하나의 구성요소를 다른 구성요소로부터 구별하기 위한 것으로, 이들 용어들에 의해 권리범위가 한정되어서는 아니 된다. 예를 들어, 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소도 제1 구성요소로 명명될 수 있다.
- [0031] 어떤 구성요소가 다른 구성요소에 "연결되어" 있다고 언급된 때에는, 그 다른 구성요소에 직접적으로 연결될 수도 있지만, 중간에 다른 구성요소가 존재할 수도 있다고 이해되어야 할 것이다. 반면에, 어떤 구성요소가 다른 구성요소에 "직접 연결되어" 있다고 언급된 때에는 중간에 다른 구성요소가 존재하지 않는 것으로 이해되어야 할 것이다. 한편, 구성요소들 간의 관계를 설명하는 다른 표현들, 즉 "~사이에"와 "바로 ~사이에" 또는 "~에 이웃하는"과 "~에 직접 이웃하는" 등도 마찬가지로 해석되어야 한다.
- [0032] 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한 복수의 표현을 포함하는 것으로 이해되어야 하고, "포함하다" 또는 "가지다" 등의 용어는 실시된 특징, 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것이 존재함을 지정하려는 것이며, 하나 또는 그 이상의 다른 특징이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.
- [0033] 각 단계들에 있어 식별부호(예를 들어, a, b, c 등)는 설명의 편의를 위하여 사용되는 것으로 식별부호는 각 단계들의 순서를 설명하는 것이 아니며, 각 단계들은 문맥상 명백하게 특정 순서를 기재하지 않는 이상 명기된 순서와 다르게 일어날 수 있다. 즉, 각 단계들은 명기된 순서와 동일하게 일어날 수도 있고 실질적으로 동시에 수행될 수도 있으며 반대의 순서대로 수행될 수도 있다.
- [0034] 여기서 사용되는 모든 용어들은 다르게 정의되지 않는 한, 본 발명이 속하는 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가진다. 일반적으로 사용되는 사전에 정의되어 있는 용어들은 관련 기술의 문맥상 가지는 의미와 일치하는 것으로 해석되어야 하며, 본 출원에서 명백하게 정의하지 않는 한 이상적이거나 과도하게 형식적인 의미를 지니는 것으로 해석될 수 없다.
- [0036] 도 2는 본 발명의 일 실시예에 따른 터널링 전계효과 트랜지스터를 도시한 도면이다.
- [0037] 도 2를 참조하면, 터널링 전계효과 트랜지스터(200)는 반도체 기판(210), 소스 영역(220), 드레인 영역(230), 채널 영역(240), 에피 채널층(250), 유전체층(260) 및 게이트(270)를 포함한다. 여기에서, 반도체 기판(210)은 SOI(Silicon On Insulator)(210a)를 통해 형성될 수 있다. 또한, 반도체 기판(210)은 SOI(210a) 하단의 매몰 산화막(Buried Oxide, BOX)(210b) 및 실리콘 기판(210c)으로 형성될 수 있다.
- [0038] 여기에서, SOI(210a)는 실리콘 단결정층 사이에 절연층이 형성되어 있는 구조의 기판에 해당할 수 있다. 매몰 산화막(210b)은 절연막으로 사용되는 산화층(Oxide layer)으로, 전기적 절연체의 역할뿐만 아니라 집적회로의 제조공정에서 소자와 소자 간의 격리에 사용되는 산화막에 해당하고, SOI(210a) 상의 특정 영역에 불순물을 도

평하는 공정과정에서 해당 영역 이외의 영역에 대한 확산방지막의 역할을 수행할 수 있다. 이하, 반도체 기판(210)은 반드시 이렇게 한정되는 것은 아니나, 편의상 SOI(210a)에 해당하는 것으로 가정한다.

- [0039] 소스 영역(220) 및 드레인 영역(230)은 반도체 기판(210) 내에 일정 간격 이격되어 형성되어 있다. 예를 들어, 소스 영역(220)은 게이트(270)의 일 측면으로부터 게이트(270)의 하부까지 연장되어 형성되어 있고, 드레인 영역(230)은 게이트(270)의 타 측면에 형성될 수 있다. 즉, 소스 영역(230)은 게이트(270)와 일부 영역이 중첩(overlap)되어 형성될 수 있다.
- [0040] 이로 인해, 소자 동작 시 게이트(270)의 수직 방향(Gate-normal)의 전기장에 의해 터널링 접합(tunneling junction)이 형성되어 구동전류(Ion)가 흐르게 된다. 이때, 반전층(inversion layer)이 소스 영역(230)과 게이트(270) 간의 중첩 길이에 비례하여 형성되므로, 도 1에 도시된 일반적인 터널링 전계효과 트랜지스터(100)에 비해 밴드간 터널링(BTBT) 구간이 증가하여 구동전류(Ion)를 증가시킬 수 있다.
- [0041] 그리고, 소스 영역(220) 및 드레인 영역(230)은 서로 다른 타입의 불순물이 도핑되어 형성될 수 있다. 예를 들어, 소스 영역(220)은 P+ 영역으로 형성되고, 드레인 영역(230)은 N+ 영역으로 형성될 수 있다. 본 발명의 일 실시예는 이에 한정되지 않고, 소스 영역(220)이 N+ 영역으로 형성되고, 드레인 영역(230)이 P+ 영역으로 형성될 수 있다.
- [0042] 여기에서, N형 불순물은 비소(As), 인(P), 비스무스(Bi) 및 안티몬(Sb) 중 적어도 어느 하나를 포함할 수 있고, P형 불순물은 알루미늄(Al), 붕소(B), 인듐(In) 및 갈륨(Ga) 중 적어도 어느 하나를 포함할 수 있다. 소스 영역(220) 및 드레인 영역(230)에 도핑되는 불순물의 농도는 예를 들어, $1 \times 10^{18} / \text{cm}^{-3}$ 내지 $1 \times 10^{20} / \text{cm}^{-3}$ 일 수 있다.
- [0043] 채널 영역(240)은 반도체 기판(210) 내에 소스 영역(220)과 드레인 영역(230) 사이에 형성되어 있으며, 소스 영역(220)보다 P형 불순물이 약하게 도핑(P-)되거나, 도핑되지 않은 진성 영역(intrinsic region)으로 형성될 수 있고, 드레인 영역(230)보다 N형 불순물이 약하게 도핑(N- 영역)되거나, 도핑되지 않은 진성 영역으로 형성될 수도 있다.
- [0044] 에피 채널층(250)은 반도체 기판(210) 상에 게이트(270)와 중첩되는 소스 영역(220) 및 채널 영역(240)에 접하여 형성되어 있다. 에피 채널층(250)은 게이트(270)의 수직 방향으로 형성된 채널 영역으로 동작한다.
- [0045] 이를 위해, 에피 채널층(250)은 반도체 기판(210)과 동일한 물질로 형성할 수 있다. 반드시 이에 한정되지 않고, 에피 채널층(250)은 반도체 기판(210)과 호환이 가능하고, 반도체 기판(210)보다 밴드갭이 낮은 물질을 포함할 수 있다. 예를 들어, 에피 채널층(250)은 실리콘(Si), 게르마늄(Ge), 실리콘 게르마늄(SiGe) 등을 포함할 수 있다. 그리고, 에피 채널층(250)은 에피택셜 성장(Epitaxial Growth) 공정을 통해 형성될 수 있다.
- [0046] 유전체층(260)은 에피 채널층(250) 상에 형성되어 있다. 여기에서, 유전체층(260)은 제1 및 제2 유전체층(260a, 260b)을 포함한다. 제1 및 제2 유전체층(260a, 260b)은 소스 영역(220)과 채널 영역(240) 간의 경계면을 기준으로 분리되어 형성될 수 있다. 구체적으로, 제1 유전체층(260a)은 게이트(270)와 소스 영역(220)이 중첩되지 않은 영역, 즉 채널 영역(240) 상에 형성되고, 제2 유전체층(260b)은 게이트(270)와 소스 영역(220)이 중첩된 영역 상에 형성된다.
- [0047] 그리고, 제1 및 제2 유전체층(260a, 260b)은 서로 다른 유전율을 갖는 물질로 형성할 수 있다. 본 발명의 일 실시예에 따른 제1 유전체층(260a)은 제2 유전체층(260b) 보다 유전율이 낮은 물질로 형성할 수 있다. 예를 들어, 제1 유전체층(260a)은 저 유전율(Low-k)막, 예를 들어 실리콘 산화막(SiO_2) 및 실리콘 옥시나이트라이드(SiON) 중 적어도 어느 하나로 형성할 수 있다.
- [0048] 또한, 제2 유전체층(260b)은 고 유전율(High-k)막, 예를 들어 스트론튬 산화막(SrO), 알루미늄 산화막(Al_2O_3), 마그네슘 산화막(MgO), 스칸듐 산화막(Sc_2O_3), 가돌리늄 산화막(Gd_2O_3), 이트륨 산화막(Y_2O_3), 사마륨 산화막(Sm_2O_3), 하프늄 산화막(HfO_2), 지르코늄 산화막(ZrO_2), 티타늄 산화막(TiO_2), 탄탈 산화막(Ta_2O_5), 바륨 산화막(BaO) 및 비스무스 산화막(Bi_2O_3) 중 선택된 어느 하나의 단일막 또는 2개 이상의 복수로 적층된 복합막으로 형성할 수 있다.
- [0049] 제2 유전체층(260b)은 고 유전율막으로 형성되므로, 게이트(270)의 수직 방향으로 강한 전기장을 생성하여 밴드간 터널링(BTBT) 경로를 형성한다. 이에 반해, 제1 유전체층(260a)은 저 유전율막으로 형성되므로, 게이트(270)와 소스 영역(220)이 중첩되는 영역 이외의 영역의 표면 전위를 낮출 수 있다.

- [0050] 따라서, 소스 영역(220)의 표면으로부터 게이트(270)의 수직 방향으로 밴드간 터널링(BTBT) 경로가 형성되기 이전에 소스 영역(220)의 모서리로부터 게이트(270)의 대각선 방향으로 밴드간 터널링(BTBT) 경로가 형성되는 현상을 억제시킨다. 구체적으로, 이하의 도 3을 참조하여 자세히 설명한다.
- [0051] 도 3은 본 발명의 비교예에 따른 터널링 전계효과 트랜지스터를 설명하기 위해 도시한 도면으로서, (a)는 본 발명의 비교예에 따른 터널링 전계효과 트랜지스터를 도시한 개략도이고, (b)는 (a)에 도시된 (A) 영역의 확대 도면이고, (c)는 게이트 오버드라이브(Gate-overdrive) 전압-드레인 전류를 나타낸 그래프이다.
- [0052] 도 3을 참조하면, 본 발명의 비교예에 따른 터널링 전계효과 트랜지스터(200')는 본 발명의 일 실시예에 따른 제1 유전체층(260a, 도 2 도시)이 없고, 고 유전율을 갖는 제2 유전체층(260b)으로만 구성된 구조이다. 이 경우 게이트(270)에 구동전압(Von)을 증가시키며 인가할 때, 게이트(270)의 수평 방향(310)으로부터 수직 방향(320)으로 밴드간 터널링(BTBT) 경로가 형성된다.
- [0053] 그런데, (b)에 도시된 바와 같이, 제2 유전체층(260b)에 의해 생성된 강한 전기장으로 인해 게이트(270)와 중첩된 소스 영역(220)의 모서리에서도 게이트(270)의 대각선 방향(330)으로 불필요한 기생 밴드간 터널링(BTBT) 경로가 발생한다.
- [0054] 즉, 게이트(270)의 수직 방향(320)으로 밴드간 터널링(BTBT) 경로가 형성되기 이전에 90도 이하의 기울기(θ_{BTBT})를 갖는 밴드간 터널링 경로(330)가 형성되므로, (c)에 도시된 바와 같이, 드레인 전류(Id)가 일정 기울기를 갖고 점차적으로 증가하는 것을 볼 수 있다.
- [0055] 이에 반하여, 본 발명의 일 실시예는 게이트(270)와 중첩된 소스 영역(220)의 모서리부터 채널 영역(240) 상에 저유전율의 제1 유전체층(260a)을 형성함으로써 게이트(270)와 중첩되지 않은 소스 영역(220)의 전기장을 약화시켜 소스 영역(220)의 모서리에서 게이트(270)의 대각선 방향으로의 기생 밴드간 터널링(BTBT) 경로를 차단시킬 수 있다. 이하, 도 4를 참조하여 본 발명의 일 실시예와 비교예의 기생 밴드간 터널링(BTBT) 경로를 자세히 설명한다.
- [0056] 도 4는 본 발명의 일 실시예 및 비교예에 따른 터널링 전계효과 트랜지스터의 전자 밴드간 터널링(BTBT) 생성 비율을 도시한 등고선도로서, (a)는 터널링 전계효과 트랜지스터의 오프(off) 상태이며, (b)는 온(on) 상태를 나타낸 도면이다.
- [0057] 도 4에서, (a)에 도시된 바와 같이, 본 발명의 비교예에 따른 터널링 전계효과 트랜지스터(200')는 오프(off) 상태일 때, 게이트(270)와 소스 영역(220)이 중첩되지 않는 채널 영역(240)에서도 일정 비율의 밴드간 터널링(BTBT) 경로가 생성되나, 본 발명의 일 실시예에 따른 터널링 전계효과 트랜지스터(200)는 채널 영역(240)에서 밴드간 터널링(BTBT)이 생성되지 않는 것을 볼 수 있다.
- [0058] 또한, (b)에 도시된 바와 같이, 본 발명의 일 실시예에 따른 터널링 전계효과 트랜지스터(200)는 비교예에 따른 터널링 전계효과 트랜지스터(200')에 비해 소스 영역(220)으로부터 게이트(270)의 수직 방향으로 높은 비율의 밴드간 터널링(BTBT)이 생성되는 것을 볼 수 있다.
- [0059] 즉, 본 발명의 일 실시예에 따른 터널링 전계효과 트랜지스터(200)는 온/오프 상태일 때 제1 유전체층(도 2의 260a)에 의해 소스 영역(220)의 모서리로부터 게이트(270)의 수직 방향으로의 밴드간 터널링(BTBT)이 발생하지 않는 것을 볼 수 있다.
- [0060] 도 5는 본 발명의 일 실시예 및 비교예에 따른 터널링 전계효과 트랜지스터의 게이트 오버드라이브 전압-드레인 전류를 도시한 그래프이다.
- [0061] 도 5에서, 본 발명의 비교예에 따른 터널링 전계효과 트랜지스터(510)는 게이트(270)의 대각선 방향으로의 기생 밴드간 터널링(BTBT)에 의해 수직 방향의 밴드간 터널링(BTBT)보다 훨씬 더 긴 터널링 길이를 가질 때부터 드레인 전류(Drain current)가 증가하므로 일정 기울기를 갖고 점진적으로 상승하는 것을 볼 수 있다.
- [0062] 이에 반하여, 본 발명의 일 실시예에 따른 터널링 전계효과 트랜지스터(520)는 제1 유전체층(도 2의 260a)에 의해 약 0.7V 이하의 낮은 구동전압(Gate-overdrive voltage)이 인가되더라도 게이트(270)의 대각선 방향으로의 기생 밴드간 터널링(BTBT)이 억제된 상태이므로 드레인 전류(Id)가 급격히 상승하는 것을 볼 수 있다. 따라서, 본 발명의 일 실시예는 낮은 구동전압에서도 높은 구동전류(Ion)를 얻을 수 있고, 문턱전압이하 기울기(SS)를 감소시켜 급격한 온/오프(on/off) 스위칭 동작이 가능하다.
- [0063] 도 6은 본 발명의 일 실시예와 비교예에 따른 터널링 트랜지스터의 밴드간 터널링 각도 및 게이트 오버드라이브

전압을 도시한 그래프이다.

- [0064] 도 6에서, 본 발명의 비교예에 따른 터널링 전계효과 트랜지스터는 소자 동작 시 밴드간 터널링(BTBT) 각도(θ_{BTBT})(610)가 점진적으로 변하는 것을 볼 수 있다. 이에 반하여, 본 발명의 일 실시예에 따른 터널링 전계효과 트랜지스터는 소자 동작 시 밴드간 터널링(BTBT) 각도(θ_{BTBT})(620)가 급격히 변하는 것을 볼 수 있다. 즉, 본 발명의 일 실시예에 따른 터널링 전계효과 트랜지스터는 소자 동작 시 게이트(270)의 대각선 방향으로의 밴드간 터널링(BTBT) 없이 수평 방향에서 수직 방향으로 빠르게 밴드간 터널링(BTBT)이 일어나므로 문턱전압이하 기율기(SS)를 보다 더 감소시킬 수 있다.
- [0065] 상기한 본 발명의 일 실시예는 다양한 소자 형태에서도 적용될 수 있다. 예를 들어, 도 7에 도시된 바와 같이, 더블 게이트(double-gate) 구조에서 소스 영역(200) 및 채널 영역(240)을 사이에 두고 에피 채널층(250), 유전체층(260) 및 게이트(270)가 상하 또는 앞뒤로 형성될 수 있다. 또한, 본 발명은 이에 한정되지 않고, 핀펫(finFET) 구조, 트리플 게이트(triple-gate) 구조 및 게이트-올-어라운드(Gate-All-Around: GAA) 구조 등에도 동일하게 적용될 수 있다.
- [0066] 도 8a 내지 도 8e는 본 발명의 일 실시예에 따른 터널링 전계효과 트랜지스터의 제조 방법을 도시한 도면이다.
- [0067] 도 8a를 참조하면, 반도체 기판(801)에 소스 영역(803), 드레인 영역(805) 및 채널 영역(807)을 형성한다. 여기에서, 소스 영역(803) 및 드레인 영역(805)은 확산(Diffusion) 공정 또는 이온 주입(Ion Implantation) 공정을 통해 불순물을 도핑하여 형성할 수 있다. 본 발명의 일 실시예에서 소스 영역(803)은 P+ 영역이고, 드레인 영역(805)은 N+ 영역으로 형성할 수 있다. 채널 영역(807)은 소스 영역(803)보다 P형 불순물이 약하게 도핑(P-)되거나, 도핑되지 않은 진성 영역(intrinsic region)으로 형성될 수 있고, 드레인 영역(805)보다 N형 불순물이 약하게 도핑(N- 영역)되거나, 도핑되지 않은 진성 영역으로 형성될 수도 있다.
- [0068] 그 다음, 반도체 기판(801) 상부에 에피 채널층(809)을 형성한다. 여기에서, 에피 채널층(809)은 실리콘(Si), 게르마늄(Ge) 및 이들의 조합 중 적어도 어느 하나를 포함하고, 에피택셜 성장(Epitaxial Growth) 공정을 통해 형성될 수 있다.
- [0069] 그 다음, 에피 채널층(809) 상부에 제1 유전체층(811)을 형성한다. 여기에서, 제1 유전체층(811)은 저 유전율 물질막, 예를 들어 및 실리콘 옥시나이트라이드(SiON) 중 적어도 어느 하나를 포함할 수 있다. 제1 유전체층(811)은 원자층증착(Atomic Layer Deposition: ALD) 공정을 통해 형성될 수 있다.
- [0070] 그 다음, 제1 유전체층(811) 상부에 게이트 물질층(813)을 형성한다. 게이트 물질층(813)은 실리콘계 물질(폴리실리콘, 비정질실리콘 등)이나 금속 물질 등으로 형성할 수 있다.
- [0071] 이어서, 도 8b를 참조하면, 반도체 기판(801) 상부에 소스 영역(803)의 일부 및 드레인 영역(805)을 노출시키는 게이트 패턴 마스크(미도시)를 형성하고, 게이트 패턴 마스크를 식각 마스크로 하여 게이트 물질층(813), 제1 유전체층(811) 및 에피 채널층(809)을 식각하여 게이트 물질층 패턴(813a), 제1 유전체층 패턴(811a) 및 에피 채널층 패턴(809a)을 형성한다.
- [0072] 8c를 참조하면, 반도체 기판(801) 상부에 채널 영역(807) 및 드레인 영역(805)을 덮는 마스크 패턴(815)을 형성한다. 이어서, 마스크 패턴(815)을 식각 마스크로 하여 소스 영역(803)에 대응하는 제1 유전체층 패턴(811a)을 제거한다. 여기에서, 제1 유전체층 패턴(811a)의 식각 공정은 통상의 습식 식각(wet etch)으로 진행할 수 있으며, 제1 유전체층 패턴(811a)이 실리콘 산화막(SiO_2)으로 형성된 경우에는 기화 불산 식각(HF vapor etch) 공정으로 진행될 수 있다.
- [0073] 8d를 참조하면, 마스크 패턴(815)을 제거하고, 반도체 기판(801) 전면에서 제2 유전체층(817)을 형성한다. 이때, 제2 유전체층(817)은 제1 유전체층 패턴(811a)이 제거된 영역을 매립할 수 있는 두께로 형성할 수 있다. 여기에서, 제2 유전체층(817)은 제1 유전체층 패턴(811a)보다 유전율이 높은 고 전유전율(High-k) 물질을 포함할 수 있다. 예를 들어, 제2 유전체층(817)은 스트론튬 산화막(SrO), 알루미늄 산화막(Al_2O_3), 마그네슘 산화막(MgO), 스칸듐 산화막(Sc_2O_3), 가돌리늄 산화막(Gd_2O_3), 이트륨 산화막(Y_2O_3), 사마륨 산화막(Sm_2O_3), 하프늄 산화막(HfO_2), 지르코늄 산화막(ZrO_2), 티타늄 산화막(TiO_2), 탄탈 산화막(Ta_2O_5), 바륨 산화막(BaO) 및 비스무스 산화막(Bi_2O_3) 중 선택된 어느 하나의 단일막 또는 2개 이상의 복수로 적층된 복합막으로 형성할 수 있다. 그리고, 제2 유전체층(817)은 원자층증착(Atomic Layer Deposition: ALD) 공정을 통해 형성될 수 있다.

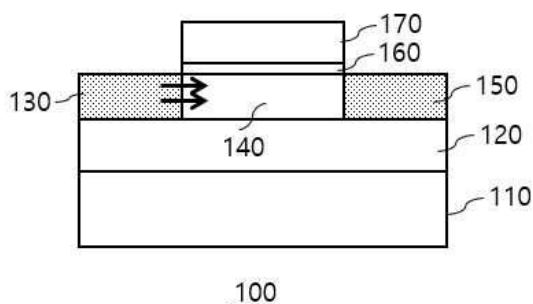
- [0074] 8e를 참조하면, 제2 유전체층(817)을 식각하여 제1 유전체층 패턴(811a)이 제거된 영역에만 제2 유전체층(817)이 남겨지도록 한다. 즉, 제1 유전체층 패턴(811a)이 제거된 영역을 갭필(gap-fill)하는 제2 유전체층 패턴(817a)을 형성한다. 여기에서, 제2 유전체층(817)의 식각 공정은 건식 식각, 예를 들어 플라즈마 식각 공정으로 진행될 수 있으며, 이에 한정되지 않고 습식 식각 공정으로 진행될 수도 있다.
- [0075] 이에 따라, 에피 채널층 패턴(809a), 유전체층 패턴(819) 및 게이트 물질층 패턴(813a)이 적층된 게이트 스택(821)이 형성된다. 즉, 본 발명의 일 실시예에 따른 터널링 전계효과 트랜지스터의 제조방법은 소스 영역(803)과 채널 영역(807) 간의 경계면을 기준으로 유전체층 패턴(819)을 서로 다른 유전율을 갖는 제1 유전체층 패턴(811a) 및 제2 유전체층 패턴(817a)으로 구분하여 형성하고, 제1 유전체층 패턴(811a)을 제2 유전체층 패턴(817a)보다 유전율이 낮은 물질로 형성함으로써 소스 영역(803)의 모서리에서 대각선 방향의 밴드간 터널링(BTBT) 구간의 형성을 억제할 수 있다.
- [0076] 기타 공정이나 각 단계의 미설명된 부분은 알려진 일반적인 CMOS 공정이나 TFET 공정에 따르면 되므로, 자세한 설명은 생략한다. 상기와 같은 제조 공정은 III-V족 반도체 물질, CNT, 그래핀(graphene), 이황화몰리브덴(MoS₂) 등을 기반으로 하는 TFET 소자에도 적용될 수 있다.
- [0078] 상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

부호의 설명

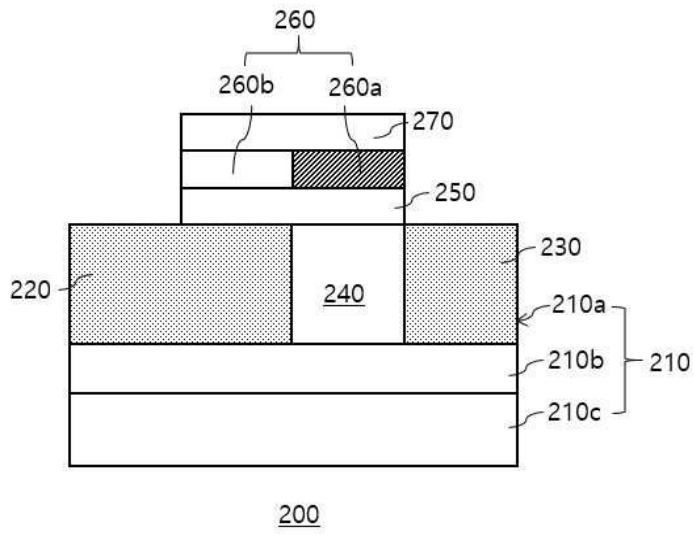
- [0080] 100, 200, 200', 200'' : 터널링 전계효과 트랜지스터
- 210: 반도체 기판 220: 소스 영역
- 230: 드레인 영역 240: 채널 영역
- 250: 에피 채널층 260, 260': 유전체층
- 270: 게이트

도면

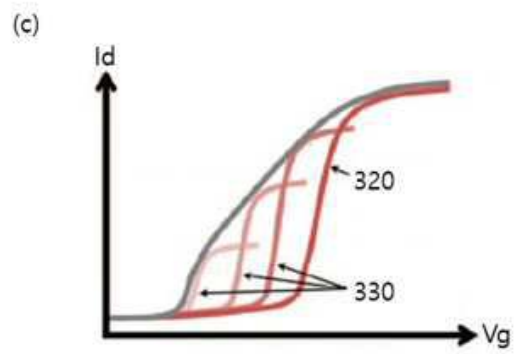
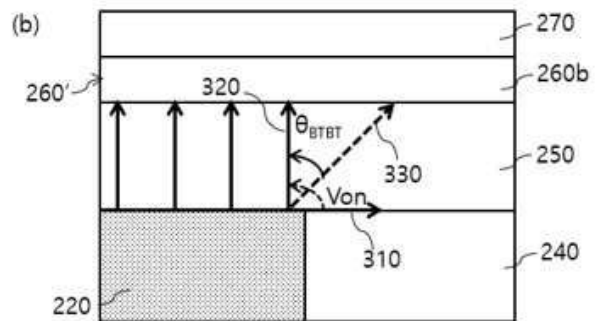
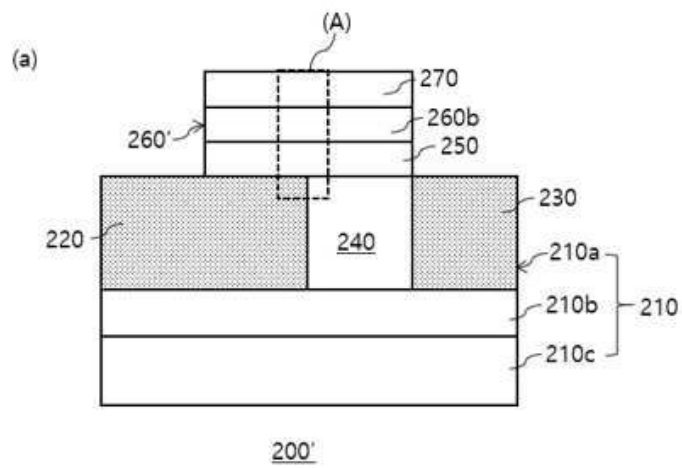
도면1



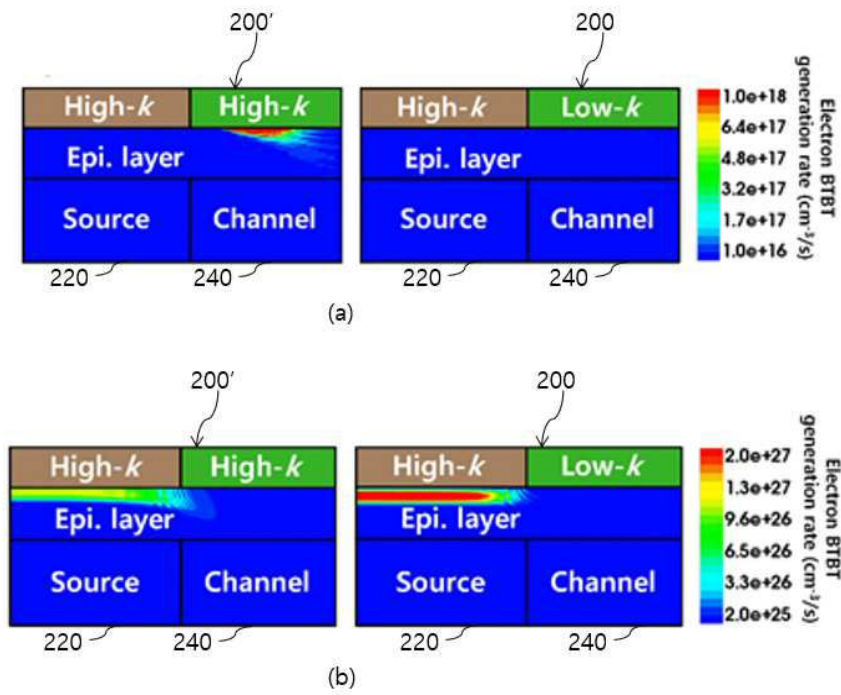
도면2



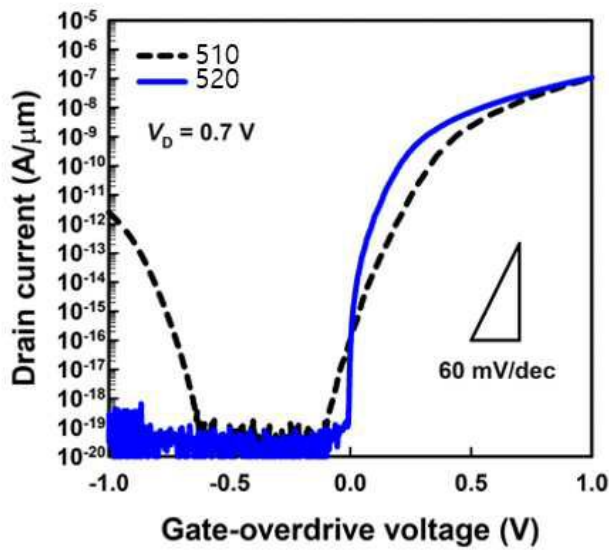
도면3



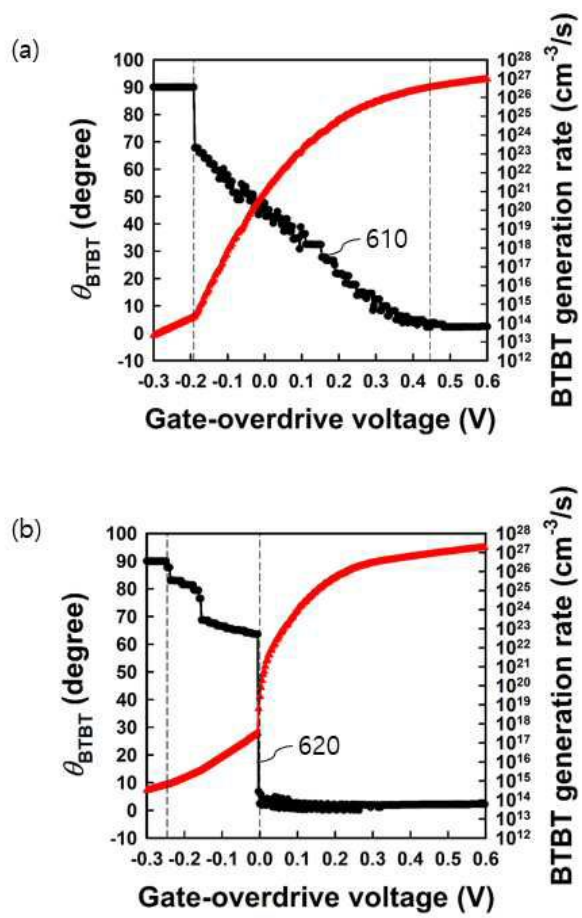
도면4



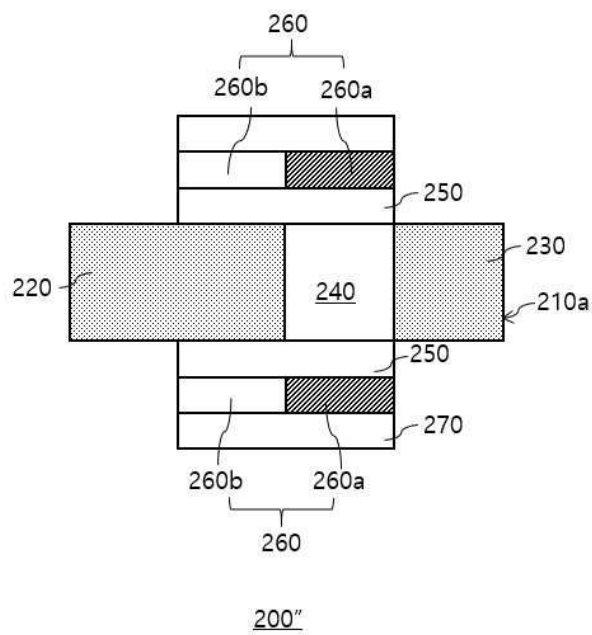
도면5



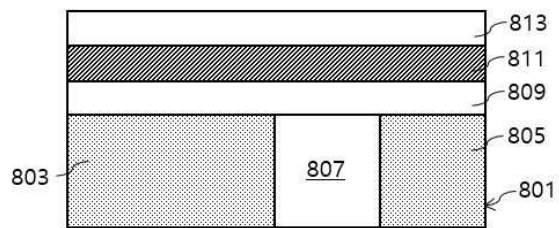
도면6



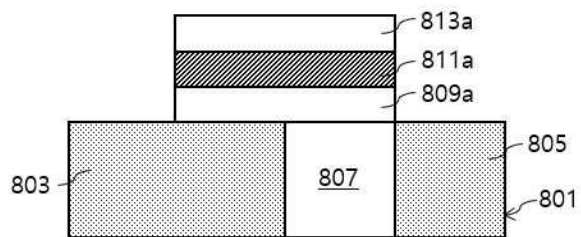
도면7



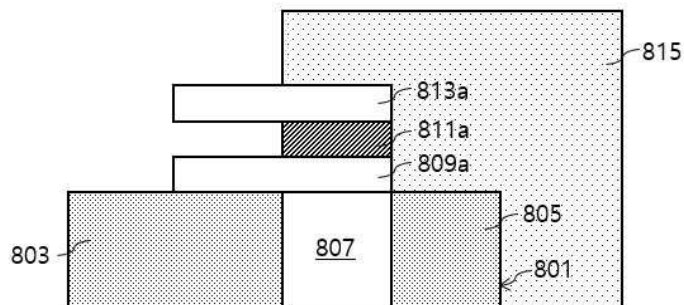
도면8a



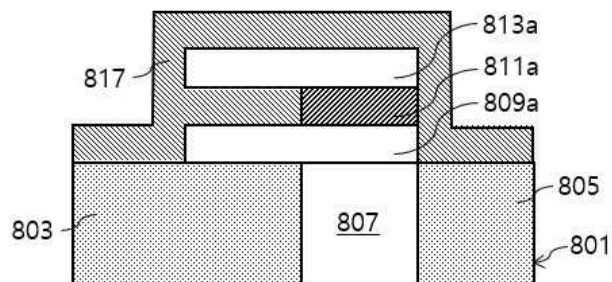
도면8b



도면8c



도면8d



도면8e

