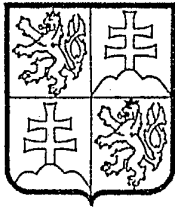


ČESKÁ A SLOVENSKÁ  
FEDERATIVNÍ  
REPUBLIKA  
(19)



FEDERÁLNÍ ÚŘAD  
PRO VYNÁLEZY

# PATENTOVÝ SPIS

# 275 656

(21) Číslo přihlášky : 5930-89.P

(22) Přihlášeno : 19 10 89

(30) Prioritní data :

(40) Zveřejněno : 11 06 91

(47) Uděleno : 20 12 91

(24) Oznámeno udělení ve Věstníku : 18 03 92

(13) Druh dokumentu : B6

(51) Int. Cl.<sup>5</sup> :

H 03 M 9/00

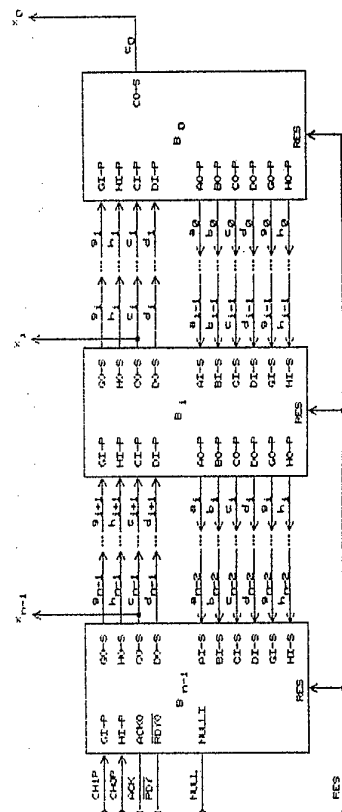
(73) Majitel patentu : ÚSTAV TECHNICKEJ KYBERNETIKY SAV, BRATISLAVA

(72) Původce vynálezu :  
HLUCHÝ LADISLAV ing. CSc., BRATISLAVA (CS)  
CIRLIN BORIS ing. CSc., LENIGRAD (SU)  
GAŽI BRUNO ing., BRATISLAVA,  
PAŽUROVÁ TATIÁNA RNDr., BANSKÁ BYSTRICA,  
KOŠUK KAROL ing., BRATISLAVA (CS)

(54) Název vynálezu : Zapojenie na prevod sériovej postupnosti na paralelný formát znaku

(57) Anotace :

Účelom zapojenia na prevod sériovej postupnosti bitov na paralelný formát znaku je, aby bolo nezávislé na rýchlosti stavebných elektronických prvkov, čím sa umožní realizovať to isté zapojenie rôznymi technológiami. Uvedeného účelu sa dosiahne pomocou zapojenia základného i-bloku ( $B_i$ ) prijímača s režimom prípravy i-teho údajového bitu na prečítanie a s režimom zretazeného prijímania pre  $i = 0, 1, \dots, n-1$  a blokového zapojenia i-blokov ( $B_i$ ) prijímača. Základný i-blok ( $B_i$ ) pozostáva z bunky (BZP) zretazeného prijímača, ktorá pozostáva z bunky (BP) pauzy a bunky (BÜB) údajového bitu, bunky (BVRP) vyrovnávajúceho registra prijímača a troch blokov  $F_0, F_1, F_2$  riadenia. Riešenie môže nájsť uplatnenie v počítačových systémoch, napr. pri realizácii rýchlych sériových prepojení voľne viazaných multiprocesorov, rýchlych sériových kanálov počítačov, ako možný variant náhrady paralelných kanálov v počítačoch s rýchlymi sériovými kanálmi a taktiež ako rýchly sériový kanál (vstavaný) v jednočipových mikropočítačoch.



Obz. 1

Vynález sa týka zapojenia na prevod sériovej postupnosti bitov na paralelný formát znaku. Realizácia zapojenia formou integrovaného obvodu reprezentuje rýchly asynchrónny sériový prijímač.

Doteraz rýchlosť sériového prijímača v súčasných špičkových integrovaných obvodoch je ohraničená princípom zapojenia, ktorého činnosť je synchronná (riadenie je realizované pomocou hodín). Existujúce komunikačné protokoly sériového vysielania majú na každý "byte" nadbytočné bity kvôli synchronnému spôsobu prijímania, čím sa znižuje prenosová rýchlosť užitočnej informácie. Predstaviteľom takého typu prijímača je zapojenie sériového prijímača mikroprocesora typu transputer, v ktorom prenosová rýchlosť 20 Mbit/s sa dosahuje vďaka špičkovej technológii 1,5  $\mu$  CMOS. Prenosová rýchlosť užitočnej informácie prijímača uvedeného mikroprocesora je 12 až 15 Mbit/s (podľa typu prenosu "simplex" alebo "duplex").

Uvedené nedostatky (princíp so synchronným riadením, nadbytočné bity na prenášanú informáciu) v podstatnej miere odstraňuje zapojenie na prevod sériovej postupnosti bitov na paralelný formát znaku podľa vynálezu, ktorého podstata spočíva v tom, že výstupy zo sériového kanála ako prvé vstupy zapojenia sú pripojené na prvé vstupy  $n-1$ -ho bloku zo strany sériového kanála, vstup sériového kanála ako prvý výstup zapojenia je pripojený na prvý výstup  $n-1$ -ho bloku zo strany sériového kanála, druhý výstup zapojenia pripravenosti paralelného znaku na prečítanie je pripojený na druhý výstup  $n-1$ -ho bloku zo strany sériového kanála, druhý vstup zapojenia nulovania prijímača po prijatí paralelného znaku je pripojený na druhý vstup  $n-1$ -ho bloku zo strany sériového kanála, tretí vstup zapojenia nulovania prijímača po zapnutí napájania je pripojený na vstupy  $i$ -blokov pre  $i = 0, 1, \dots, n-1$ , prvé výstupy výstupnej vnútornej sériovej linky  $i$ -bloku zo strany jeho následníka sú pripojené na prvé vstupy vstupnej vnútornej sériovej linky  $i$ -bloku zo strany jeho predchodcu signálovými výstupmi pre  $i = 1, 2, \dots, n-1$ , druhé výstupy bunky vyrovnávajúceho registra prijímača  $i$ -bloku zo strany jeho následníka sú pripojené na druhé vstupy  $i-1$ -ho bloku zo strany jeho predchodcu signálovými výstupmi, prvé vstupy  $i$ -bloku zo strany jeho následníka sú pripojené na prvé výstupy signalizovania prítomnosti pauzy  $i-1$ -ho bloku zo strany jeho predchodcu signálovými vstupmi, druhé vstupy  $i$ -bloku zo strany jeho následníka sú pripojené na druhé výstupy bunky vyrovnávajúceho registra prijímača  $i-1$ -ho bloku zo strany jeho predchodcu signálovými vstupmi, tretie vstupy  $i$ -bloku zo strany jeho následníka sú pripojené na tretie výstupy výstupnej sériovej linky  $i-1$ -ho bloku zo strany jeho predchodcu signálovými vstupmi, druhé výstupy bunky vyrovnávajúceho registra prijímača sú pripojené na vstupy údajovej zbernice ako tretie výstupy zapojenia pre  $i = 0, 1, \dots, n-1$ , pričom vstupy vstupnej vnútornej sériovej linky sú pripojené na prvé vstupy bunky pauzy a na tretie vstupy bloku riadenia bunky údajového bitu, výstupy bunky pauzy sú pripojené na prvé vstupy bunky údajového bitu a na výstupy signalizovania prítomnosti pauzy signálovými výstupmi, vstupy ako výstupy bunky vyrovnávajúceho registra prijímača predchodcu sú pripojené na druhé vstupy bloku riadenia bunky údajového bitu, výstupy bunky údajového bitu sú pripojené na prvé vstupy bunky vyrovnávajúceho registra prijímača a na druhé vstupy bloku riadenia bunky pauzy a na výstupy výstupnej vnútornej sériovej linky signálovými výstupmi, výstupy bunky vyrovnávajúceho registra prijímača sú pripojené na výstupy a na prvé vstupy bloku riadenia bunky pauzy signálovými výstupmi, výstup bloku riadenia bunky pauzy je pripojený na druhý vstup bunky pauzy, vstupy signalizovania prítomnosti pauzy sú pripojené na prvé vstupy bloku riadenia bunky údajového bitu a na prvé vstupy bloku bunky údajového bitu, výstup bloku riadenia bunky údajového bitu je pripojený na druhý vstup bunky údajového bitu, druhé

vstupy ako výstupy bunky vyrovnávajúceho registra prijímača následníka a ako výstupy vnútornej sériovej linky následníka sú pripojené na druhé vstupy bloku riadenia bunky vyrovnávajúceho registra prijímača, výstup bloku riadenia bunky vyrovnávajúceho registra prijímača je pripojený na druhý vstup bunky vyrovnávajúceho registra prijímača, vstup nulovania prijímača po zapnutí napájania je pripojený na tretie vstupy bunky pauzy a bunky údajového bitu.

Výhodami navrhovaného zapojenia sú:

To isté zapojenia môže byť realizované rôznymi technológiami vzhľadom na jeho nezávislosť od rýchlostí stavebných elektronických prvkov (Synchronne zapojenie je závislé na tolerancii rýchlostných parametrov stavebných prvkov, z čoho vyplýva i voľba frekvencie hodín).

Realizáciou zapojenia technológiou (4-5)  $\mu$ CMOS sa dosiahne porovnateľná prenosová rýchlosť s rýchlosťou prijímača mikroprocesora typu "transputer"m ktorý je realizovaný technológiou 1,5  $\mu$ CMOS (výsledky logickej simulácie)..

Realizáciou zapojenia technológiou 1,5  $\mu$ CMOS sa dosiahne niekoľkonásobné zvýšenie prenosovej rýchlosti oproti rýchlosti "transputera".

Na pripojených výkresoch na obr. 1 je zapojenie na prevod sériovej postupnosti bitov na n-bitový paralelný formát znaku, ďalej označované ako n-bitový sériový asynchronný prijímač n-SAP. Na obr. 2 je zapojenie základného bloku n-SAP, na obr. 3 je uvedený časový priebeh významných signálov z logickej simulácie. Zapojenie n-SAP na obr. 1 pozostáva zo základných i-blokov  $B_i$  pre  $i = 0, 1, \dots, n-1$ .

Základný blok na obr. 2 pozostáva z dvoch buniek: z bunky BZP zreťazenia prijímača, bunky BVRP vyrovnávajúceho registra prijímača a z troch blokov  $F_0, F_1, F_2$  riadenia. Bunka BZP zreťazenia prijímača pozostáva z bunky BP pauzy a bunky BÜB údajového bitu.

Výstupy CH1P, CHOP zo sériového kanála ako prvé vstupy zapojenia sú pripojené na prvé vstupy GI-P, HI-P n-1-ho bloku  $B_{n-1}$ , vstup ACK sériového kanála ako prvý výstup zapojenia je pripojený na prvý výstup ACK0 n-1-ho bloku  $B_{n-1}$ , druhý výstup RDY zapojenia pripravenosti paralelného znaku na prečítanie je pripojený na druhý výstup RDY0 n-1-ho bloku  $B_{n-1}$ , druhý vstup NULL zapojenia nulovania prijímača po prijatí paralelného znaku je pripojený na vstup NULL1 n-1-ho bloku  $B_{n-1}$ , tretí vstup RES zapojenia nulovania prijímača po zapnutí napájania je pripojený na vstupy RES i-blokov  $B_i$  pre  $i = 0, 1, \dots, n-1$ , prvé výstupy GO-S, HO-S výstupnej vnútornej sériovej linky i-bloku  $B_i$  sú pripojené na prvé vstupy GI-P, HI-P vstupnej vnútornej sériovej linky i-1-ho bloku  $B_{i-1}$  signálovými výstupmi  $g_i, h_i$ , pre  $i = 1, 2, \dots, n-1$ , druhé výstupy CO-S, DO-S bunky BVRP vyrovnávajúceho registra prijímača i-bloku  $B_i$  sú pripojené na druhé vstupy CI-P, DI-P i-1-ho bloku  $B_{i-1}$  signálovými výstupmi  $c_i, d_i$ , prvé vstupy AI-S, BI-S i-bloku  $B_i$  sú pripojené na prvé výstupy AQ-P, BO-P signalizovania prítomnosti pauzy i-1-ho bloku  $B_{i-1}$  signálovými vstupmi  $a_{i-1}, b_{i-1}$ , druhé vstupy CI-S, DI-S i-bloku  $B_i$  sú pripojené na druhé výstupy CO-P, DO-P bunky BVRP vyrovnávajúceho registra prijímača i-1-ho bloku  $B_{i-1}$  signálovými vstupmi  $c_{i-1}, d_{i-1}$ , tretie vstupy GI-S, HI-S i-bloku  $B_i$  sú pripojené na tretie výstupy GO-P, HO-P výstupnej sériovej linky i-1-ho i-bloku  $B_{i-1}$  signálovými vstupmi  $g_{i-1}, h_{i-1}$ , druhé výstupy  $c_i$  bunky vyrovnávajúceho registra prijímača sú pripojené na vstupy  $X_i$  údajovej zbernice ako tretie výstupy zapojenia pre  $i = 0, 1, \dots, n-1$ , pričom vstupy GI-P, HI-P vstupnej vnútornej sériovej linky sú pripojené na prvé vstupy GI, HI bunky BP pauzy a na tretie vstupy GI-F<sub>1</sub>,

bloku  $F_1$  riadenia bunky  $B\bar{U}B$  údajového bitu, výstupy  $AQ$ ,  $BO$  bunky  $BP$  pauzy sú pripojené na prvé vstupy  $AI$ ,  $BI$  bunky  $B\bar{U}B$  údajového bitu a na výstupy  $AO-P$ ,  $BO-P$  signalizovania prítomnosti pauzy signálovými výstupmi  $a$ ,  $b$ , vstupmi  $CI-P$ ,  $DI-P$  ako výstupy bunky vyrovnávajúceho registra prijímača predchodcu sú pripojené na druhé vstupy  $CI-F_1$ ,  $DI-F_1$  bloku  $F_1$  riadenia bunky  $B\bar{U}B$  údajového bitu, výstupy  $GO$ ,  $HO$  bunky  $B\bar{U}B$  údajového bitu sú pripojené na prvé vstupy  $G_1$ ,  $H_1$  bunky  $BVRP$  vyrovnávajúceho registra prijímača a na druhé vstupy  $GI-F_0$ ,  $HI-F_0$  bloku  $F_0$  riadenia bunky  $BP$  pauzy a na výstupy  $GO-S$ ,  $HO-S$ ,  $GO-P$ ,  $HO-P$  vnútornej sériovej linky signálovými výstupmi  $g$ ,  $h$ , výstupy  $CO$ ,  $DO$  bunky  $BVRP$  vyrovnávajúceho registra prijímača sú pripojené na výstupy  $CO-S$ ,  $DO-S$ ,  $CO-P$ ,  $DO-P$  a na prvé vstupy  $CI-F_0$ ,  $DI-F_0$  bloku  $F_0$  riadenia bunky  $BP$  pauzy signálovými výstupmi  $c$ ,  $d$ , výstup  $F_0O$  bloku  $F_0$  riadenia bunky  $BP$  pauzy je pripojený na druhý vstup  $F_0I$  bunky  $BP$  pauzy, vstupy  $AI-S$ ,  $BI-S$  signalizovania prítomnosti pauzy sú pripojené na prvé vstupy  $AI-F_1$ ,  $BI-F_1$  bloku  $F_1$  riadenia bunky  $B\bar{U}B$  údajového bitu a na prvé vstupy  $AI-F_2$ ,  $BI-F_2$  bloku  $F_2$  riadenia bunky  $BVRP$  vyrovnávajúceho registra prijímača, výstup  $F_1O$  bloku  $F_1$  riadenia bunky  $B\bar{U}B$  údajového bitu je pripojený na druhý vstup  $F_1I$  bunky  $B\bar{U}B$  údajového bitu, druhé vstupy  $CI-S$ ,  $DI-S$ ,  $GI-S$ ,  $HI-S$  ako výstupy bunky  $BVRP$  vyrovnávajúceho registra prijímača sú pripojené na druhé vstupy  $CI-F_2$ ,  $DI-F_2$ ,  $GI-F_2$ ,  $HI-F_2$  bloku  $F_2$  riadenia bunky  $BVRP$  vyrovnávajúceho registra prijímača, výstup  $F_2O$  bloku  $F_2$  riadenia bunky  $BVRP$  vyrovnávajúceho registra prijímača je pripojený na druhý vstup  $F_2I$  bunky  $BVRP$  vyrovnávajúceho registra prijímača, vstup  $RES$  nulovania prijímača po zapnutí napájania je pripojený na tretie vstupy  $RES$  bunky  $BP$  pauzy a bunky  $B\bar{U}B$  údajového bitu.

Každý  $i$ -blok  $B_i$  pre  $i = 1, 2, \dots, n-2$  má svojho predchodcu (signály označené s príznakom P) a následníka (signály označené s príznakom S), prvý blok má len svojho následníka, posledný má len svojho predchodcu. Údajový bit je prijímaný na vstupoch  $GI-P$  a  $HI-P$  vnútorného sériového kanála, logická hodnota 1 je reprezentovaná  $GI-P=1$  a logická hodnota 0 je reprezentovaná  $HI-P=1$ . Prijatie údajového bitu bunkou  $BZP$  je riadené blokmi  $F_0$  a  $F_1$ . Funkcia bloku  $F_0$  súvisí do zretázeným režimom prijímača, t.j. s podmienkou  $g+h$ , teda ak jeden z dvoch signálov  $g \rightarrow 1$ , alebo  $h \rightarrow 1$  ( $\rightarrow$  reprezentuje zmenu do hodnoty) - stav pamätania údajového bitu v  $B\bar{U}B \Rightarrow F_0O \rightarrow 0$  ( $\Rightarrow$  reprezentuje následnosť), ak  $g = 0$  a  $h = 0$  potom môže  $F_0O \rightarrow 1$ . V prípade, ak jeden z dvoch signálov  $c \rightarrow 1$ , alebo  $d \rightarrow 1$  (zápis údajového bitu do  $BVRP$ )  $\Rightarrow F_0O=0$  a uvedená hodnota sa nemení pokiaľ v  $BVRP$  je pamätaný údajový bit. Funkcia bloku  $F_0$  je preto daná:

$$F_0O = \overline{g + h + c + d} \quad (1)$$

Funkcia bloku  $F_1$  taktiež súvisí so zretázeným režimom prijímača a podmienkou je  $AI-S + BI-S$ , t.j. ak jeden z dvoch signálov  $AI-S \rightarrow 1$ , alebo  $BI-S \rightarrow 1$  (zápis údajového bitu do  $BP$  v nasledujúcom bloku)  $\Rightarrow F_1O \rightarrow 0$ , ak  $AI-S=0$ ,  $BI-S=0$  ("pauza" v  $BP$  pre rozlíšenie príchodu ďalšieho údajového bitu), potom môže  $F_1O \rightarrow 1$  (pripravenosť pre zápis ďalšieho údajového bitu do  $B\bar{U}B$ ). Funkcia bloku  $F_1$  nadobúda hodnotu 0 (uvedenie bunky  $BZP$  do počiatočného stavu) ak je vynulovaný údajový bit v  $B\bar{U}B$  (výstupy  $GO-S$  a  $HO-S$ ) predchádzajúceho bloku a je pamätaný v  $BVRP$  (výstupy  $CO-S$ ,  $DO-S$ ) predchádzajúceho bloku, t.j. podmienkou je

$$F_1O = \overline{(AI-S + BI-S) \cdot (CI-P + DI-P) \cdot (GI-P + HI-P)} \quad (2)$$

Funkciou bloku  $F_2$  je aktivovanie zápisu údajového bitu z BÚB do BVRP; funkcia súvisí s ukončením zápisu údajového bitu do BVRP nasledujúceho bloku, t.j.  $\underline{CI-S} + \underline{DI-S} = 1$ , okrem toho v BP nasledujúceho bloku musí byť príznak "pauzy", t.j.  $\underline{AI-S} + \underline{BI-S} = 1$ . Funkcia  $F_2$  nadobúda hodnotu 0, potom čo bude vynulovaný údajový bit v BÚB nasledujúceho bloku, t.j.  $\underline{GI-S} + \underline{HI-S} = 0$ , a teda

$$\underline{F_2}0 = (\underline{AI-S} + \underline{BI-S}) (\underline{CI-S} + \underline{DI-S})(\underline{GI-S} + \underline{HI-S}) \quad (3)$$

Ďalšia činnosť vyplýva z obr. 1. Sériový kanál je tvorený linkami CHIP, CHOP a ACK. Linkami CHIP a CHOP je prijímaný údajový bit; linkou CHIP je prenášaná logická hodnota 1 a linkou CHOP logická hodnota 0, signálom ACK sa potvrdzuje prijatie údajového bitu bunkou BP  $n-1$ -ho bloku  $B_{n-1}$ , signál RDY je stavový bit pripravenosti  $n$ -bitového znaku na prečítanie na údajovú zbernicu  $X_0, X_1, \dots, X_{n-1}$ . Signálom NULL=1 sa uvádza prijímač do počiatočného stavu; už po uvedení prvých  $n-1$ -ho a  $n-2$ -ho blokov,  $B_{n-1}$  a  $B_{n-2}$  do počiatočného stavu, môže pokračovať prijímanie ďalších údajových bitov. Signálom RES=1 sa uvádzajú  $i$ -te bloky  $B_i$  pre  $i = 0, 1, \dots, n-1$  do počiatočného stavu po zapnutí napájania. Po aktivovaní jedného z dvoch signálov CHIP  $\rightarrow 1$ , alebo CHOP  $\rightarrow 1$  sa pri ACK=1 zapíše údajový bit do BP  $\Rightarrow$  ACK  $\rightarrow 0$ , v prípade  $\underline{F_1}0 = 1$  jeden z dvoch signálov  $\underline{g_{n-1}} \rightarrow 1$ , alebo  $\underline{h_{n-1}} \rightarrow 1$ . Súčasne s prijímaním údajového bitu na vstupoch GI-P, HI-P  $n-2$ -ho bloku  $B_{n-2}$  sa aktivuje "pauza" v BP  $n-1$ -ho bloku  $B_{n-1} \Rightarrow$  v  $n-1$ -om bloku  $B_{n-1}$   $\underline{F_1}0 = 0 \Rightarrow \underline{g_{n-1}} = 0$ , alebo  $\underline{h_{n-1}} \rightarrow 0$  a ACK  $\rightarrow 1$  (žiadost o ďalší údajový bit).

Zápis údajových bitov do buniek BZP prebieha zľava doprava a postupne sa aktivujú signály:

$$\underline{g_i} \rightarrow 1 \text{ alebo } \underline{h_i} \rightarrow 1 \Rightarrow \underline{a_{i-1}} = \underline{g_i}, \underline{b_{i-1}} = \underline{h_i} \Rightarrow \underline{g_i} = 0$$

$$\text{alebo } \underline{h_i} \rightarrow 0, \underline{g_{i-1}} = \underline{a_{i-1}}, \underline{h_{i-1}} = \underline{b_{i-1}} \Rightarrow \underline{a_{i-1}} = 0 \text{ alebo}$$

$\underline{b_{i-1}} \rightarrow 0$ , pre  $i=n-1, n-2, \dots, 1$ . Zápis údajových bitov do buniek BVRP prebieha sprava doľava a postupne sa aktivujú signály:

$$\underline{g_{i-1}} \rightarrow 1 \text{ alebo } \underline{h_{i-1}} \rightarrow 1 \Rightarrow \underline{c_{i-1}} = \underline{g_{i-1}}, \underline{d_{i-1}} = \underline{h_{i-1}} \Rightarrow$$

$$\underline{a_{i-1}} \rightarrow 0 \text{ alebo } \underline{b_{i-1}} \rightarrow 0 \Rightarrow \underline{g_i} \rightarrow 1 \text{ alebo } \underline{h_i} \rightarrow 1 \Rightarrow$$

$$\underline{c_i} = \underline{g_i}, \underline{d_i} = \underline{h_i}, \text{ pre } i = 1, 2, \dots, n-1.$$

Po aktivovaní  $\underline{c_{n-1}} = 1$  alebo  $\underline{d_{n-1}} \rightarrow 1$  sa aktivuje RDY  $\rightarrow 0$ , po prečítaní  $n$ -bitového znaku sa môže aktivovať NULL  $\rightarrow 1$  a postupne zľava doprava sa uvádzajú bunky BZP a BVRP do počiatočného stavu:

$$\underline{g_i} \rightarrow 0 \text{ alebo } \underline{h_i} \rightarrow 0 \Rightarrow \underline{g_{i-1}} \rightarrow 0 \text{ alebo } \underline{h_{i-1}} \rightarrow 0 \Rightarrow$$

$\underline{c_i} \rightarrow 0$  alebo  $\underline{d_i} \rightarrow 0$ , pre  $i = n-1, n-2, \dots, 1$ . V poslednom 0-tom bloku  $B_0$  aktivovaním  $\underline{g_0} \rightarrow 0$  alebo  $\underline{h_0} \rightarrow 0 \Rightarrow \underline{c_0} \rightarrow 0$  alebo  $\underline{d_0} \rightarrow 0$ . Na obr. 3 sú časové priebehy významných signálov prijímača:  $X_0 = X/0/$ ,  $X_1 = X/1/$ ,  $X_2 = X/2/$ , CHIP, CHOP, ACK2 (potvrdenie prijatia údajového bitu prvou BP), RDY2 (hlásenie o prijatí trojbitového slova), NULL. Pre názornosť je uvedené prijímanie troch trojbitových slov  $X_2X_1X_0$ : 000, 001, 010.

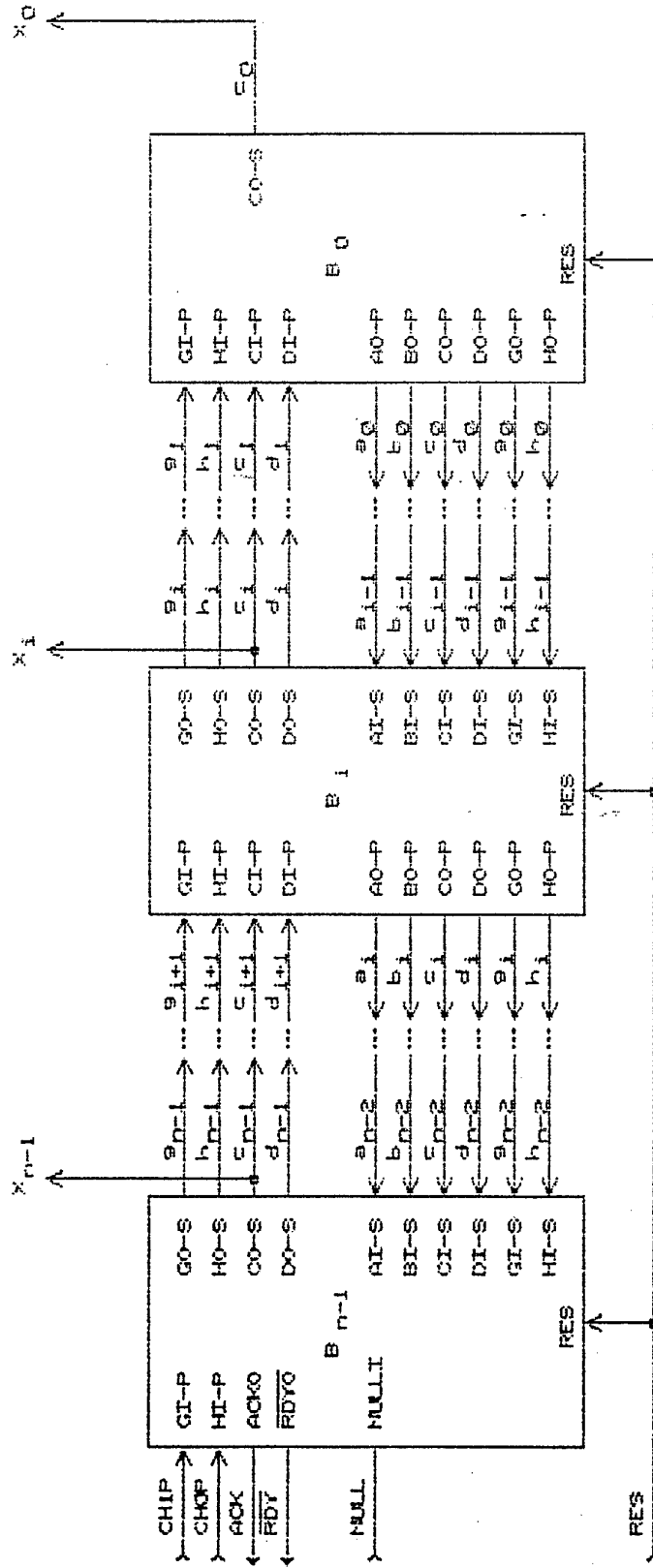
Vynález môže nájsť uplatnenie v počítačových systémoch (pri realizovanom zapojení formou integrovaného obvodu podľa obr. 1,2), napr. pri realizácii rýchlych sériových prepojení voľne viazaných multiprocesorov, rýchlych sériových kanálov počítačov, ako možný variant náhrady paralelných kanálov v počítačoch s rýchlymi sériovými kanálmi a taktiež ako rýchly sériový kanál (vstavaný) v jednočipových mikropočítačoch.

#### P A T E N T O V É N Á R O K Y

Zapojenie na prevod sériovej postupnosti bitov na paralelný formát znaku, vyznačujúce sa tým, že výstupy (CHIP, CHOP) zo sériového kanála ako prvé vstupy zapojenia sú pripojené na prvé vstupy (GI-P, HI-P)  $n-1$ -ho bloku ( $B_{n-1}$ ), vstup (ACK) sériového kanála ako prvý výstup zapojenia je pripojený na prvý výstup (ACKO)  $n-1$ -ho bloku ( $B_{n-1}$ ), druhý výstup ( $\overline{RDY}$ ) zapojenia pripravenosti paralelného znaku na prečítanie je pripojený na druhý výstup ( $\overline{RDY0}$ )  $n-1$ -ho bloku ( $B_{n-1}$ ), druhý vstup (NULL) zapojenia nulovania prijímača po prijatí paralelného znaku je pripojený na vstup (NULLI)  $n-1$ -ho bloku ( $B_{n-1}$ ), tretí vstup (RES) zapojenia nulovania prijímača po zapnutí napájania je pripojený na vstupy (RES)  $i$ -blokov ( $B_i$ ) pre  $i = 0, 1, \dots, n-1$ , prvé výstupy (GO-S, HO-S) výstupnej vnútornej sériovej linky  $i$ -bloku ( $B_i$ ) sú pripojené na prvé vstupy (GI-P, HI-P) vstupnej vnútornej sériovej linky  $n-1$ -ho bloku ( $B_{i-1}$ ) signálovými výstupmi ( $g_i, h_i$ ) pre  $i = 1, 2, \dots, n-1$ , druhé výstupy (CO-S, DO-S) bunky  $i$  (BVRP) vyrovnávajúceho registra prijímača  $i$ -bloku ( $B_i$ ) sú pripojené na druhé vstupy (CI-P, DI-P)  $i-1$ -ho bloku ( $B_{i-1}$ ) signálovými výstupmi ( $c_i, d_i$ ), prvé vstupy (AI-S, BI-S)  $i$ -bloku ( $B_i$ ) sú pripojené na prvé výstupy (AO-P, BO-P) signalizovania prítomnosti pauzy  $i-1$ -ho bloku ( $B_{i-1}$ ) signálovými vstupmi ( $a_{i-1}, b_{i-1}$ ), druhé vstupy (CI-S, DI-S)  $i$ -bloku ( $B_i$ ) sú pripojené na druhé výstupy (CO-P, DO-P) bunky (BVRP) vyrovnávajúceho registra prijímača  $i-1$ -ho bloku ( $B_{i-1}$ ) signálovými vstupmi ( $c_{i-1}, d_{i-1}$ ), tretie vstupy (GI-S, HI-S)  $i$ -bloku ( $B_i$ ) sú pripojené na tretie výstupy (GO-P, HO-P) výstupnej sériovej linky  $i-1$ -ho bloku ( $B_{i-1}$ ) signálovými vstupmi ( $g_{i-1}, h_{i-1}$ ), druhé výstupy ( $c_i$ ) bunky vyrovnávajúceho registra prijímača sú pripojené na vstupy ( $X_i$ ) údajovej zbernice ako tretie výstupy zapojenia pre  $i = 0, 1, \dots, n-1$ , pričom vstupy (GI-P, HI-P) vstupnej vnútornej sériovej linky sú pripojené na prvé vstupy (GI, HI) bunky (BP) pauzy a na tretie vstupy (GI-F<sub>1</sub>, HI-F<sub>1</sub>) bloku ( $F_1$ ) riadenia bunky (BÚB) údajového bitu, výstupy (AO, BO) bunky (BP) pauzy sú pripojené na prvé vstupy (AI, BI) bunky (BÚB) údajového bitu a na výstupy (AO-P, BO-P) signalizovania prítomnosti pauzy signálovými výstupmi ( $a, b$ ), vstupy (CI-P, DI-P) ako výstupy bunky vyrovnávajúceho registra prijímača predchodcu sú pripojené na druhé vstupy (CI-F<sub>1</sub>, DI-F<sub>1</sub>) bloku ( $F_1$ ) riadenia bunky (BÚB) údajového bitu, výstupy (GO, HO) bunky (BÚB) údajového bitu sú pripojené na prvé vstupy ( $G_1, H_1$ ) bunky (BVRP) vyrovnávajúceho registra prijímača a na druhé vstupy (GI-F<sub>0</sub>, HI-F<sub>0</sub>) bloku ( $F_0$ ) riadenia bunky (BP) pauzy a na výstupy (GO-S, HO-S, GO-P, HO-P) vnútornej sériovej linky signálovými výstupmi ( $g, h$ ), výstupy (CO, DO) bunky (BVRP) vyrovnávajúceho registra prijímača sú pripojené na výstupy (CO-S, DO-S, CO-P, DO-P) a na prvé vstupy (CI-F<sub>0</sub>, DI-F<sub>0</sub>) bloku ( $F_0$ ) riadenia bunky (BP) pauzy signálovými výstupmi ( $c, d$ ), výstup ( $F_00$ ) bloku ( $F_0$ ) riadenia bunky (BP) pauzy je pripojený na druhý vstup ( $F_0I$ ) bunky (BP) pauzy, vstupy (AI-S, BI-S) signalizovania prítomnosti pauzy sú pripojené na prvé vstupy (AI-F<sub>1</sub>, BI-F<sub>1</sub>) bloku ( $F_1$ ) riadenia bunky (BÚB) údajového bitu a na prvé

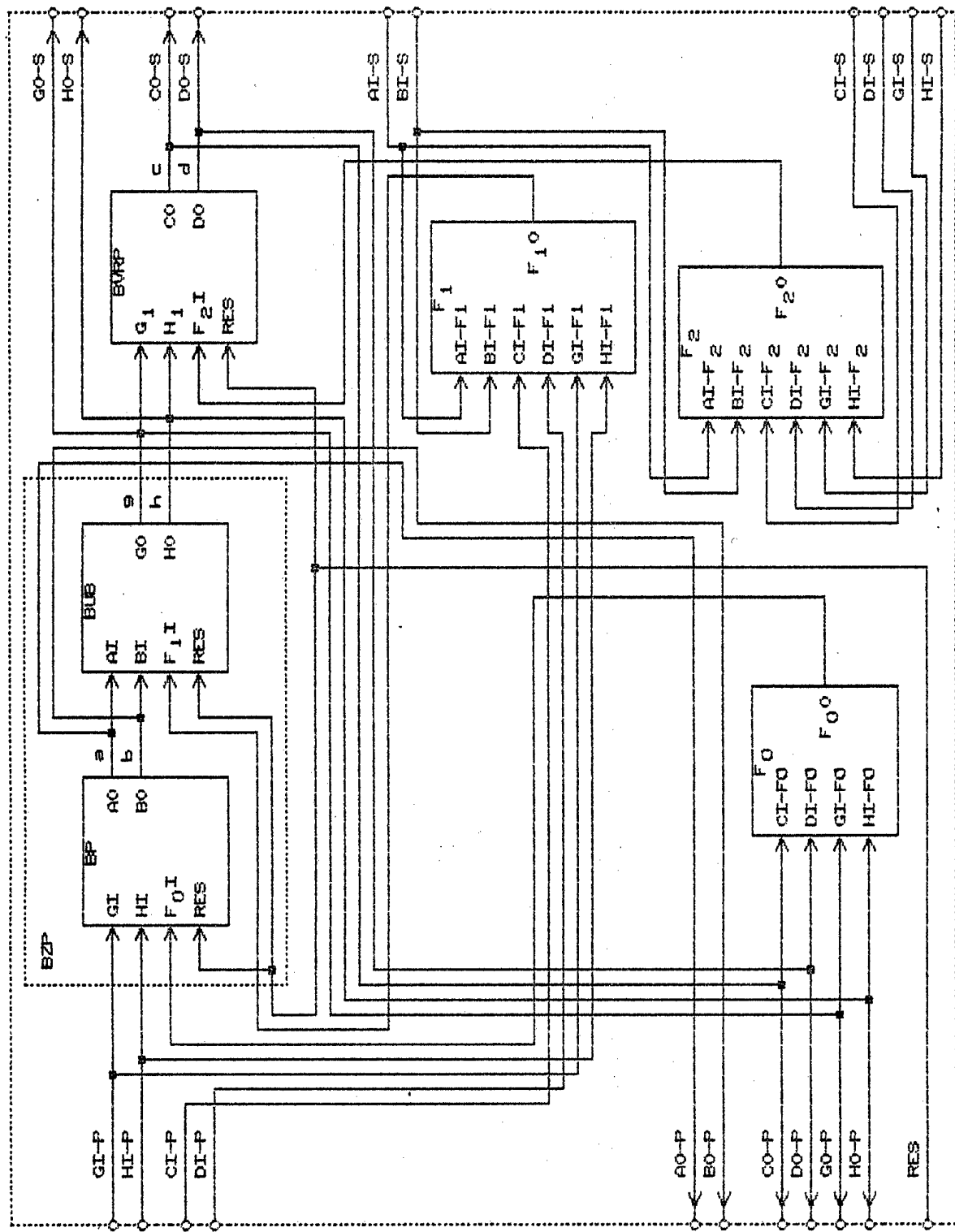
vstupy (AI-F<sub>2</sub>, BI-F<sub>2</sub>) bloku (F<sub>2</sub>) riadenia bunky (BVRP) vyrovnávajúceho registra prijímača, výstup (F<sub>1</sub>O) bloku (F<sub>1</sub>) riadenia bunky (BÚB) údajového bitu je pripojený na druhý vstup (F<sub>1</sub>I) bunky (BÚB) údajového bitu, druhé vstupy (CI-S, DI-S, GI-S, HI-S) ako výstupy bunky (BVRP) vyrovnávajúceho registra prijímača sú pripojené na druhé vstupy (CI-F<sub>2</sub>, DI-F<sub>2</sub>, GI-F<sub>2</sub>, HI-F<sub>2</sub>) bloku (F<sub>2</sub>) riadenia bunky vyrovnávajúceho registra prijímača, výstup (F<sub>2</sub>O) bloku (F<sub>2</sub>) riadenia bunky (BVRP) vyrovnávajúceho registra prijímača je pripojený na druhý vstup (F<sub>2</sub>I) bunky (BVRP) vyrovnávajúceho registra prijímača, vstup (RES) nulovania prijímača po zapnutí napájania je pripojený na tretie vstupy (RES) bunky (BP) pauzy a bunky (BÚB) údajového bitu.

3 výkresy

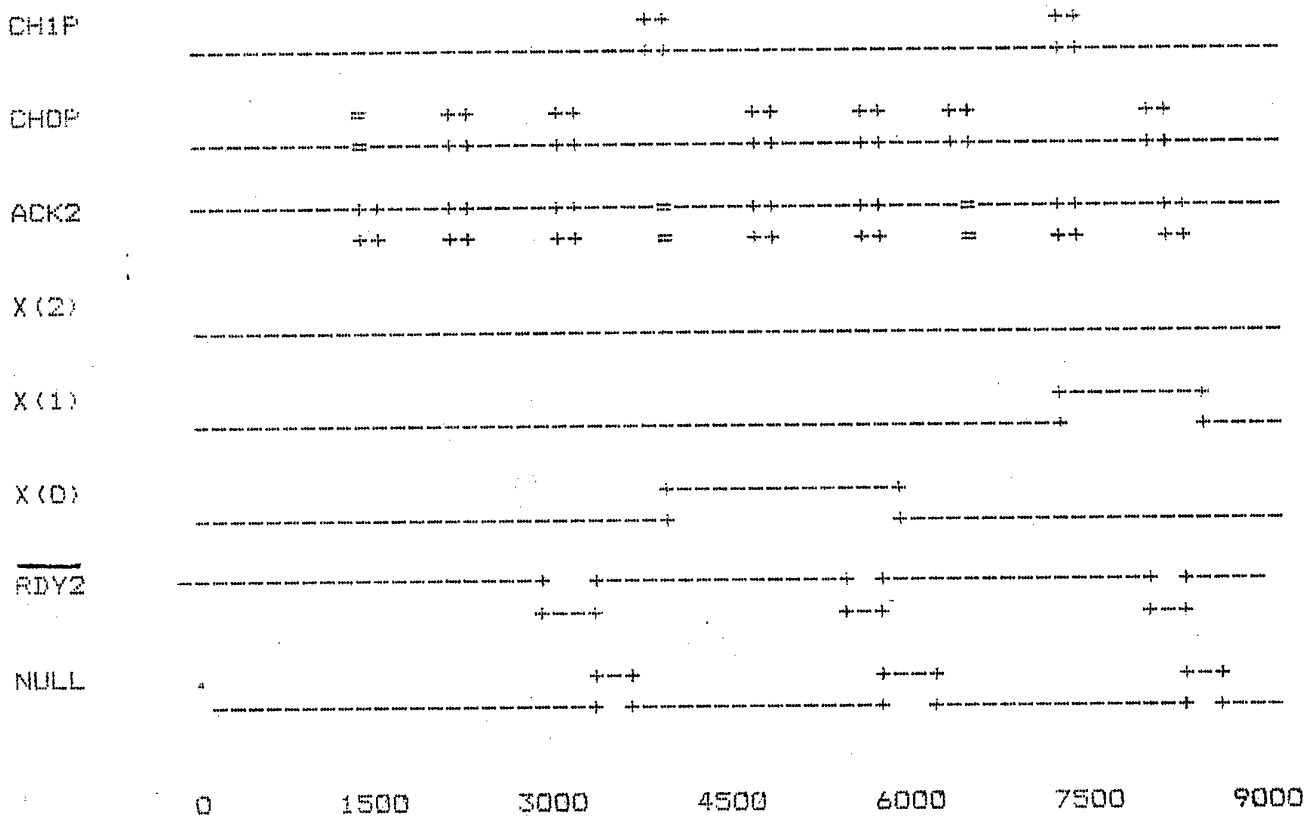


Obv. 1





CS 275656 B6



Obv. 3.