



(12) 发明专利申请

(10) 申请公布号 CN 113777458 A

(43) 申请公布日 2021. 12. 10

(21) 申请号 202110926505.0

(22) 申请日 2021.08.12

(71) 申请人 长江存储科技有限责任公司
地址 430074 湖北省武汉市东湖新技术开
发区未来三路88号

(72) 发明人 王志强

(74) 专利代理机构 北京派特恩知识产权代理有
限公司 11270
代理人 陈仙子 张颖玲

(51) Int. Cl.
G01R 31/26 (2014.01)
G01R 1/04 (2006.01)

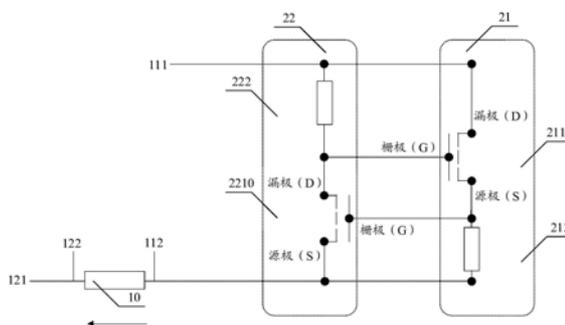
权利要求书2页 说明书9页 附图3页

(54) 发明名称

一种测试结构及测试系统

(57) 摘要

本申请实施例提供了一种测试结构及测试系统,所述测试结构包括:第一测试部、第二测试部和限流结构;其中,所述第一测试部和所述第二测试部用于连接待测电阻结构;所述限流结构包括并联的第一限流支路和第二限流支路;所述第一限流支路包括串联的第一开关和第一限流电阻;所述第二限流支路包括串联的第二开关和第二限流电阻;所述第一限流支路上的压降控制所述第二开关的导通或断开;所述待测电阻结构与所述限流结构串联连接,用于限制流经所述待测电阻结构的电流。本申请实施例提供的测试结构通过设置限流结构,能够有效地限制流经待测电阻结构的电流,从而可避免在待测电阻结构存在缺陷时因测试电流过大而被烧坏。



1. 一种测试结构,其特征在于,所述测试结构包括:第一测试部、第二测试部和限流结构;其中,

所述第一测试部和所述第二测试部用于连接待测电阻结构;

所述限流结构包括并联的第一限流支路和第二限流支路;所述第一限流支路包括串联的第一开关和第一限流电阻;所述第二限流支路包括串联的第二开关和第二限流电阻;所述第一限流支路上的压降控制所述第二开关的导通或断开;

所述待测电阻结构与所述限流结构串联连接,用于限制流经所述待测电阻结构的电流。

2. 如权利要求1所述的测试结构,其特征在于,

所述第一测试部通过金属通孔与所述待测电阻结构的一端连接,所述第二测试部通过金属通孔与所述待测电阻结构的另一端连接,以通过所述第一测试部和所述第二测试部对所述待测电阻结构进行测试。

3. 如权利要求2所述的测试结构,其特征在于,所述第一测试部和所述第二测试部均包括一电压施加端和一电流感知端;

所述第一测试部的电压施加端的电势大于所述第二测试部的电压施加端的电势。

4. 如权利要求3所述的测试结构,其特征在于,所述限流结构位于所述第一测试部的电压施加端和电流感知端之间。

5. 如权利要求3所述的测试结构,其特征在于,所述限流结构位于所述第二测试部的电压施加端和电流感知端之间。

6. 如权利要求1所述的测试结构,其特征在于,

所述第一开关包括金属-氧化物-半导体管MOS或双极性结型晶体管BJT;

所述第二开关包括MOS或BJT。

7. 如权利要求3所述的测试结构,其特征在于,

所述第一开关包括第一NMOS管,所述第一NMOS管的漏极与所述第二限流电阻的输入端连接,所述第一NMOS管的栅极与所述第二限流电阻的输出端连接,所述第一NMOS管的源极与所述第一限流电阻的输入端连接。

8. 如权利要求3所述的测试结构,其特征在于,

所述第二开关包括第二NMOS管,所述第二NMOS管的漏极与所述第二限流电阻的输出端连接,所述第二NMOS管的栅极与所述第一限流电阻的输入端连接,所述第二NMOS管的源极与所述第一限流电阻的输出端连接。

9. 如权利要求1所述的测试结构,其特征在于,

所述第一限流电阻的压降小于所述第二开关的导通电压时,所述第二开关断开。

10. 如权利要求1所述的测试结构,其特征在于,

所述第一限流电阻的压降大于或等于所述第二开关的导通电压时,所述第二开关导通。

11. 如权利要求1至10中任一项所述的测试结构,其特征在于,所述测试结构用于测试所述待测电阻结构的阻值或者用于根据测得的所述待测电阻结构的阻值确定所述待测电阻结构的应力迁移参数。

12. 一种测试系统,其特征在于,所述测试系统包括相互连接的待测电阻结构和测试结

构,所述测试结构为如权利要求1至11中任一项所述的测试结构。

一种测试结构及测试系统

技术领域

[0001] 本申请涉及半导体制造技术领域,尤其涉及一种测试结构及测试系统。

背景技术

[0002] 在半导体器件的生产过程中,进行测试分析可及时发现并纠正设计和生产过程中的缺陷,这对于提高生产效率,改善制造工艺的可靠性和稳定性起到了至关重要的作用。

发明内容

[0003] 有鉴于此,本申请为解决现有技术中存在的至少一个技术问题而提供一种测试结构及测试系统。

[0004] 为达到上述目的,本申请的技术方案是这样实现的:

[0005] 第一方面,本申请实施例提供一种测试结构,所述测试结构包括:第一测试部、第二测试部和限流结构;其中,

[0006] 所述第一测试部和所述第二测试部用于连接待测电阻结构;

[0007] 所述限流结构包括并联的第一限流支路和第二限流支路;所述第一限流支路包括串联的第一开关和第一限流电阻;所述第二限流支路包括串联的第二开关和第二限流电阻;所述第一限流支路上的压降控制所述第二开关的导通或断开;

[0008] 所述待测电阻结构与所述限流结构串联连接,用于限制流经所述待测电阻结构的电流。

[0009] 根据本申请的一种实施方式,所述第一测试部通过金属通孔与所述待测电阻结构的一端连接,所述第二测试部通过金属通孔与所述待测电阻结构的另一端连接,以通过所述第一测试部和所述第二测试部对所述待测电阻结构进行测试。

[0010] 根据本申请的一种实施方式,所述第一测试部和所述第二测试部均包括一电压施加端和一电流感知端;

[0011] 所述第一测试部的电压施加端的电势大于所述第二测试部的电压施加端的电势。

[0012] 根据本申请的一种实施方式,所述限流结构位于所述第一测试部的电压施加端和电流感知端之间。

[0013] 根据本申请的一种实施方式,所述限流结构位于所述第二测试部的电压施加端和电流感知端之间。

[0014] 根据本申请的一种实施方式,所述第一开关包括金属-氧化物-半导体管MOS或双极性结型晶体管BJT;所述第二开关包括MOS或BJT。

[0015] 根据本申请的一种实施方式,所述第一开关包括第一NMOS管,所述第一NMOS管的漏极与所述第二限流电阻的输入端连接,所述第一NMOS管的栅极与所述第二限流电阻的输出端连接,所述第一NMOS管的源极与所述第一限流电阻的输入端连接。

[0016] 根据本申请的一种实施方式,所述第二开关包括第二NMOS管,所述第二NMOS管的漏极与所述第二限流电阻的输出端连接,所述第二NMOS管的栅极与所述第一限流电阻的输

入端连接,所述第二NMOS管的源极与所述第一限流电阻的输出端连接。

[0017] 根据本申请的一种实施方式,所述第一限流电阻的压降小于所述第二开关的导通电压时,所述第二开关断开。

[0018] 根据本申请的一种实施方式,所述第一限流电阻的压降大于或等于所述第二开关的导通电压时,所述第二开关导通。

[0019] 根据本申请的一种实施方式,所述测试结构用于测试所述待测电阻结构的阻值或者用于根据测得的所述待测电阻结构的阻值确定所述待测电阻结构的应力迁移参数。

[0020] 第二方面,本申请实施例还提供一种测试系统,所述测试系统包括相互连接的待测电阻结构和测试结构,所述测试结构为上述技术方案中所述的测试结构。

[0021] 本申请实施例提供了一种测试结构及测试系统,所述测试结构包括:第一测试部、第二测试部和限流结构;其中,所述第一测试部和所述第二测试部用于连接待测电阻结构;所述限流结构包括并联的第一限流支路和第二限流支路;所述第一限流支路包括串联的第一开关和第一限流电阻;所述第二限流支路包括串联的第二开关和第二限流电阻;所述第一限流支路上的压降控制所述第二开关的导通或断开;所述待测电阻结构与所述限流结构串联连接,用于限制流经所述待测电阻结构的电流。本申请实施例提供的测试结构通过设置限流结构,能够有效地限制流经待测电阻结构的电流,从而可避免在待测电阻结构存在缺陷时因测试电流过大而被烧坏。

附图说明

[0022] 图1A为本申请实施例提供了一种测试结构的剖视图;

[0023] 图1B为本申请实施例提供了一种测试结构的简化结构示意图;

[0024] 图2为本申请实施例提供的另一种测试结构的剖视图;

[0025] 图3为本申请实施例提供了一种测试结构的结构示意图;

[0026] 图4为本申请实施例提供的另一种测试结构的结构示意图;

[0027] 图5为本申请实施例提供的又一种测试结构的结构示意图;

[0028] 图中包括:10-待测电阻结构;11-第一测试部;111-第一电压施加端;112-第一电流感知端;12-第二测试部;121-第二电压施加端;122-第二电流感知端;13-空洞;21-第一限流支路;211-第一开关;212-第一限流电阻;2110-第一NMOS管;2111-第一PMOS管;22-第二限流支路;221-第二开关;222-第二限流电阻;2210-第二NMOS管;2211-第二PMOS管。

具体实施方式

[0029] 下面将结合本申请实施方式及附图,对本申请实施方式中的技术方案进行清楚、完整地描述,显然,所描述的实施方式仅仅是本申请的一部分实施方式,而不是全部的实施方式。基于本申请中的实施方式,本领域普通技术人员在没有作出创造性劳动前提下所获得的所有其他实施方式,都属于本申请保护的范围。

[0030] 在下文的描述中,给出了大量具体的细节以便提供对本申请更为彻底的理解。然而,对于本领域技术人员而言显而易见的是,本申请可以无需一个或多个这些细节而得以实施。在其他的例子中,为了避免与本申请发生混淆,对于本领域公知的一些技术特征未进行描述;即,这里不描述实际实施例的全部特征,不详细描述公知的功能和结构。

[0031] 在附图中,为了清楚,层、区、元件的尺寸以及其相对尺寸可能被夸大。自始至终相同附图标记表示相同的元件。

[0032] 应当明白,当元件或层被称为“在……上”、“与……相邻”、“连接到”或“耦合到”其它元件或层时,其可以直接地在其它元件或层上、与之相邻、连接或耦合到其它元件或层,或者可以存在居间的元件或层。相反,当元件被称为“直接在……上”、“与……直接相邻”、“直接连接到”或“直接耦合到”其它元件或层时,则不存在居间的元件或层。应当明白,尽管可使用术语第一、第二、第三等描述各种元件、部件、区、层和/或部分,这些元件、部件、区、层和/或部分不应当被这些术语限制。这些术语仅仅用来区分一个元件、部件、区、层或部分与另一个元件、部件、区、层或部分。因此,在不脱离本申请教导之下,下面讨论的第一元件、部件、区、层或部分可表示为第二元件、部件、区、层或部分。而当讨论的第二元件、部件、区、层或部分时,并不表明本申请必然存在第一元件、部件、区、层或部分。

[0033] 空间关系术语例如“在……下”、“在……下面”、“下面的”、“在……之下”、“在……之上”、“上面的”等,在这里可为了方便描述而被使用从而描述图中所示的一个元件或特征与其它元件或特征的关系。应当明白,除了图中所示的取向以外,空间关系术语意图还包括使用和操作中的器件的不同取向。例如,如果附图中的器件翻转,然后,描述为“在其它元件下面”或“在其之下”或“在其下”元件或特征将取向为在其它元件或特征“上”。因此,示例性术语“在……下面”和“在……下”可包括上和下两个取向。器件可以另外地取向(旋转90度或其它取向)并且在此使用的空间描述语相应地被解释。

[0034] 在此使用的术语的目的仅在于描述具体实施例并且不作为本申请的限制。在此使用时,单数形式的“一”、“一个”和“所述/该”也意图包括复数形式,除非上下文清楚指出另外的方式。还应明白术语“组成”和/或“包括”,当在该说明书中使用,确定所述特征、整数、步骤、操作、元件和/或部件的存在,但不排除一个或更多其它的特征、整数、步骤、操作、元件、部件和/或组的存在或添加。在此使用时,术语“和/或”包括相关所列项目的任何及所有组合。

[0035] 为了彻底理解本申请,将在下列的描述中提出详细的步骤以及详细的结构,以便阐释本申请的技术方案。本申请的较佳实施例详细描述如下,然而除了这些详细描述外,本申请还可以具有其他实施方式。

[0036] 在半导体器件的生产过程中,进行测试分析可及时发现并纠正设计和生产过程中的缺陷,这对于提高生产效率,改善制造工艺的可靠性和稳定性起到了至关重要的作用。

[0037] 四端法是目前通用的测量电阻的方法。通过测量待测电阻结构两端的电压,和流经待测电阻结构的电流来确定待测电阻结构的阻值。对于低值电阻而言,可以有效地消除接触电阻和引线电阻。

[0038] 图1A和1B示出了本申请实施例提供的一种测试结构,如图1A和图1B所示,测试结构包括:第一测试部11和第二测试部12,第一测试部11与待测电阻结构10的一端电连接,第二测试部12与待测电阻结构10的另一端电连接,其中,第一测试部11和第二测试部12均包括一电压施加端(force)和一电流感知端(sense),具体地,第一测试部11包括第一电压施加端111和第一电流感知端112,第二测试部12包括第二电压施加端121和第二电流感知端122。

[0039] 在本申请的一些实施例中,第一电压施加端可接第一电压 V_1 ,第二电压施加端可

接第二电压 V_2 ，其中第一电压 V_1 高于第二电压 V_2 ，第一电流感知端测试得到的电流 I ，根据上述电压和电流值可计算得到待测电阻结构 R_x 的阻值如

[0040] 式1所示：

$$[0041] \quad R_x = \frac{V_1 - V_2}{I} \quad (\text{式 } 1)$$

[0042] 这里，可以通过电源测量单元(source measure unit, SMU)对待测电阻结构的两端施加电压。可以理解的是，电源测量单元是一种供电设备，可以提供不同档位的电压。可以举例的是，电源测量单元可以提供在-20V至20V范围内，五种不同的电压值。

[0043] 在本申请的一些实施例中，待测电阻结构可以是单个通孔结构(single via)或者是通孔链(via chain)。通过本申请实施例提供的测试结构，能够获取通孔结构或者通孔链的电阻值，为后续分析半导体制造工艺的稳定性和可靠性提供基础。在本申请的另一些实施例中，待测电阻结构也可以是金属互连线或者多晶硅。

[0044] 图2示出了本申请实施例提供的另一种测试结构的剖视图。该测试结构包括：第一测试部11和第二测试部12，第一测试部11和第二测试部12分别与待测电阻结构10的两端电连接，其中，第一测试部11包括第一电压施加端111和第一电流感知端112，第二测试部12包括第二电压施加端121和第二电流感知端122，在待测电阻结构10上还出现了空洞13。

[0045] 可以理解的是，当所述待测电阻结构为金属互连线时，在一定的温度下，由于各种材料热膨胀系数不同，在不同的材料间形成应力，从而使得金属互连线或者通孔结构的晶粒间的小空隙向应力集中的地方聚集形成空洞，这种现象称为应力迁移(stress migration, SM)。应力迁移可能导致半导体器件中的金属互连线出现开路现象，从而造成半导体器件失效。

[0046] 根据前述内容，可以通过电源测量单元给待测电阻结构的两端施加电压，然后测量通过待测电阻结构的电流，从而计算得到待测电阻结构的阻值。然而，由于待测电阻结构例如金属互连线，可能已经在使用过程中发生应力迁移，即，待测电阻结构的阻值已经发生变化，那么在电源测量单元功率足够的前提下，待测电阻结构可能会被烧坏(burn out)。

[0047] 因此，需要一种测试结构，能够限制流经待测电阻结构的电流，尤其是当待测电阻结构存在由于工艺或者缺陷(defect)等问题导致的电阻异常的情况下，能够有效地限制流经待测电阻结构的电流，从而可避免烧坏待测电阻结构。

[0048] 图3为本申请实施例提供的一种测试结构的结构示意图，该测试结构包括：第一测试部、第二测试部和限流结构；其中，所述第一测试部和所述第二测试部用于连接待测电阻结构；所述限流结构包括并联的第一限流支路21和第二限流支路22；第一限流支路21包括串联的第一开关211和第一限流电阻212；第二限流支路22包括串联的第二开关221和第二限流电阻222；第一限流支路21上的压降控制第二限流支路22的导通或断开，即第一限流支路21上的压降控制第二开关221的导通或断开。

[0049] 在本申请的一些实施例中，所述限流结构包括并联设置的第一限流支路和第二限流支路，并且通过所述第一限流支路上的压降控制所述第二开关的导通或断开，从而实现限制流经待测电阻结构的电流的目的。即便待测电阻结构可能由于工艺缺陷导致结构短路，从而导致待测电阻结构的阻值极小，也能够将流经待测电阻结构的电流限制在较低水平，避免烧坏待测电阻结构。

[0050] 仍然参考图3,第一测试部通过金属通孔与待测电阻结构10的一端电连接,第二测试部通过金属通孔与待测电阻结构10的另一端电连接,以通过所述第一测试部和所述第二测试部对待测电阻结构10进行测试。其中,所述第一测试部和所述第二测试部均包括一电压施加端(force)和一电流感知端(sense),具体地,第一测试部包括第一电压施加端111和第一电流感知端112,第二测试部包括第二电压施加端121和第二电流感知端122。

[0051] 这里,对于第一电压施加端和第二电压施加端施加的电压的高低关系没有限制。在本申请的一些实施例中,可在第一电压施加端施加高电压,第二电压施加端施加低电压。在本申请的另一一些实施例中,可在第一电压施加端施加低电压,第二电压施加端施加高电压。值得注意的是,这里的高电压和低电压指的是比较第一电压施加端和第二电压施加端所施加的电压的高低,并不指代具体的电压值范围。需要说明的是,第一电压施加端与第二电压施加端的电压差需要大于第一开关和第二开关的导通电压。

[0052] 如图3所示,所述限流结构与待测电阻结构10串联连接,用于限制流经待测电阻结构10的电流。第一测试部的电压施加端的电压大于第二测试部的电压施加端的电压。图3中箭头的方向代表了电流的方向。在本申请的一些实施例中,所述限流结构位于所述第一测试部的电压施加端和电流感知端之间。根据一具体的实施例,第二测试部的电压施加端可以接地,即,第二电压施加端的电压 V_2 为0。

[0053] 在本申请的一些实施例中,第一限流电阻的压降小于第二开关的导通电压时,第二开关断开。如上所述,第一限流电阻的压降小于第二开关的导通电压时,此时,不满足第二开关的导通条件,因此,在限流结构中,第一开关处于导通状态,第二开关处于断开状态。在限流结构和待测电阻结构串联的电路中,仅有第一限流电阻和待测电阻结构以及第一开关处于串联连接关系,流经第一限流电阻的电流即为流经待测电阻结构的电流。

[0054] 在本申请的一些实施例中,第一限流电阻的阻值可以小于待测电阻结构的阻值。

[0055] 在本申请的另一一些实施例中,第一限流电阻的阻值也可以大于或等于待测电阻结构的阻值。在这种情况下,相较于待测电阻结构,第一限流电阻能够承担更大的压降,并且通过串联电阻值更大的第一限流电阻,能够有效地限制流经待测电阻结构的电流。

[0056] 在本申请的一些实施例中,第一限流电阻的压降大于或等于第二开关的导通电压时,第二开关导通。如上所述,第一限流电阻的压降大于或等于第二开关的导通电压时,此时,满足第二开关的导通条件,因此,在限流结构中,第一开关处于导通状态,第二开关也处于导通状态。在限流结构和待测电阻结构串联的电路中,限流结构包括并联连接的第一限流支路和第二限流支路,其中,第一限流支路包括串联连接的第一开关和第一限流电阻,第二限流支路包括串联连接的第二开关和第二限流电阻。流经第一限流电阻和第二限流电阻的电流之和即为流经待测电阻结构的电流。

[0057] 在本申请的一些实施例中,第一限流电阻的阻值可以小于待测电阻结构的阻值,第二限流电阻的阻值也可以小于待测电阻结构的阻值。

[0058] 在本申请的另一一些实施例中,第一限流电阻的阻值也可以大于或等于待测电阻结构的阻值,第二限流电阻的阻值也可以大于或等于待测电阻结构的阻值。在这种情况下,相较于待测电阻结构,第一限流电阻和第二限流电阻并联后也能够承担更大的压降,能够有效地限制流经待测电阻结构的电流。

[0059] 在本申请的一些实施例中,第一限流电阻和第二限流电阻的阻值可以相同。在本

申请的另一些实施例中,第一限流电阻和第二限流电阻的阻值也可以不同。

[0060] 结合图3和图4所示,所述测试结构包括:第一测试部、第二测试部和限流结构;其中,所述第一测试部和所述第二测试部用于连接待测电阻结构;所述限流结构包括并联的第一限流支路21和第二限流支路22;第一限流支路21包括串联的第一开关211和第一限流电阻212;第二限流支路22包括串联的第二开关221和第二限流电阻222;第一限流支路21上的压降控制第二限流支路22的导通或断开,即,所述第一限流支路21上的压降控制第二开关221的导通或断开。

[0061] 在本申请的一些实施例中,所述第一开关包括金属-氧化物-半导体管MOS或双极性结型晶体管BJT;所述第二开关包括MOS或BJT。

[0062] 如图3所示,第一开关211一端与第二限流支路22的输入端连接,第一开关211另一端通过第一限流电阻212与第二限流支路22的输出端连接。继续参考图3,第二开关221一端通过第二限流电阻222与第一限流支路21的输入端连接,第二开关221另一端与第一限流支路21的输出端连接。

[0063] 参考图4,图4为本申请实施例提供的另一种测试结构的结构示意图。如图4所示,第一开关可以包括第一NMOS管,第二开关可以包括第二NMOS管。这里第一电压施加端111的电势大于第二电压施加端121的电势。图4中箭头的方向代表了电流的方向。此时,所述限流结构位于所述第一测试部的电压施加端和电流感知端之间。

[0064] 如图4所示,第一开关可以包括第一NMOS管2110,第一NMOS管2110的漏极(drain)与第二限流电阻222的输入端连接,第一NMOS管2110的栅极(gate)与第二限流电阻222的输出端连接,第一NMOS管2110的源极(source)与第一限流电阻212的输入端连接。

[0065] 如图4所示,第二开关可以包括第二NMOS管2210,第二NMOS管2210的漏极(drain)与第二限流电阻222的输出端连接,第二NMOS管2210的栅极(gate)与第一限流电阻212的输入端连接,第二NMOS管2210的源极(source)与第一限流电阻212的输出端连接。

[0066] 在本申请实施例中,第一NMOS管2110的栅极(gate)与第二NMOS管2210的漏极(drain)连接,第一NMOS管2110的源极(source)与第二NMOS管2210的栅极(gate)连接。

[0067] 参考图5,图5为本申请实施例提供的又一种测试结构的结构示意图。如图5所示,第一开关可以包括第一PMOS管,第二开关可以包括第二PMOS管。这里第一电压施加端111的电势大于第二电压施加端121的电势。图5中箭头的方向代表了电流的方向。此时,所述限流结构位于所述第二测试部的电压施加端和电流感知端之间。

[0068] 如图5所示,第一开关可以包括第一PMOS管2111,第一PMOS管2111的源极(source)与第二限流电阻222的输入端连接,第一PMOS管2111的栅极(gate)与第二限流电阻222的输出端连接,第一PMOS管2111的漏极(drain)与第一限流电阻212的输入端连接。

[0069] 如图5所示,第二开关可以包括第二PMOS管2211,第二PMOS管2211的源极(source)与第二限流电阻222的输出端连接,第二PMOS管2211的栅极(gate)与第一限流电阻212的输入端连接,第二PMOS管2211的漏极(drain)与第一限流电阻212的输出端连接。

[0070] 在本申请实施例中,第一PMOS管2111的栅极(gate)与第二PMOS管2211的源极(source)连接,第一PMOS管2111的漏极(drain)与第二PMOS管2211的栅极(gate)连接。

[0071] 在本申请的一些实施例中,第一开关可以包括第一NPN BJT管,第二开关也可以包括第二NPN BJT管,其中,第一、第二NPN BJT管在限流结构中的连接关系分别与第一、第二

NMOS管的连接关系类似。

[0072] 具体地,第一NPN BJT管的基极(base) (相当于第一NMOS管的栅极)与第二限流电阻的输出端连接,第一NPN BJT管的集电极(collector) (相当于第一NMOS管的源极)与第一限流电阻的输入端连接,第一NPN BJT管的发射极(emitter) (相当于第一NMOS管的漏极)与第二限流电阻的输入端连接。

[0073] 具体地,第二NPN BJT管的基极(base) (相当于第二NMOS管的栅极)与第一限流电阻的输入端连接,第二NPN BJT管的集电极(collector) (相当于第二NMOS管的源极)与第一限流电阻的输出端连接,第二NPN BJT管的发射极(emitter) (相当于第二NMOS管的漏极)与第二限流电阻的输出端连接。

[0074] 在本申请的一些实施例中,第一开关可以包括第一PNP BJT管,第二开关也可以包括第二PNP BJT管,其中,第一、第二PNP BJT管在限流结构中的连接关系分别与第一、第二PMOS管的连接关系类似。

[0075] 具体地,第一PNP BJT管的基极(base) (相当于第一PMOS管的栅极)与第二限流电阻的输出端连接,第一PNP BJT管的发射极(emitter) (相当于第一PMOS管的漏极)与第一限流电阻的输入端连接,第一PNP BJT管的集电极(collector) (相当于第一PMOS管的源极)与第二限流电阻的输入端连接。

[0076] 具体地,第二PNP BJT管的基极(base) (相当于第二PMOS管的栅极)与第一限流电阻的输入端连接,第二PNP BJT管的发射极(emitter) (相当于第二PMOS管的漏极)与第一限流电阻的输出端连接,第二PNP BJT管的集电极(collector) (相当于第二PMOS管的源极)与第二限流电阻的输出端连接。

[0077] 仍参考图4,这里,第一电压施加端111的 V_1 为高电平,第二电压施加端121接地。需要说明的是,高电平 V_1 大于第一NMOS管的导通电压。此时第一NMOS管的漏源极电压 V_{DS} 大于第一NMOS管的栅源极电压 V_{GS} 减第一NMOS管的导通电压,第一NMOS管处于导通状态,第一限流支路的电流为第一NMOS管的漏电流 I_{D1} 。当第一限流电阻的压降小于第二NMOS管的导通电压时,此时,不满足第二NMOS管的导通条件,因此,第二NMOS管截止,从而第二限流支路断开。若第一限流电阻的阻值为 R_1 ,则若 $R_1 \times I_{D1}$ 小于第二NMOS管的导通电压,则仅有第一限流支路导通工作。在限流结构和待测电阻结构串联的电路中,仅有第一限流电阻和待测电阻结构以及第一NMOS管处于串联连接关系,流经第一限流电阻的电流即为流经待测电阻结构的电流。这里的第一NMOS管可以起到限制第一限流支路上电流的作用,从而进一步起到限制流经待测电阻结构的电流的作用。

[0078] 继续参考图4,这里,第一电压施加端111的 V_1 为高电平,第二电压施加端121接地。需要说明的是,高电平 V_1 大于第一NMOS管的导通电压。此时第一NMOS管的漏源极电压 V_{DS} 大于第一NMOS管的栅源极电压 V_{GS} 减第一NMOS管的导通电压,第一NMOS管处于导通状态,第一限流支路的电流为第一NMOS管的漏电流 I_{D1} 。当第一限流电阻的压降大于或等于第二NMOS管的导通电压时,此时,满足第二NMOS管的导通条件,因此,第二NMOS管也导通,第二限流支路导通,第二限流支路的电流为第二NMOS管的漏电流 I_{D2} 。若第一限流电阻的阻值为 R_1 ,则在 $R_1 \times I_{D1}$ 大于或等于第二NMOS管的导通电压时,则第二NMOS管导通,第一限流支路和第二限流支路均导通工作。在限流结构和待测电阻结构串联的电路中,限流结构包括并联连接的第一限流支路和第二限流支路,其中,第一限流支路包括串联连接的第一NMOS管和第一限流

电阻,第二限流支路包括串联连接的第二NMOS管和第二限流电阻。流经第一限流电阻和第二限流电阻的电流之和即为流经待测电阻结构的电流。这里的第一NMOS管和第二NMOS管分别可以起到限制第一限流支路上电流和限制第二限流支路上电流的作用,从而进一步起到限制流经待测电阻结构的电流的作用。

[0079] 在本申请的一个示例中,第一NMOS管和第二NMOS管的导通电压可以是0.43V。当然,第一NMOS管和第二NMOS管的导通电压可以根据具体情况进行选择。

[0080] 在本申请的一个示例中,通过第一电压施加端施加高电压,第二电压施加端接地,由于限流结构中第一限流电阻和第二限流电阻的阻值均为已知数据,测量得到流经待测电阻结构的电流后,即可计算得到待测电阻结构的阻值。

[0081] 由于在待测电阻结构前接入包含第一限流支路和第二限流支路的限流结构,无论待测电阻结构的阻值为多少,该限流结构都能够将流经待测电阻结构的电流限制在预设范围内,流经待测电阻结构的电流在预设范围内即可避免烧坏待测电阻结构。

[0082] 在本申请的一个示例中,所述测试结构可为应力迁移测试结构或电阻测试结构。在应力迁移测试结构中,金属互连线很可能由于应力迁移,在金属互连线的内部存在孔洞缺陷,通过在常规的应力迁移测试结构前设置电流限制电路(circuit),可有效地限制流经金属互连线的电流,起到保护金属互连线的作用。因此,本申请实施例提供的测试结构可应用于应力测试结构中,一方面,可以通过限流结构限制电路中流经待测金属互连线的电流,起到保护待测金属互连线的作用,另一方面,也可以通过第一测试部和第二测试部,测试得到待测金属互连线的电阻值,用于判断待测金属互连线的应力迁移状况。因此,所述测试结构用于测试所述待测电阻结构的阻值或者用于根据测得的所述待测电阻结构的阻值确定所述待测电阻结构的应力迁移参数。

[0083] 本申请实施例还提供一种测试系统,所述测试系统包括相互连接的待测电阻结构和测试结构,所述测试结构为上述技术方案中所述的测试结构。

[0084] 本申请实施例提供的测试结构及测试系统,所述测试结构包括:第一测试部、第二测试部和限流结构;其中,所述第一测试部和所述第二测试部用于连接待测电阻结构;所述限流结构包括并联的第一限流支路和第二限流支路;所述第一限流支路包括串联的第一开关和第一限流电阻;所述第二限流支路包括串联的第二开关和第二限流电阻;所述第一限流支路上的压降控制所述第二开关的导通或断开;所述待测电阻结构与所述限流结构串联连接,用于限制流经所述待测电阻结构的电流。本申请实施例提供的测试结构通过设置限流结构,以限制流经待测电阻结构的电流,尤其是当待测电阻结构存在由于工艺或者缺陷等问题导致的电阻异常时,能够有效地限制流经待测电阻结构的电流,从而可避免烧坏待测电阻结构。

[0085] 应理解,说明书通篇中提到的“一个实施例”或“一实施例”意味着与实施例有关的特定特征、结构或特性包括在本申请的至少一个实施例中。因此,在整个说明书各处出现的“在一个实施例中”或“在一实施例中”未必一定指相同的实施例。此外,这些特定的特征、结构或特性可以任意适合的方式结合在一个或多个实施例中。应理解,在本申请的各种实施例中,上述各过程的序号的大小并不意味着执行顺序的先后,各过程的执行顺序应以其功能和内在逻辑确定,而不对本申请实施例的实施过程构成任何限定。上述本申请实施例序号仅仅为了描述,不代表实施例的优劣。

[0086] 以上所述仅为本申请的优选实施方式,并非因此限制本申请的专利范围,凡是在本申请的发明构思下,利用本申请说明书及附图内容所作的等效结构变换,或直接/间接运用在其他相关的技术领域均包括在本申请的专利保护范围内。

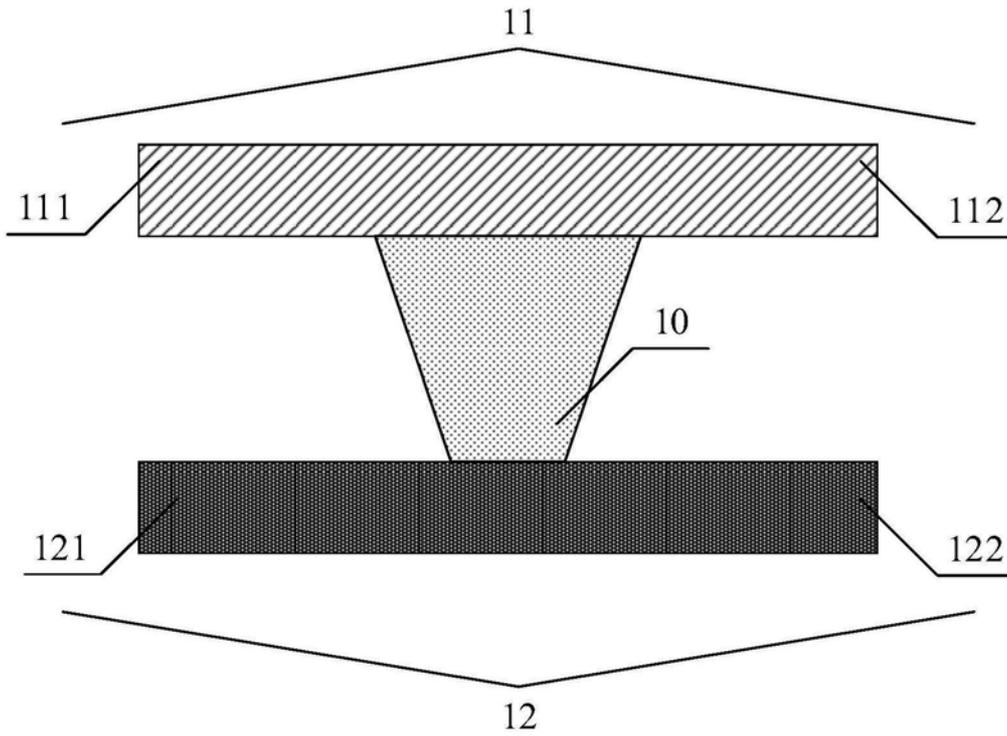


图1A

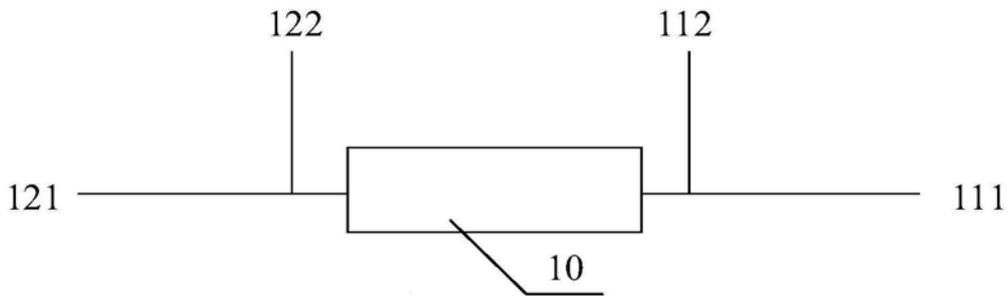


图1B

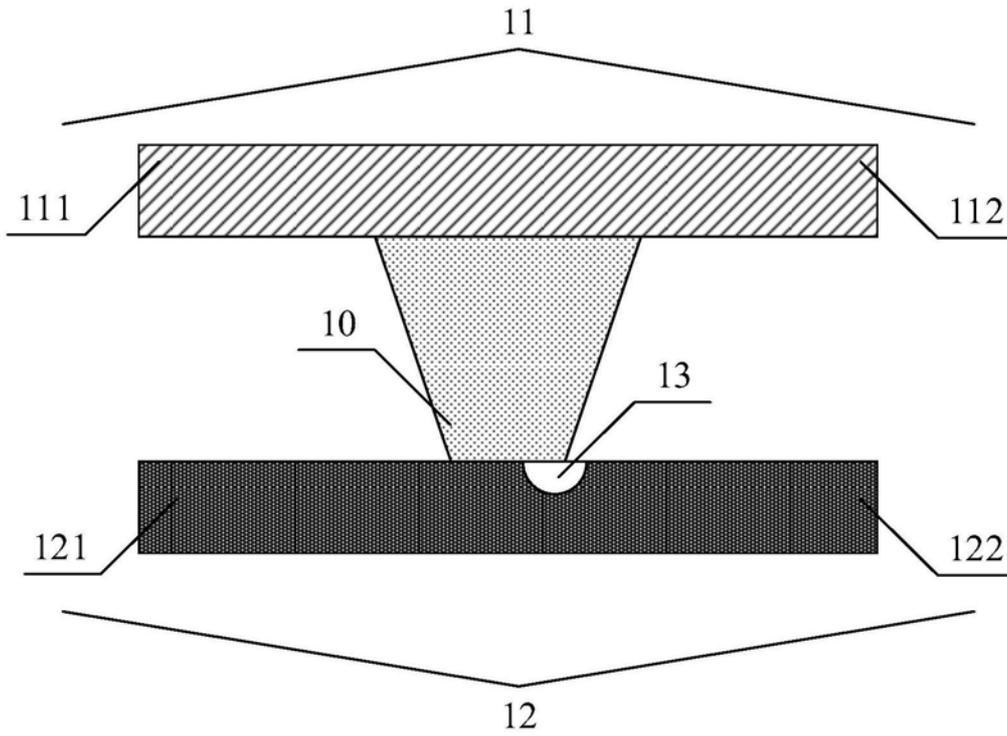


图2

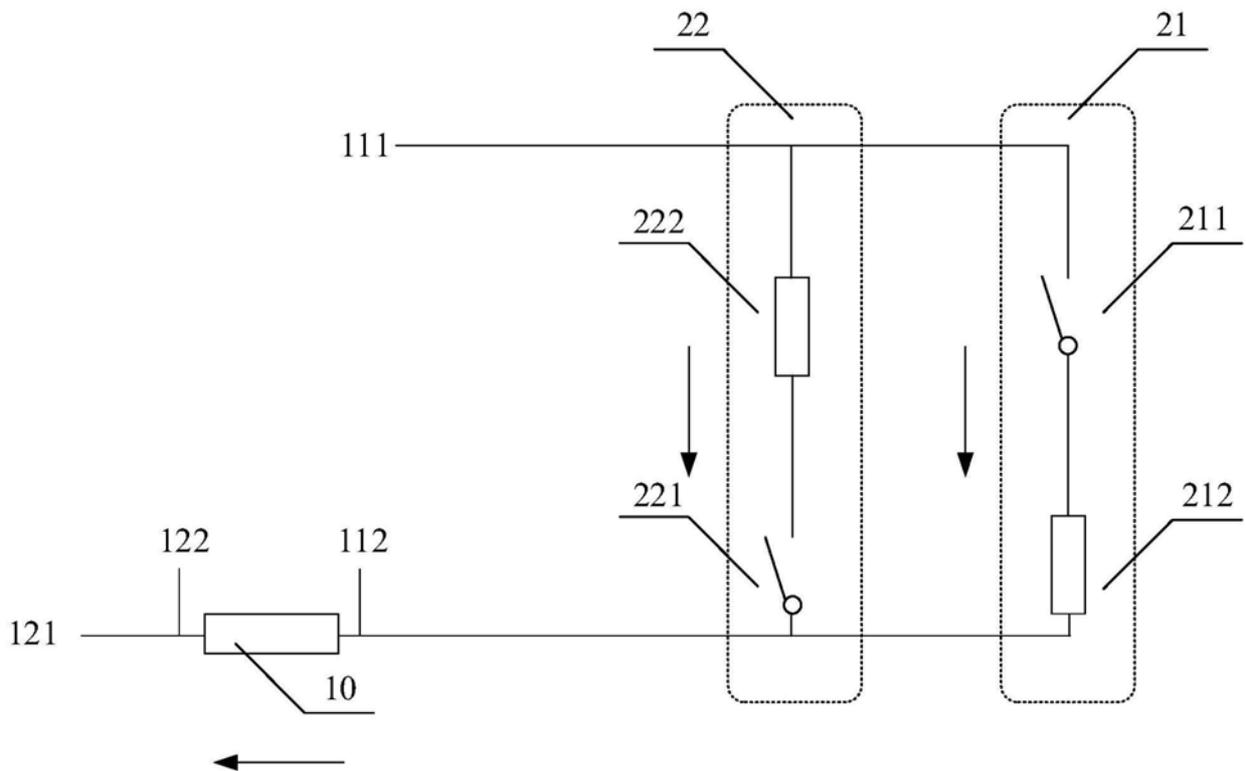


图3

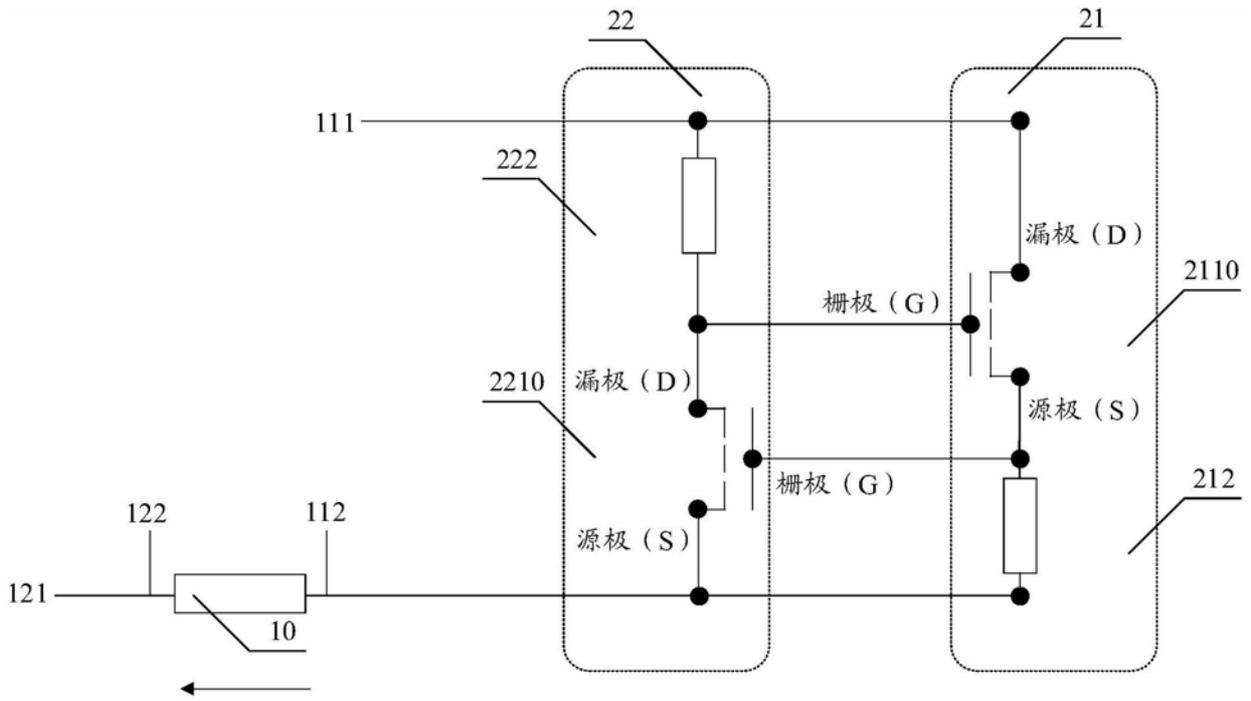


图4

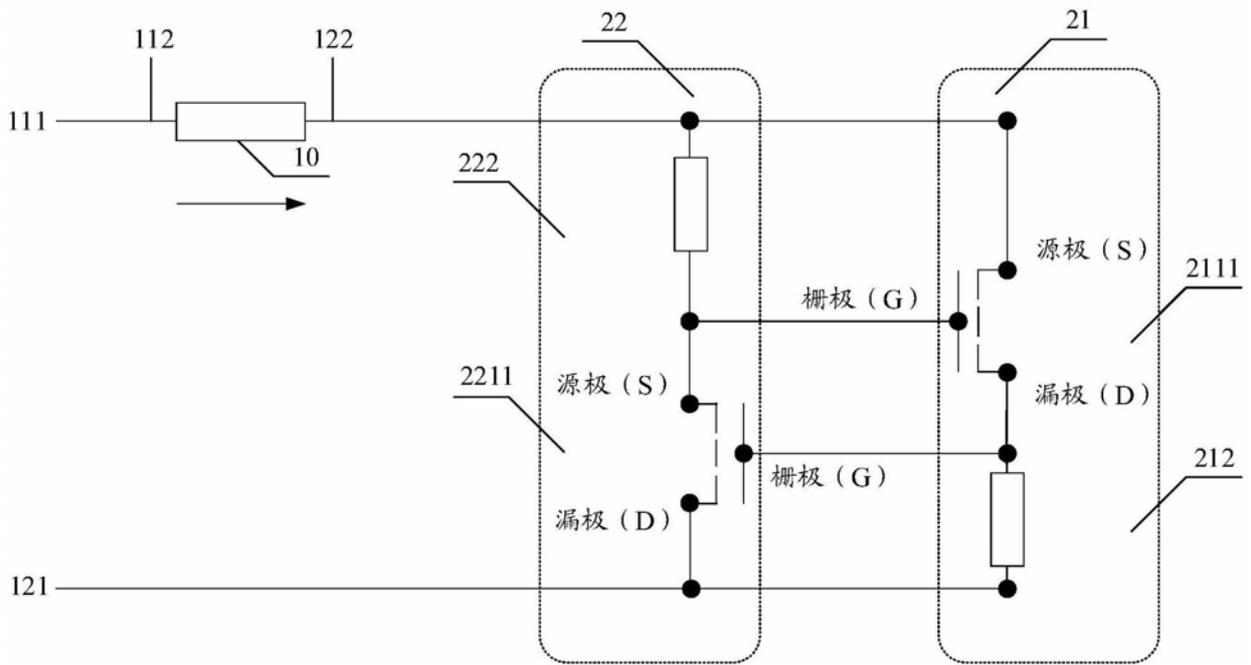


图5