



(12) 发明专利

(10) 授权公告号 CN 101889329 B

(45) 授权公告日 2012. 07. 04

(21) 申请号 200880114683. 6

(22) 申请日 2008. 10. 27

(30) 优先权数据

61/001, 113 2007. 10. 31 US

(85) PCT申请进入国家阶段日

2010. 04. 29

(86) PCT申请的申请数据

PCT/US2008/012173 2008. 10. 27

(87) PCT申请的公布数据

W02009/058235 EN 2009. 05. 07

(73) 专利权人 朗姆研究公司

地址 美国加利福尼亚州

专利权人 赛瑞丹公司

(72) 发明人 特拉维斯·R·泰勒

穆昆德·斯里尼瓦桑

鲍比·卡德霍达彦 K·Y·拉曼努金

比利亚纳·米琪杰尔治 吴尚华

(74) 专利代理机构 上海胜康律师事务所 31263

代理人 周文强 李献忠

(51) Int. Cl.

H01L 21/3065(2006. 01)

(56) 对比文件

CN 1440563 A, 2003. 09. 03, 全文.

US 4511402 A, 1985. 04. 16, 全文.

CN 1815760 A, 2006. 08. 09, 全文.

KR 20030010760 A, 2003. 02. 05, 全文.

US 6805952 B2, 2004. 10. 19, 全文.

审查员 杨春光

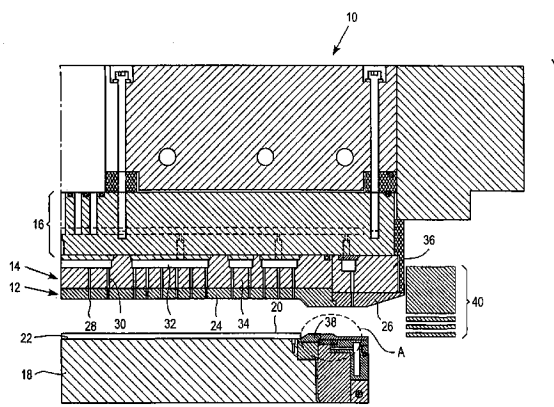
权利要求书 3 页 说明书 6 页 附图 6 页

(54) 发明名称

长寿命可消耗氮化硅-二氧化硅等离子处理部件

(57) 摘要

提供一种增加等离子蚀刻室清洁之间的平均时间和室部件寿命的方法。半导体基片在该室中等离子蚀刻,同时使用至少一个暴露于离子轰击和/或离子化卤素气体的、烧结的氮化硅部件。该烧结的氮化硅部件包括高纯度氮化硅和由二氧化硅组成的烧结辅料。等离子处理室设为包括该烧结的氮化硅部件。一种减少等离子处理过程中该硅基片的表面上金属污染物的方法提供包括一个或多个烧结的氮化硅部件的等离子处理设备。一种制造等离子蚀刻室中暴露于离子轰击和/或等离子腐蚀的部件的方法,包括成形高纯度氮化硅和二氧化硅组成的粉末成分并使该成形部件致密。



1. 一种增加等离子蚀刻室清洁之间的平均时间和室部件寿命的方法,包括:

在该室中一次一个等离子蚀刻半导体基片,同时使用至少一个暴露于离子轰击和/或离子化卤素气体的、烧结的氮化硅部件,该氮化硅部件由大约 80wt%和大约 95wt%之间的高纯度氮化硅和大约 5wt%和大约 20wt%之间的烧结辅料组成,该烧结辅料由高纯度二氧化硅组成。

2. 根据权利要求 1 所述的方法,进一步包括在等离子蚀刻该半导体基片之前用该烧结的氮化硅部件替换该室部件的石英部件。

3. 根据权利要求 1 所述的方法,进一步包括在等离子蚀刻该半导体基片之前用该烧结的氮化硅部件替换该室部件的氮化硅部件。

4. 根据权利要求 1 所述的方法,其中该部件是销套管、限制环、热边缘环盖或接地覆盖环的至少一个。

5. 根据权利要求 1 所述的方法,其中该等离子蚀刻包括使用碳氟化合物和/或氢氟碳化合物蚀刻气体在电介质材料中蚀刻开口。

6. 根据权利要求 1 所述的方法,其中该高纯度氮化硅和该高纯度二氧化硅具有 1000ppm 至 5000ppm 之间、100ppm 至 1000ppm 之间或低于 100ppm 的金属杂质,该金属杂质包括钡、钙、铈、铬、铜、镓、铟、铁、锂、镁、镍、钾、钠、铈、锡、钛、钒、钇、锌和锆;该氮化硅部件的密度是理论密度的大约 95%或更多和/或没有孔。

7. 根据权利要求 1 所述的方法,其中蚀刻电介质材料期间,清洁之间的平均时间在大约 800RF 小时和大约 1000RF 小时之间。

8. 根据权利要求 1 所述的方法,进一步包括:

从该等离子蚀刻室去除该半导体基片;和

等离子清洁该等离子蚀刻室内部,其中该等离子清洁包括利用氧气和/或氮气生成等离子以从该等离子蚀刻室内部去除聚合物沉积,在蚀刻一个基片之后以及蚀刻另一基片之间执行等离子清洁。

9. 一种等离子处理室,其包括:

基片夹持件,用以在处理室内部内支撑基片;

烧结的氮化硅部件,具有邻近该基片的暴露表面,其中该部件由大约 80wt%和大约 95wt%之间的高纯度氮化硅和大约 5wt%和大约 20wt%之间的烧结辅料组成,该烧结辅料由高纯度二氧化硅组成;

气体供应源,将工艺气体提供到该处理室内部;和

能量源,将能量提供到该处理室内部并将该工艺气体激发为等离子态用以处理该基片,其中该部件将该等离子处理期间该基片的表面上的金属污染物最小化到低于 100×10^{10} 原子/cm²。

10. 根据权利要求 9 所述的等离子处理室,其中该部件将等离子处理期间该基片的表面上的金属污染物最小化至低于 50×10^{10} 原子/cm²;该部件由大约 80wt%和大约 93wt%之间的高纯度氮化硅和大约 7wt%和大约 20wt%之间的烧结辅料组成。

11. 根据权利要求 9 所述的等离子处理室,其中该部件将等离子处理期间该基片的表面上的金属污染物最小化至低于 10×10^{10} 原子/cm²。

12. 根据权利要求 9 所述的等离子处理室,其中该部件将等离子处理期间该基片的表

面上的金属污染物最小化至低于 5×10^{10} 原子 / cm^2 。

13. 根据权利要求 9 所述的处理室,其中该金属污染物包括钡、钙、铈、铬、铜、镓、铟、铁、锂、镁、镍、钾、钠、铈、锡、钛、钒、钇、锌和锆。

14. 根据权利要求 9 所述的处理室,其中该工艺气体包括碳氟化合物和 / 或氢氟碳化合物。

15. 一种减少等离子处理期间硅基片的表面上金属污染物的方法,该方法包括:

将硅基片设在等离子处理设备的反应室中的基片支撑件上,该等离子处理设备包括一个或多个烧结的氮化硅部件,该氮化硅部件由大约 80wt% 和大约 95wt% 之间的高纯度氮化硅和大约 5wt% 和大约 20wt% 之间的烧结辅料组成,该烧结辅料由高纯度二氧化硅组成;

将工艺气体引入该反应室;

由该工艺气体生成等离子;和

利用该等离子处理该硅基片。

16. 根据权利要求 15 所述的方法,其中该工艺气体包括碳氟化合物和 / 或氢氟碳化合物。

17. 根据权利要求 15 所述的方法,其中该一个或多个氮化硅部件是销套管、限制环、热边缘环盖或接地覆盖环。

18. 根据权利要求 15 所述的方法,其中在利用该等离子处理该硅基片之后,该硅基片的金属表面浓度小于大约 5×10^{10} 原子 / cm^2 。

19. 根据权利要求 18 所述的方法,其中该金属包括钡、钙、铈、铜、镓、铟、铁、锂、镁、镍、钾、钠、铈、锡、钛、钒、钇、锌或锆。

20. 根据权利要求 15 所述的方法,其中处理该硅基片包括蚀刻。

21. 一种制造等离子蚀刻室中暴露于离子轰击和 / 或等离子腐蚀的氮化硅部件的方法,包括:

混合粉末成分,其由大约 80wt% 和大约 95wt% 之间的高纯度氮化硅和大约 5wt% 和大约 20wt% 之间的二氧化硅组成;

由该粉末成分形成成形部件;和

同时施加热和压力而使成形部件致密。

22. 根据权利要求 21 所述的方法,其中混合该粉末成分进一步包括:

将该高纯度氮化硅和该高纯度二氧化硅在酒精溶剂中混合;和

蒸发该酒精溶剂以形成干粉末混合物;

其中形成该成形部件进一步包括:

将该干粉末混合物装进模片组;和

使该粉末混合物经受在大约 100MPa 和大约 120MPa 之间的压力下的单轴向压或冷等静压以形成生坯预制件;和

其中同时施加热和压力而使成形部件致密进一步包括:

在大约 1750°C 和大约 1900°C 之间的温度、大约 175MPa 和大约 225MPa 的压力下使用玻璃封装热等静压该生坯预制件持续大约 60 分钟至大约 120 分钟之间。

23. 根据权利要求 22 所述的方法,其中该生坯预制件最小密度是理论密度的 45%。

24. 一种用于等离子处理的烧结的氮化硅部件，

其中该烧结的氮化硅部件由大约 80wt% 和大约 95wt% 高纯度氮化硅和大约 5wt% 和大约 20wt% 之间的烧结辅料组成，该烧结辅料由高纯度二氧化硅组成。

25. 根据权利要求 24 所述的烧结的氮化硅部件，其中该部件是销套管、限制环、热边缘环盖或接地覆盖环。

长寿命可消耗氮化硅-二氧化硅等离子处理部件

背景技术

[0001] 等离子处理设备用来通过使用包括蚀刻、物理气相沉积 (PVD)、化学气相沉积 (CVD)、离子注入和抗蚀剂去除处理基片。一种在等离子处理中使用的等离子处理设备包括含有上部和下部电极的反应室。该电极之间的 RF 生成的等离子产生高能离子和中性物质, 其在该反应室内蚀刻该晶片衬底和室部件。

发明内容

[0002] 提供一种增加等离子蚀刻室清洁之间的平均时间和室部件寿命的方法。在该室中一次一个等离子蚀刻半导体基片, 同时使用至少一个暴露于离子轰击和 / 或离子化卤素气体的、烧结的氮化硅部件。该氮化硅部件由大约 80wt% 和大约 95wt% 之间的高纯度氮化硅以及大约 5wt% 和大约 20wt% 之间的烧结辅料组成。该烧结辅料由高纯度二氧化硅组成。

[0003] 提供一种等离子处理室。基片夹持件在处理室内部支撑基片。烧结的氮化硅部件具有邻近该基片的暴露表面。该部件由大约 80wt% 和大约 95wt% 之间的高纯度氮化硅和大约 5wt% 和大约 20wt% 之间的烧结辅料组成。该烧结辅料由高纯度二氧化硅组成。气体供应源将工艺气体提供到该处理室内部。能量源将能量提供到该处理室内部并将该工艺气体激发为等离子态用以处理该基片。该部件将该基片的表面上的金属污染物在等离子处理期间最小化至低于 100×10^{10} 原子 / cm^2 。

[0004] 提供一种减少等离子处理期间硅基片的表面上金属污染物的方法。硅基片设在等离子处理设备的反应室中的基片支撑件上。该等离子处理设备包括一个或多个烧结的氮化硅部件。该氮化硅部件由大约 80wt% 和大约 95wt% 之间的高纯度氮化硅和大约 5wt% 和大约 20wt% 之间的烧结辅料组成。该烧结辅料由高纯度二氧化硅组成。将工艺气体引入该反应室。由工艺气体生成等离子。利用该等离子处理该硅基片。

[0005] 提供一种制造等离子蚀刻室中暴露于离子轰击和 / 或等离子腐蚀的等离子蚀刻室处理部件的方法。混合粉末成分, 其由大约 80wt% 和大约 95wt% 之间的高纯度氮化硅和大约 5wt% 和大约 20wt% 之间的二氧化硅组成。由该粉末成分形成成形部件。同时施加热和压力而使成形部件致密。

[0006] 提供一种等离子处理部件。该部件包括烧结的氮化硅部件, 其中该部件由大约 80wt% 和大约 95wt% 之间的高纯度氮化硅和大约 5wt% 和大约 20wt% 之间的烧结辅料组成。该烧结辅料由高纯度二氧化硅组成。

附图说明

[0007] 图 1 说明用于等离子处理设备的喷头电极总成和基片支撑件的实施例的一部分。

[0008] 图 2A-2B 说明用于等离子处理设备、围绕该热边缘环基片支撑件的一部分。

[0009] 图 3 说明处理室中等离子处理之后、含有氮化硅部件和氧化镁烧结辅料的硅晶片的表面上的金属污染物。

[0010] 图 4 说明处理室中等离子处理之后、含有氮化硅部件和二氧化硅烧结辅料的硅晶

片的表面上的金属污染物。

[0011] 图 5A 和 5B 说明包含多种量的二氧化硅作为烧结辅料的石英和氮化硅部件的磨损速率。

具体实施方式

[0012] 随着集成电路器件的物理尺寸和运行电压持续减小,与其相关的制造成品率变得对颗粒和金属杂质污染物更加敏感。因此,制造具有更小物理尺寸的集成电路器件要求颗粒和金属污染物的水平低于之前认为能够接受的水平。

[0013] 集成电路器件的制造包括使用等离子蚀刻室,其能够蚀刻光刻胶掩模限定的所选择的层。该处理室构造为接收处理气体(即,蚀刻化学制剂),同时将射频(RF)功率施加到该处理室的一个或多个电极。为具体的工艺控制该处理室内的压强。当将所需要的 RF 功率施加到该电极时,激活室中的工艺气体从而产生等离子。因此生成该等离子以执行所选择的半导体晶片的层所需要的蚀刻。

[0014] 该等离子蚀刻条件产生对暴露于等离子的处理室表面的显著的离子轰击。这个离子轰击,结合等离子化学制剂和/或蚀刻副产物,可对处理室的等离子暴露表面产生显著的腐蚀、侵蚀和侵蚀-腐蚀。结果,通过物理和/或化学攻击去除表面材料,包括腐蚀、侵蚀和/或侵蚀-腐蚀。这个攻击产生多种问题,包括较短的部件寿命、增加部件成本、颗粒污染、晶片上过渡金属污染物和工艺漂移。具有相对较短的寿命的部件称作可消耗的。如果可消耗部件的寿命短,那么持有成本就高。可消耗和其他部件的腐蚀会在等离子处理室中生成颗粒污染物。

[0015] 另外,集成电路制造期间半导体晶片表面上的颗粒污染物的控制对于得到可靠的器件和获得高成品率是必不可少的。处理设备(如等离子处理设备)是颗粒污染物的来源。对于新一代半导体技术,极大地降低所期望的、在该等离子室中蚀刻操作过程中晶片表面上的金属污染物等级。对于金属的 5×10^{10} 原子/cm² 的晶片上金属污染物规范是等离子蚀刻反应室中半导体器件制造当前技术水平的要求。金属污染物的示例包括铝、钽、钙、铈、铬、铜、镓、铟、铁、锂、镁、镍、钾、钠、铷、锡、钛、钒、钇、锌或锆。

[0016] 图 1 说明用于等离子处理设备的喷头电极总成 10 的示范实施例,在该设备中处理半导体基片,例如硅晶片。该喷头电极总成 10 包括喷头电极,包括顶部电极 12、固定于该顶部电极 12 的衬垫构件 14 和热控板 16。包括底部电极和静电卡紧电极(例如,静电卡盘)的基片支撑件 18(图 1 只示出其一部分)设在该等离子处理设备的真空处理室中、该顶部电极 12 下方。经受等离子处理的基片 20 以静电方式卡紧在该基片支撑件 18 的顶部支撑表面 22 上。

[0017] 在所说明的实施例中,该喷头电极的顶部电极 12 包括内部电极构件 24 和可选的外部电极构件 26。该内部电极构件 24 是优选地圆柱形板(例如,由硅组成的板)。该内部电极构件 24 的直径小于、等于或大于待处理晶片,例如,如果该板由硅制成,则高达 12 英寸(300mm)。在优选实施例中,该喷头电极总成 10 足够大以处理大基片,如直径 300mm 或更大的半导体晶片。对于 300mm 晶片,该顶部电极 12 直径至少 300mm。然而,该喷头电极总成的尺寸可设为处理其他晶片尺寸或非圆形的基片。

[0018] 在所说明的实施例中,该内部电极构件 24 比该基片 20 宽。对于处理 300mm 晶片,

提供该外部电极构件 26 以将该顶部电极 12 的直径从大约 15 英寸扩展到大约 17 英寸。该外部电极构件 26 可以是连续构件（例如，连续多晶硅环），或分段构件（例如，包括 2-6 个布置为环形构造的独立分段，如由硅制成的分段）。在包括多个分段的外部电极构件 26 的顶部电极 12 的实施例中，这些分段优选地具有边缘，这些边缘彼此重叠以保护下面的粘合材料不会暴露于等离子。

[0019] 该内部电极构件 24 优选地包括多个气体通道 28，其延伸通过并对应该衬垫构件 14 中形成的多个气体通道 30，用以将工艺气体喷射到等离子处理室中、位于该顶部电极 12 和该基片支撑件 18 之间的间隔中。衬垫构件 14 包括多个集气室 32，以将工艺气体分别分配到该内部电极构件 24 和衬垫构件 14 中的气体通道 28 和 30。

[0020] 硅是优选的用于该内部电极构件 24 和该外部电极构件 26 的等离子暴露表面的材料。高纯度单晶硅最小化等离子处理期间的基片污染并且在等离子处理过程中平滑磨损，由此使得颗粒最少。可用于该顶部电极 12 的等离子暴露表面的替代材料包括，例如 SiC 或 AlN。

[0021] 在所说明的实施例中，该衬垫构件 14 包括衬板 34 和衬环 36，围绕衬板 34 的周缘延伸。在该实施例中，该内部电极构件 24 与该衬板 34 共同延伸，该外部电极构件 26 与该围绕的衬环 36 共同延伸。然而，该衬板 34 可延伸超出该内部电极构件 24 从而单个衬板可用来支撑该内部电极构件 24 和该分段的外部电极构件 26。该内部电极构件 24 和该外部电极构件 26 优选地通过粘合材料连接到该衬垫构件 14。

[0022] 该衬板 34 和衬环 36 优选地由与用来在该等离子处理室中处理半导体基片的工艺气体化学相容的材料制成，并且是导热导电的。可用于制作该衬垫构件 14 的合适材料的示例包括铝、铝合金、石墨和 SiC。

[0023] 该顶部电极 12 可利用合适的导热导电弹性粘合材料连接到该衬板 34 和衬环 36，该材料可承受热应力并且在该顶部电极 12 和该衬板 34 和衬环 36 之间传输热能和电能。使用弹性材料将电极总成的表面粘合在一起在共有美国专利 No. 6, 073, 577 中描述，其全部内容通过引用结合在这里。

[0024] 在用于处理大基片（如 300mm 晶片）的电容耦合 RF 等离子反应器，除了接地电极，还可使用次级接地。例如，基片支撑件 18 可包括底部电极，其在一个或多个频率提供 RF 能量，工艺气体可通过喷头电极 12（接地的上电极）提供到该室的内部。次级接地（位于基片支撑件 18 中底部电极外部）可包括电气接地部分，其通常在包含该待处理基片 20 的平面延伸但被热边缘环 38 隔开。热边缘环 38 可由导电或半导体材料组成，其可在等离子生成过程中变热。

[0025] 另外，等离子限制环总成 40 可提供在衬板 34 和衬环 36 的外面。该等离子限制环总成 40 和次级接地可帮助将该等离子限制在该顶部电极 12 和该基片支撑件 18 之间的间隔中。RF 电容耦合等离子反应器中使用的等离子限制环和次级接地的详细描述可在共同转让的美国专利 No. 5, 534, 751 和 6, 744, 212 中找到，特此通过引用结合这两者。在限制等离子器的情况下，室壁几乎不会或者根本不产生污染物。因此，受限的等离子提供一定程度的清洁，这是非受限等离子所不能提供的。例如，限制环总成 40 可由石英组成。

[0026] 图 2A 和 2B 是图 1 中围绕热边缘环 38 的区域 A 的放大视图。为了控制基片 20 上蚀刻速率一致性并使该基片中心处蚀刻速率与该基片边缘处的速率匹配，基片边界条件优

选地设计为保证纵贯该基片关于该基片边缘的化学暴露、工艺压力和 RF 场强的连续性。在当前的设计中,热边缘环 38 实现为围绕该基片 20 安装。为了最小化基片污染物,该热边缘环 38 由与该晶片本身相容的材料制成。例如,热边缘环材料可包括硅、石墨、碳化硅等。

[0027] 热边缘环 38 覆盖设在基片支撑件 18 的外缘上的耦合环 42。该用于耦合环 42 的材料选择为使得该基片 20 边缘处的 RF 场强逐渐变小以增强蚀刻速率一致性。例如,耦合环 42 可由陶瓷(例如石英)或导体材料制成。

[0028] 围绕热边缘环 38 的是由电介质材料组成的热边缘环盖 44。热边缘环盖 44 覆盖聚焦环 46,该聚焦环将等离子限制在该基片 20 上方的区域并可由石英组成。进而围绕热边缘环盖 44 的是接地环盖 48。热边缘环盖 44 保护该接地扩展部不受该等离子攻击。例如,热边缘环盖 44 和接地环盖 48 由石英组成。接地扩展部 50 可由铝组成。

[0029] 如图 2B 中所示,导电销 52 和销套管 54 可包含在热边缘环 38 和耦合环 42 内。导电销 52 监测等离子处理过程中基片支撑件 18 的静电卡盘中的 RF 偏压,其用来确定该等离子体的总体特性。例如,导电销 52 可由碳化硅或任何导体材料组成。销套管 54 围绕导电销 52 并且电气绝缘导电销 52。例如,销套管 54 可由石英组成。

[0030] 石英可用作可消耗部件内表面的材料。然而,在等离子室中,石英是 RF 寿命最短的可消耗材料。等离子室的可消耗材料的更换和相关的清洁之间的平均时间(MTBC)根据应用确定。目前,对于使用 2300EXELAN **FLEX**[®]电介质蚀刻系统(由 Fremont, California 的 Lam Research Corporation 制造)的高纵横比触点(HARC)应用的 MTBC 由石英部件的更换来表示,大约 250RF 小时。鉴于前面所述,需要高密度的等离子处理室,其所具有可消耗部件更耐腐蚀并且帮助最小化所处理的晶片表面的污染物(例如,颗粒和金属杂质)。

[0031] 已经证明氮化硅是适于等离子处理部件的材料,如等离子处理室中使用的气体分配板、衬垫和聚焦环,如共有美国专利 No. 5, 993, 594 中所描述的。

[0032] 这种氮化硅部件可以各种不同的方式制作。例如,该氮化硅可使用包含高百分数的 α 氮化硅的粉末在 1500°C 以上的温度热压。在这种温度的热压过程中,该 α 相转变为 β -改性,转换和致密化取决于开始粉末的压力、温度和 α/β 相比率。用于氮化硅的烧结辅料可包括 MgO 、 Y_2O_3 、 CeO_2 、 ZrO_2 、 Al_2O_3 、 $Y_3Al_5O_{12}$ (钇铝石榴石或 YAG)以及可以是别的稀土氧化物。该致密化可通过烧结工艺进行,如无压力烧结、热压、热等静压(HIP)或气压烧结。相比热等静压的氮化硅,该气压烧结的材料会表现出具有高纵横比晶粒的更粗糙的结构,相反压紧的材料会具有更精细的、更加等轴的结构。该气压烧结可使用压力高达 2MPa 的氮气进行,其中氮气阻止氮化硅热分解并允许使用更高的、用以致密化的烧结温度。热压的氮化硅可通过石墨感应受热模片中施加热量和单轴向压力而形成,在施加 15 至 30MPa 压力、温度在 1650°C 至 1850°C 的范围持续 1 至 4 小时。另一技术包括在 1700°C 至 1800°C、0.1MPa 的氮气环境下烧制氮化硅成形部件。另一技术包括在成形之前将如 MgO 或 Y_2O_3 的添加剂添加到硅,然后在大约 1100°C 和大约 1450°C 之间的温度、氮气氛围下进行氮化。尽管金属氧化物烧结辅料(例如 MgO)促进致密氮化硅部件的形成,但是它们会潜在地在等离子处理过程中、在该硅晶片的表面上引起不能接受程度的金属污染。

[0033] 热压形成的氮化硅部件(含有大约 1wt % MgO 烧结辅料)安装在 2300EXELAN **FLEX**[®]电介质蚀刻系统中以确定等离子处理之后各种不同的金属污染物的表面浓度。这个材料是完全致密的并且通过将该高纯度 Si_3N_4 粉末与含有 Mg 的化合物混合、

然后在石墨模片中在 1600℃ 以上的温度下热压而制成。热压之后,从该热压的毛坯研磨部件并且清洁以用于该蚀刻室用途。

[0034] 2300EXELAN **FLEX**[®]电介质蚀刻系统中的测试包括使具有大约 1wt% MgO 的氮化硅部件经受等离子环境大约 50 小时,然后确定硅晶片表面上的金属元素的水平。坯料的涂覆光刻胶的硅晶片暴露于高纵横比触点 (HARC),蚀刻制法持续大约 5 分钟。对于 HARC 蚀刻制法,大约 100SCCM C₄F₆/ 大约 50SCCM C₄F₈/ 大约 100SCCM CH₂F₂/ 大约 50SCCM O₂/ 大约 1000SCCM Ar 组成的气体混合物输送到该工艺室,室压大约 35mTorr 和大约 40mTorr。施加大约 5000 瓦特和大约 6000 瓦特之间的 RF 功率以利用 C₄F₈/C₄F₆/CH₂F₂/O₂/Ar 工艺气体生成等离子。完成之后,去除该测试晶片并且执行无晶片自动清洁 (WAC) 室清洁制法大约 30 秒。对于 WAC 清洁制法,大约 300SCCM N₂ 和大约 3000SCCM O₂ 输送到该工艺室,室压大约 600mTorr。施加大约 700 瓦特的 RF 功率以利用 N₂/O₂ 工艺气体生成等离子,以便从该处理室内部去除聚合物沉积。重复该 HARC 蚀刻制法后跟着 WAC 制法的顺序直到该氮化硅部件暴露于等离子环境大约 50 小时。选择该 HARC 蚀刻制法和该 WAC 室清洁制法是因为在这些等离子处理条件下石英容易受到腐蚀影响。

[0035] 当该氮化硅部件在等离子环境中暴露大约 50RF 小时之后,未涂覆的 300mm 硅测试晶片坯料经历使用该 HARC 蚀刻制法的等离子处理大约 5 分钟。等离子处理之后,该硅晶片表面使用稀硝酸 (HNO₃) 冲洗并由电感耦合等离子质量光谱 (ICP-MS) 分析各种金属污染物 (原子 /cm²) 的表面浓度。图 3 说明对于 300mm 硅晶片坯料的各种金属污染物的表面浓度,该晶片在包含带有 MgO 烧结辅料的等离子暴露的基于氮化硅部件的蚀刻系统中进行等离子处理。

[0036] 如上所述,硅晶片表面上金属元素的污染物水平 (除了铝) 理想地是 5×10^{10} 原子 /cm² 或更低。如图 3 中可见,镁的表面污染物超过 100×10^{10} 原子 /cm²。因此,对于某些应用,使用带有 1wt% MgO 烧结辅料的氮化硅部件会产生不是完全满意的结果,因为硅晶片表面上较高的镁和其他污染物水平。

[0037] 一种减少硅晶片表面上金属污染物的方法是使用不含有意添加铝、钡、钙、铈、铬、铜、镓、铟、铁、锂、镁、镍、钾、钠、锶、锡、钛、钒、钇、锌或锆的烧结辅料。已确定基于高纯度氮化硅并含有高纯度二氧化硅作为烧结辅料的等离子处理部件导致硅晶片表面上金属元素污染物水平降低。

[0038] 热等静压形成的、含有 10wt% 二氧化硅烧结辅料的氮化硅部件安装在 2300EXELAN **FLEX**[®]电介质蚀刻系统中以确定等离子处理之后各种金属污染物的表面浓度。用于制造该氮化硅部件的工艺步骤是:(1) 90 份 (wt%) 高纯度氮化硅粉末与 10 份 (wt%) 高纯度二氧化硅粉末在乙醇溶剂中混合;(2) 蒸发该乙醇溶剂以形成干粉末混合物;(3) 将该粉末混合物装入模片组并使得该混合的粉末经受大约 100MPa 和大约 120MPa 之间的单轴向干压或冷等静压 (CIP) 以形成生坯预制件 (即,未烧制的陶瓷体);和 (4) 使用玻璃封装技术在大约 1750℃ 和大约 1900℃ 之间的温度、在大约 175MPa 和大约 225MPa 的施加压力下热等静压 (HIP) 该预制件持续大约 60 分钟至大约 120 分钟。

[0039] 在单轴向干压或冷等静压中,该生坯预制件的密度不少于该理论密度的 45%。热等静压之后,根据光学微结构,确定氮化硅部件的密度为该理论密度的大约 95% 或更高,其中该氮化硅部件没有孔。含有该二氧化硅烧结辅料的氮化硅部件总的金属污染物低于

5000ppm, 优选地低于 1000ppm, 最优选地低于 100ppm。该金属污染物包括钡、钙、铈、铬、铜、镓、铟、铁、锂、镁、镍、钾、钠、锶、锡、钛、钒、钇、锌和锆。

[0040] 如之前所描述的, 2300EXELAN **FLEX**[®] 电介质蚀刻系统中的测试包括使具有 10wt% 二氧化硅烧结辅料的氮化硅部件经受等离子环境大约 50 小时, 然后确定硅晶片表面上金属元素水平。涂覆光刻胶的硅晶片坯料暴露于高纵横比触点 (HARC) 蚀刻制法大约 5 分钟。完成之后, 去除该测试晶片并执行无晶片清洁 (WAC) 室清洁制法大约 30 秒。重复这个顺序直到该氮化硅部件暴露于等离子环境大约 50 小时。

[0041] 等离子处理之后, 该硅晶片的表面利用稀硝酸 (HNO_3) 冲洗并利用电感耦合等离子质量光谱 (ICP-MS) 分析金属污染物的表面浓度 (原子 / cm^2)。如图 4 中可见, 镁的表面污染物低于 5×10^{10} 原子 / cm^2 。另外, 尽管钙、锂和钠超过该 5×10^{10} 原子 / cm^2 污染物水平, 但是这些金属的水平低于大约 22×10^{10} 原子 / cm^2 。对比图 3 和图 4 的结果, 含有 10% SiO_2 烧结辅料的氮化硅部件比含有 1% MgO 的氮化硅部件有显著进步。

[0042] 热等静压形成的、含有 SiO_2 烧结辅料的氮化硅部件相比它们的石英对应物在暴露于碳氟化合物 / 氢氟碳化合物和氧气 / 氮气等离子期间还表现出优越的耐磨损属性。此外, 确定含有大约 10wt% SiO_2 烧结辅料的氮化硅表现出最低的磨损速率。含有大约 5wt%、大约 10wt%、大约 20wt% 和大约 35wt% SiO_2 烧结辅料的基于氮化硅的部件 (例如, 销套管) 通过玻璃封装热等静压形成。在金刚石研磨之后, 该材料达到精密的公差, 并且在清洁之后, 每个部件独立设在 2300EXELAN **FLEX**[®] 中电介质蚀刻系统并交替暴露于 HARC 蚀刻制法大约 5 分钟然后是 WAC 制法大约 30 秒, 直到总的等离子暴露为大约 18RF 小时。在测试过程中, 该销套管部件经受离子轰击和 / 或离子化卤素气体。该销套管的磨损速率通过测量 Y 方向的尺寸变化来确定, 如图 5A 中所示。该销套管当高度磨损到只有新的销套管的高度的 50% 时替换, 如图 5A 中所示。在一个实施例中, 该销套管的高度范围在大约 5mm 至大约 15mm。

[0043] 如图 5B 所示, 含有大约 5wt% 至大约 20wt% 之间的 SiO_2 的氮化硅销套管部件提供改善的等离子处理过程中的磨损速率, 低于大约 $8 \mu\text{m}/\text{RF}$ 小时。石英部件 (即, 100% SiO_2) 表现出最高的、大约 $13 \mu\text{m}/\text{RF}$ 小时的磨损速率。然而, 含有大约 10wt% SiO_2 的氮化硅部件表现出磨损速率至少减半, 大约 $6 \mu\text{m}/\text{RF}$ 小时。因此, 利用含有大约 5wt% 和大约 20wt% 之间 (例如, 大约 8wt% 和大约 12wt% 之间、大约 9wt% 和大约 11wt% 之间、大约 10wt%) 的 SiO_2 的氮化硅部件替代石英可消耗部件可以将寿命从大约 250RF 小时延长超过两倍至大约 800RF 小时和大约 1000RF 小时之间。

[0044] 尽管前面已经参照具体实施例来具体描述, 但是对于本领域技术人员来说, 显然在不背离权利要求的范围的情况下, 可进行各种不同的变化和修改。

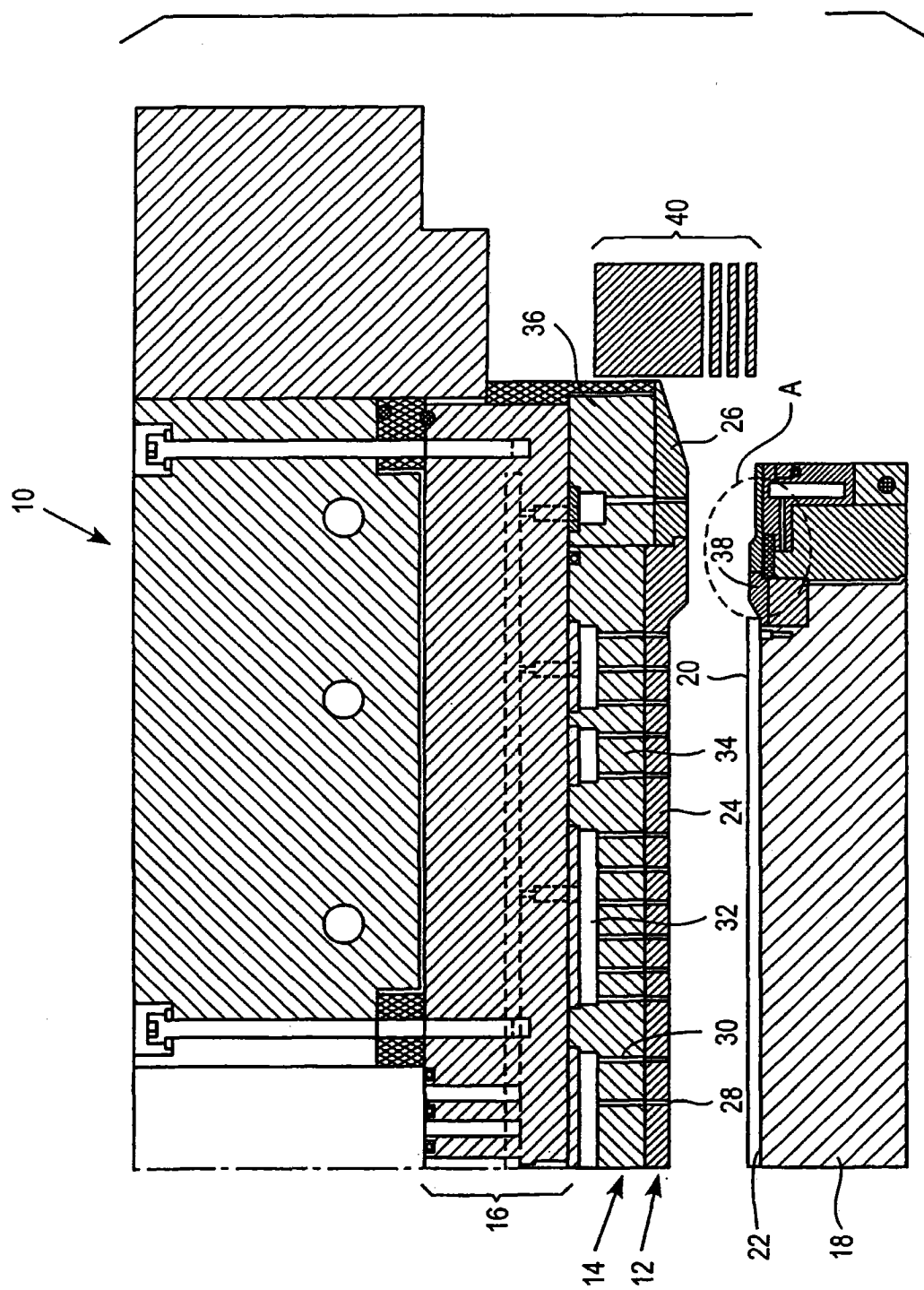


图 1

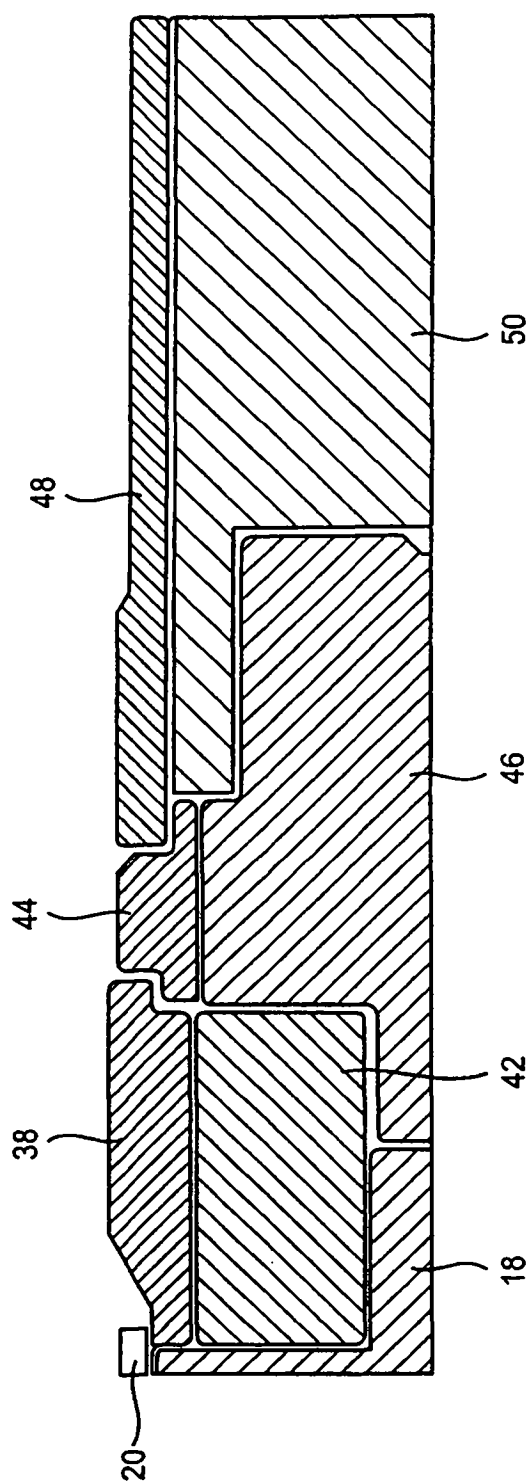


图 2A

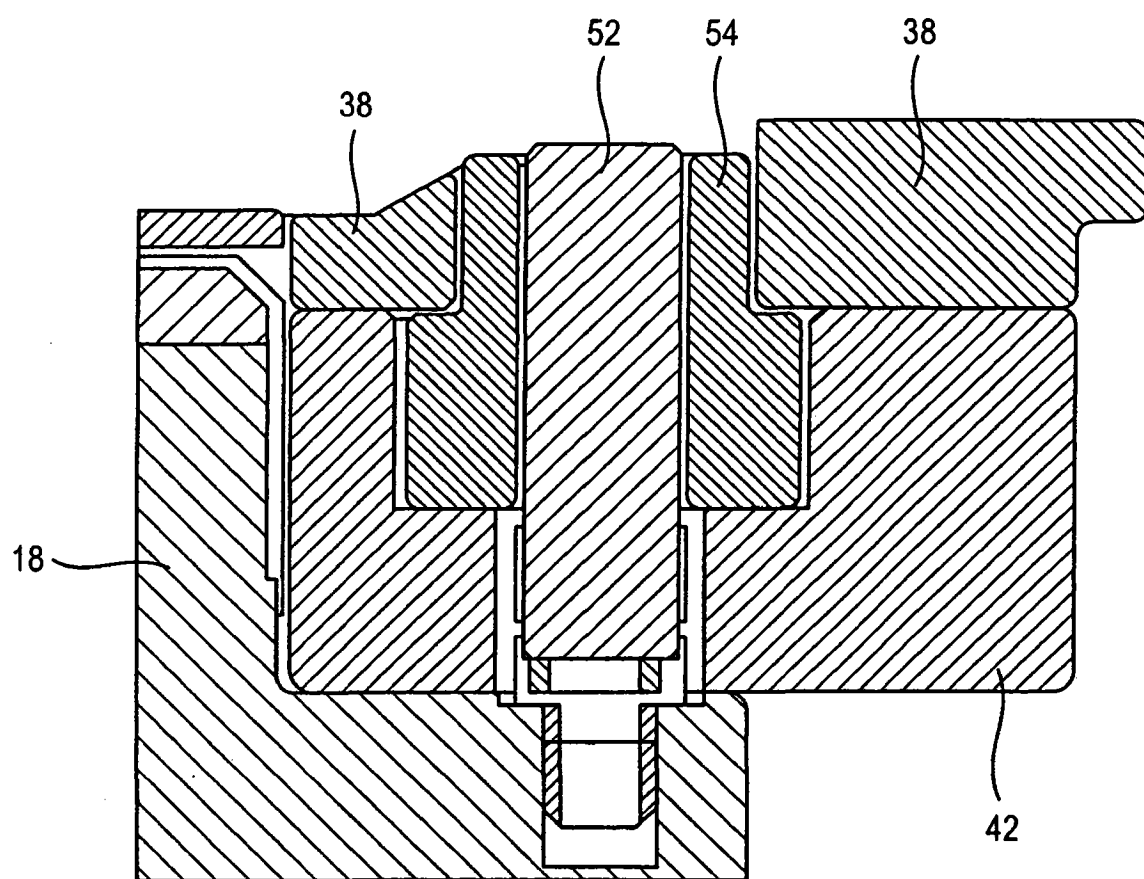


图 2B

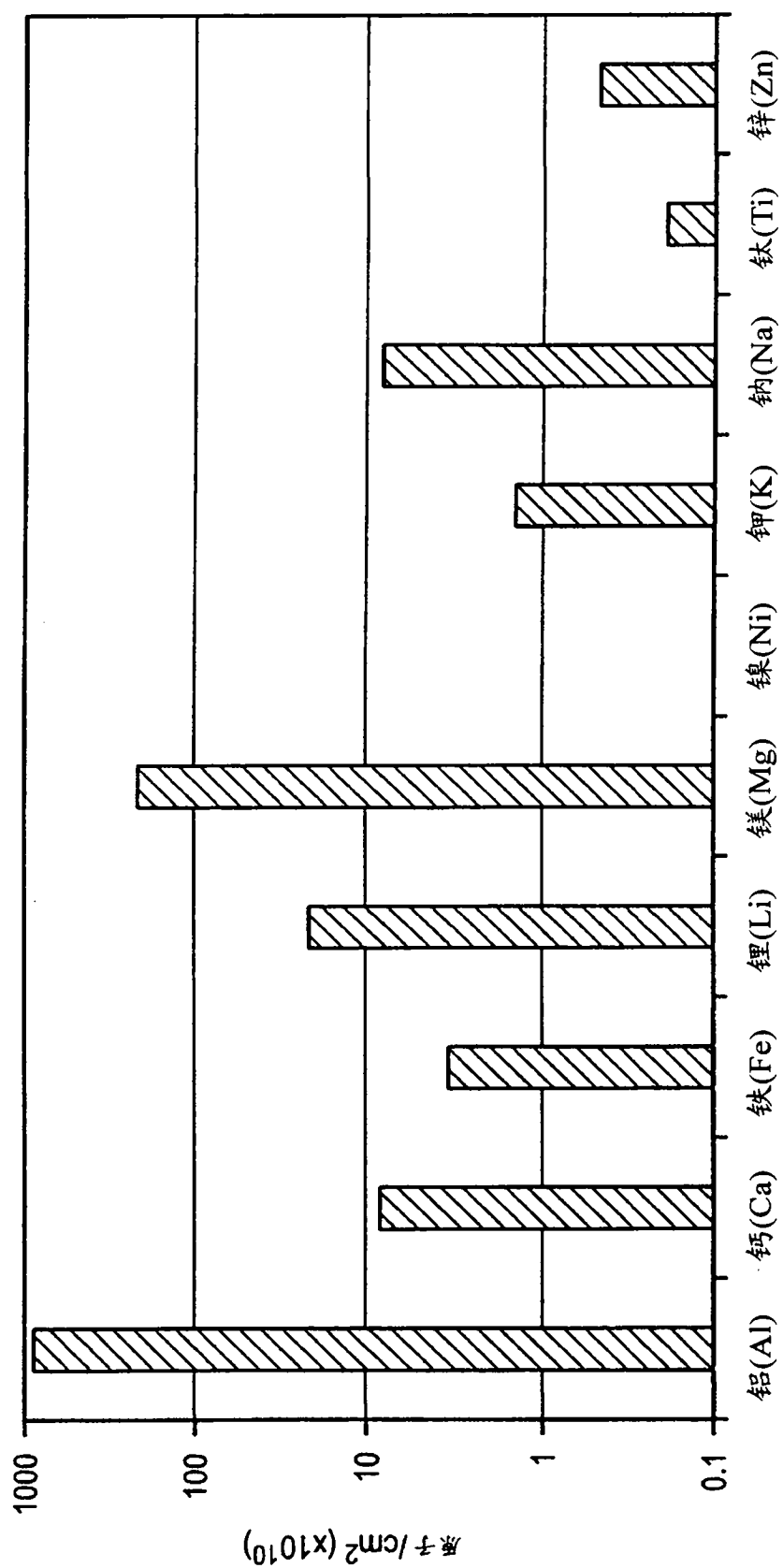


图 3

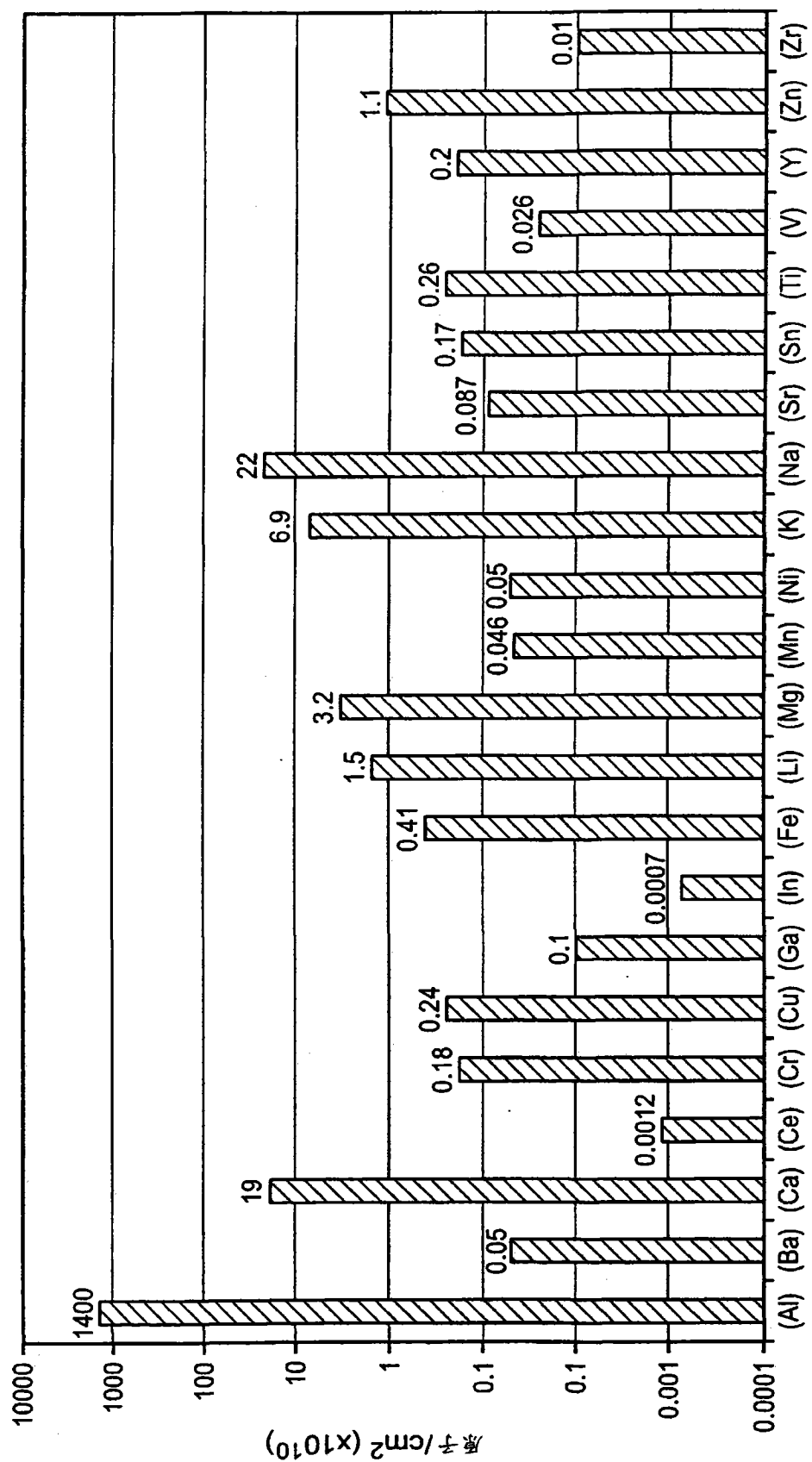


图 4

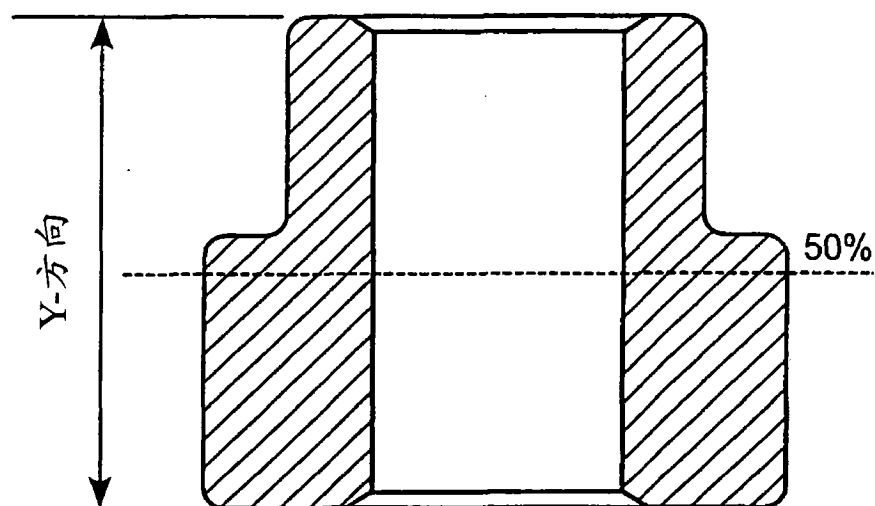


图 5A

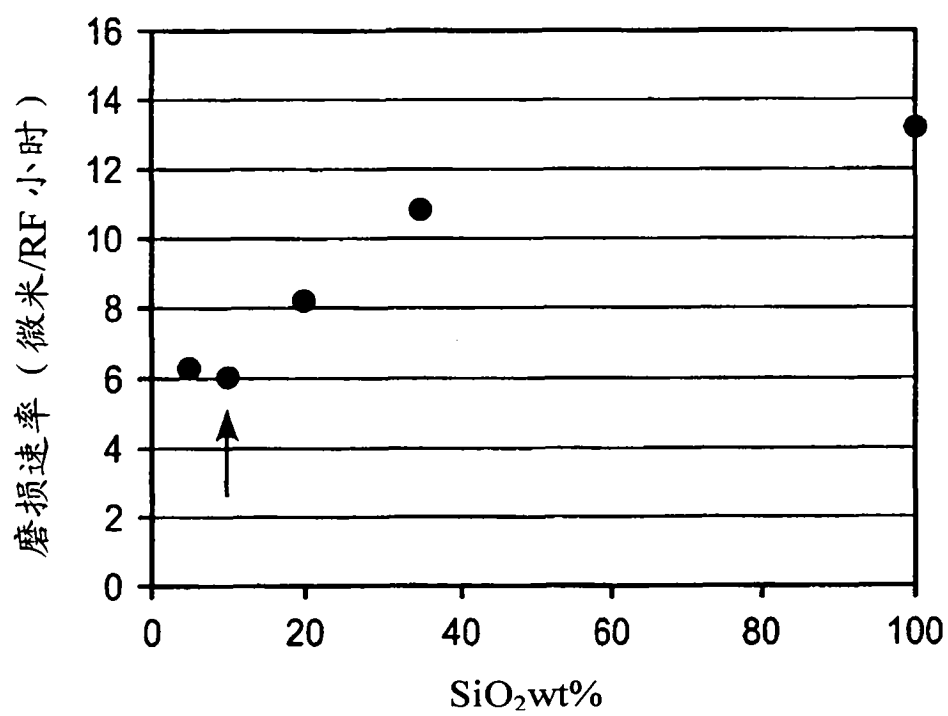


图 5B